

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月17日(17.09.2020)



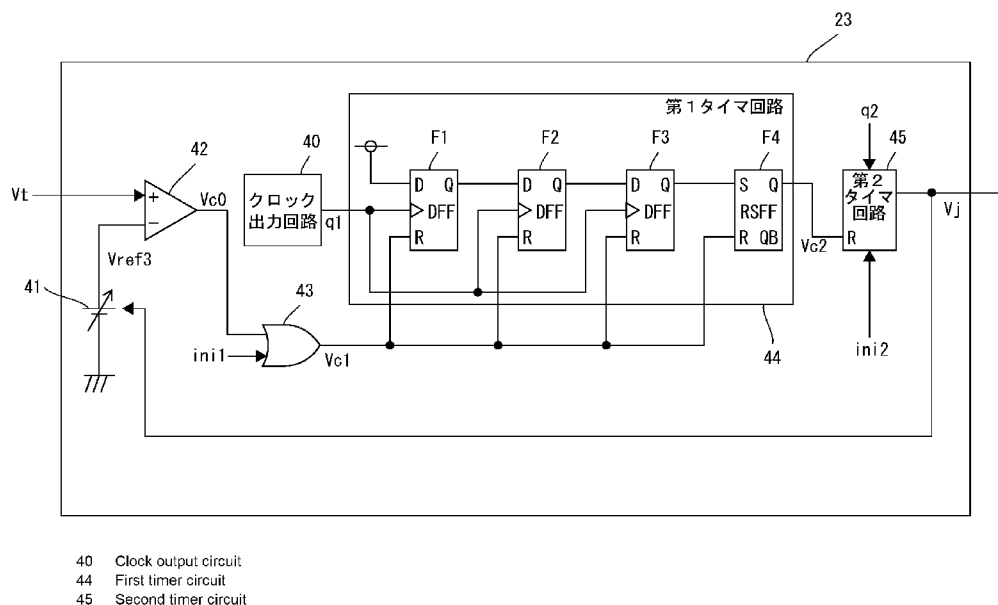
(10) 国際公開番号

WO 2020/183972 A1

- (51) 国際特許分類:
H02M 3/155 (2006.01) *H02M 7/12* (2006.01)
- (21) 国際出願番号: PCT/JP2020/003655
- (22) 国際出願日: 2020年1月31日(31.01.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-043576 2019年3月11日(11.03.2019) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 山根 博樹 (YAMANE, Hiroki); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 一色国際特許業務法人 (ISSHIKI & CO.); 〒1080073 東京都港区三田三丁目 1 1 番 3 6 号三田日東ダイビル Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: INTEGRATED CIRCUIT AND POWER SUPPLY CIRCUIT

(54) 発明の名称: 集積回路及び電源回路



(57) Abstract: A transformer has a main winding to which a rectified voltage obtained by rectifying an AC voltage is applied and an auxiliary winding generating a voltage having a polarity opposite to that of the voltage generated in the main winding. This integrated circuit drives a transistor for controlling the inductor current flowing through the main winding of the transformer and is provided with: a terminal to which a voltage corresponding to the voltage of the auxiliary winding is applied when the transistor is off; a first detection circuit for detecting, on the basis of the voltage at the terminal

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

when the transistor is off, that the current value of the inductor current is smaller than a first current value; a determination circuit for determining, on the basis of the voltage at the terminal when the transistor is off, whether the AC voltage is a first AC voltage or a second AC voltage having an amplitude larger than that of the first AC voltage; and a drive circuit for driving the transistor on the basis of the detection result of the first detection circuit, the determination result of the determination circuit, and the output voltage generated from the AC voltage.

(57) 要約：交流電圧を整流した整流電圧が印加される主巻線と、前記主巻線に生じる電圧と逆極性の電圧を生じさせる補助巻線と、を有するトランスにおける前記主巻線に流れるインダクタ電流を制御するトランジスタを駆動する集積回路は、前記トランジスタがオフの際に前記補助巻線の電圧に応じた電圧が印加される端子と、前記トランジスタがオフの際の前記端子の電圧に基づいて、前記インダクタ電流の電流値が第1電流値よりも小さいことを検出する第1検出回路と、前記トランジスタがオフの際の前記端子の電圧に基づいて、前記交流電圧が第1交流電圧か、前記第1交流電圧より振幅の大きい第2交流電圧かを判定する判定回路と、前記第1検出回路の検出結果と、前記判定回路の判定結果と、前記交流電圧から生成される出力電圧と、に基づいて、前記トランジスタを駆動する駆動回路と、を備える。

明 細 書

発明の名称：集積回路及び電源回路

技術分野

[0001] 本発明は、集積回路及び電源回路に関する。

背景技術

[0002] 一般的な臨界モードの力率改善回路（PFC回路）では、インダクタに流れるインダクタ電流がほぼゼロになると、インダクタ電流を制御するトランジスタがオンされる。そして、トランジスタがオンされてから所定時間経過すると、トランジスタはオフされる。この結果、インダクタ電流のピークの波形が整流電圧の波形と相似形になり、力率は改善される。

先行技術文献

特許文献

[0003] 特許文献1：特開2014-82924号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、力率改善回路用の集積回路は、一般にインダクタ電流、整流電圧、出力電圧等、数多くの電流や電圧に基づいて、トランジスタのオンオフを制御する。このように、検出対象の電流や電圧が複数あると、集積回路の端子の数が増加してしまうことがある。

[0005] 本発明は、検出対象が複数ある場合であっても端子の数の増加を抑制できる集積回路を提供することを目的とする。

課題を解決するための手段

[0006] 前述した課題を解決する本発明の第1の態様は、交流電圧を整流した整流電圧が印加される主巻線と、前記主巻線に生じる電圧と逆極性の電圧を生じさせる補助巻線と、を有するトランスにおける前記主巻線に流れるインダクタ電流を制御するトランジスタを駆動する集積回路であって、前記トランジスタがオフの際に前記補助巻線の電圧に応じた電圧が印加される端子と、前

記トランジスタがオフの際の前記端子の電圧に基づいて、前記インダクタ電流の電流値が第1電流値よりも小さいことを検出する第1検出回路と、前記トランジスタがオフの際の前記端子の電圧に基づいて、前記交流電圧が第1交流電圧か、前記第1交流電圧より振幅の大きい第2交流電圧かを判定する判定回路と、前記第1検出回路の検出結果と、前記判定回路の判定結果と、前記交流電圧から生成される出力電圧と、に基づいて、前記トランジスタを駆動する駆動回路と、を備える。

[0007] また、本発明の第2の態様は、交流電圧を整流した整流電圧が印加される主巻線と、前記主巻線に生じる電圧と逆極性の電圧を生じさせる補助巻線と、を有するトランスと、前記主巻線に流れるインダクタ電流を制御するトランジスタと、前記トランジスタを駆動する集積回路と、を備え前記集積回路は、前記トランジスタがオフの際に前記補助巻線の電圧に応じた電圧が印加される端子と、前記トランジスタがオフの際の前記端子の電圧に基づいて、前記インダクタ電流の電流値が第1電流値よりも小さいことを検出する第1検出回路と、前記トランジスタがオフの際の前記端子の電圧に基づいて、前記交流電圧が第1交流電圧か、前記第1交流電圧より振幅の大きい第2交流電圧かを判定する判定回路と、前記第1検出回路の検出結果と、前記判定回路の判定結果と、前記交流電圧から生成される出力電圧と、に基づいて、前記トランジスタを駆動する駆動回路と、を含む電源回路。

発明の効果

[0008] 本発明によれば、検出対象が複数ある場合であっても端子の数の増加を抑制できる集積回路を提供することができる。

図面の簡単な説明

[0009] [図1] AC-DCコンバータの構成の一例を示す図である。

[図2] 電圧 V_{zcd} の波形の一例を示す図である。

[図3] 異なる振幅の交流電圧 V_{ac} に対する整流電圧 V_{rec} 、端子 T の電圧 V_t 及び基準電圧 V_{rec3} の関係を示す図である。

[図4] 入力検出回路の一例を示す図である。

[図5] AC-DCコンバータの主要な波形を示す図である。

[図6] 200V系の交流電圧 V_{ac2} が入力されている際の電圧 V_{t2} の波形の一例である。

[図7] 入力検出回路の動作を説明するための図である。

発明を実施するための形態

[0010] 関連出願の相互参照この出願は、2019年3月11日に出願された日本特許出願、特願2019-43576に基づく優先権を主張し、その内容を援用する。

[0011] 本明細書及び添付図面の記載により、少なくとも以下の事項が明らかとなる。

[0012] ===== 実施形態の構成 =====

図1は、AC-DCコンバータ1の構成の一例を示す図である。AC-DCコンバータ1（電源回路）は、交流電圧 V_{ac} から目的レベルの出力電圧 V_{out} を生成し、端子Eに出力する回路である。AC-DCコンバータ1は、整流回路2及び力率改善回路3を有する。

[0013] 整流回路2は、印加された交流電圧 V_{ac} を全波整流し、力率改善回路3に整流電圧 V_{rec} として出力する。

[0014] 力率改善回路3は、整流電圧 V_{rec} の力率を改善する回路であり、チョップ回路10及び駆動回路20を有する。

[0015] チョップ回路10は、整流電圧 V_{rec} を昇圧して出力電圧 V_{out} を生成する回路である。チョップ回路10は、トランス11、トランジスタ12、電流検出抵抗13、分圧抵抗14a、14b、ダイオード15、16、コンデンサ17、分圧抵抗18a、18bを有する。

[0016] トランス11は、主巻線L1と、主巻線L1に磁気的に結合された補助巻線L2とを有する。ここで、補助巻線L2に生じる電圧は、主巻線L1に生じる電圧とは極性が逆になるよう、補助巻線L2は巻かれている。このため、補助巻線L2には、主巻線L1の巻数（以下、「1次巻数 N_p 」とする。）と、補助巻線L2の巻数（以下、「2次巻数 N_s 」とする。）の巻数比に

応じ、主巻線 L_1 とは逆極性の補助巻線電圧（以下、電圧 V_{zcd} ）が生じる。なお、主巻線 L_1 は、一端 L_{1a} が整流回路2と接続される。

[0017] トランジスタ12は、端子Eに接続された負荷に供給する電力を制御するNMOSトランジスタである。トランジスタ12は、駆動回路20の端子OUTから出力された駆動信号 V_{dr} に応じてオン又はオフする。これにより、トランジスタ12は、主巻線 L_1 のインダクタ電流 I_L を変化させる。なお、トランジスタ12は、NMOSに限定されず、バイポーラトランジスタ又はIGBT等、他の半導体素子であってもよい。

[0018] 電流検出抵抗13は、トランジスタ12がオンとなると、主巻線 L_1 に流れるインダクタ電流 I_L を、電流電圧変換する。電流検出抵抗13は、トランジスタ12とグランドGNDの間に設けられる。なお、電流検出抵抗13は、分圧抵抗14a、14bよりも十分小さい所定抵抗値を有する。また、トランジスタ12がオンの際に電流検出抵抗13に発生する電圧を、電圧 V_s とする。

[0019] 分圧抵抗14a、14bは、ダイオード15がオンの際、ダイオード15から出力される電圧を分圧して端子Tに印加させる。なお、分圧抵抗14a、14bは、補助巻線 L_2 とグランドGNDとの間の電流経路上に互いに直列になるように設けられる。分圧抵抗14a、14bの間のノードは、端子Tに接続される。

[0020] ダイオード15は、補助巻線 L_2 に発生する電圧 V_{zcd} を端子Tに印加させるための素子である。なお、電圧 V_{zcd} は、補助巻線 L_2 と、ダイオード15とが接続されるノードの電圧である。ダイオード15は、補助巻線 L_2 と分圧抵抗14aの間に設けられ、アノードが補助巻線 L_2 と接続され、カソードが分圧抵抗14aと接続される。

[0021] ここで、図2を参照しつつ、電圧 V_{zcd} について説明する。駆動信号 V_{dr} がハイレベル（以下、「Hレベル」とする。）となり、トランジスタ12がオンとなると、主巻線 L_1 の一端 L_{1a} には整流電圧 V_{rec} が印加され、他端 L_{1b} は、トランジスタ12や電流検出抵抗13の電圧降下を無視

すると0V（グラウンドGNDの電圧）となる。つまり、主巻線L1の一端L1a側の電圧が、他端L1b側の電圧より高くなる。

[0022] この際、補助巻線L2に発生する電圧 V_{zcd} は、主巻線L1の両端の電圧と逆極性であるため、電圧 V_{zcd} は、グラウンドGNDより低い負の電圧となる。つまり、電圧 V_{zcd} は、 $V_{zcd} = -(2)^{1/2} \times V_{rec} \times (N_s / N_p)$ となる。

[0023] 一方、駆動信号 V_{dr} がLレベルとなり、トランジスタ12がオフとなると、主巻線L1の一端L1aには整流電圧 V_{rec} が印加され、他端L1bには出力電圧 V_{out} が印加される。

[0024] この際、主巻線L1の他端L1b側の電圧が、一端L1a側の電圧より高くなるため、補助巻線L2の電圧 V_{zcd} は、 $V_{zcd} = (V_{out} - (2)^{1/2} \times V_{rec} \times (N_s / N_p))$ が発生する。

[0025] したがって、図2に示すように、トランジスタ12がオンであるとき、電圧 V_{zcd} は、 $V_{zcd} = -(2)^{1/2} \times V_{rec} \times (N_s / N_p)$ で示される包絡線E1に沿うように変化する。一方、トランジスタ12がオフであるとき、電圧 V_{zcd} は、正の電圧である $V_{zcd} = V_{out} - (2)^{1/2} \times V_{rec} \times (N_s / N_p)$ で示される包絡線E2に沿うように変化する。

[0026] また、上述のように、トランジスタ12がオンの際、電圧 V_{zcd} は負の電圧となるためダイオード15はオフする。一方、トランジスタ12がオフの際には、電圧 V_{zcd} は、ダイオード15の順方向電圧より十分高くなるよう、巻数比“ N_s / N_p ”が定められている。このため、トランジスタ12がオフの際には、ダイオード15はオンする。したがって、本実施形態では、トランジスタ12がオフの際のみ、電圧 V_{zcd} に応じた電圧が端子Tに印加される。

[0027] ダイオード16は、トランジスタ12がオフの際、主巻線L1に蓄積されたエネルギーを出力側に放出する素子である。ダイオード16のアノードは、主巻線L1、トランジスタ12に接続され、カソードは、端子Eに接続される。

- [0028] コンデンサ 17 は、トランジスタ 12 のスイッチング動作によって生じた高周波成分を出力電圧 V_{out} から除去する。コンデンサ 17 は、ダイオード 16 のカソードとグラウンド GND に間に設けられる。
- [0029] 分圧抵抗 18a, 18b は、出力電圧 V_{out} を分圧して帰還電圧 V_{fb} を帰還させる。分圧抵抗 18a, 18b は、端子 E とグラウンド GND に間に、互いに直列になるように設けられる。分圧抵抗 18a, 18b の間のノードは、後述する駆動回路 20 の端子 FB に接続される。
- [0030] 駆動回路 20 は、AC-DC コンバータ 1 の力率を改善しつつ、出力電圧 V_{out} のレベルが目的レベルとなるように、トランジスタ 12 を駆動する。駆動回路 20 は、例えば、力率改善 IC 等の集積回路であり、端子 T、端子 FB、端子 COMP、端子 OUT を有する。なお、駆動回路 20 には、上述した 4 つの端子以外にも端子が設けられているが、ここでは便宜上、省略されている。
- [0031] 端子 T には、トランジスタ 12 がオンし、ダイオード 15 がオフされると、トランジスタ 12 に流れる電流に応じた電圧 V_s が印加される。また、トランジスタ 12 がオフし、ダイオード 15 がオンとなると、端子 T には、補助巻線 L2 の電圧 V_{zcd} に応じた電圧が印加される。
- [0032] したがって、トランジスタ 12 がオンの際、端子 T の電圧 V_t は、 $V_t = V_s$ となり、トランジスタ 12 がオフの際、電圧 V_t は、 $V_t = (V_{zcd} - 0.7) \times R_{14b} \div (R_{14a} + R_{14b})$ となる。なお、ここでは、ダイオード 15 の順方向電圧を、“0.7V” とし、分圧抵抗 14a, 14b の抵抗値を、 R_{14a} , R_{14b} とし、電流検出抵抗 13 の抵抗値は、 R_{14a} , R_{14b} より十分小さいため便宜上無視している。
- [0033] 端子 FB には、帰還電圧 V_{fb} が印加され、端子 COMP には、誤差電圧 V_e が印加される。また、端子 OUT からは、トランジスタ 12 を駆動するための駆動信号 V_{dr} が出力される。
- [0034] 駆動回路 20 は、電圧 V_t 及び帰還電圧 V_{fb} に応じて、駆動信号 V_{dr} を出力し、トランジスタ 12 を駆動する。駆動回路 20 は、マイナス電圧ク

ランプ回路 21a、プラス電圧クランプ回路 21b、ゼロ電流検出回路 22、入力検出回路 23、遅延回路 24、タイマ回路 25、ランプ発振器 26、誤差増幅回路 27、比較回路 28、29、OR回路 30、31、SRフリップフロップ 32を有する。

[0035] マイナス電圧クランプ回路 21aは、端子Tの電圧 V_t が、所定のマイナス電圧より小さくならないよう、電圧 V_t をクランプする。マイナス電圧クランプ回路 21aは、例えば、アノードがグランドGNDに接続され、カソードが端子Tに接続された図示しないツェナーダイオードによって構成されてもよい。

[0036] プラス電圧クランプ回路 21bは、電圧 V_t が、所定のプラス電圧以下になるよう、電圧 V_t をクランプする。プラス電圧クランプ回路 21bは、例えば、アノードが端子Tに接続され、カソードが所定電圧に接続された図示しないツェナーダイオードによって構成されてもよい。

[0037] ゼロ電流検出回路 22（第1検出回路）は、トランジスタ12がオフの際の電圧 V_t に基づいて、インダクタ電流 I_L が、ゼロになったか否かを検出する。ここで、「ゼロ」とは、例えば、インダクタ電流 I_L がほぼゼロとなる電流値（例えば、1mA）であることとする。このため、ゼロ電流検出回路 22は、電圧 V_{t2} と、例えば1mAの電流に応じた数mVである閾値電圧 V_{th} と、を比較し、インダクタ電流 I_L がゼロであることを検出する。

[0038] そして、ゼロ電流検出回路 22は、インダクタ電流 I_L の電流値が1mA（第1電流値）よりも小さいことを検出すると、インダクタ電流 I_L がゼロになったことを示すHレベルの信号 V_z を遅延回路 24及びタイマ回路 25に出力する。

[0039] 入力検出回路 23（判定回路）は、トランジスタ12がオフの際の端子Tの電圧 V_t に基づいて、交流電圧 V_{ac} が複数種類の交流電圧 V_{ac} のうち、いずれの交流電圧 V_{ac} であるかを示す判定結果 V_j を出力する。具体的には、入力検出回路 23は、交流電圧 V_{ac} が100V系の交流電圧 V_{ac1} であることを判定すると、判定結果として“Hレベル”の信号 V_j （第1

信号) を出力する。一方、入力検出回路 23 は、交流電圧 V_{ac} が 200 V 系の交流電圧 V_{ac2} であることを判定すると、判定結果として “L レベル” の信号 V_j (第 2 信号) を出力する。

[0040] なお、「交流電圧 V_{ac1} (第 1 交流電圧)」とは、例えば日本で使用される 100 V の交流電圧であり、「交流電圧 V_{ac2} (第 2 交流電圧)」とは、例えば欧州で使用される 220 ~ 240 V の交流電圧である。なお、入力検出回路 23 の詳細については後述する。

[0041] 遅延回路 24 は、ゼロ電流検出回路 22 から H レベルの信号 V_z が入力されると、信号 V_j のレベルに応じた時間後にトランジスタ 12 をオンに切り替えるための H レベルの信号 V_d (第 1 指示信号) を OR 回路 30 に出力する。具体的には、遅延回路 24 は、“H レベル” の信号 V_j が入力されている際、インダクタ電流 I_L がゼロとなったことが検出されてから時間 t_{d1} (第 1 時間) が経過した後、トランジスタ 12 をオンするため信号 V_d を出力する。

[0042] また、遅延回路 24 は、“L レベル” の信号 V_j が入力されている際、インダクタ電流 I_L がゼロとなったことが検出されてから時間 t_{d2} (第 2 時間) が経過した後、トランジスタ 12 をオンするための H レベルの信号 V_d を出力する。

[0043] ところで、遅延回路 24 における遅延時間 t_d は、トランジスタ 12 のドレインソース電圧 V_{ds} が小さい(例えば、ほぼゼロ)になるタイミングでトランジスタ 12 がオンされるよう、設定されている。これは、トランジスタ 12 のドレインソース電圧 V_{ds} が大きい際に、トランジスタ 12 がオンされると、トランジスタ 12 での損失が大きくなるからである。

[0044] そして、トランジスタ 12 のドレインソース電圧 V_{ds} は、一般に、交流電圧 V_{ac} の振幅が小さくなる程、緩やかに変化する。つまり、100 V 系の電圧が入力される際の電圧 V_{ds} の変化は、200 V 系の電圧が入力される際の電圧 V_{ds} の変化より緩やかになる。遅延回路 24 は、トランジスタ 12 のスイッチング損失を低減するためには、本実施形態では、「時間 t

d 2」は、「時間 t d 1」より短くなるように設定されている。このため、本実施形態では、トランジスタ 1 2 のスイッチング損失を低減される。

[0045] タイマ回路 2 5 は、駆動回路 2 0 の起動時や交流電圧 V_{ac} の遮断時に、トランジスタ 1 2 をオンする。より具体的には、タイマ回路 2 5 は、ゼロ電流検出回路 2 2 から H レベルの信号 V_z が所定時間入力されないとき、つまり、インダクタ電流 I_L がゼロとなったことが所定時間検出されないとき、H レベルの信号を OR 回路 3 0 に所定周期毎に出力する。

[0046] ランプ発振器 2 6（発振回路）は、H レベルの信号 V_{set} の入力があると、信号 V_j のレベルに応じた傾きを有するランプ波 V_{rp} を比較回路 2 8 に出力する。具体的には、ランプ発振器 2 6 は、“H レベル”の信号 V_j が入力されている際、信号 V_{set} の入力に応じ、傾き S_1 （第 1 の傾き）を有するランプ波 V_{rp} を出力する。

[0047] また、ランプ発振器 2 6 は、“L レベル”の信号 V_j が入力されている際、信号 V_{set} の入力に応じ、傾き S_2 （第 2 の傾き）を有するランプ波 V_{rp} を出力する。なお、本実施形態の傾き S_2 は、傾き S_1 より、急な傾きである。

[0048] 誤差増幅回路 2 7 は、帰還電圧 V_{fb} と、目的レベルの基準となる基準電圧 V_{ref1} とに基づいて、出力電圧 V_{out} のレベルと、目的レベルとの誤差に応じた誤差電圧 V_e を出力する。また、誤差増幅回路 2 7 の出力とグランド GND との間には、端子 COMP を介して、位相補償用の抵抗 R 、コンデンサ C_1 、 C_2 が接続されている。

[0049] 比較回路 2 8（信号出力回路）は、誤差増幅回路 2 7 から反転入力端子に入力された誤差電圧 V_e と、ランプ発振器 2 6 から非反転入力端子に入力されたランプ波 V_{rp} を比較する。そして、比較回路 2 8 は、ランプ波 V_{rp} が誤差電圧 V_e より高くなると、トランジスタ 1 2 をオフするための H レベルの信号 V_c （第 2 指示信号）を OR 回路 3 1 に出力する。

[0050] 比較回路 2 9（第 2 検出回路）は、トランジスタ 1 2 がオンの際の端子 T の電圧 V_t と、過電流に対応する基準電圧 V_{ref2} とに基づいて、ラン

ジスタ 12 に流れるインダクタ電流 I_L が過電流であるか否かを検出する。
なお、本実施形態では、インダクタ電流 I_L が、数 A 等の所定の電流値（第 2 電流値）より大きい場合、すなわち、トランジスタ 12 がオンの際の電圧 V_t が基準電圧 V_{ref2} より高い場合、過電流であることが検出し、H レベルの信号を出力する。

[0051] なお、比較回路 29 は、例えば、駆動信号 V_{dr} に基づいて、トランジスタ 12 がオフの際には、L レベルの信号を出力するよう設計されている。具体的には、比較回路 29 内部の出力と、グランド GND との間に、駆動信号 V_{dr} に基づいてオン、オフする「スイッチ SW（不図示）」を設けても良い。そして、スイッチ SW は、例えば L レベルの駆動信号 V_{dr} に基づいて、オンし、比較回路 29 の出力をグランド GND に接続する。また、スイッチ SW は、H レベルの駆動信号 V_{dr} に基づいて、比較回路 29 の出力と、グランド GND との間をオフする。この結果、比較回路 29 は、H レベルの駆動信号 V_{dr} が入力されている際のみ、過電流を検出する。

[0052] また、詳細は後述するが、比較回路 29 が、過電流を検出し、比較回路 29 の出力が H レベルとなると、OR 回路 31 の信号 V_r は H レベルとなるため、結果的に駆動信号 V_{dr} も L レベルとなり、トランジスタ 12 はオフされる。このため、トランジスタ 12 等は過電流から保護される。

[0053] OR 回路 30 は、遅延回路 24 又はタイマ回路 25 のいずれか一方から H レベルの信号が出力されると、H レベルの信号 V_{set} をフリップフロップ 32 に出力する

OR 回路 31 は、比較回路 28、29 のいずれか一方から H レベルの信号が出力されると、H レベルの信号 V_r をフリップフロップ 32 に出力する。

[0054] フリップフロップ 32 は、S 入力に H レベルの信号 V_{set} が入力されると、トランジスタ 12 をオンするための H レベルの駆動信号 V_{dr} を出力する。一方、フリップフロップ 32 は、R 入力に H レベルの信号 V_r が入力されると、トランジスタ 12 をオフするための L レベルの駆動信号 V_{dr} を出力する。

[0055] <交流電圧 V_{ac} と電圧 V_t との関係>

図3は、異なる振幅の交流電圧 V_{ac} が入力された際の整流電圧 V_{rec} 、トランジスタ12がオフの際の電圧 V_t の波形の一例を示す図である。

[0056] 100V系の交流電圧 V_{ac1} に応じた整流電圧 V_{rec1} が力率改善回路3に入力されると、補助巻線L2から出力される電圧は、

$$V_{zcd1} = V_{out} - (2)^{1/2} \times V_{rec1} \times (N_s / N_p) \cdots (1)$$

となる。

[0057] また、トランジスタ12がオフの際の端子Tの電圧は、

$$V_{t1} = (V_{zcd1} - 0.7) \times R_{14b} \div (R_{14a} + R_{14b}) \cdots (2)$$

となる。

[0058] 一方、200V系の交流電圧 V_{ac2} に応じた整流電圧 V_{rec2} が力率改善回路3に入力されると、補助巻線L2から出力される電圧は、

$$V_{zcd2} = V_{out} - (2)^{1/2} \times V_{rec2} \times (N_s / N_p) \cdots (3)$$

となる。

[0059] また、トランジスタ12がオフの際の端子Tの電圧は、

$$V_{t2} = (V_{zcd2} - 0.7) \times R_{14b} \div (R_{14a} + R_{14b}) \cdots (4)$$

となる。

[0060] したがって、トランジスタ12がオフの際の端子Tの電圧 V_t は、交流電圧 V_{ac} の振幅が小さくなる程高くなる。そして、図3から明らかなように、交流電圧 V_{ac} の半周期（位相角が $0 \sim 180^\circ$ まで変化する期間）において、位相角 90° の際の電圧 V_{t1} 、 V_{t2} が夫々最低となる。そして、電圧 V_{t1} の最低値は、電圧 V_{t2} の最低値より高くなる。

[0061] 本実施形態の入力検出回路23は、電圧 V_{t1} の最低値及び電圧 V_{t2} の最低値の間に設定された基準電圧 V_{ref3} と、電圧 V_t と、を比較するこ

とにより、交流電圧 V_{ac} が 100 V 系であるか 200 V 系であるかを判定している。

[0062] 具体的には、入力検出回路 23 は、電圧 V_t が、基準電圧 V_{ref3} より低くなる期間が所定期間あると、200 V 系の交流電圧 V_{ac2} が入力されていることを判定する。一方、入力検出回路 23 は、電圧 V_t が、基準電圧 V_{ref3} より低くなる期間がないと、100 V 系の交流電圧 V_{ac1} が入力されていることを判定する。なお、詳細は後述するが、例えば、交流電圧 V_{ac} の半周期の期間、電圧 V_t が、基準電圧 V_{ref3} より低くならなければ、電圧 V_t が、基準電圧 V_{ref3} より低くなる期間がないと判定できる。

[0063] <<入力検出回路 23 の一例>>

図 4 は、入力検出回路 23 の一例を示す図である。図 4 に示すように、入力検出回路 23（判定回路）は、クロック出力回路 40、基準電圧出力回路 41、比較回路 42、OR 回路 43、第 1 タイマ回路 44、第 2 タイマ回路 45 を有する。

[0064] クロック出力回路 40 は、所定周期を有するクロック信号 q_1 を第 1 タイマ回路 44 に出力する。本実施形態のクロック信号 q_1 は、例えば、駆動信号 V_{dr} と同じ周期の信号であり、駆動信号 V_{dr} であっても良い。

[0065] 基準電圧出力回路 41 は、比較回路 42 に対し、信号 V_j に応じたレベルの基準電圧 V_{ref3} を出力する。例えば、基準電圧出力回路 41 は、後述する第 2 タイマ回路 45 から L レベルの信号 V_j が出力されると、基準電圧 V_{ref3} のレベルを上昇させる。一方、基準電圧出力回路 41 は、H レベルの信号 V_j が出力されると、基準電圧 V_{ref3} のレベルを低下させる。本実施形態の基準電圧 V_{ref3} は、H レベルの信号 V_j に基づいて、第 1 レベル（例えば 2.0 V）の基準電圧 V_{ref3} を出力し、L レベルの信号 V_j に基づいて、第 1 レベルより高い第 2 レベル（例えば 2.1 V）の基準電圧 V_{ref3} を出力する。

[0066] 比較回路 42 は、トランジスタ 12 がオフの際の端子 T の電圧 V_t と、基

準電圧 V_{ref3} とを比較する。具体的には、比較回路 42 は、非反転入力端子が端子 T に接続されており、電圧 V_t と、基準電圧 V_{ref3} とを比較し、比較結果として制御信号 V_{c0} を出力する。

[0067] また、上述のように、本実施形態では、トランジスタ 12 がオンの際の電圧 V_t は、電圧 V_s であるが、トランジスタ 12 がオフの際の電圧 $V_t = (V_{zcd} - 0.7) \times R_{14b} \div (R_{14a} + R_{14b})$ となる。また、基準電圧 V_{ref3} は、トランジスタ 12 がオンの際の電圧 V_s より十分高く、かつ、図 3 で示した関係にある。つまり、「基準電圧 V_{ref3} 」は、電圧 V_{t1} の最低値及び電圧 V_{t2} の最低値の間に設定された電圧である。

[0068] OR 回路 43 は、比較回路 42 から H レベルの制御信号 V_{c0} 、H レベルの初期化信号 $ini1$ が入力されると、H レベルの制御信号 V_{c1} を、第 1 タイマ回路 44 に出力する。なお、H レベルの制御信号 V_{c1} は、第 1 タイマ回路 44 のカウント値をリセットさせる信号である。

[0069] 第 1 タイマ回路 44 は、端子 T の電圧 V_t が基準電圧 V_{ref3} よりも低い期間が期間 T_1 (第 1 期間) 継続したか否か検出する。なお、200V 系の交流電圧 V_{ac2} が入力されて際には、電圧 V_t が基準電圧 V_{ref3} よりも低い期間が期間 T_1 経過することになるため、第 1 タイマ回路 44 は、200V 系の交流電圧 V_{ac2} が入力されていることを検出する。

[0070] 第 1 タイマ回路 44 は、3 ビットのカウンタに相当する D フリップフロップ $F_1 \sim F_3$ と、RS フリップフロップ F_4 を含む。なお、D フリップフロップ $F_1 \sim F_3$ は、3 段であるが、これに限られない。

[0071] D フリップフロップ F_1 の D 入力には、所定の電源電圧が印加され、D フリップフロップ F_2 の D 入力には、D フリップフロップ F_1 の Q 出力が入力される。D フリップフロップ F_3 の D 入力には、D フリップフロップ F_2 の Q 出力が入力される。そして、D フリップフロップ $F_1 \sim F_3$ には、クロック信号 q_1 が入力される。したがって、D フリップフロップ $F_1 \sim F_3$ は、リセットが解除され、クロック信号 q_1 が 3 周期分だけ変化すると、D フリップフロップ F_3 の Q 出力は、H レベルとなる。なお、本実施形態では、ク

ロック信号 q_1 が3周期分変化する期間を“期間 T_1 ”とする。

[0072] RSフリップフロップF4のS入力には、DフリップフロップF3のQ出力が入力される。したがって、DフリップフロップF3のQ出力がHレベルになると、RSフリップフロップF4のQ出力もHレベルになる。また、RSフリップフロップF4のQ出力は、第2タイマ回路45のR入力に入力される。このため、第1タイマ回路44の出力がHレベルとなり、期間 T_1 を計時すると、つまり、200V系の交流電圧 V_{ac2} が入力されると、第2タイマ回路45はリセットされる。

[0073] 第2タイマ回路45は、クロック出力回路（不図示）からのクロック信号 q_2 に基づいて、例えば、交流電圧 V_{ac} の半周期の期間 T_2 （第2期間）を計時する。具体的には、第2タイマ回路45は、クロック信号 q_2 に基づいて、カウント値をインクリメントし、期間 T_2 を示す“カウント値 X ”となると、Hレベルの信号 V_j を出力する。

[0074] なお、一般に、交流電圧 V_{ac} の商用周波数は、例えば50～60Hzと幅がある。ここでは、「期間 T_2 」は、100V系の交流電圧 V_{ac1} 、200V系の交流電圧 V_{ac2} において、最も低い周波数（例えば、50Hz）に基づいて、期間 T_2 が定められることとする。

[0075] 一方、第2タイマ回路45は、第1タイマ回路44が200V系の交流電圧 V_{ac2} を検出し、カウント値がリセットされると、Lレベルの信号 V_j を出力する。なお、第2タイマ回路45は、初期化信号 ini_2 が入力されると、例えば“カウント値 X ”が設定され、Hレベルの信号 V_j を出力する。

[0076] このように、本実施形態では、200V系の交流電圧 V_{ac2} が検出されない限り、第2タイマ回路45のカウント値はリセットされることはない。したがって、第2タイマ回路45から出力されるHレベルの信号 V_j （第1信号）は、入力されている交流電圧 V_{ac} が100V系の交流電圧 V_{ac1} であることを示す。

[0077] 一方、第2タイマ回路45から出力されるLレベルの信号 V_j （第2信号

) は、入力されている交流電圧 V_{ac} が 200V 系の交流電圧 V_{ac2} であることを示す。

[0078] ===== AC-DC コンバータ 1 の動作 =====

ここで、図 5 を参照しつつ、200V 系の交流電圧 V_{ac2} が入力されている際の AC-DC コンバータ 1 の主要な回路の動作について説明する。まず、時刻 t_0 に、駆動信号 V_{dr} が L レベルとなり、トランジスタ 12 がオフすると、補助巻線 L_2 の電圧 V_{zcd2} は、正の電圧である “ $V_{out-}(2)^{1/2} \times V_{rec2} \times (N_s / N_p)$ ” まで増加する。

[0079] その後、トランジスタ 12 のオフにともない、インダクタ電流 I_L が減少して主巻線 L_1 に生じる電圧が小さくなると、補助巻線 L_2 の電圧 V_{zcd2} は低下する。この結果、端子 T の電圧 V_{t2} も低下することになる。

[0080] そして、時刻 t_1 に、端子 T の電圧 V_{t2} が、閾値電圧 V_{th} より低くなると、ゼロ電流検出回路 22 は、インダクタ電流 I_L がゼロになったことを示す H レベルの信号 V_z を出力する。

[0081] 時刻 t_1 に H レベルの信号 V_z が出力されてから、信号 V_j のレベルに応じて設定された所定時間 t_{d2} の経過後の時刻 t_2 になると、遅延回路 24 は、H レベルの信号 V_d を出力する。このため、OR 回路 30 から H レベルの信号 V_s が出力され、フリップフロップ 32 は、H レベルの駆動信号 V_{dr} を出力し、トランジスタ 12 をオンする。

[0082] 上述のように、遅延回路 24 における遅延時間 t_d (t_{d1} , t_{d2}) は、トランジスタ 12 のドレインソース電圧 V_{ds} が小さい(例えば、ほぼゼロ)になるタイミングでトランジスタ 12 がオンされるよう、設定されている。これにより、トランジスタ 12 のスイッチング損失が小さくなる。

[0083] 時刻 t_2 にトランジスタ 12 がオンになると、インダクタ電流 I_L は増加する。この際、上述のように電圧 V_{zcd2} は、負電圧になるため、ダイオード 15 はオフし、端子 T には、電流検出抵抗 13 で生じた電圧 V_s が印加される。つまり、この際、電圧 $V_{t2} = V_s$ となる。

[0084] また、時刻 t_2 において、ランプ発振器 26 は、H レベルの信号 V_s の入

力に基づいて、信号 V_j のレベルに応じて設定された傾きのランプ波 V_{rp} を出力する。

[0085] そして、時刻 t_3 において、ランプ波 V_{rp} のレベルが誤差電圧 V_e のレベルとなると、比較回路28は、Hレベルの信号 V_c を出力するため、Hレベルの信号 V_r がフリップフロップ32に出力される。そして、フリップフロップ32は、Lレベルの駆動信号 V_{dr} を出力するため、トランジスタ12はオフされる。時刻 t_3 以降、時刻 $t_0 \sim t_3$ までの動作が繰り返される。

[0086] ここで、AC-DCコンバータ1が目的レベルの出力電圧 V_{out} を生成し、一定の負荷に電力を供給している際、帰還電圧 V_{fb} 及び誤差電圧 V_e は一定になる。このため、トランジスタ12のオン期間（例えば、時刻 $t_2 \sim t_3$ ）も一定になる。そして、トランジスタ12がオンする際に、整流電圧 V_{rec2} のレベルが高くなると、インダクタ電流 I_L も大きくなる。したがって、このような場合、インダクタ電流 I_L のピーク波形は、整流電圧 V_{rec2} の波形と相似形になるため、AC-DCコンバータ1の力率は改善される。

[0087] なお、ここでは、200V系の交流電圧 V_{ac2} が入力されている場合について説明したが、100V系の交流電圧 V_{ac1} が入力されている場合でも、遅延時間 t_d 、ランプ波 V_{rp} の傾きが異なる以外は、同様である。

[0088] <<入力検出回路23の動作>>

つぎに、200V系の交流電圧 V_{ac2} が入力されている際の入力検出回路23の動作について説明をする。

[0089] 図6は、交流電圧 V_{ac2} が変化する際の電圧 V_{t2} の一例であり、図7は、入力検出回路23の主要な波形を示す図である。

[0090] なお、ここでは、時刻 t_{10} のAC-DCコンバータ1の起動時に、初期化信号 ini_1 、 ini_2 が入力され、入力検出回路23は、第1タイマ回路44と第2タイマ回路45がリセットされていることとする。

[0091] 時刻 $t_{10} \sim t_{11}$ の期間において、電圧 V_{t2} が基準電圧 V_{ref3} よ

り高い場合、比較回路42からは、トランジスタ12がオフとなる毎に、Hレベルの信号Vc0が出力される。

[0092] この結果、第1タイマ回路44はリセットされ続けるため、第1タイマ回路44から出力される信号Vc2がHレベルになることはなく、第2タイマ回路45がリセットされることはない。したがって、第2タイマ回路45からは、Hレベルの信号Vjが出力される。

[0093] 時刻t11以降、電圧Vt2が基準電圧Vref3より低くなるため、比較回路42の信号Vc0、OR回路43の信号Vc1はLレベルになる。このため、第1タイマ回路44のリセットが解除される。

[0094] 時刻t12にクロック信号q1がHレベルになると、DフリップフロップF1のQ出力はHレベルになる。また、時刻t13にクロック信号q1がHレベルになると、DフリップフロップF2のQ出力はHレベルになり、時刻t14にクロック信号q1がHレベルになると、DフリップフロップF3のQ出力はHレベルになる。つまり、時刻t12～t14において、クロック信号q1がHレベルに変化する期間T1が経過すると、RSフリップフロップF4のQ出力である信号Vc2がHレベルとなり、第2タイマ回路45がリセットされる。

[0095] この結果、時刻t14において、第2タイマ回路45からの信号Vjが、HレベルからLレベルに変化する。つまり、第2タイマ回路45は、交流電圧Vacが、200V系の交流電圧Vac2であることを判定する。

[0096] 時刻t15になると、電圧Vt2が基準電圧Vref3より高くなるため、時刻t10～t11までの期間と同様に、トランジスタ12がオフとなる毎に、OR回路43からはHレベルの信号Vc1が出力される。したがって、第1タイマ回路44はリセットされ続けるため、第1タイマ回路44から出力される信号Vc2はLレベルとなる。

[0097] そして、時刻t15以降、第2タイマ回路45のカウント値は、クロック信号q2に基づいてインクリメントされる。

[0098] ここで、仮に、時刻t15から交流電圧Vacの期間T2、第2タイマ回

路45のカウント値がインクリメントされると、第2タイマ回路45からの信号 V_j は、Hレベルに変化する。しかしながら、図6に示すように、時刻 t_{15} 以降の時刻 t_{16} において、電圧 V_{t2} は、基準電圧 V_{ref3} より低くなり、時刻 t_{11} の動作が繰り返されることになる。したがって、本実施形態では、時刻 t_{15} から期間 T_2 だけ、第2タイマ回路45のカウント値がインクリメントされることはなく、第2タイマ回路45からは、交流電圧 V_{ac} が、200V系の交流電圧 V_{ac2} であることを示すLレベルの信号 V_j が出力され続ける。

[0099] なお、ここでは図示していないが、AC-DCコンバータ1に入力される電圧が、100V系の交流電圧 V_{ac1} の場合、第2タイマ回路45はリセットされることはない。したがって、このような場合、第2タイマ回路45からは、交流電圧 V_{ac} が、100V系の交流電圧 V_{ac1} であることを示すHレベルの信号 V_j が出力され続ける。

[0100] =====

以上、本実施形態のAC-DCコンバータ1について説明した。本実施形態の駆動回路20は、端子Tの電圧 V_t に基づいて、インダクタ電流 I_L や入力される交流電圧 V_{ac} の振幅を検出する。したがって、駆動回路20では、2つの対象が検出される際に、2つの端子が設けられていない。したがって、本実施形態では、検出対象が複数ある場合であっても、端子の数の増加を抑制できる。

[0101] また、比較回路29は、トランジスタ12がオンした際の端子Tの電圧 V_t に基づいて、過電流を検出する。このため、本実施形態では、過電流を検出する際にも端子の数の増加が抑制される。

[0102] また、図3に示すように、トランジスタ12がオフの際の端子Tの電圧 V_t は、入力される交流電圧 V_{ac} の振幅（レベル）によって変化する。このため、入力検出回路23は、電圧 V_{t1} 、 V_{t2} の間に設けられた基準電圧 V_{ref3} に基づいて、交流電圧 V_{ac} が100V系の電圧であるか、200V系の電圧であるかを判定することができる。

- [0103] また、例えば、電圧 V_t が、基準電圧 V_{ref3} より低くなると直ちに入力される交流電圧 V_{ac} が200V系であると判定しても良い。しかしながら、このような構成とすると、ノイズ等により電圧 V_t が基準電圧 V_{ref3} より低くなり、誤判定してしまいことがある。本実施形態の入力検出回路23は、電圧 V_t が、基準電圧 V_{ref3} より低い期間が期間 T_1 継続した後に、判定しているため、より正確な判定が可能となる。
- [0104] また、基準電圧出力回路41は、200V系の交流電圧 V_{ac2} が入力されている場合、基準電圧 V_{ref3} のレベルを上昇させる。このため、入力検出回路23は、電圧 V_t がノイズ等により変動した場合であっても、精度よく、入力される交流電圧 V_{ac} の種別を判定できる。なお、本実施形態では、基準電圧 V_{ref3} が変化することとしたが、例えば、基準電圧 V_{ref3} が一定で、比較回路42が、ヒステリシスを有しても同様の効果を得ることができる。
- [0105] また、遅延回路24は、ゼロ電流検出回路22からHレベルの信号 V_z が入力されると、信号 V_j のレベルに応じた時間後にトランジスタ12をオンに切り替えるためのHレベルの信号 V_d （第1指示信号）をOR回路30に出力する。具体的には、遅延回路24は、“Hレベル”の信号 V_j が入力されている際、インダクタ電流 I_L がゼロとなったことが検出されてから時間 t_{d1} （第1時間）が経過した後、トランジスタ12をオンするため信号 V_d を出力する。
- [0106] また、100V系の電圧が入力される際の電圧 V_{ds} の変化は、200V系の電圧が入力される際の電圧 V_{ds} の変化より緩やかになる。遅延回路24は、トランジスタ12のスイッチング損失を低減するためには、200V系の電圧が入力されている際の遅延時間 t_{d2} を、100V系の電圧が入力されている際の遅延時間 t_{d1} より短くしている。このため、本実施形態では、トランジスタ12のスイッチング損失を低減される。
- [0107] また、交流電圧 V_{ac} の振幅が大きくなると、トランジスタ12がオンの際のインダクタ電流 I_L は大きくなる。本実施形態では、ランプ発振器26

は、200V系の電圧が入力されている際の傾きS2を、100V系の電圧が入力されている際の傾きS1より急にしている。このため、交流電圧V_{ac}の振幅が大きくなると、トランジスタ12のオン時間は短くなる。したがって、インダクタ電流I_Lは、交流電圧V_{ac}によらず、ほぼ一定となる。

[0108] また、端子Tと、補助巻線L2との間には、ダイオード15が設けられている。そして、トランジスタ12がオンの際にはダイオード15はオフされ、トランジスタ12がオフの際にはダイオード15はオンされる。このため、端子Tの電圧V_tには、トランジスタ12のオン、オフに応じて、電圧V_s、電圧V_{zcd}が印加される。

[0109] 上記の実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。また、本発明は、その趣旨を逸脱することなく、変更や改良され得るとともに、本発明にはその等価物が含まれるのはいうまでもない。

[0110] 例えば、入力検出回路23は、初期化信号i_{ni1}、i_{ni2}によって初期化されると、例えば200Vの定格電圧であることを示すLレベルの判定結果V_jを出力するが、100Vの定格電圧であることを示すHレベルの判定結果V_jを出力するように構成してもよい。

符号の説明

- [0111] 1 AC-DCコンバータ
2 整流回路
3 力率改善回路
10 チョッパ回路
11 トランス
12 トランジスタ
13 電流検出抵抗
14a, 14b, 18a, 18b 分圧抵抗
15, 16 ダイオード
17 コンデンサ

- 2 0 駆動回路
- 2 1 a マイナス電圧クランプ回路
- 2 1 b プラス電圧クランプ回路
- 2 2 ゼロ電流検出回路
- 2 3 入力検出回路
- 2 4 遅延回路
- 2 5 タイマ回路
- 2 6 ランプ発振器
- 2 7 誤差増幅回路
- 2 8, 2 9, 4 2 比較回路
- 3 0, 3 1, 4 3 O R 回路
- 3 2 フリップフロップ
- 4 1 基準電圧出力回路
- 4 4 第 1 タイマ回路
- 4 5 第 2 タイマ回路

請求の範囲

[請求項1]

交流電圧を整流した整流電圧が印加される主巻線と、前記主巻線に生じる電圧と逆極性の電圧を生じさせる補助巻線と、を有するトランスにおける前記主巻線に流れるインダクタ電流を制御するトランジスタを駆動する集積回路であって、

前記トランジスタがオフの際に前記補助巻線の電圧に応じた電圧が印加される端子と、

前記トランジスタがオフの際の前記端子の電圧に基づいて、前記インダクタ電流の電流値が第1電流値よりも小さいことを検出する第1検出回路と、

前記トランジスタがオフの際の前記端子の電圧に基づいて、前記交流電圧が第1交流電圧か、前記第1交流電圧より振幅の大きい第2交流電圧かを判定する判定回路と、

前記第1検出回路の検出結果と、前記判定回路の判定結果と、前記交流電圧から生成される出力電圧と、に基づいて、前記トランジスタを駆動する駆動回路と、

を備えることを特徴とする集積回路。

[請求項2]

請求項1に記載の集積回路であって、

第2検出回路を更に含み、

前記端子には、

前記トランジスタがオンの際に前記トランジスタに流れる電流に応じた電圧が印加され、前記トランジスタがオフの際に前記補助巻線の電圧に応じた電圧が印加され、

前記第2検出回路は、

前記トランジスタがオンの際の前記端子の電圧に基づいて、前記インダクタ電流の電流値が第2電流値より大きいかなんかを検出し、

前記駆動回路は、

前記第1検出回路の検出結果と、前記第2検出回路の検出結果と、

前記判定回路の判定結果と、前記出力電圧と、に基づいて前記トランジスタを駆動すること、

を特徴とする集積回路。

[請求項3] 請求項1または請求項2に記載の集積回路であって、
前記判定回路は、

前記端子の電圧が基準電圧より高い期間に基づいて、前記交流電圧が前記第1交流電圧であると判定し、前記端子の電圧が前記基準電圧より低い期間に基づいて、前記交流電圧が前記第2交流電圧であると判定すること、

を特徴とする集積回路。

[請求項4] 請求項3に記載の集積回路であって、
前記判定回路は、

前記トランジスタがオフの際の前記端子の電圧と、前記基準電圧とを比較する比較回路と、

前記端子の電圧が前記基準電圧より低い期間が第1期間継続したか否か検出する第1タイマ回路と、

前記端子の電圧が前記基準電圧より高い期間が第2期間継続すると、前記判定結果として前記交流電圧が前記第1交流電圧であることを示す第1信号を出力し、前記第1タイマ回路が前記端子の電圧が前記基準電圧より低い期間が前記第1期間継続することを検出すると、前記判定結果として前記交流電圧が前記第2交流電圧であることを示す第2信号を出力する第2タイマ回路と、を含むこと、

を特徴とする集積回路。

[請求項5] 請求項4に記載の集積回路であって、

前記第1信号に基づいて、第1レベルの前記基準電圧を出力し、前記第2信号に基づいて、前記第1レベルより高い第2レベルの前記基準電圧を出力する基準電圧出力回路を含むこと、

を特徴とする集積回路。

- [請求項6] 請求項4に記載の集積回路であって、
 前記駆動回路は、
 前記第1信号が入力されている際、前記インダクタ電流の電流値が第1電流値より小さいことが検出されてから第1時間が経過した後、前記トランジスタをオンするための第1指示信号を出力し、
 前記第2信号が入力されている際、前記インダクタ電流の電流値が第1電流値より小さいことが検出されてから前記第1時間よりも短い第2時間が経過した後、前記第1指示信号を出力する遅延回路を含むこと、
 を特徴とする集積回路。
- [請求項7] 請求項6に記載の集積回路であって、
 前記駆動回路は、
 前記第1信号が入力されている際、前記第1指示信号が出力されてから第1の傾きを有するランプ波を出力し、前記第2信号が入力されている際、前記第1指示信号が出力されてから前記第1の傾きより急な第2の傾きを有する前記ランプ波を出力する発振回路と、
 前記出力電圧のレベルと、前記出力電圧の目的レベルとの誤差に応じた誤差電圧を出力する誤差増幅回路と、
 前記ランプ波が前記誤差電圧より高くなると、前記トランジスタをオフするための第2指示信号を出力する信号出力回路と、
 を含むことを特徴とする集積回路。
- [請求項8] 請求項1に記載の集積回路であって、
 前記端子には、前記補助巻線との間に設けられたダイオードと、前記トランジスタに流れる電流を検出するための抵抗と、が接続されること、
 を特徴とする集積回路。
- [請求項9] 交流電圧を整流した整流電圧が印加される主巻線と、前記主巻線に生じる電圧と逆極性の電圧を生じさせる補助巻線と、を有するラン

スト、

前記主巻線に流れるインダクタ電流を制御するトランジスタと、

前記トランジスタを駆動する集積回路と、を備え

前記集積回路は、

前記トランジスタがオフの際に前記補助巻線の電圧に応じた電圧が印加される端子と、

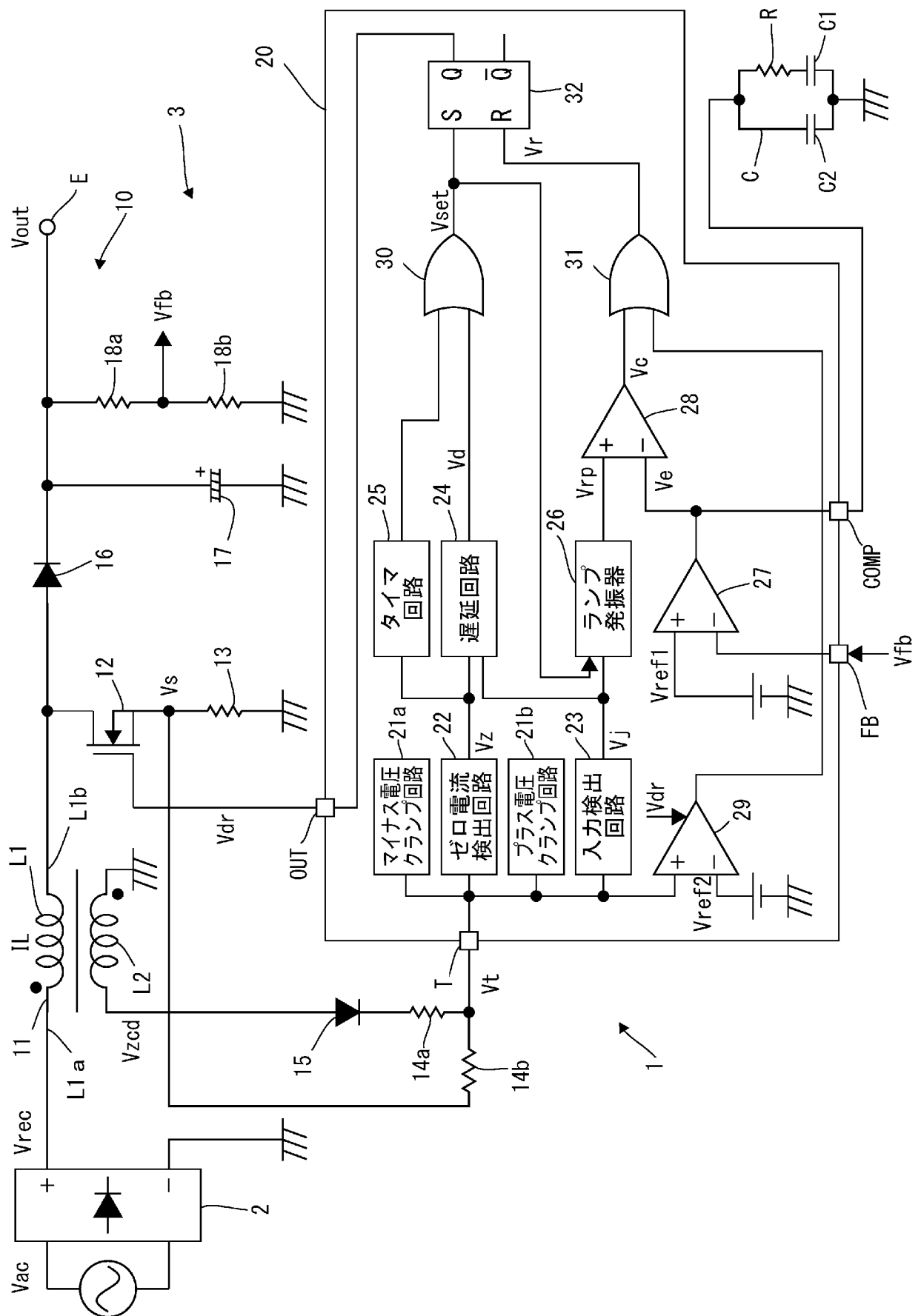
前記トランジスタがオフの際の前記端子の電圧に基づいて、前記インダクタ電流の電流値が第1電流値よりも小さいことを検出する第1検出回路と、

前記トランジスタがオフの際の前記端子の電圧に基づいて、前記交流電圧が第1交流電圧か、前記第1交流電圧より振幅の大きい第2交流電圧かを判定する判定回路と、

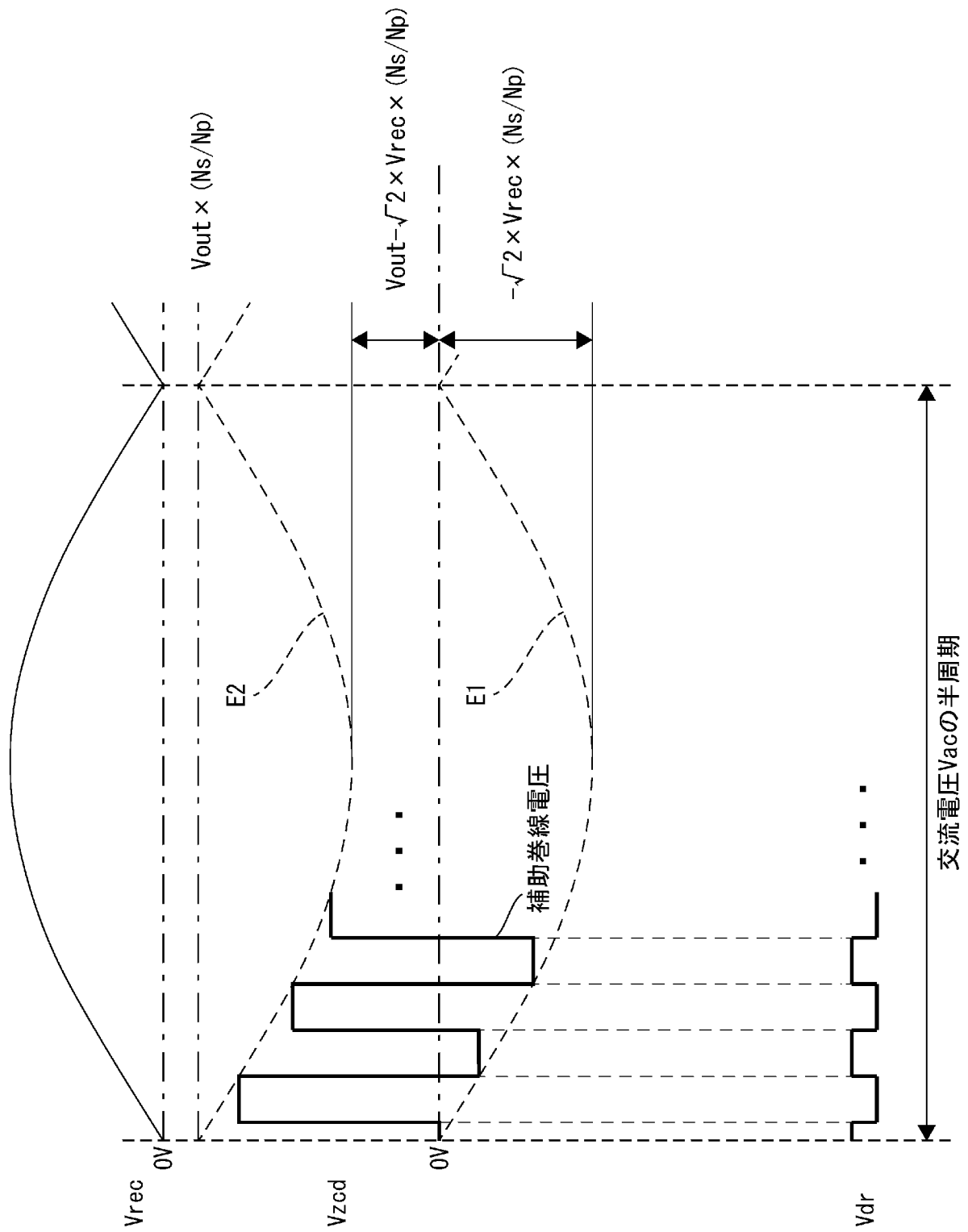
前記第1検出回路の検出結果と、前記判定回路の判定結果と、前記交流電圧から生成される出力電圧と、に基づいて、前記トランジスタを駆動する駆動回路と、

を含むこと特徴とする電源回路。

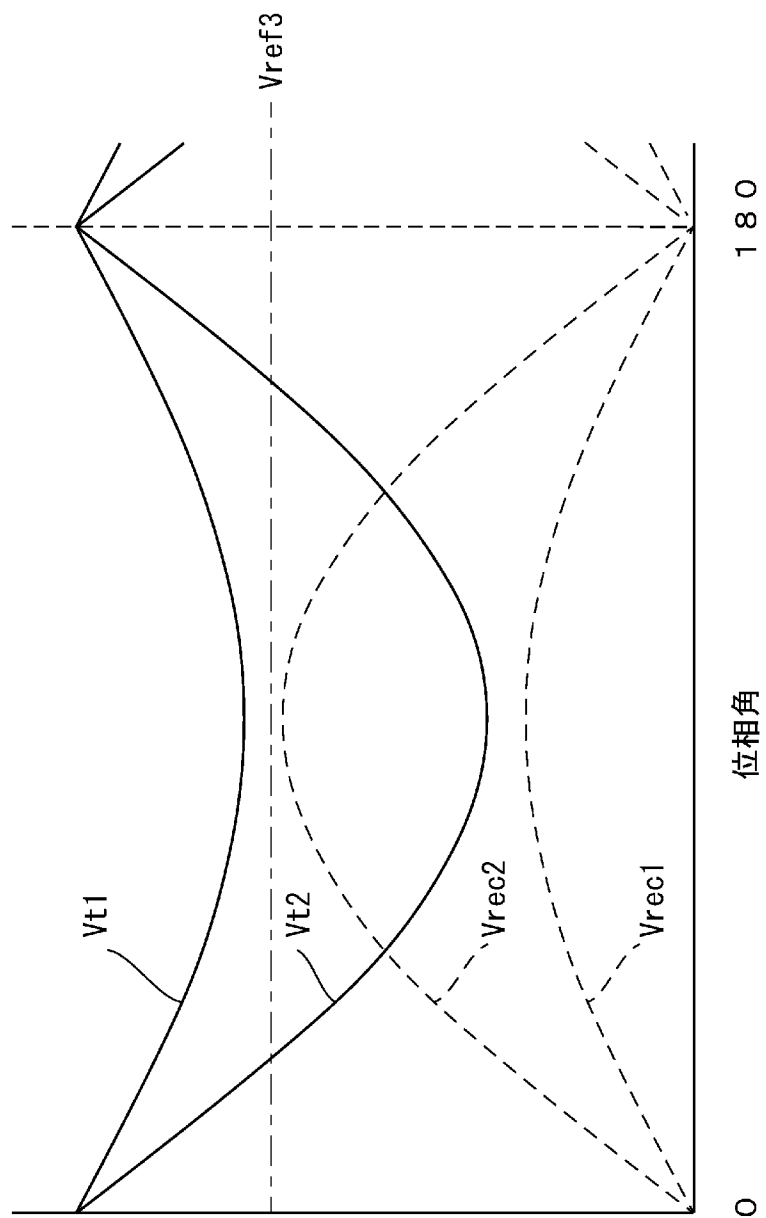
[図1]



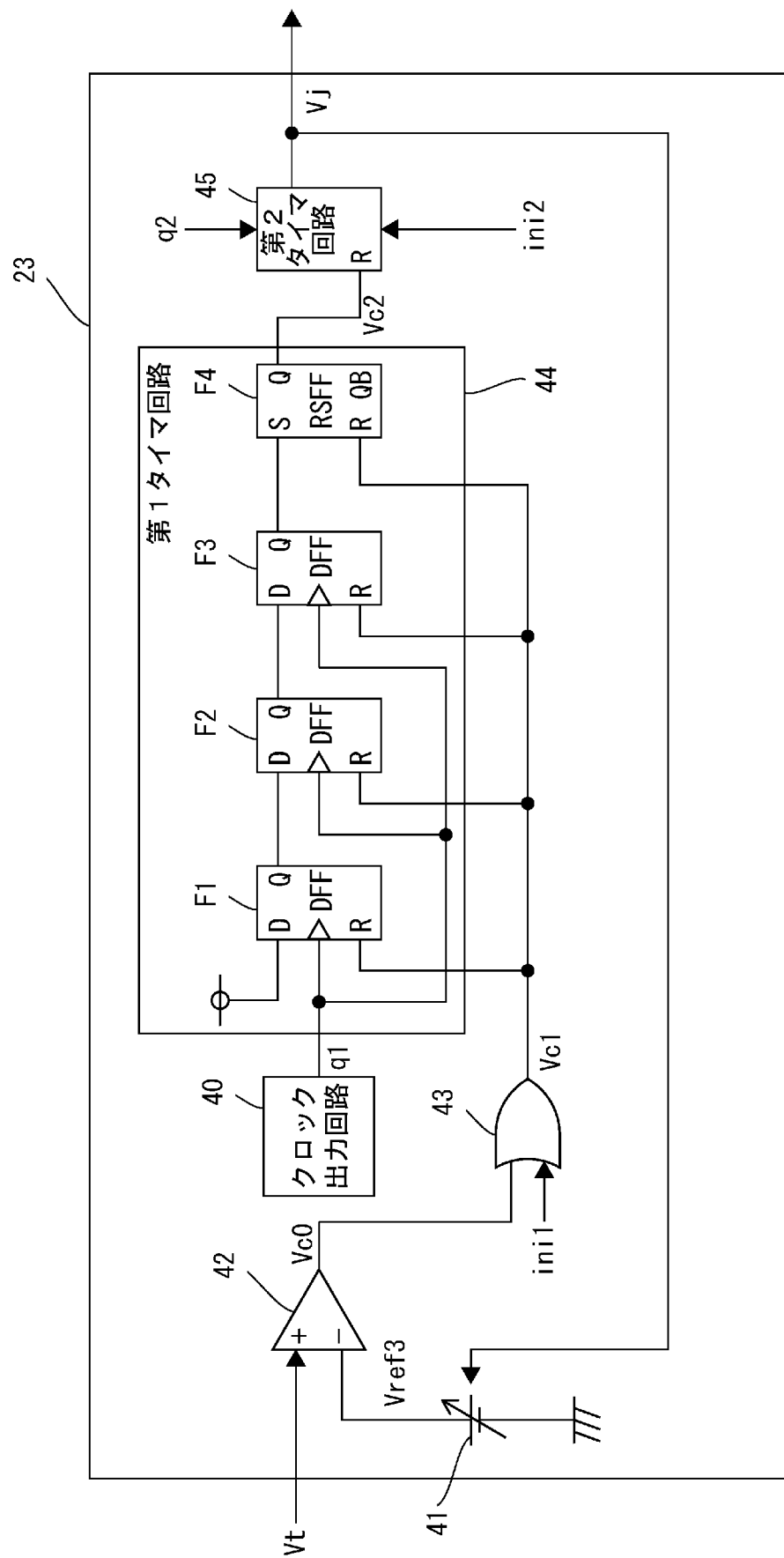
[図2]



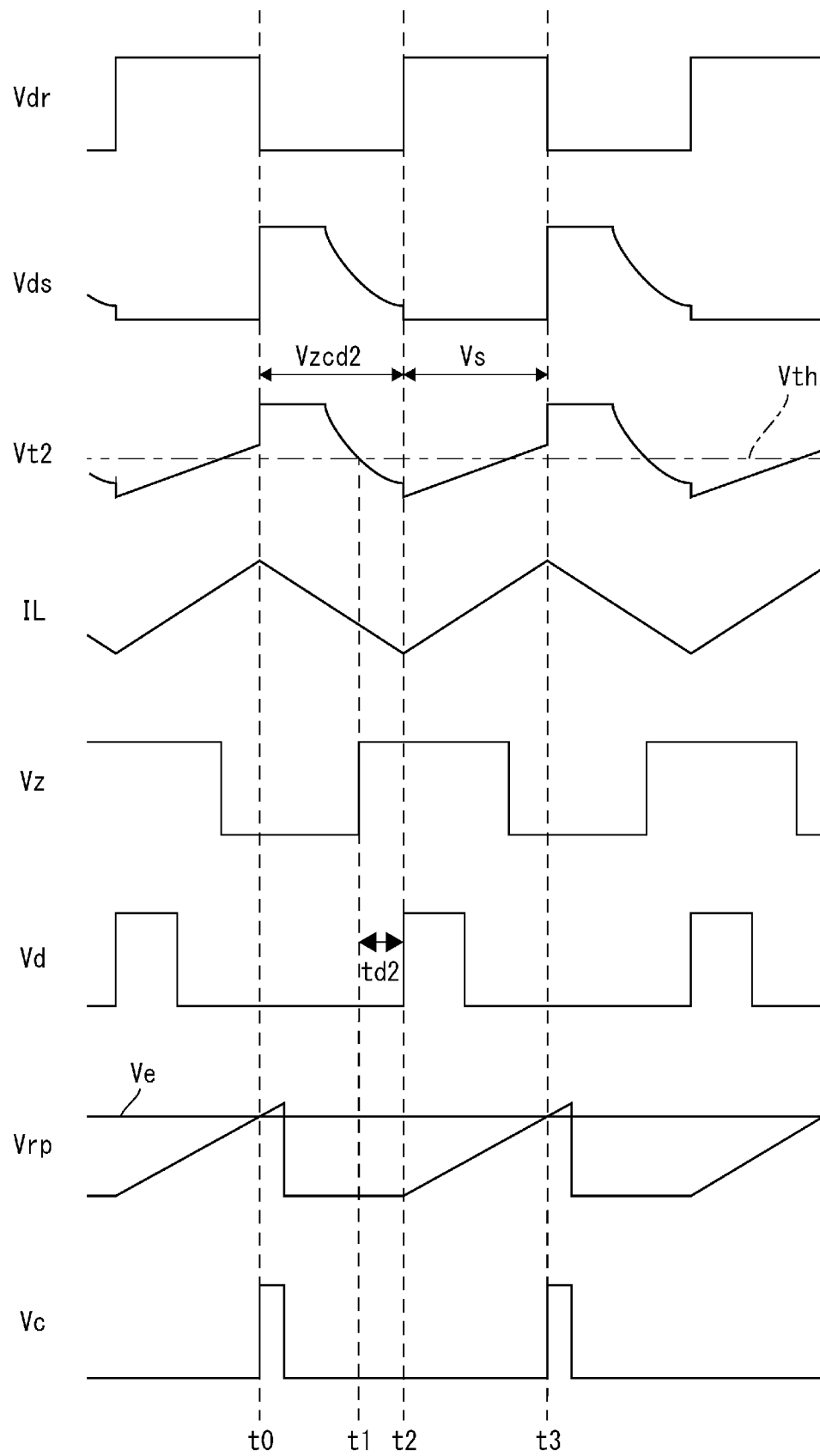
[図3]



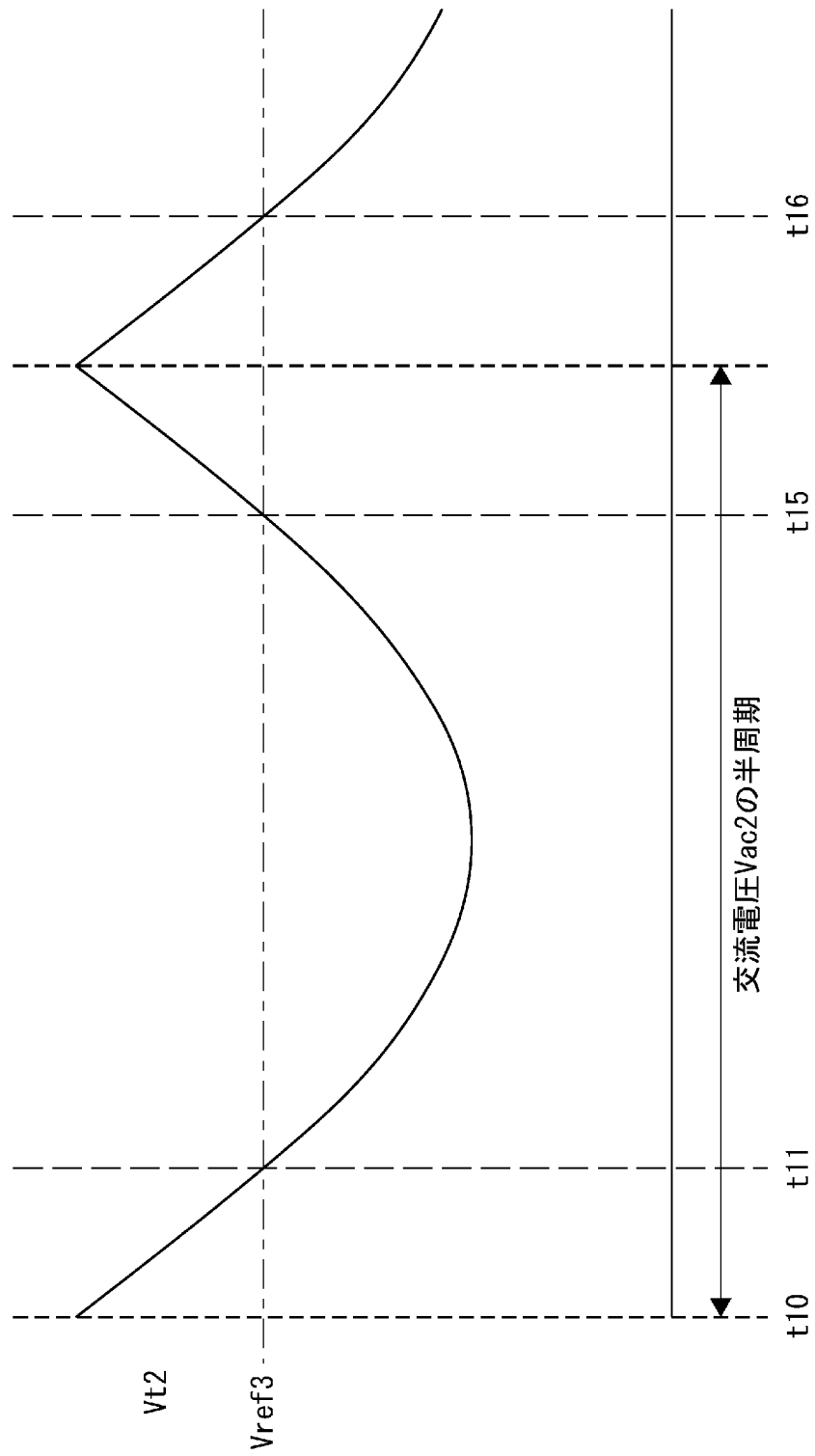
[図4]



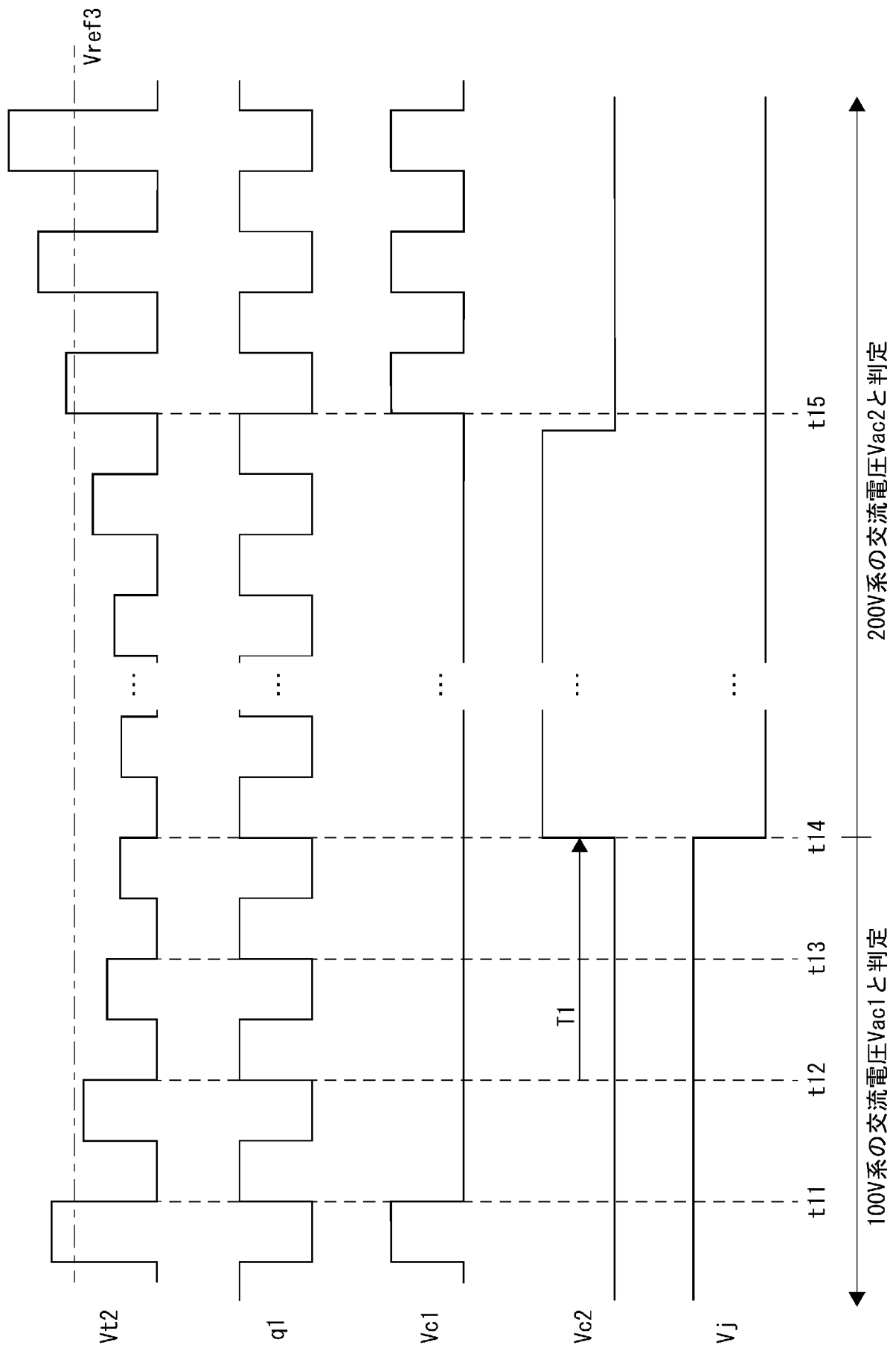
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/003655

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H02M3/155 (2006.01) i, H02M7/12 (2006.01) i
FI: H02M7/12 P, H02M3/155 H

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H02M3/155, H02M7/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-60271 A (FUJI ELECTRIC CO., LTD.) 23 March 2017, entire text, all drawings	1-9
A	US 2009/0323374 A1 (FAIRCHILD KOREA SEMICONDUCTOR LTD.) 31 December 2009, entire text, all drawings	1-9
A	JP 2011-91900 A (MITSUBISHI ELECTRIC CORP.) 06 May 2011, entire text, all drawings	1-9
A	JP 2007-74813 A (SHARP CORP.) 22 March 2007, entire text, all drawings	1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27.02.2020

Date of mailing of the international search report
10.03.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/003655

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2017-60271 A	23.03.2017	US 2017/0077825 A1 entire text, all drawings	
US 2009/0323374 A1	31.12.2009	KR 10-2010-0000667 A entire text, all drawings	
JP 2011-91900 A	06.05.2011	(Family: none)	
JP 2007-74813 A	22.03.2007	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 3/155(2006.01)i; H02M 7/12(2006.01)i FI: H02M7/12 P; H02M3/155 H														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M3/155; H02M7/12 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2017-60271 A（富士電機株式会社）23.03.2017（2017 - 03 - 23） 全文，全図	1-9												
A	US 2009/0323374 A1（FAIRCHILD KOREA SEMICONDUCTOR LTD.）31.12.2009（2009 - 12 - 31） 全文，全図	1-9												
A	JP 2011-91900 A（三菱電機株式会社）06.05.2011（2011 - 05 - 06） 全文，全図	1-9												
A	JP 2007-74813 A（シャープ株式会社）22.03.2007（2007 - 03 - 22） 全文，全図	1-9												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 27.02.2020	国際調査報告の発送日 10.03.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 麻生 哲朗 5G 1159 電話番号 03-3581-1101 内線 3526													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/003655

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-60271	A	23.03.2017	US 2017/0077825 A1 全文, 全図	
US	2009/0323374	A1	31.12.2009	KR 10-2010-0000667 A 全文, 全図	
JP	2011-91900	A	06.05.2011	(ファミリーなし)	
JP	2007-74813	A	22.03.2007	(ファミリーなし)	