(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01J 31/15

(45) 공고일자 1999년03월20일
(11) 등록번호 특0179716
(24) 등록일자 1998년11월28일

(21) 출원번호 특1995-005696
(22) 출원일자 1995년03월15일
(65) 공개번호 특1995-027896
(43) 공개일자 1995년10월18일
(30) 우선권주장 94-69887 1994년03월15일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 나카모토 마사유키
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
오노 도미오
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
(74) 대리인 이세진, 김윤배

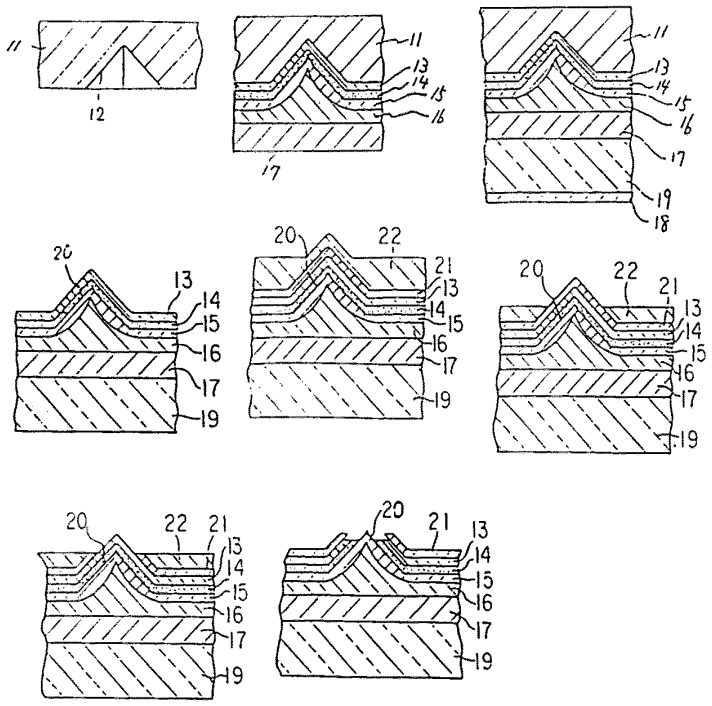
심사관 : 김관식

(54) 콜드에미터를 갖춘 마이크로진공관 및 그 제조방법

요약

본 발명에 따른 마이크로진공관은, 꼬부를 갖춘 코어층을 포함하는 콜드에미터와, 코어층을 덮는 에미터층, 꼬부의 팁의 에미터층 근처에 위치한 게이트 전극 및, 꼬부의 팁 위에 위치하는 애노드전극을 포함한다.

대표도



명세서

[발명의 명칭]

콜드에미터를 갖춘 마이크로진공관 및 그 제조방법

[도면의 간단한 설명]

제1도(a) 내지 제1도(h)는 본 발명의 제1실시예에 따른 콜드에미터를 제조하기 위한 프로세스의 다른 각도에서의 콜드에미터의 단면도.

제2도는 본 발명의 제1실시예에 따른 콜드에미터의 단면 투시도.

제3도는 본 발명의 제2실시예에 따른 마이크로진공관의 콜드에미터의 단면도.

제4도는 본 발명의 제2실시예에 따른 마이크로진공관의 콜드에미터의 단면도.

제5도는 본 발명의 제3실시예에 따른 마이크로진공관의 개념도.

제6도는 본 발명의 제4실시예에 따른 마이크로진공관의 콜드에미터의 단면도.

제7도는 본 발명의 제5실시예에 따른 마이크로진공관을 이용한 디스플레이의 개념도.

제8도는 본 발명의 제6실시예에 따른 마이크로진공관의 콜드에미터의 개념도.

제9도(a) 내지 제9(i)도는 본 발명의 제7실시예에 따른 마이크로진공관의 콜드에미터를 제조하기 위한 프로세스의 다른 각도에서의 콜드에미터의 단면도.

제10도는 본 발명의 제8실시예에 따른 마이크로진공관의 콜드에미터의 단면도.

제11도는 본 발명의 제9실시예에 따른 마이크로진공관의 콜드에미터의 단면도.

제12도는 본 발명의 제10실시예에 따른 마이크로진공관의 콜드에미터의 단면도.

제13도(a)와 제13도(b)는 본 발명의 제11실시예에 따른 마이크로진공관의 콜드에미터의 단면도.

제14도는 본 발명의 제12실시예에 따른 마이크로진공관의 콜드에미터의 평면도.

제15도(a)와 제15도(b)는 본 발명의 제13실시예에 따른 마이크로진공관의 콜드에미터의 단면도이다.

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 진공 마이크로전자장치에 관한 것으로, 특히 콜드에미터를 갖춘 마이크로진공관과 이러한 콜드에미터와 마이크로진공관을 제조하는 방법에 관한 것이다.

[종래의 기술 및 그 문제점]

전계방출형 캐소드, 즉 콜드에미터를 갖춘 마이크로진공관을 제조하기 위한 연구가 제안되어져 왔는바, 예컨대 콜드에미터를 제조하기 위한 회전 진공 증착으로 알려진 방법이 C. A Spindt et., J. Appl. Phys., vol. 47, 5248(1976)에 개시되어 있다. 이러한 방법에 따르면, Si기판상에 배치된 SiO_2층은 Si기판의 표면을 노출하는 핀홀을 갖춘다. 또한, SiO_2층상에 배치된 게이트층도 핀홀을 포함한다. Mo층은 Si기판상에 증착되고, 증착동안 회전된다. 결과적으로, 콘형상(cone-shape)의 콜드에미터가 핀홀의 Si기판상에 직접 형성된다.

이러한 방법은 결점을 갖춘다. 예컨대, 이러한 방법을 이용하여서는 동일한 형상과 크기를 갖춘 콜드에미터를 형성하기 어렵다. 각 콜드에미터는 콜드에미터 위에 위치한 애노드로부터 다른 거리를 갖출 수 있다. 또한, 각 콜드에미터는 게이트전극으로부터 다른 거리를 갖출 수 있다. 결과적으로, 각 에미터는 예컨대 방사의 임계전압 또는 거리의 변화에 기인하는 저항과 같은 다른 전기적 특성을 갖는다. 다수의 콜드에미터가 병렬연결로 이용되어질 때, 전류가 예컨대 가장 낮은 전기 저항을 갖춘 콜드에미터에 집중되어, 결과적으로 콜드에미터에 대해 대미지를 야기시킨다.

더욱이. 이러한 방법을 이용하여 예리한 팁(tip)을 갖춘 콜드에미터를 만들기는 어렵다. 따라서, 열악한 필드방사효율을 나타내는 이러한 방법을 이용하여 마이크로진공관이 제조된다.

다른 참조문헌, 즉 미국특허 제 4,940,916호에는 디스플레이수단을 위한 마이크로진공관과 그의 응용이 개시되어 있다. 마이크로진공관은 회전진공증착방법에 의해 제조된 콜드에미터를 제공한다. 다수의 콜드에미터는 연속적인 저항층상에 형성된다. 저항층은 전원에 연결된 전기적 도전층상에 형성되고, 기판상에 형성된다. 저항층은 전원에 연결된 전기적 도전층간에 삽입되어, 저항층 평균전류가 각 콜드에미터로 흐른다.

그러나, 동일한 형상과 동일한 높이, 게이크전극으로부터의 동일한 거리 및, 예리한 팁을 갖춘 다수의 콜드에미터를 형성하는 문제는 아직 남아 있다.

미국특허 제 4,307,507호에는 콜드에미터를 제조하기 위한 다른 방법이 개시되어 있다. 이러한 방법은 몰드로서 Si기판을 이용한다. Si기판은 피라미드 형상의 오목한 부분을 갖추도록 이방성에칭에 의해 에칭된다. 폴리실리콘의 두꺼운 막이 Si기판의 오목한 부분과 표면에 채워진다. 그 후, Si기판은 에칭에 의해 제거된다. 결과적으로, 피라미드 형상의 콜드에미터를 제공하는 폴리실리콘 기판이 얻어진다. 이때, 절연층과 게이트 전극이 피라미드 형상의 콜드에미터상에 제공된다.

상기한 방법에 따르면, 큰 내부 응력을 갖춘 재료를 구비하는 두꺼운 막을 형성하기 어렵기 때문에, 콜드에미터는 폴리실리콘과 같은 작은 내부 응력을 갖춘 재료로 만들어져야 한다. 결과적으로, 예컨대 전자를 용이하게 방사하는 재료, 즉 낮은 일함수(working function)를 갖춘 재료를 이용하는 콜드에미터를 얻기 어렵다.

더욱이, 집중 전류를 회피하도록 콜드에미터와 게이트 전극간의 거리를 유지하기 위해 충분한 강도를 갖춘 콜드에미터가 요구되어 콜드에미터와 게이트 전극간에는 더 큰 힘이 인가되게 된다. 그러나, 이러한 높은 강도를 갖춘 재료로 만들어지는 콜드에미터는 얻기 어렵다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 큰 내부 응력을 갖춘 재료로 구성된 콜드에미터를 포함하는 마이크로 진공관을 제공함에 그 목적이 있다.

또한 본 발명은, 충분한 강도를 갖춘 콜드에미터를 포함하는 마이크로 진공관을 제공함에 다른 목적이 있다.

또한 본 발명은, 예리한 팁을 갖춘 콜드에미터를 포함하는 마이크로 진공관을 제공함에 또 다른 목적이 있다.

또한 본 발명은, 실질적으로 동일한 형상을 갖춘 콜드에미터를 포함하는 마이크로 진공관을 제공함에 도 다른 목적이 있다.

또한 본 발명은, 각 콜드에미터에 흐르는 전류를 평균할 수 있는 저항층을 갖춘 콜드에미터를 포함하는 마이크로 진공관을 제공함에 또 다른 목적이 있다.

[발명의 구성 및 작용]

상기 목적을 달성하기 위한 본 발명의 마이크로전자장치는, 상부 표면상에 적어도 하나의 외부로 향하는 凸부를 갖춘 코어층과; 이 코어층상에 형성된 에미터층을 구비하여 구성되고; 凸부상에 형성된 에미터층 부분이 팁의 정점으로 되는 것을 특징으로 한다.

다른 측면에 있어서 본 발명은, 몰드기판의 표면에 凹부를 형성하는 단계와; 하나의 표면상에 에미터층을 퇴적하는 단계; 에미터층상에 코어층을 퇴적하는 단계 및; 에미터층과 에미터층으로 덮여진 코어층으로 이루어진 凸부를 얻기 위해 에칭에 의해 凹부에서의 몰드기판을 제거하는 단계를 구비하여 이루어진 마이크로전자장치를 제조하기 위한 방법을 포함한다.

[실시예]

이하, 예시도면을 참조하여 본 발명에 다른 1실시예를 상세히 설명한다.

제1도(a) 내지 제1도(h)는 본 발명의 제1실시예에 따른 마이크로 진공관을 구성하는 콜드에미터를 제조하기 위한 다른 여러 각도의 공정에서 콜드에미터의 단면을 도시한 것이다.

예컨대, 凹부(12)를 갖춘 Si로 만들어진 기판(11)이 에칭에 의해 제조된다. 기판(11)은 바람직하게 (100)의 결정방향을 갖춘 p형 Si단결정이다. 산화층은 열건조 산화에 의해 기판상에 형성되는데, 여기서 산화층은 0.1㎛의 두께를 갖춘다. 예컨대, NH_4F와 HF의 혼합물을 포함하는 포토에칭처리를 이용하면, 개구가 산화층에 제공된다. 이때, 이방성에칭(예컨대, 30wt%의 KOH를 함유하는 용액을 이용하는)에 의해 피라미드형 凹부(12)가 개구의 대응하여 얻어질 수 있게 된다. 다음에, 남아있는 산화층이 예컨대 30wt%의 KOH를 함유하는 수용액을 갖춘 에칭에 의해 제거된다. 개구가 0.8㎛ 평방인 경우, 凹부(12)의 깊이는 약 0.56㎛가 된다.

제1도(a)에는 오직 하나의 凹부(12)가 도시되어 있음에도 불구하고, 기판(11)은 다수의 凹부(12)를 바람직하게 제공한다. 이방성 에칭은 凹부(12)상에서 예리한 팁을 얻는데 효과적이고, 더욱이 동일한 형상을 갖춘 다수의 凹부(12)를 얻는데 효과적이다. 그러나, 이방성 애칭을 제외한 다른 방법도 본 발명에 따른 凹부(12)를 제조하는데 이용되어질 수 있다.

약 100㎚의 두께를 갖춘 도우프층(13)이, 예컨대 열확산에 의해 기판(11)의 표면상에서 형성된다. 도우프층(13)은 에칭스톱퍼로서 이용되기 때문에, 그 두께는 바람직하게 20㎚ 이상이 바람직하고, 도핑농도는 약 3×10^{-19} cm^{-3}이상이 바람직하다. B(boron)와 같은 기판(11)으로부터 다른 에칭율을 갖추도록 도우프층을 야기시키는 도펀트(dopant)가 이용될 수 있다.

절연층(14)이, 예컨대 열건조산화에 의해 도우프층(13)상에서 형성된다. 또한, 절연층(14)이 에칭스톱퍼로서 이용된다. 따라서, 그 두께는 약 50㎚이상(예컨대, 100㎚)이 바람직하다. 절연층(14)이 에칭스톱퍼로서 충분히 이용되면, 도우프층(13)은 생략되어질 수 있다.

절연층(14)이 CVD와 같은 다른 방법에 의해 형성될 수 있다. 그러나, 열산화가 CVD나 다른 방법보다 더 바람직하다. 凹(12)의 측면에서 절연층(14)의 두께는 예리한 팁을 만들기 위해 열산화를 갖춘 팁에서 보다 더 두껍다. 따라서, 열산화가 예리한 팁을 얻기에 효과적이다. 더욱이, 각 다수의 凹부(12)의 깊이가 조금 달라도 열산화는 그 차이를 경감할 수 있다.

에미터층(15)이, 예컨대 스퍼터링에 의해 절연층(14)상에 형성된다. 에미터층(15)은 凹부(12)에 대응하는 딤플(dimple)을 제공한다.

에미터층(15)은 화학적 또는 물리적으로 안정된 물질로 구성되고, 작은 일함수, 예컨대 W, Mo, Ta, 또는 LaB_6을 갖추는 것이 바람직하다. 그 두께는 약 20㎚ 이상(예컨대, 200㎚)이 바람직하다. 재료가 큰 내부 응력을 갖춘다면, 과도한 두께는 몰드(12)가 벗겨지도록 에미터층(15)을 야기시킨다.

코어층(16)이, 예컨대 스퍼터링에 의해 에미터층의 딤플을 채움과 더불어 평탄한 표면을 만들기 위해 에미터층(15)상에 형성된다. 에미터층(15)과 코어층(16)은 콜드에미터를 구성한다.

코어층(16)은 A1 또는 폴리실리콘과 같은 에미터층(15)을 이루는 재료 보다 더 작은 내부 응력을 갖춘 재료로 구성하는 것이 바람직하다. 더욱이, 콜드에미터가 더 작은 전기저항을 갖출 때, 코어층(16)은 에미터층(15)으로 구성된 재료보다 더 작은 전기저항을 갖춘 재료로 구성되는 것이 바람직하다. 또한, 큰 전기저항이 요구될 때, 코어층(16)은 Ru와, C, Si, In_2O_3, SnO_2, 또는 ZnO와 같은 에미터층(15)을 구성하는 재료보다 더 큰 전기저항을 갖춘 재료로 구성되는 것이 바람직하다.

더욱이, 코어층(16)이 밸러스트(ballast) 저항층으로 이용되면, 에미터층(15)은 콜드에미터 또는 콜드에

미터의 작은 그룹으로 분할되어지는 것이 바람직하다.

도전층(17;예컨대, 약 1㎛)은 코어층(16;제1도(b))상에 형성된다. 도전층(17)은, 예컨대 ITO, Cu, Ag, Au 또는 Al과 같은 코어층(16)보다 더 낮은 전기저항을 갖춘 재료로 만들어진다. 코어층(16)과 에미터층(15)이 충분히 낮은 전기저항을 갖출 경우, 도전층(17)은 불필요하게 된다.

일측면(예컨대, 약 0.4㎛)상에 배면코팅 도전층(18)을 제공하는 구조적 기판(19)은 다른 측면(제1도(c))에서 전도층(17)과 결합된다. 예컨대, 약 1㎜의 두께를 갖춘 파이렉스(Pyrex) 유리가 이용될 수 있다. 구조적 기판(19)은 절연체인 유리나 세라믹으로 구성될 수 있다.

정전 본딩(electrostatic bonding)방법이 구조적 기판(19)과 도전층(17)을 결합하는데 이용될 경우, 구조적 기판(19)은 배면코팅 도전층(18)과 도전층(17)간에 전압을 인가하기 위해 배면코팅 도전층(18)을 제공하도록 요구된다. 본딩 후, 배면코팅 도전층(18)이, 예컨대 HNO_3, CH_3COOH, HF의 혼합용액에 의해 제거된다. 그러나, 배면코팅 도전층(18)은 전자장 노이즈에 대해 쉴드로서 이용된다.

기판(11)이 제거되어 도우프층(13)이 예컨대 에틸렌 디아민, 피로카테콜, 피라진 및, 물(=7.5cc:12g:3㎎:10cc)혼합 수용액을 갖춘 에칭에 의해 노출된다. 도우프층(13)은 에칭에 대해 콜드에미터의 팁, 예컨대 띠부(12)의 바닥을 지키기 위해 에칭스톱퍼의 역활을 충족한다. 결과적으로, 띠부(20), 예컨대 콜드에미터가 얻어진다. 기판(11)은 몰드로서 이용되어지므로, 몰드기판으로 불리워질 수 있다.

띠부(20)는 코어층(16)상에 퇴적된 에미터층(15)으로 이루어짐과 더불어 피라미드 형상을 갖춘다. 더욱이, 띠부(20)는 절연층(14)과 도우프층(13)으로 코팅되어 있다.

게이트 전극이 콜드에미터와 관련하여 제공되지 않을 때, 도우프층(13)과 절연층(12)은 콜드에미터의 덮여지지 않은 표면을 얻도록 제거된다. 그러나, 게이트전극은 다음의 단계에 의해 콜드에미터와 관련하여 제공된다.

게이트전극층(21;예컨대, 약 200㎚의 W)이 예컨대 스퍼터링에 의해 도우프층(13)상에 퇴적된다. 띠부(20)의 상부의 게이트전극층(21)과, 도우프층(13) 및, 절연층(12)이 제거되어 에미터층(15)이 띠(20)의 상부에 나타난다.

예컨대, 약 200㎚의 두께를 갖는 포토레지스트층(22)이 게이트전극층(21;제1도(e))에 코팅된다. 이때, 포토레지스트층(22)이 에칭(예컨대, 산화 플라즈마를 갖춘 건조에칭)에 의해 얇아져 띠부(20)의 상부의 절연층(12)와 도우프층(13)이 약 400㎚ 평방(제1도(f))으로 주위에 나타난다.

이때, 띠부(20)의 상부의 게이트전극층(21)이 예컨대 반응성 이온에칭 또는 습식에칭(wet-etching;제1도(g))에 의해 제거된다. 띠부(20)의 상부의 도우프층(13)과 절연층(12)이 에칭(예컨대, NH_4F와 HF의 혼합물을 갖춘)에 의해 제거되어 에미터층(15)의 띠부의 팁이 노출되고(제1도(h)), 이때 포토레지스트층(22)이 제거된다.

노출된 에미터층(15)이 게이트전극층(21)에 의해 에워싸인다. 제2도는 제1도(h)의 부분 절단 투시도이다. 따라서, 게이트전극을 제공하는 콜드에미터가 얻어진다.

또한, 절연층(14)은 에칭스톱퍼의 역할을 충족하므로, 도우프층(13)은 생략될 수 있다. 제3도는 도우프층(13)을 제공하지 않는 본 발명에 따른 콜드에미트의 단면도를 도시한 것으로, 도우프층(13)을 제외하고 제3도의 콜드에미터는 제1도의(h)와 동일한 구조를 갖추고 있다. 따라서, 본 발명에 따른 콜드에미터를 제조하는데 필요한 단계의 수가 절감될 수 있다.

더욱이, 도우프층(13)이 예컨대 약 10^{-4}Ω㎝ 이하의 충분히 낮은 전기적 저항, 또는 적어도 $10^{20}㎝^{-3}$ 또는 $10^{21}㎝^{-3}$ 와 같은 충분히 높은 도핑 농도를 갖출 경우, 도우프층(13)은 도전층과 게이트전극으로서 작용한다. 이와 같은 경우, 게이트전극층(21)은 생략될 수 있다.

제4도는 본 발명의 제2실시예에 따른 콜드에미터의 단면도를 도시한 것으로, 제4도의 콜드에미터는 게이트전극층(21)을 제외하고 제1도(h)에 도시된 콜드에미터와 동일한 구조를 제공한다. 본 실시예에 있어서, 이러한 콜드에미터를 제조하는데 필요한 단계의 수는 제1도(h)에 도시한 콜드에미터를 제조하는데 필요로 하는 단계의 수로부터 줄일 수 있다. 더욱이, 게이트전극은 콜드에미터에 더 가깝게 정확히 위치할 수 있게 된다.

상기한 콜드에미터는 진공에서 콜드에미터 위에 위치하는 애노드전극을 갖춘 마이크로진공관에 이용되어질 수 있다.

제5도는 본 발명의 제3실시예에 따른 마이크로진공관의 개념도로서, 게이트전극(21)이 제공되는 콜드에미터(51)가, 예컨대 약 5μm와 200μm 사이의 거리에서 애노드전극(53)상에 위치하고, 전자가 도전층(17)과 애노드전극(53), 그리고 도전층(17)과 게이트전극층(21)간의 바이어스전압에 따라 띠부의 팁으로부터 애노드전극(53)으로 방상된다. 이러한 마이크로진공관은 3극관 장치로서 기능한다.

또, 본 발명에 따른 콜드에미터는 다이오드에 적용될 수 있다. 다이오드에 있어서, 게이트전극(210은 요구되지 않는다. 제6도는 본 발명의 제4실시예에 따른 콜드에미터의 단면도를 나타낸 것으로, 게이트전극층(21)과 도우프층(13)이 제공되지 않는다. 또한, 절연층(14)은 생략되어질 수 있다. 게이트전극층(21)과 도우프층(13) 및 절연층(14)을 제외하고, 제6도의 콜드에미터는 제1도(h)의 에미터와 동일한 구조를 갖춘다

본 발명의 마이크로진공관은 진공내에서 전자가 흐르므로 고속 스위칭이나 큰 전류흐름을 갖춘 전류제어장치로서 이용되어질 수 있다. 큰 전류제어장치는 바람직하게는 다수의 콜드에미터를 제공한다.

더욱이, 본 발명의 마이크로진공관은 디스플레이로서 이용되어질 수 있는데, 이 경우 예컨대 인층(phosphor layer)이 빛을 방사하도록 애노드전극상에 제공된다.

다수의 콜드에미터는 모든 에미터를 턴온 또는 턴오프함으로써 함께 제어된다. 또한, 다수의 콜드에미터는 에미터나 에미터의 그룹을 개별적으로 제어함으로써 개별적으로 제어된다.

제7도는 본 발명의 제5실시예를 따른 디스플레이의 개념도로서, 유리와 같은 투명한 재료로 만들어진 애노드판(71)과 애노드전극층(72) 및 인층(73)은 제1도(h)에 도시한 동일한 구조의 콜드에미터상에 위치한다. 다수의 에미터는 단일색에 대응하는 단일체이다. 하나의 유니트의 다수의 에미터가 게이트전극(21)간에 바이어스전압을 공급함으로써 함께 턴온되고, 바이어스전압의 공급을 중지함으로써 함께 턴오프된다. 전류공급선이나 신호선(도시되지 않았음)은, 예컨대 반도체공정에 의해 제공될 수 있다. 더욱이, 코어층(16)이 밸러스트 저항층으로서 이용되면, 에미터층(15)은 바람직하게는 개개의 콜드에미터나 콜드에미터의 그룹으로 분할된다.

콜드에미터는 피라미드형상으로 한정되지 않는다. 예컨대, 본 발명에 따른 콜드에미터는 제8도에 도시된 바와 같이 융기부(80)를 갖춘 루프형(roof-shape)을 갖출 수 있다. 제8도의 콜드에미터는 큰 전류용량을 갖는다. 이러한 콜드에미터는 제1도(a)와 동일한 방법으로 얻어진다.

예컨대, 상기한 제1도(a)와 같이 피라미드형상 띠부(12)는 이방성에칭을 위한 저항으로서의 정방형 개구를 제공하는 산화층을 이용함으로써 얻어진다. 개구가 직사각형이면, 띠부(12)는 제8도에 도시된 띠부와 동일한 협상을 갖는다.

또한, 제1도(a)에 있어서, 띠부(20)가 에미터층(15)과, 에미터층(15)으로 코팅된 코어층(16)으로 이루어져 있다. 따라서, 에미터층(15)과 코어층(16)간의 재료를 변화시킬 수 있게 된다.

용이하게 전자를 방사하는 대부분의 재료는 큰 내부 응력을 갖는다. 따라서, 재료의 두꺼운 막은 얻기 어렵다. 그러나, 본 발명에 따르면, 재료가 큰 내부 응력을 갖는다해도, 에미터재료는 단지 띠부의 표면에만 위치하므로 큰 내부 응력을 갖춘 재료로 이루어진 콜드에미터가 제조된다. 결과적으로, 마이크로진공관은 전자를 효율적으로 방사할 수 있게 된다.

더욱이, 코어층(16)의 전기저항이 에미터층(15)의 전기저항 보다 더 클 때, 코어층(16)은 각 콜드에미터로 흐르는 평균전류에 대해 전기저항을 충족시키게 된다. 전류가 하나의 콜드에미터에 집중될 경우, 해당 콜드에미터의 바이어스전압은 코어층의 전기저항에 기인하여 감소되게 된다. 이러한 이용에 있어서, 에미터층(15)은 바람직하게는 각 콜드에미터 또는 콜드에미터의 작은 그룹으로 분할된다.

더욱이, 큰 힘이 전계에 의해 인가되면, 코어층이 단단한 재료로 이루어질 경우, 콜드에미터의 팁과 게이트전극간의 거리가 유지될 수 있게 된다.

또한, 본 발명의 방법에 따르면, 에미터재료는 광범위한 여러가지 재료로부터 선택되어질 수 있다. 더욱이, 다수의 콜드에미터가 제공될 경우, 이방성 에칭이 이용될 수 있어, 동일한 형상을 갖춘 다수의 콜드에미터를 제조할 수 있게 된다.

더욱이, 띠부(20)는, 예컨대 코어층(15)과 에미터층(16)의 2개의 층을 갖춘 것으로 설명되어진 반면, 예컨대 코어층(15)의 2개 이상의 층을 제공하는 것에 의해 3개 이상의 층이 띠에 제공될 수 있다.

더욱이, 본 발명에 따른 마이크로진공관은 4극관장치나 5극관장치와 같이 애노드전극과 콜드에미터간의 방향으로 2 이상의 게이트전극을 제공하게 된다.

마이크로진공관은 콜드에미터와 애노드전극간의 거리를 유지하도록 스페이서(spacer)의 제공을 요구한다. 스페이서는 프레임이나 LCD와 같은 다수의 작은 비드(bead)로 된다. 그러나, 스페이서는 단일체로서 제공되어질 수 있다.

제9도(a) 내지 제9도(i)는 스페이서를 포함하는 본 발명의 제7실시예에 따른 콜드에미터의 제조를 위한 공정의 다른 측면에서의 콜드에미터의 단면도로서, 일측면상에 띠부(32)를 갖춘 Si기판(31)이 제공되고, 상기한 방법으로 얻을 수 있게 된다. 열건조산화에 의해 기판(31)상에 산화층(33; 예컨대 100㎚)이 형성되고, 회전코팅에 의해 산화층(33;제9도(a))상에 포토레지스터(34)가 형성된다.

NH_4F와 HF의 혼합물을 채택하는 사진에칭공정을 이용함으로써 1㎛ 평방과 같은 개구(35)가 산화층(33;제9도(b))에 제공된다. 그 후, 30 wt%의 KOH를 함유하는 수용액을 갖춘 이방성에칭에 의해 띠부(32)를 얻을 수 있게 된다(제9도(c)). 개구(35)가 1㎛ 평방일 경우, 띠부(32)의 깊이는 약710㎚이다. 이때, 산화층(33)이 제거된다, 제9도(a) 내지 제9도(i)에는 단지 하나의 띠부(32)가 도시되어 있음에도 불구하고, 바람직하게는 기판(31)은 다수의 띠부(32)를 포함하게 된다.

기판(31)은 띠부(32) 표면상에서 SiO_2의 300㎚층으로 되는 절연층(36)을 형성하기 위해 산화된다(제9도(d)). 그 후, 기판(31)이 홀(37)을 만들도록 다른 측면으로부터 에칭되어 절연층(36)이 노출된다.(제9도(e)).

기판(31)이 홀(37)을 제공하는 표면상에 절연층(38; 예컨대, 200㎚ 두께)을 형성하기 위해 산화된다. W의 800㎚으로 되는 에미터층(39)과, 코어층(40) 및, 약 1㎛ 두께의 도전층(41)이 연속적으로 띠부(32)상에 형성된다. 결과적으로, 에미터층(39)으로 코팅된 코어층(40)으로 구성되는 띠부(42)가 얻어진다.

W의 900㎚로 되는 게이트전극층(43)이 띠부(32)의 반대면상의 절연층(38)상에 위치된다(제9도(g)). 포토레지스트층(44)이 게이트전극층(43)상에 코팅되고, 이때 개구(예컨대, 700㎚ 평방)가 포토레지스트층(44)에 형성되어 띠부(42)의 상부가 에칭에 의해 절연층(30)과 게이트전극층(43)으로 덮여진다(제9도(h)).

이때, 띠부(20)의 상부의 게이트전극층(43)이 에칭에 의해 제거된다(제9도(i)). 결과적으로, 띠부(42)의 팁과 에미터층(39)의 팁이 게이트전극층(43)에 의해 에워싸인다.

제10도에서 도시된 바와 같이 도우프층(45)이 또한 제공되어질 수 있다. 또한, 게이트전극층(43)이 제11도에서 도시된 바와 것과 같이 도우프층(45)에 의해 대체된다.

기판(31)의 나머지 부분은 콜드에미터(42)와 애노드전극간의 거리를 유지하도록 스페이서로 이용될 수 있

다. 제12도는 제9도(i)의 콜드에미터를 이용한 마이크로진공관을 도시한 것이다. 애노드전극판(46)이 절연층(47)과 함께 마이크로진공관을 구성하도록 기판(31)상에 위치한다.

기판(31)이 남겨짐으로 제1도(h)의 구조적인 기판(19)을 제공하는 것이 불필요하게 된다. 그러나, 구조적인 기판은 마이크로진공관을 강화하는데 제공된다. 또한, 코어층(40)이 충분한 두께를 갖출 경우, 코어층(40)은 구조적 기판의 역활을 충족한다.

또한, 애노드전극이 단일체적으로 마이크로진공관에 제공된다.

제13도(a)와 제13도(b)는 본 발명에 따른 제1도(h)의 콜드에미터를 이용한 다른 실시예의 마이크로진공관의 단면도로서, 제1도(h)에 도시된 콜드에미터가 본 실시예에서 이용된다.

PSG(P-doped silicate glass)와 같은 제거가능 절연층(24)이 게이트전극층(21)과 띠부(20)상에 퇴적된다. 평탄한 표면을 얻기 위해 제거가능 절연층(24)의 스퍼터링 후, 제거가능 절연층(45)이 에치백된다. W, Mo 또는 Ta와 같은 애노드전극층(25)이 예컨대 스퍼터링에 의해 제거가능 절연층(24)상에 퇴적된다.

애노드전극층(25)은 띠부(20) 위에 관통구멍(26)을 제공한다(제13도(a)). 제거가능 절연층(24)은, 예컨대 NH_4F와 HF의 혼합액을 갖춘 에칭에 의해 애노드층(25)과 띠부(20)의 팁간에 공간(27)을 만들기 위해 관통구멍(26)을 통해 부분적으로 제거된다(제13도(b)).

관통구멍(26)은 에칭으로부터 팁을 보호하기 위해 띠부(20)의 팁 바로 위에 있지 않는 것이 바람직하다. 예컨대, 관통구멍(26)의 분배는 제14도에 도시되어 있는 바, 이는 본 발명의 실시예에 따른 마이크로진공관의 평면도이다. 애노드전극층(25)는 띠부(20)의 각 팁의 양측면에 관통구멍(26)을 제공한다.

본 실시예에 따르면, 마이크로진공관은 단일체로서의 애노드와 에미터 및 게이트를 제공한다.

제15도(a) 와 제15도(b)는 본 발명에 따른 제9도(i)의 콜드에미터를 이용한 또 다른 실시예의 마이크로진공관의 단면도로서, 이 경우 제13도(a) 및 제13도(b)와 동일한 방법이 이용된다. 제9도(i)에 도시된 콜드에미터는 본 실시예에서 이용된다.

제거가능 절연층(44)이 홀(37)을 채우기 위해 게이트전극층(43)상에 퇴적되고, 에노드전극층(45)이 제거가능 절연층(24)상에서 퇴적된다.

애노드전극층(45)이 띠부(42) 위에 관통구멍(46)을 제공하고, 따라서 상기 홀(37)위에 제공된다. 그러나, 관통구멍(46)은 띠부(42)의 팁의 바로 위는 아니다(제15도(a)). 애노드전극층(46)과 띠부(42)의 팁간에 공간(47)을 만들기 위해 제거가능 절연층(43)이 부분적으로 제거된다(제15도(b)).

한편, 본원 발명은 상기 실시예에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위내에서 다양하게 변형하며 실시할 수 있음은 물론이다.

(57) 청구의 범위

청구항 1

상부 표면상에 적어도 하나의 외부로 향하는 凸부를 갖춘 코어층과; 이 코어층상과 형성된 에미터층을 구비하여 구성되고; 凸부상에 형성된 에미터층 부분이 팁의 정점으로 되는 것을 특징으로 하는 마이크로전자장치.

청구항 2

제1항에 있어서, 凸부상에 형성된 에미터층의 부분 주위에 개구를 갖춘 에미터층상에 형성된 게이트전극층을 더 구비함으로써 에미터층의 부분의 팁을 노출시키는 것을 특징으로 하는 마이크로전자장치.

청구항 3

제1항에 있어서, 에미터층의 팁상에 배치된 애노드전극을 더 구비하여 구성되고, 갭이 애노드전극과 에미터층의 팁사이에 형성된 것을 특징으로 하는 마이크로전자장치.

청구항 4

제3항에 있어서, 凸부상에 형성된 에미터층의 부분 주위에 개구를 갖춘 에미터층 상에 형성된 게이트전극층을 더 구비함으로써 에미터층의 팁을 노출시키는 것을 특징으로 하는 마이크로전자장치.

청구항 5

제4항에 있어서, 진공으로 갭을 만들기 위한 수단을 더 구비하여 구성된 마이크로전자장치.

청구항 6

제1항에 있어서, 코어층이 에미터층의 재료보다 더 큰 전기적 저항을 갖춘 재료를 포함하는것을 특징으로 하는 마이크로전자장치.

청구항 7

제1항에 있어서, 코어층이 에미터층의 재료보다 더 작은 내부 응력을 갖춘 재료를 포함하는 것을 특징으로 하는 마이크로전자장치.

청구항 8

제1항에 있어서, 코어층이 에미터층의 재료보다 더 강한 재료를 포함하는 것을 특징으로 하는 마이크로전

자장치.

청구항 9

제1항에 있어서, 凸부가 피라미드 형상을 갖추는 것을 특징으로하는 마이크로전자장치.

청구항 10

제1항에 있어서, 에미터층이 凸부의 높이 보다 작은 두께를 갖추는 것을 특징으로 하는 마이크로전자장치.

청구항 11

제1항에 있어서, 에미터층이 각 콜드에미터에 대응하여 분할되는 것을 특징으로 하는 마이크로전자장치.

청구항 12

제1항에 있어서, 에미터층이 다수의 콜드에미터로 이루어진 각 콜드에미터 그룹에 대응하여 분할되는 것을 특징으로 하는 마이크로전자장치.

청구항 13

제3항에 있어서, 애노드전극이 인층을 구비하여 이루어진 것을 특징으로 하는 마이크로전자장치.

청구항 14

제1항에 있어서, 다수의 콜드에미터가 병렬 연결로 제공되는 것을 특징으로 하는 마이크로전자장치.

청구항 15

기판과; 상부 표면상에 적어도 하나의 외부로 향하는 凸부를 갖춤과 더불어 기판상에 위치된 코어층; 코어층상에 형성되고, 凸부상에 형성된 에미터층 부분이 팁의 정점으로 되는 에미터층; 凸부상에 형성된 에미터층의 부분 주위에 개구를 갖춘 에미터층상에 형성됨으로써 에미터층의 팁을 노출시키는 게이트전극층; 에미트층의 팁 위에 배치되는 애노드전극 및; 기판과 애노드전극사이에 배치됨으로써 애노드전극과 에미터층의 팁 사이에 갭을 형성하는 스페이서를 구비하여 구성된 것을 특징으로 하는 마이크로진공관.

청구항 16

몰드기판의 표면에 凹부를 형성하는 단계와; 몰드기판의 표면상에 에미터층을 퇴적하는 단계; 에미터층상에 코어층을 퇴적하는 단계 및; 에미터층과 코어층으로 이루어진 凸부를 얻기 위해 에칭에 의해 몰드기판을 제거하는 단계를 구비하여 이루어진 것을 특징으로 하는 마이크로전자장치를 제조하기 위한 방법.

청구항 17

제16항에 있어서, 코어층을 퇴적한 후 및 몰드기판을 제거하기 전에 다른 표현 측상의 몰드기판을 구조적 기판과 본딩하는 단계를 더 구비하여 이루어진 것을 특징으로 하는 마이크로전자장치를 제조하기 위한 방법.

청구항 18

제16항에 있어서, 몰드기판이 에칭 후에 凸부 주위에 부분적으로 남겨지는 것을 특징으로 하는 마이크로전자장치를 제조하기 위한 방법.

청구항 19

제16항에 있어서, 몰드기판을 제거함에 있어서 에칭스톱퍼로서의 凹부의 표면상에 절연층을 형성하는 단계를 더 구비하여 이루어진 것을 특징으로 하는 마이크로전자장치를 제조하기 위한 방법.

청구항 20

제16항에 있어서, 凹부의 표면상에 도전층을 형성하고, 몰드기판을 제거함에 있어서 에칭스톱퍼로서 도전층상에 절연층을 형성하는 단계를 더 구비하여 이루어진 것을 특징으로하는 마이크로전자장치를 제조하기 위한 방법.

청구항 21

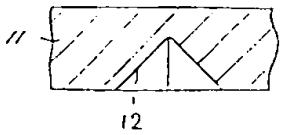
이방성에칭에 따라 단결정 반도체의 몰드기판의 표면상에 凹부를 형성하는 단계와; 몰드의 표면상에 절연층을 형성하는 단계; 절연층상에 에미터층을 퇴적하는 단계; 에미터층상에 코어층을 퇴적하는 단계; 에미터층과 코어층으로 이루어진 팁을 갖춘 凸부를 얻기 위해 에칭에 의해 凹부에서의 몰드기판을 제거하는 단계 및; 凸부의 팁주위에 절연층상에 게이트전극층을 형성하는 단계를 구비하여 이루어진 것을 특징으로 하는 마이크로진공관을 제조하기 위한 방법.

청구항 22

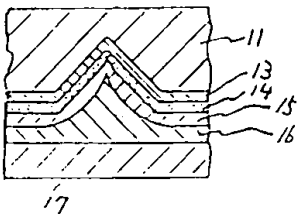
제21항에 있어서, 凹부가 절연층 아래에 도우프층을 제공하는 것을 특징으로 하는 마이크로진공관을 제조하기 위한 방법.

도면

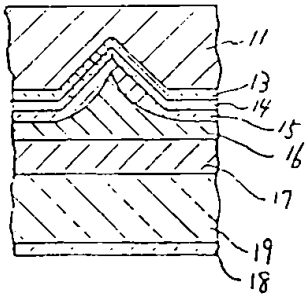
도면1a



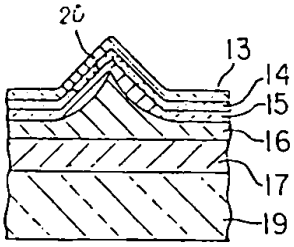
도면1b



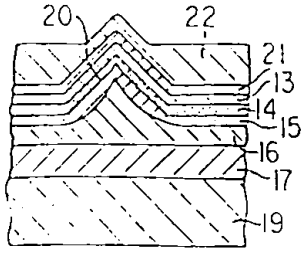
도면1c



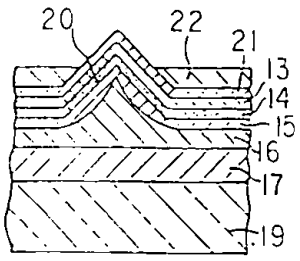
도면1d



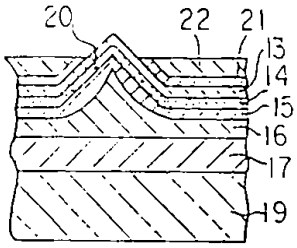
도면1e



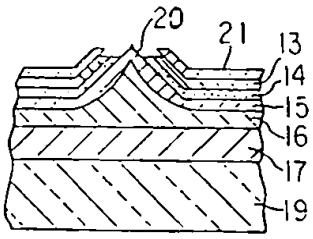
도면1f



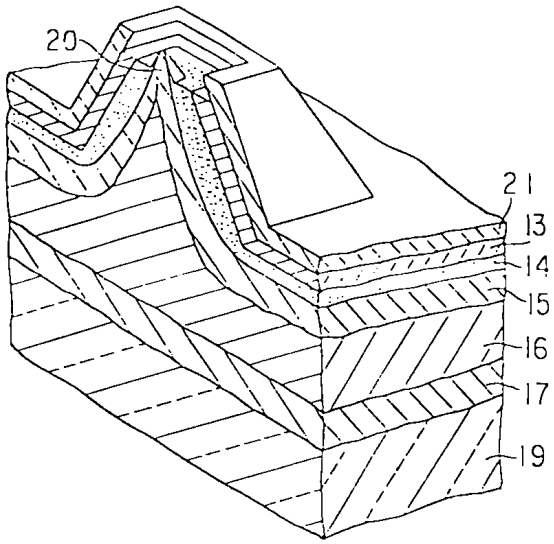
도면1g



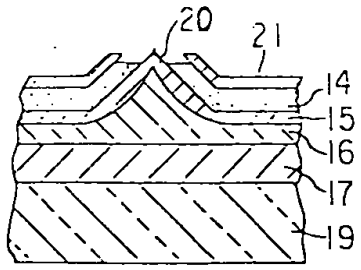
도면1h



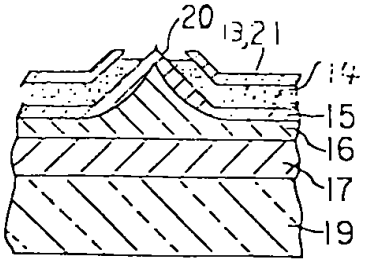
도면2



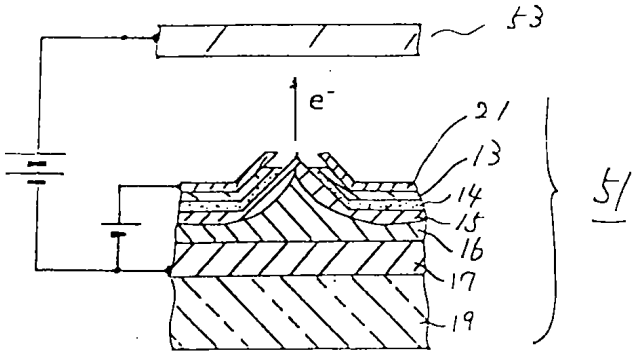
도면3



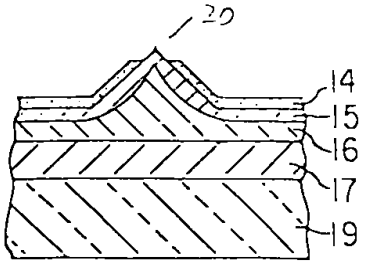
도면4



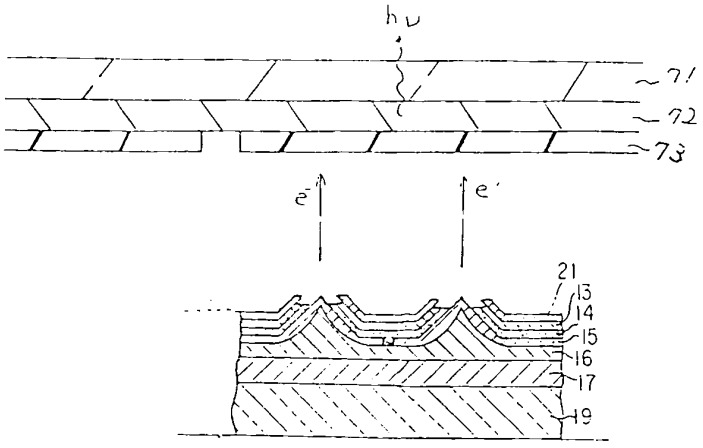
도면5



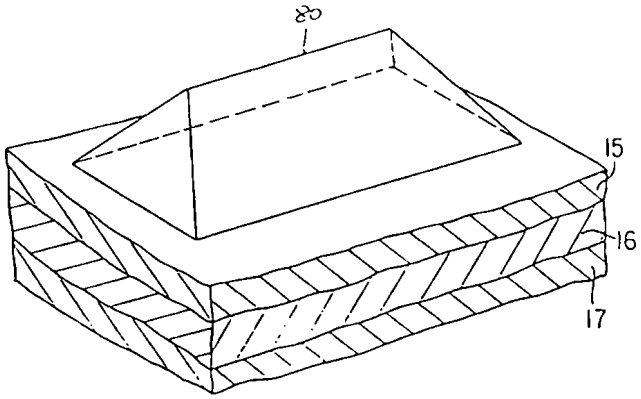
도면6



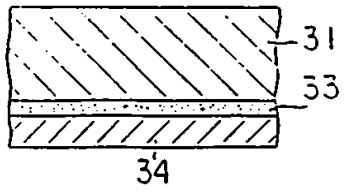
도면7



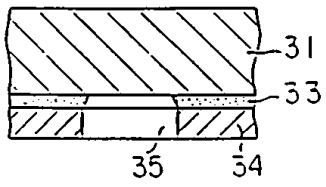
도면8



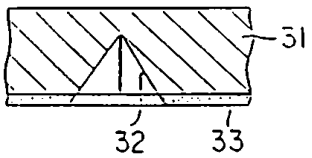
도면9a



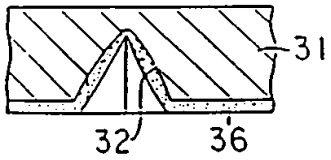
도면9b



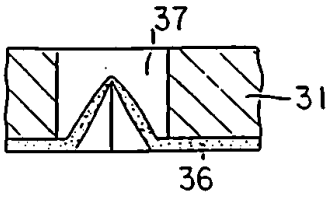
도면9c



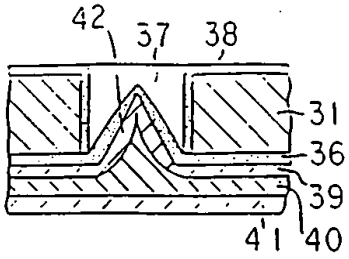
도면9d



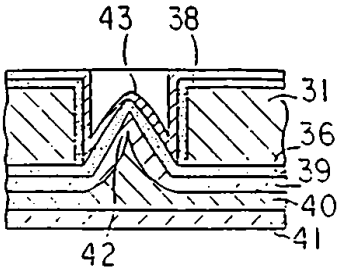
도면9e



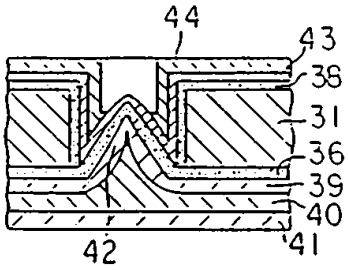
도면9f



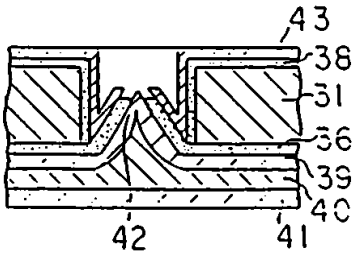
도면9g



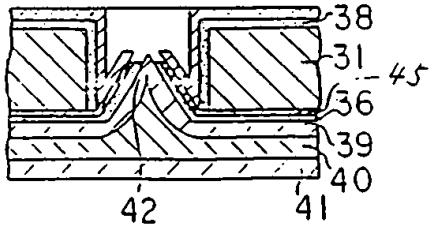
도면9h



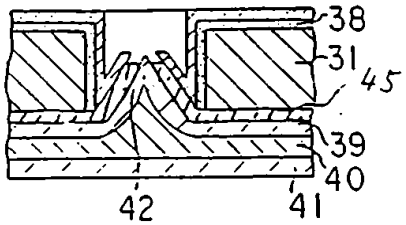
도면9i



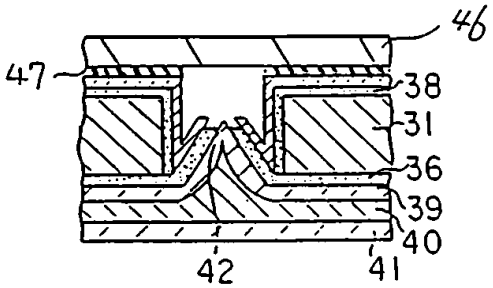
도면10



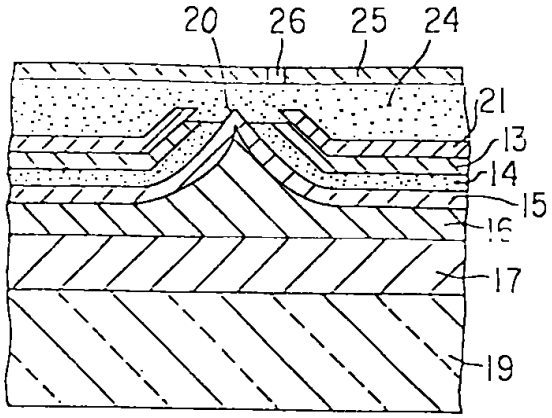
도면11



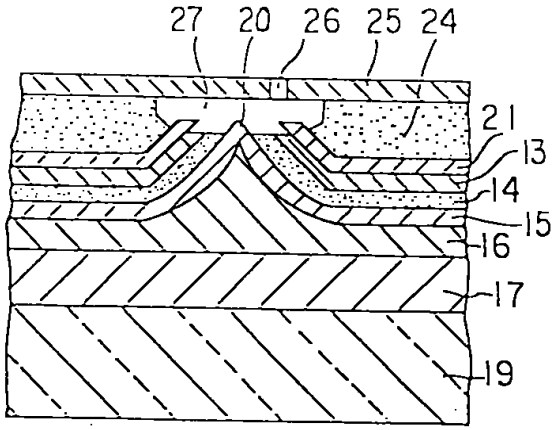
도면12



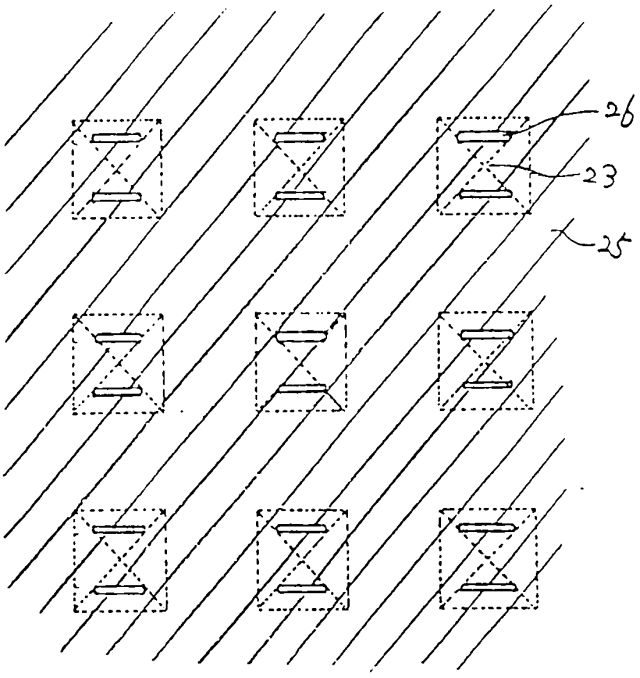
도면13a



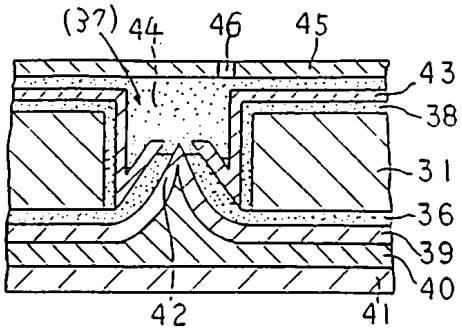
도면13b



도면14



도면15a



도면15b

