



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I717551 B

(45)公告日：中華民國 110 (2021) 年 02 月 01 日

(21)申請案號：106130534

(22)申請日：中華民國 106 (2017) 年 09 月 07 日

(51)Int. Cl. : *H01L29/78 (2006.01)**H01L29/739 (2006.01)**H01L29/06 (2006.01)**H01L21/336 (2006.01)*

(30)優先權：2016/09/12 日本

2016-177746

(71)申請人：日商瑞薩電子股份有限公司(日本) RENESAS ELECTRONICS CORPORATION
(JP)

日本

(72)發明人：松尾隆充 MATSUO, TAKAMITSU (JP)；松浦仁 MATSUURA, HITOSHI (JP)；齊
藤靖之 SAITO, YASUYUKI (JP)；星野義典 HOSHINO, YOSHINORI (JP)

(74)代理人：周良謀；周良吉

(56)參考文獻：

US 2011/0018029A1

審查人員：林弘恩

申請專利範圍項數：3 項 圖式數：35 共 62 頁

(54)名稱

半導體裝置之製造方法

(57)摘要

本發明之半導體裝置，在活性區域(ACR)，於溝槽(TRC)內配置了閘極電極(GEL)。與閘極電極(GEL)隔著距離，在溝槽(TRC)內配置了射極電極(EEL)。於活性區域(ACR)，形成了源極擴散層(SDR)與基極擴散層(BDR)。基極擴散層(BDR)的基極底部，以射極電極(EEL)側的基極底部的部分，位於比閘極電極(GEL)側的基極底部的部分更深的位置的態樣傾斜。接觸部(CCN)的接觸底部，以與射極電極(EEL)接觸的接觸底部的部分，位於比與基極擴散層(BDR)接觸的接觸底部的部分更深的位置的態樣傾斜。

In an active region (ACR), a gate electrode (GEL) is disposed in a trench (TRC). Spaced apart from the gate electrode (GEL), an emitter electrode (EEL) is disposed in the trench (TRC). A source diffusion layer (SDR) and a base diffusion layer (BDR) are formed in the active region (ACR). The base diffusion layer (BDR) has a base bottom portion inclined in such a manner that a portion of the base bottom portion adjacent to the emitter electrode (EEL) is positionally deeper than a portion of the base bottom portion adjacent to the gate electrode (GEL). A contact portion (CCN) has a contact bottom portion inclined in such a manner that a portion of the contact bottom portion in contact with the emitter electrode (EEL) is positionally deeper than a portion of the contact bottom portion in contact with the base diffusion layer (BDR).

指定代表圖：

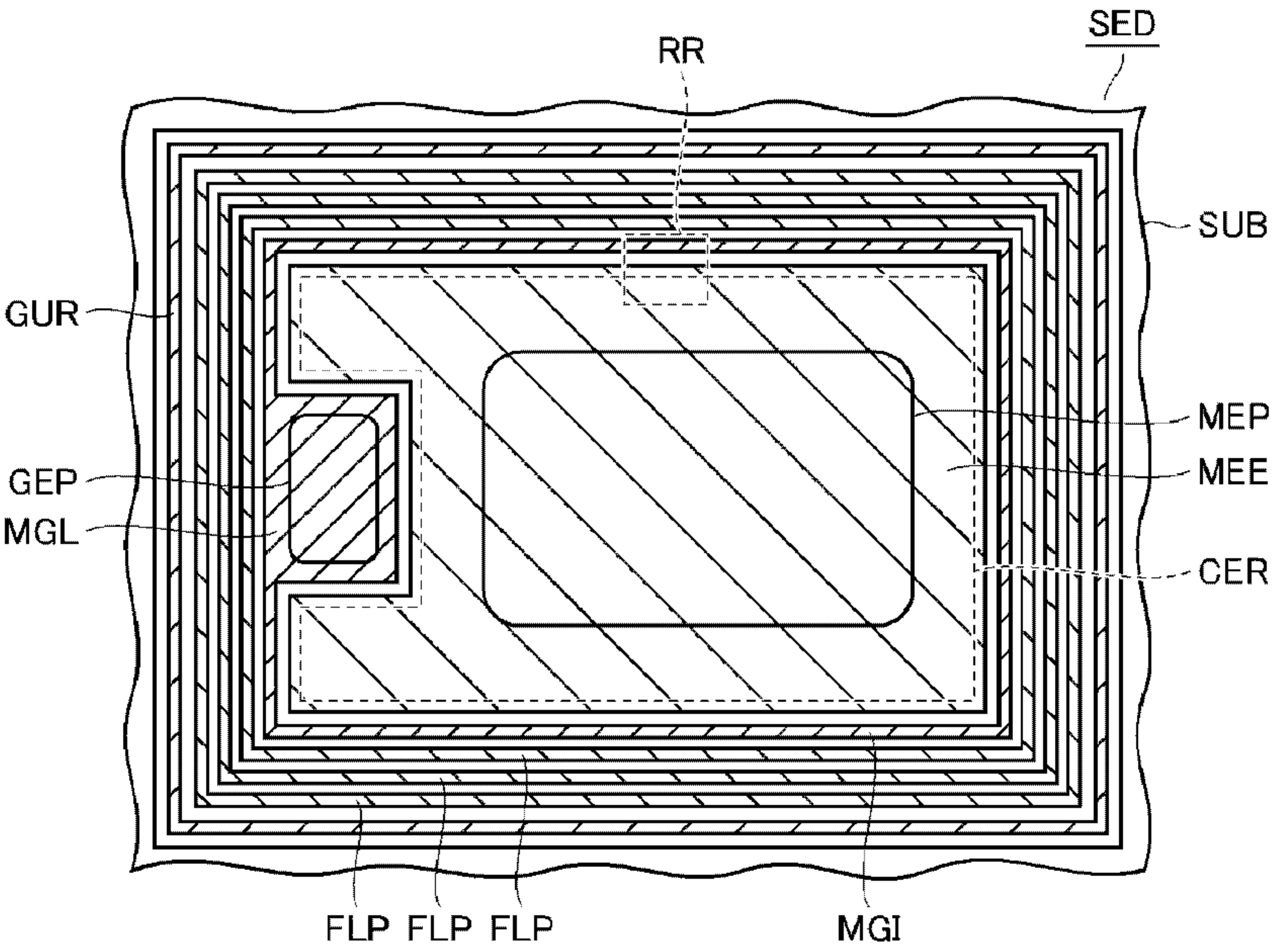


圖 1

- 符號簡單說明：
- CER:單元形成區域
 - FLP:場板
 - GEP:閘極襯墊
 - GUR:保護環
 - MEE:金屬射極電極
 - MEP:金屬射極襯墊
 - MGI:金屬閘極配線
 - MGL:金屬閘極電極
 - RR:區域
 - SED:半導體裝置
 - SUB:半導體基板



I717551

【發明摘要】

【中文發明名稱】

半導體裝置之製造方法

【英文發明名稱】

METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

【中文】

本發明之半導體裝置，在活性區域（ACR），於溝槽（TRC）內配置了閘極電極（GEL）。與閘極電極（GEL）隔著距離，在溝槽（TRC）內配置了射極電極（EEL）。於活性區域（ACR），形成了源極擴散層（SDR）與基極擴散層（BDR）。基極擴散層（BDR）的基極底部，以射極電極（EEL）側的基極底部的部分，位於比閘極電極（GEL）側的基極底部的部分更深的位置的態樣傾斜。接觸部（CCN）的接觸底部，以與射極電極（EEL）接觸的接觸底部的部分，位於比與基極擴散層（BDR）接觸的接觸底部的部分更深的位置的態樣傾斜。

【英文】

In an active region (ACR), a gate electrode (GEL) is disposed in a trench (TRC). Spaced apart from the gate electrode (GEL), an emitter electrode (EEL) is disposed in the trench (TRC). A source diffusion layer (SDR) and a base diffusion layer (BDR) are formed in the active region (ACR). The base diffusion layer (BDR) has a base bottom portion inclined in such a manner that a portion of the base bottom portion adjacent to the emitter electrode (EEL) is positionally deeper than a portion of the base bottom

portion adjacent to the gate electrode (GEL). A contact portion (CCN) has a contact bottom portion inclined in such a manner that a portion of the contact bottom portion in contact with the emitter electrode (EEL) is positionally deeper than a portion of the contact bottom portion in contact with the base diffusion layer (BDR).

【指定代表圖】 圖1

【代表圖之符號簡單說明】

CER：單元形成區域

FLP：場板

GEP：閘極襯墊

GUR：保護環

MEE：金屬射極電極

MEP：金屬射極襯墊

MGI：金屬閘極配線

MGL：金屬閘極電極

RR：區域

SED：半導體裝置

SUB：半導體基板

【特徵化學式】

無

【發明說明書】

【中文發明名稱】

半導體裝置之製造方法

【英文發明名稱】

METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

【技術領域】

【0001】

本發明係關於一種半導體裝置以及其製造方法，其係可適當應用於例如具備溝槽閘極IGBT的半導體裝置者。

【先前技術】

【0002】

在功率半導體裝置中，存在一種具備溝槽閘極IGBT（Insulated Gate Bipolar Transistor，絕緣閘極雙極電晶體）作為開關元件的功率半導體裝置。溝槽閘極IGBT，為了降低導通電壓，會被要求提高IE（Injection Enhancement，注入增強）功效。專利文獻1（日本特開2013－140885號公報）係以IE功效為目標的專利文獻之一。將該種溝槽閘極IGBT，記載為IE型溝槽閘極IGBT。

【0003】

在IE型溝槽閘極IGBT中，活性區域與非活性區域係交替地配置。於活性區域形成了溝槽，在該溝槽內形成了閘極電極。在IE型溝槽閘極IGBT中，從集極側注入的電洞，被非活性區域阻止其流向射極側，因此，活性區域與集極側之

間的電洞的濃度會提高。當電洞的濃度提高時，會促進電子從射極（源極）側注入，電子的濃度也會提高。像這樣，載子的濃度提高（IE功效），會引起傳導度調變，便可降低導通電壓。

【發明內容】

【0004】

具備IE型溝槽閘極IGBT的半導體裝置，為了降低導通電壓，會被要求提高IE功效，目前存在各種提案。

【0005】

本發明一實施態樣之半導體裝置，係具備溝槽閘極雙極電晶體的半導體裝置，其具備：半導體基板、第1區域、第2區域、閘極電極、射極電極、源極區域、基極區域、浮動區域，以及接觸部。第1區域以及第2區域，以互相鄰接的方式被區劃於半導體基板。閘極電極，隔著第1絕緣膜，形成在從位於第1區域的半導體基板的第1表面到達第1深度的第1溝槽內。射極電極，以隔著位於第1區域的半導體基板的區域的態樣與閘極電極隔著距離，並隔著第2絕緣膜形成在從第1表面到達第1深度的第2溝槽內。源極區域，從位在閘極電極與射極電極之間的第1區域的半導體基板的第1表面形成到比第1深度更淺的第2深度。基極區域，從位在閘極電極與射極電極之間的第1區域的半導體基板的第2深度形成到比第2深度更深且比第1深度更淺的位置。浮動區域，從位於第2區域的半導體基板的第1表面形成到比第1深度更深的位置。接觸部，與射極電極、源極區域以及基極區域電連接。接觸部，以跨射極電極與基極區域的態樣形成。接觸部的

接觸底部，以與射極電極接觸的接觸底部的第1部分，位於比與基極區域接觸的接觸底部的第2部分更深的位置的態樣傾斜。

【0006】

本發明另一實施態樣之半導體裝置，係具備溝槽閘極雙極電晶體的半導體裝置，其具備：半導體基板、第1區域、第2區域、閘極電極、源極區域、基極區域、包含射極電極在內的載子通流阻止部，以及接觸部。第1區域以及第2區域，以互相鄰接的方式被區劃於半導體基板。閘極電極，隔著第1絕緣膜，形成在從位於第1區域的半導體基板的第1表面到達第1深度的第1溝槽內。源極區域，從位在閘極電極與第2區域之間的半導體基板的第1表面形成到比第1深度更淺的第2深度。基極區域，從位在閘極電極與第2區域之間的半導體基板的第2深度形成到比第2深度更深的位置。包含射極電極在內的載子通流阻止部，以隔著位於第1區域的半導體基板的區域的態樣與閘極電極隔著距離，形成於位在第2區域的半導體基板的區域，阻止載子的流動。接觸部，與射極電極、源極區域以及基極區域電連接。接觸部的底部與射極電極接觸。接觸部的接觸側部與源極區域以及基極區域接觸。

【0007】

本發明再另一實施態樣之半導體裝置的製造方法，係具備溝槽閘極雙極電晶體的半導體裝置的製造方法，其具備以下的步驟。於具有第1表面的第1導電型的半導體基板，區劃出互相鄰接的第1區域與第2區域。在從位於第1區域的半導體基板的第1表面到達第1深度的第1溝槽內隔著第1絕緣膜形成閘極電極，同時在與第1溝槽隔著距離並從半導體基板的第1表面到達第1深度的第2溝槽內隔著第2絕緣膜形成射極電極。對位於第2區域的半導體基板導入第2導電型的雜

質，以形成浮動區域。形成從位於閘極電極與射極電極之間的第1區域的半導體基板的第1表面到達第2深度的第1導電型的源極區域。形成從位於閘極電極與射極電極之間的第1區域的半導體基板的第2深度到達比第2深度更深且比第1深度更淺的位置的第2導電型的基極區域。以覆蓋第1區域以及第2區域的方式，形成接觸層間絕緣膜。對接觸層間絕緣膜實行蝕刻處理，藉此，以跨射極電極與源極區域的態樣，形成露出射極電極以及源極區域的開口部。以形成了開口部的接觸層間絕緣膜為蝕刻遮罩，對射極電極、源極區域以及基極區域實行蝕刻處理，以形成接觸開口部。將接觸開口部內的殘渣除去。在接觸開口部內，形成與射極電極、基極區域以及源極區域電連接的接觸部。

【0008】

若根據本發明一實施態樣之半導體裝置，便可令IE功效提高。若根據本發明另一實施態樣之半導體裝置，亦可令IE功效提高。

【0009】

若根據本發明再另一實施態樣之半導體裝置的製造方法，便可製造出可令IE功效提高的半導體裝置。其他問題與新穎性特徵，根據本說明書的記述以及所附圖式應可明瞭。

【圖式簡單說明】

【0010】

[圖1] 係表示各實施態樣之半導體裝置的平面構造的俯視圖。

[圖2] 係實施態樣1之半導體裝置的部分俯視圖。

[圖3] 係在同上實施態樣中，圖2所示之剖面線III—III的剖面圖。

[圖4] 係在同上實施態樣中，圖2所示之剖面線IV－IV的剖面圖。

[圖5] 係表示在同上實施態樣中，半導體裝置的製造方法的一步驟的剖面圖。

[圖6] 係表示在同上實施態樣中，在圖5所示的步驟之後實行的步驟的剖面圖。

[圖7] 係表示在同上實施態樣中，在圖6所示的步驟之後實行的步驟的剖面圖。

[圖8] 係表示在同上實施態樣中，在圖7所示的步驟之後實行的步驟的剖面圖。

[圖9] 係表示在同上實施態樣中，在圖8所示的步驟之後實行的步驟的剖面圖。

[圖10] 係表示在同上實施態樣中，在圖9所示的步驟之後實行的步驟的剖面圖。

[圖11] 係表示在同上實施態樣中，在圖10所示的步驟之後實行的步驟的剖面圖。

[圖12] 係表示在同上實施態樣中，在圖11所示的步驟之後實行的步驟的剖面圖。

[圖13] 係表示在同上實施態樣中，在圖12所示的步驟之後實行的步驟的剖面圖。

[圖14] 係表示在同上實施態樣中，在圖13所示的步驟之後實行的步驟的剖面圖。

[圖15] 係表示在同上實施態樣中，在圖14所示的步驟之後實行的步驟的剖面圖。

[圖16] 係表示在同上實施態樣中，在圖15所示的步驟之後實行的步驟的剖面圖。

[圖17] 係表示在同上實施態樣中，在圖16所示的步驟之後實行的步驟的剖面圖。

[圖18] 係比較例之半導體裝置的部分剖面圖。

[圖19] 係實施態樣2之半導體裝置的部分俯視圖。

[圖20] 係在同上實施態樣中，圖19所示之剖面線XX－XX的剖面圖。

[圖21] 係表示在同上實施態樣中，半導體裝置的製造方法的一步驟的剖面圖。

[圖22] 係表示在同上實施態樣中，在圖21所示的步驟之後實行的步驟的剖面圖。

[圖23] 係表示在同上實施態樣中，在圖22所示的步驟之後實行的步驟的剖面圖。

[圖24] 係表示在同上實施態樣中，在圖23所示的步驟之後實行的步驟的剖面圖。

[圖25] 係表示在同上實施態樣中，在圖24所示的步驟之後實行的步驟的剖面圖。

[圖26] 係表示在同上實施態樣中，在圖25所示的步驟之後實行的步驟的剖面圖。

[圖27] 係實施態樣3之半導體裝置的部分俯視圖。

[圖28] 係在同上實施態樣中，圖27所示之剖面線XXVIII－XXVIII的剖面圖。

[圖29] 係表示在同上實施態樣中，半導體裝置的製造方法的一步驟的剖面圖。

[圖30] 係表示在同上實施態樣中，在圖29所示的步驟之後實行的步驟的剖面圖。

[圖31] 係表示在同上實施態樣中，在圖30所示的步驟之後實行的步驟的剖面圖。

[圖32] 係表示在同上實施態樣中，在圖31所示的步驟之後實行的步驟的剖面圖。

[圖33] 係表示在同上實施態樣中，在圖32所示的步驟之後實行的步驟的剖面圖。

[圖34] 係表示在同上實施態樣中，在圖33所示的步驟之後實行的步驟的剖面圖。

[圖35] 係表示在同上實施態樣中，在圖34所示的步驟之後實行的步驟的剖面圖。

【實施方式】

【0011】

首先，針對IE型溝槽閘極IGBT的整體構造進行說明。如圖1所示的，以包圍形成了IE型溝槽閘極IGBT的單元區域CER的周圍的方式，互相隔著間隔，形成了複數個環狀的場板FLP。以包圍該場板FLP的方式，形成了環狀的保護環GUR。

【0012】

以覆蓋單元區域CER的方式形成了金屬射極電極MEE。於金屬射極電極MEE的中央部位，配置了金屬射極襯墊MEP。於金屬射極襯墊MEP連結了導線（圖中未顯示）。

【0013】

在單元區域CER與場板FLP之間，形成了金屬閘極配線MGI。金屬閘極配線MGI，與金屬閘極電極MGL電連接。於金屬閘極電極MGL的中央部位，配置了閘極襯墊GEP。於閘極襯墊GEP，連結了導線（圖中未顯示）。

【0014】

以下，在各實施態樣中，針對形成於單元區域CER的IE型溝槽閘極IGBT的構造具體進行說明。另外，各實施態樣，代表性地，顯示出圖1所示之單元區域CER的外周圍部位與其附近的虛線框內所示之區域RR的構造。

【0015】

[實施態樣1]

茲針對具備實施態樣1之IE型溝槽閘極IGBT的半導體裝置進行說明。

【0016】

如圖2以及圖3所示的，於半導體基板SUB（單元區域CER），交替地區劃出活性區域ACR（第1區域）與非活性區域IACR（第2區域）。活性區域ACR位在一個非活性區域IACR與另一個非活性區域IACR之間。在活性區域ACR，以在Y方向上延伸的方式配置了閘極電極GEL。閘極電極GEL，隔著閘極絕緣膜GIF，形成在溝槽TRC內。

【0017】

以與閘極電極GEL夾著活性區域ACR（半導體基板SUB的區域），在X方向上隔著距離，而與閘極電極GEL對向的方式，配置了射極電極EEL。射極電極EEL，在Y方向上延伸。射極電極EEL，隔著射極絕緣膜EIF，形成在溝槽TRC內。

【0018】

於位在閘極電極GEL與射極電極EEL之間的活性區域ACR（半導體基板SUB的區域），從半導體基板SUB的一側表面到達既定的深度，形成了n+型的源極擴散層SDR。從該源極擴散層SDR的底部更進一步到達既定的深度，形成了p型的基極擴散層BDR。基極擴散層BDR的基極底部，以射極電極EEL側的基極底部的部分，位於比閘極電極GEL側的基極底部的部分更深的位置的態樣傾斜。

【0019】

從基極擴散層BDR的閘極電極GEL側的基極底部的部分到閘極電極GEL的下端為止的長度，比從基極擴散層BDR的射極電極EEL側的基極底部的部分到閘極電極GEL的下端為止的長度更長。從該基極擴散層BDR的底部更進一步到達既定的深度，形成了n型的電洞障蔽層HBR。電洞障蔽層HBR，形成到達閘極電極GEL的下端部的長度。

【0020】

於非活性區域IACR，形成了p型的浮動擴散層FPR。浮動擴散層FPR，從半導體基板SUB的一側表面，形成到比射極電極EEL的下端部更深的位置。

【0021】

以覆蓋閘極電極GEL、源極擴散層SDR以及射極電極EEL等的方式形成了接觸層間絕緣膜CIL。以貫通接觸層間絕緣膜CIL，並與射極電極EEL、基極擴散層BDR以及源極擴散層SDR接觸的方式，形成了接觸部CCN。

【0022】

接觸部CCN，作為共通的接觸部，以跨射極電極EEL與基極擴散層BDR的態樣形成。接觸部CCN的接觸底部，以與射極電極EEL接觸的接觸底部的部分，位於比與基極擴散層BDR接觸的接觸底部的部分更深的位置的態樣傾斜。以與該接觸部CCN接觸的方式，形成了金屬射極電極MEE。金屬射極電極MEE，例如，由鋁膜所形成。

【0023】

從半導體基板SUB的另一側表面到達既定的深度，形成了p型的集極擴散層CDR。從該集極擴散層CDR的底部更進一步到達既定的深度，形成了N型緩衝層NBR。以與集極擴散層CDR接觸的方式，形成了背面電極BEL（集極電極）。

【0024】

接著，針對閘極電極GEL與金屬閘極配線MGI的連接構造進行說明。如圖2以及圖4所示的，閘極電極GEL，延伸到金屬閘極配線MGI所配置之區域的正下方。相鄰的一個閘極電極GEL的端部與另一個閘極電極GEL的端部，透過在X方向上延伸的閘極電極GEL的部分連結。

【0025】

於金屬閘極配線MGI的正下方，形成了閘極配線拉出部MGE。閘極配線拉出部MGE，以與在X方向上延伸的閘極電極GEL的部分接觸的方式形成。閘極配線拉出部MGE，透過閘極接觸部GEC與金屬閘極配線MGI電連接。

【0026】

像這樣，具備IE型溝槽閘極IGBT的半導體裝置，其射極電極EEL與基極擴散層BDR以及源極擴散層SDR，利用與射極電極EEL、基極擴散層BDR以及源極擴散層SDR接觸的共通的接觸部CCN電連接。該接觸部CCN的接觸底部，以與射極電極EEL接觸的接觸底部的部分，位於比與基極擴散層BDR接觸的接觸底部的部分更深的位置的態樣傾斜。

【0027】

另外，在基極擴散層BDR中，基極擴散層BDR的基極底部，以射極電極EEL側的基極底部的部分，位於比閘極電極GEL側的基極底部的部分更深的位置的態樣傾斜。從基極擴散層BDR的閘極電極GEL側的基極底部的部分到閘極電極GEL的下端為止的長度，比從基極擴散層BDR的射極電極EEL側的基極底部的部分到閘極電極GEL的下端為止的長度更長。

【0028】

上述的半導體裝置，在令IE型溝槽閘極IGBT導通時，藉由對閘極電極GEL施加閾值電壓以上的電壓，電子從源極擴散層SDR經由通道注入到半導體基板SUB的N型區域NSR，此時，N型區域NSR與集極擴散層CDR的PN接合形成順向偏壓的狀態，電洞從集極擴散層CDR注入到N型區域NSR。所注入之電洞，被非活性區域IACR阻止其流向源極擴散層SDR（射極）側，電洞累積於半導體基板SUB的N型區域NSR與浮動擴散層FPR，電洞的濃度提高。

【0029】

當N型區域NSR等的電洞的濃度提高時，會促進電子從源極擴散層SDR（射極）注入，電子的濃度也會提高。像這樣，N型區域NSR等的載子的濃度提高，會引起傳導度調變，便可降低導通電壓。

【0030】

接著，針對具備上述之IE型溝槽閘極IGBT的半導體裝置的製造方法的一例進行說明。

【0031】

如圖5所示的，首先，以覆蓋半導體基板的一側表面的方式，形成矽氧化膜SOF1。接著，在形成了該矽氧化膜SOF1的狀態下，對非活性區域IACR注入p型的雜質，藉此，形成作為浮動擴散層的P型區域PR。接著，對活性區域ACR注入n型的雜質，藉此，形成作為電洞障蔽層的N型區域NR。

【0032】

接著，形成用來形成溝槽的例如由矽氧化膜等所構成的硬遮罩（圖中未顯示）。接著，以該硬遮罩作為蝕刻遮罩，對半導體基板SUB實行蝕刻處理，藉此，形成溝槽TRC（參照圖6）。之後，硬遮罩被除去，如圖6所示的，形成了溝槽TRC的半導體基板SUB的表面便露出。

【0033】

溝槽TRC的深度，例如，約 $3\mu\text{m}\sim 5\mu\text{m}$ 左右。溝槽TRC的寬度，例如，約 $0.4\mu\text{m}\sim 0.5\mu\text{m}$ 左右。相鄰的溝槽TRC之間的時間隔，例如，約 $0.8\mu\text{m}\sim 0.9\mu\text{m}$ 左右。另外，該等數值僅為一例而已。

【0034】

接著，實行既定的熱處理，以令P型區域PR的p型的雜質擴散，藉此，形成浮動擴散層FPR。另外，令N型區域NR的n型的雜質擴散，藉此，形成電洞障蔽層HBR。之後，如圖7所示的，例如，實行熱氧化處理，以於包含溝槽TRC的內壁面在內的半導體基板SUB的表面，形成作為閘極絕緣膜等的絕緣膜IF。

【0035】

接著，如圖8所示的，例如，利用CVD（Chemical Vapor Deposition，化學氣相沉積）法，用填充溝槽TRC內部的態樣，以覆蓋半導體基板SUB的方式形成多晶矽膜PSF。

【0036】

接著，對多晶矽膜PSF的整個表面實行蝕刻處理，藉此，位在半導體基板SUB的頂面上的多晶矽膜PSF的部分被除去。然後，對多晶矽膜PSF實行過度蝕刻處理。藉此，如圖9所示的，殘留在溝槽TRC內的多晶矽膜PSF的頂面，位於比半導體基板SUB的表面更低的位置。

【0037】

接著，如圖10所示的，在半導體基板SUB的頂面上露出的絕緣膜IF被除去。藉此，在溝槽TRC內隔著閘極絕緣膜GIF形成閘極電極GEL，同時在溝槽TRC內隔著射極絕緣膜EIF形成射極電極EEL。

【0038】

接著，如圖11所示的，以覆蓋半導體基板SUB的方式，形成矽氧化膜SOF2。接著，實行既定的照相製版處理，藉此，形成用來形成源極擴散層以及基極擴散層的光阻圖案（圖中未顯示）。接著，以該光阻圖案為注入遮罩，注入p型的

雜質。然後，以該光阻圖案為注入遮罩，注入n型的雜質。之後，光阻圖案被除去。

【0039】

藉此，如圖11所示的，從位於活性區域ACR的半導體基板SUB的表面到達既定的深度，形成源極擴散層SDR。從該源極擴散層SDR的底部更進一步到達較深的位置，形成基極擴散層BDR。在此時點，基極擴散層BDR的底部，大致位於固定的深度。

【0040】

接著，如圖12所示的，以覆蓋半導體基板SUB的方式，形成接觸層間絕緣膜CIL。接著，實行既定的照相製版處理，藉此，形成用來形成接觸部（接觸開口部）的光阻圖案（圖中未顯示）。接著，以該光阻圖案為蝕刻遮罩，對接觸層間絕緣膜CIL實行蝕刻處理，藉此，形成開口部HOP（參照圖13）。

【0041】

此時，因為過度蝕刻，閘極絕緣膜GIF受到蝕刻，形成凹部。由於有必要形成最終並無局部高低差的接觸開口部，故在該接觸層間絕緣膜CIL的蝕刻處理，必須設定成考慮到之後的蝕刻處理的蝕刻量的條件。之後，光阻圖案被除去。

【0042】

像這樣，如圖13所示的，形成了開口部HOP的接觸層間絕緣膜CIL便形成作為硬遮罩。開口部HOP，以跨源極擴散層SDR與射極電極EEL的方式形成。接著，如圖14所示的，以作為硬遮罩的接觸層間絕緣膜CIL為蝕刻遮罩，對露出之源極擴散層SDR（半導體基板SUB）以及射極電極EEL（多晶矽膜PSF）等實行蝕刻處理，藉此，形成接觸開口部COP。

【0043】

此時，射極電極EEL（多晶矽膜PSF）的蝕刻速度，比源極擴散層SDR（半導體基板SUB）的蝕刻速度更高。因此，在接觸開口部COP，射極電極EEL側的深度，比基極擴散層BDR側的深度更深。

【0044】

另外，除了射極電極EEL的蝕刻速度與基極擴散層BDR的蝕刻速度的差異之外，更在半導體基板SUB與射極電極EEL（多晶矽膜PSF）之間隔設著射極絕緣膜EIF，因此，射極絕緣膜EIF的一部分與矽（半導體基板SUB）的一部分等殘留作為殘渣RES。

【0045】

接著，如圖15所示的，實行乾蝕刻處理，藉此，該殘渣RES被除去。然後，對射極電極EEL與基極擴散層BDR實行蝕刻處理，形成既定深度的接觸開口部COP。在接觸開口部COP，開口底面，以接觸開口部COP的射極電極EEL側的開口底面的部分，比基極擴散層BDR側的開口底面的部分更深的態樣傾斜。

【0046】

接著，如圖16所示的，以形成了接觸開口部COP的接觸層間絕緣膜CIL為注入遮罩，對基極擴散層BDR注入p型的雜質。此時，係從接觸開口部COP注入p型的雜質，因此，在基極擴散層BDR，射極電極EEL側的部分，形成到比閘極電極GEL側的部分更深的位置。藉此，基極擴散層BDR的基極底部，便以射極電極EEL側的基極底部的部分，位於比閘極電極GEL側的基極底部的部分更深的位置的態樣傾斜。

【0047】

接著，如圖17所示的，以覆蓋接觸開口部COP的內壁面的方式，在接觸層間絕緣膜CIL上，形成例如鈦鎢膜等的障蔽金屬膜BME。接著，用填充接觸開口部COP內部的態樣，以覆蓋障蔽金屬膜BME的方式，形成例如鋁膜。利用填充接觸開口部COP內部的障蔽金屬膜BME的部分與鋁膜的部分形成接觸部CCN。另外，形成與接觸部CCN電連接的金屬射極電極MEE。

【0048】

另一方面，對半導體基板SUB的另一側表面注入n型的雜質，藉此，形成N型緩衝層NBR。接著，對半導體基板SUB的另一側表面注入p型的雜質，藉此，形成p型的集極擴散層CDR。之後，形成與集極擴散層CDR接觸的背面電極BEL，圖2以及圖3等所示之半導體裝置的主要部分便完成。

【0049】

具備上述之IE型溝槽閘極IGBT的半導體裝置，可令IE功效更進一步提高。針對此點，與具備比較例之IE型溝槽閘極IGBT的半導體裝置比較並說明之。

【0050】

如圖18所示的，比較例之半導體裝置，分別形成了與射極電極EEL電連接的接觸部CNE，還有，與源極擴散層SDR以及基極擴散層BDR電連接的接觸部CNP。另外，關於其以外之構造，與實施態樣1之半導體裝置相同的構件會附上相同的符號，除非有必要，其說明不重複為之。

【0051】

一般而言，在具備IE型溝槽閘極IGBT的半導體裝置中，為了提高IE功效，以下的3個方法為有效。亦即，將閘極電極與射極電極的間隔（台面寬度）縮小（方法A）、將從基極擴散層到溝槽的下端（閘極電極的下端）的距離拉長（方

法B)，以及將非活性區域擴大（方法C）。在此，主要係從方法A的觀點來達到提高IE功效之目的。

【0052】

比較例之半導體裝置，若將台面寬度MW縮小，則接觸部CNP會接近閘極電極GEL，接觸部CNP與閘極電極GEL會有電性短路之虞。因此，欲將台面寬度MW縮小有其限度。

【0053】

相對於比較例之半導體裝置，實施態樣1之半導體裝置，係形成了共通的接觸部CCN，作為與射極電極EEL電連接的接觸部，還有，與源極擴散層SDR以及基極擴散層BDR電連接的接觸部。該接觸部CCN，以跨源極擴散層SDR、基極擴散層BDR以及射極電極EEL的方式形成。藉此，相較於比較例之半導體裝置，可將台面寬度MW（參照圖3）更進一步縮小。其結果，可令IE功效更進一步提高，並可令導通電壓下降。

【0054】

另外，實施態樣之半導體裝置，其接觸開口部COP，以射極電極EEL與基極擴散層BDR於接觸開口部COP的底面露出，且基極擴散層BDR與源極擴散層SDR於接觸開口部COP的側面露出的方式形成。p型的雜質從該接觸開口部COP注入基極擴散層BDR，藉此，在基極擴散層BDR，射極電極EEL側的部分形成到比閘極電極GEL側的部分更深的位置。

【0055】

藉此，可令基極擴散層BDR的閘極電極GEL側的深度，配合接觸開口部COP的底部的傾斜，形成得比較淺，如是便可將從基極擴散層BDR的閘極電極GEL

側的底部的部分到閘極電極GEL的下端為止的長度LG更進一步拉長（參照圖3，方法B）。其結果，可令IE功效更進一步提高。

【0056】

另外，在令IE型溝槽閘極IGBT切斷時，累積於N型區域NSR的載子（電洞），會流經基極擴散層BDR的射極電極EEL側的形成到較深之位置的部分，其可抑制因為電洞流經基極擴散層BDR的閘極電極GEL側的部分所形成之寄生電晶體的動作。

【0057】

[實施態樣2]

茲針對可將台面寬度更進一步縮小的半導體裝置進行說明，作為具備實施態樣2之IE型溝槽閘極IGBT的半導體裝置。

【0058】

如圖19以及圖20所示的，在活性區域ACR，以在Y方向上延伸的方式配置了閘極電極GEL。閘極電極GEL，隔著閘極絕緣膜GIF，形成在溝槽TRC內。

【0059】

以與閘極電極GEL夾著活性區域ACR（半導體基板SUB的區域），在X方向上隔著距離，而與閘極電極GEL對向的方式，配置了射極電極EEL。射極電極EEL，在Y方向上延伸。射極電極EEL，隔著射極絕緣膜EIF，形成在溝槽TRC內。射極電極EEL的寬度EW，形成得比閘極電極GEL的寬度GW更寬。

【0060】

共通的接觸部CCN，在接觸部CCN的接觸底部與射極電極EEL接觸。另外，在接觸部CCN的接觸側部，與源極擴散層SDR以及基極擴散層BDR接觸。射極

電極EEL的頂面，位於比閘極電極GEL的頂面更下方的位置。另外，關於其以外之構造，與圖1～圖3所示之半導體裝置的構造相同，故相同的構件會附上相同的符號，除非有必要，其說明不重複為之。

【0061】

接著，針對上述之半導體裝置的製造方法的一例進行說明。在經過與圖5以及圖6所示之步驟同樣的步驟之後，如圖21所示的，於半導體基板SUB，形成了既定深度的溝槽TRC與溝槽TRCW。形成射極電極的溝槽TRCW的寬度TEW，比形成閘極電極的溝槽TRC的寬度TGW更寬。

【0062】

接著，如圖22所示的，用填充溝槽TRC內部以及溝槽TRCW內部的態樣，以覆蓋半導體基板SUB的方式形成多晶矽膜PSF。接著，對多晶矽膜PSF的整個表面實行蝕刻處理，藉此，位在半導體基板SUB的頂面上的多晶矽膜PSF的部分被除去。然後，對多晶矽膜PSF實行過度蝕刻處理。藉此，如圖23所示的，殘留於溝槽TRC的多晶矽膜PSF的頂面的位置，位於比半導體基板SUB的表面更低的位置。

【0063】

另外，此時，填充寬度較寬之溝槽TRCW內部的多晶矽膜PSF的蝕刻率，會比填充寬度較窄之溝槽TRC內部的多晶矽膜PSF的蝕刻率更快。因此，藉由1次的蝕刻處理，便可令殘留在溝槽TRCW內的多晶矽膜PSF的頂面的位置，比殘留在溝槽TRC內的多晶矽膜PSF的頂面的位置更低。

【0064】

另外，此時，亦可藉由形成光阻圖案，將殘留在溝槽TRCW內的多晶矽膜PSF與殘留在溝槽TRC內的多晶矽膜PSF分開實行蝕刻處理。

【0065】

接著，經過與圖9～圖13所示之步驟同樣的步驟，如圖24所示的，以貫通接觸層間絕緣膜CIL的方式，形成接觸開口部COP。於接觸開口部COP的底面，射極電極EEL露出，於接觸開口部COP的側面，源極擴散層SDR與基極擴散層BDR露出。

【0066】

接著，如圖25所示的，以形成了接觸開口部COP的接觸層間絕緣膜CIL為注入遮罩，對基極擴散層BDR注入p型的雜質。此時，係從接觸開口部COP注入p型的雜質，因此，在基極擴散層BDR，射極電極EEL側的部分，形成到比閘極電極GEL側的部分更深的位置。藉此，基極擴散層BDR的基極底部，便以射極電極EEL側的基極底部的部分，位於比閘極電極GEL側的基極底部的部分更深的位置的態樣傾斜。

【0067】

接著，如圖26所示的，以覆蓋接觸開口部COP的內壁面的方式，在接觸層間絕緣膜CIL上形成障蔽金屬膜BME。接著，用填充接觸開口部COP內部的態樣，以覆蓋障蔽金屬膜BME的方式，形成鋁膜。利用填充接觸開口部COP內部的障蔽金屬膜BME的部分與鋁膜的部分形成接觸部CCN。另外，形成與接觸部CCN電連接的金屬射極電極MEE。

【0068】

另一方面，於半導體基板SUB的另一側表面，形成N型緩衝層NBR以及p型的集極擴散層CDR。之後，形成與集極擴散層CDR接觸的背面電極BEL，圖19以及圖20所示之半導體裝置的主要部分便完成。

【0069】

上述之半導體裝置，其射極電極EEL的寬度比閘極電極GEL的寬度更寬，接觸部CCN的整個底面與射極電極EEL接觸。此構造，相當於令實施態樣1之半導體裝置的射極電極EEL，更進一步接近閘極電極GEL側的構造。藉此，射極電極EEL與閘極電極GEL之間的台面寬度MW，便更進一步縮小（方法A）。其結果，可令IE功效更進一步提高。

【0070】

另外，如前所述的，可將基極擴散層BDR的閘極電極GEL側的深度，配合接觸開口部COP的底部的傾斜，形成得比較淺，如是便可將從基極擴散層BDR的閘極電極GEL側的底部的部分到閘極電極GEL的下端為止的長度LG更進一步拉長（參照圖20，方法B）。其結果，有助於IE功效的提高。

【0071】

另外，射極電極EEL的寬度形成得比閘極電極GEL的寬度更寬，藉此，便可提高形成接觸部CCN的接觸開口部COP的尺寸的自由度。因此，可降低接觸開口部COP的深寬比（深度／底部的尺寸），並可改善障蔽金屬膜BME的覆蓋性，同時可確實地填充作為接觸部CCN的鋁膜。

【0072】

[實施態樣3]

茲針對於非活性區域形成了射極電極的半導體裝置進行說明，作為具備實施態樣3之IE型溝槽閘極IGBT的半導體裝置。

【0073】

如圖27以及圖28所示的，在活性區域ACR，以在Y方向上延伸的方式配置了閘極電極GEL。閘極電極GEL，隔著閘極絕緣膜GIF，形成在溝槽TRC內。

【0074】

以與閘極電極GEL夾著活性區域ACR（半導體基板SUB的區域），在X方向上隔著距離，且與閘極電極GEL對向的方式，配置了射極電極EEL。射極電極EEL，以跨非活性區域IACR的整個區域的方式形成。射極電極EEL，隔著射極絕緣膜EIF，形成在溝槽TRCH內。射極絕緣膜EIF的厚度，為了確保耐壓，形成得比閘極絕緣膜GIF的厚度更厚。

【0075】

共通的接觸部CCN，在接觸部CCN的接觸底部與射極電極EEL接觸。另外，在接觸部CCM的接觸側部，與源極擴散層SDR以及基極擴散層BDR接觸。射極電極EEL的頂面，位於比閘極電極GEL的頂面更下方的位置。另外，關於其以外之構造，與圖1～圖3所示之半導體裝置的構造相同，故相同的構件會附上相同的符號，除非有必要，其說明不重複為之。

【0076】

接著，針對上述之半導體裝置的製造方法的一例進行說明。在經過與圖5以及圖6所示之步驟同樣的步驟之後，如圖29所示的，於半導體基板SUB，形成既定深度的溝槽TRC與溝槽TRCH。形成射極電極的溝槽TRCH，以跨非活性區域IACR的整個區域的方式形成。

【0077】

接著，如圖30所示的，實行熱氧化處理，藉此，於包含溝槽TRC以及溝槽TRCH的各自的內壁面在內的半導體基板SUB的表面，形成較厚的絕緣膜IFC。接著，實行既定的照相製版處理，藉此，形成露出形成在溝槽TRC內的絕緣膜IFC，並覆蓋位在溝槽TRCH內的絕緣膜IFC的光阻圖案（圖中未顯示）。

【0078】

接著，以該光阻圖案為蝕刻遮罩，實行蝕刻處理，將形成在溝槽TRC內的絕緣膜IFC除去，藉此，令半導體基板SUB露出。

【0079】

接著，如圖31所示的，實行熱氧化處理，藉此，於在溝槽TRC內露出之半導體基板SUB的表面，形成較薄的絕緣膜IFN。較薄的絕緣膜IFN，成為閘極絕緣膜，較厚的絕緣膜IFC，成為射極絕緣膜。

【0080】

接著，以填充溝槽TRC以及溝槽TRCH的態樣，形成多晶矽膜（圖中未顯示）。接著，對多晶矽膜的整個表面實行蝕刻處理，藉此，位在半導體基板SUB的頂面上的多晶矽膜的部分被除去。然後，對多晶矽膜實行過度蝕刻處理。藉此，如圖32所示的，殘留於溝槽TRC的多晶矽膜PSF的頂面的位置，位於比半導體基板SUB的表面更低的位置。

【0081】

此時，填充以跨非活性區域IACR的整個區域的方式形成的溝槽TRCH內部的多晶矽膜PSF的蝕刻率，比填充溝槽TRC內部的多晶矽膜PSF的蝕刻率更快。

因此，藉由1次的蝕刻處理，便可令殘留在溝槽TRCH內的多晶矽膜PSF的頂面的位置，比殘留在溝槽TRC內的多晶矽膜PSF的頂面的位置更低。

【0082】

接著，經過與圖9～圖13所示之步驟同樣的步驟，如圖33所示的，以貫通接觸層間絕緣膜CIL的方式，形成接觸開口部COP。於接觸開口部COP的底面，射極電極EEL露出，於接觸開口部COP的側面，源極擴散層SDR與基極擴散層BDR露出。

【0083】

接著，如圖34所示的，以形成了接觸開口部COP的接觸層間絕緣膜CIL為注入遮罩，對基極擴散層BDR注入p型的雜質。此時，係從接觸開口部COP注入p型的雜質，因此，在基極擴散層BDR，射極電極EEL側的部分，形成到比閘極電極GEL側的部分更深的位置。藉此，基極擴散層BDR的基極底部，便以射極電極EEL側的基極底部的部分，位於比閘極電極GEL側的基極底部的部分更深的位置的態樣傾斜。

【0084】

接著，如圖35所示的，以覆蓋接觸開口部COP的內壁面的方式，在接觸層間絕緣膜CIL上形成障蔽金屬膜BME。接著，用填充接觸開口部COP內部的態樣，以覆蓋障蔽金屬膜BME的方式，形成鋁膜。利用填充接觸開口部COP內部的障蔽金屬膜BME的部分與鋁膜的部分形成接觸部CCN。另外，形成與接觸部CCN電連接的金屬射極電極MEE。

【0085】

另一方面，於半導體基板SUB的另一側表面，形成N型緩衝層NBR以及p型的集極擴散層CDR。之後，形成與集極擴散層CDR接觸的背面電極BEL，圖27以及圖28所示之半導體裝置的主要部分便完成。

【0086】

上述之半導體裝置，與前述之半導體裝置同樣，射極電極EEL與閘極電極GEL之間的台面寬度MW，會更進一步縮小（方法A）。其結果，便可令IE功效更進一步提高。另外，可令基極擴散層BDR的閘極電極GEL側的深度，配合接觸開口部COP的底部的傾斜，形成得比較淺，如是便可將從基極擴散層BDR的閘極電極GEL側的底部的部分到閘極電極GEL的下端為止的長度LG更進一步拉長（參照圖28，方法B）。其結果，有助於IE功效的提高。

【0087】

再者，實施態樣3之半導體裝置，可獲得以下的功效。首先，以跨非活性區域IACR的整個區域的方式形成了射極電極EEL。藉此，便無須於非活性區域INACR形成浮動擴散層。

【0088】

另外，從集極擴散層CDR注入的電洞，不會累積於浮動擴散層，會累積於N型區域NSR。藉此，由於並無累積於浮動擴散層的電洞，故在令IGBT切斷時，可更快速地令其切斷。

【0089】

另外，由於並未形成浮動擴散層，故切斷時的電場會變得非常強。因此，將隔設在射極電極EEL與溝槽TRCH之間的射極絕緣膜EIF的膜厚，形成得比閘

極絕緣膜GIF的膜厚更厚，藉此，便可確保切斷時的耐壓。尤其，可相對於溝槽的角落部位的電場集中確保耐壓。

【0090】

另外，可針對在各實施態樣中所說明之半導體裝置與其製造方法，因應需要實行各種組合。

【0091】

以上，係根據實施態樣具體說明本發明人之發明，惟本發明並非僅限於該等實施態樣，在不超出其發明精神的範圍內可作出各種變更，自不待言。

【0092】

上述之實施態樣2、3，包含以下的態樣。

（附註1）

一種半導體裝置的製造方法，該半導體裝置具備溝槽閘極雙極電晶體，該半導體裝置的製造方法的特徵為包含：於具有第1表面的第1導電型的半導體基板（SUB），區劃出互相鄰接之第1區域（ACR）與第2區域（IACR）的步驟；形成從位於該第1區域（ACR）的該半導體基板（SUB）的該第1表面到達第1深度，並具有第1寬度的第1溝槽（TRC），同時形成與該第1溝槽（TRC）隔著距離，從該半導體基板（SUB）的該第1表面到達該第1深度，並具有比該第1寬度更寬的第2寬度的第2溝槽（TRC）的步驟；在該第1溝槽（TRC）內隔著第1絕緣膜（GIF）形成閘極電極（GEL），同時在該第2溝槽（TRC）內隔著第2絕緣膜（EIF），形成具有比該閘極電極（GEL）的上端更低的上端的射極電極（EEL）的步驟；對該第2區域（IACR）導入第2導電型的雜質，以形成浮動擴散層的步驟；形成從位在該閘極電極（GEL）與該射極電極（EEL）之間的該半導體基板

(SUB)的該第1表面到達第2深度的第1導電型的源極區域(SDR)的步驟；形成從位在該閘極電極(GEL)與該射極電極(EEL)之間的該半導體基板(SUB)的該第2深度到達比該第2深度更深且比該第1深度更淺的位置的第2導電型的基極區域(BDR)的步驟；以覆蓋該第1區域(ACR)以及該第2區域(IACR)的方式，形成接觸層間絕緣膜(CIL)的步驟；對該接觸層間絕緣膜(CIL)實行蝕刻處理，以形成於底面露出該射極電極(EEL)，於側面露出該源極區域(SDR)以及該基極區域(BDR)的接觸開口部(COP)的步驟；以及在該接觸開口部(COP)內，形成具有接觸底部與接觸側部，該接觸底部與該射極電極(EEL)接觸，該接觸側部與該基極區域(BDR)以及該源極區域(SDR)接觸的接觸部(CCN)的步驟。

【0093】

(附註2)

如附註1所記載之半導體裝置的製造方法，其中，形成該基極區域(BDR)的步驟，包含：經由該接觸開口部(COP)，對該基極區域(BDR)注入第2導電型的雜質並令其熱擴散，藉此，以該基極區域(BDR)的該射極電極(EEL)側的基極底部的第1部分，比該基極區域(BDR)的該閘極電極(GEL)側的該基極底部的第2部分更深的態樣，令該基極區域(BDR)的該基極底部傾斜的步驟。

【0094】

(附註3)

如附註1之半導體裝置的製造方法，其中，形成該閘極電極(GEL)以及該射極電極(EEL)的步驟，包含：用填充該第1溝槽(TRC)內部以及該第2溝槽(TRC)內部的態樣，以覆蓋該半導體基板(SUB)的方式形成導電性膜的步驟；

對該導電性膜的整個表面實行蝕刻處理，以將位在該半導體基板（SUB）的該第1表面上的該導電性膜的部分除去，並令分別殘留在該第1溝槽（TRC）內以及該第2溝槽（TRC）內的該導電性膜的部分的頂面的位置，比該半導體基板（SUB）的該第1表面的位置更低的步驟；以及令殘留在該第2溝槽（TRC）內的該導電性膜的部分的頂面的位置，比殘留在該第1溝槽（TRC）內的該導電性膜的部分的頂面的位置更低的步驟。

【0095】

（附註4）

一種半導體裝置的製造方法，該半導體裝置具備溝槽閘極雙極電晶體，該半導體裝置的製造方法的特徵為包含：於具有第1表面的第1導電型的半導體基板（SUB），區劃出互相鄰接之第1區域（ACR）與第2區域（IACR）的步驟；形成從位於該第1區域（ACR）的該半導體基板（SUB）的該第1表面到達第1深度的第1溝槽（TRC），同時形成與該第1溝槽（TRC）隔著距離，從位於該第2區域（IACR）的該半導體基板（SUB）的該第1表面到達該第1深度，並跨該第2區域（IACR）的整個區域的第2溝槽（TRC）的步驟；在該第1溝槽（TRC）內，形成具有第1膜厚的第1絕緣膜（GIF），並在該第2溝槽（TRC）內，形成具有比該第1膜厚更厚的第2膜厚的第2絕緣膜（EIF）的步驟；在該第1溝槽（TRC）內隔著該第1絕緣膜（GIF）形成閘極電極（GEL），同時在該第2溝槽（TRC）內隔著該第2絕緣膜（EIF），形成具有比該閘極電極（GEL）的上端更低的上端的射極電極（EEL）的步驟；形成從位在該閘極電極（GEL）與該射極電極（EEL）之間的該第1區域（ACR）的該半導體基板（SUB）的該第1表面到達第2深度的第1導電型的源極區域（SDR）的步驟；形成從位在該閘極電極（GEL）與該射

極電極（EEL）之間的該第1區域（ACR）的該半導體基板（SUB）的該第2深度到達比該第2深度更深且比該第1深度更淺的位置的第2導電型的基極區域（BDR）的步驟；以覆蓋該第1區域（ACR）以及該第2區域（IACR）的方式，形成接觸層間絕緣膜（CIL）的步驟；對該接觸層間絕緣膜（CIL）實行蝕刻處理，以形成於底面露出該射極電極（EEL），於側面露出該源極區域（SDR）以及該基極區域（BDR）的接觸開口部（COP）的步驟；以及在該接觸開口部（COP）內，形成具有接觸底部與接觸側部，該接觸底部與該射極電極（EEL）接觸，該接觸側部與該基極區域（BDR）以及該源極區域（SDR）接觸的接觸部（CCN）的步驟。

【0096】

（附註5）

如附註4所記載之半導體裝置的製造方法，其中，形成該基極區域（BDR）的步驟，包含：經由該接觸開口部（COP），對該基極區域（BDR）注入第2導電型的雜質並令其熱擴散，藉此，以該基極區域（BDR）的該射極電極（EEL）側的基極底部的第1部分，比該基極區域（BDR）的該閘極電極（GEL）側的該基極底部的第2部分更深的態樣，令該基極區域（BDR）的該基極底部傾斜的步驟。

【0097】

（附註6）

如附註4所記載之半導體裝置的製造方法，其中，形成該閘極電極（GEL）以及該射極電極（EEL）的步驟，包含：用填充該第1溝槽（TRC）內部以及該第2溝槽（TRC）內部的態樣，以覆蓋該半導體基板（SUB）的方式形成導電性膜的步驟；對該導電性膜的整個表面實行蝕刻處理，以將位在該半導體基板

(SUB) 的該第1表面上的該導電性膜的部分除去，並令分別殘留在該第1溝槽 (TRC) 內以及該第2溝槽 (TRC) 內的該導電性膜的部分的頂面的位置，比該半導體基板 (SUB) 的該第1表面的位置更低的步驟；以及令殘留在該第2溝槽 (TRC) 內的該導電性膜的部分的頂面的位置，比殘留在該第1溝槽 (TRC) 內的該導電性膜的部分的頂面的位置更低的步驟。

【符號說明】

【0098】

ACR：活性區域

BDR：基極擴散層

BEL：背面電極

BME：障蔽金屬膜

CCN：接觸部

CDR：集極擴散層

CER：單元形成區域

CIL：接觸層間絕緣膜

CNE、CNP：接觸部

COP：接觸開口部

EEL：射極電極

EIF：射極絕緣膜

FEL：鋁電極

FLP：場板

FPR：浮動擴散層

GEC：閘極接觸部

GEL：閘極電極

GEP：閘極襯墊

GIF：閘極絕緣膜

GUR：保護環

HBR：電洞障蔽層

HOP：開口部

IACR：非活性區域

IF、IFC、IFN：絕緣膜

III-III、IV-IV、X-X、XXVIII-XXVIII：剖面線

LG、LE：長度

MEE：金屬射極電極

MEP：金屬射極襯墊

MGE：閘極配線拉出部

MGI：金屬閘極配線

MGL：金屬閘極電極

MW：台面寬度

NBR：N型緩衝層

NR：N型區域

NSR：N型區域

PR：P型區域

PSF：多晶矽膜

RES：殘渣

RR：區域

SDR：源極擴散層

SED：半導體裝置

SOF1：矽氧化膜

SOF2：矽氧化膜

SUB：半導體基板

TEW、TGW：寬度

TRC、TRCW、TRCH：溝槽

X、Y：方向

【發明申請專利範圍】

【第1項】

一種半導體裝置的製造方法，該半導體裝置具備溝槽閘極雙極電晶體，該半導體裝置的製造方法包含：

於具有第1表面的第1導電型的半導體基板，區劃出互相鄰接之第1區域與第2區域的步驟；

在從位於該第1區域的該半導體基板的該第1表面到達第1深度的第1溝槽內隔著第1絕緣膜形成閘極電極，同時在「與該第1溝槽隔著距離並從該半導體基板的該第1表面到達該第1深度的第2溝槽內」隔著第2絕緣膜形成射極電極的步驟；

對位於該第2區域的該半導體基板導入第2導電型的雜質，以形成浮動區域的步驟；

形成從位在該閘極電極與該射極電極之間的該第1區域的該半導體基板的該第1表面到達第2深度的第1導電型的源極區域的步驟；

形成從位在該閘極電極與該射極電極之間的該第1區域的該半導體基板的該第2深度到達比該第2深度更深且比該第1深度更淺的位置的第2導電型的基極區域的步驟；

以覆蓋該第1區域以及該第2區域的方式，形成接觸層間絕緣膜的步驟；

對該接觸層間絕緣膜實行蝕刻處理，藉此，以跨該射極電極與該源極區域的態樣，形成露出該射極電極以及該源極區域的開口部的步驟；

以形成有該開口部的該接觸層間絕緣膜為蝕刻遮罩，對該射極電極、該源極區域以及該基極區域實行蝕刻處理，以形成接觸開口部的步驟；

將該接觸開口部內的殘渣除去之步驟；以及

在該接觸開口部內，形成與該射極電極、該基極區域以及該源極區域電連接之接觸部的步驟；

其中，形成該基極區域的步驟，包含：

經由該接觸開口部，對該基極區域注入第2導電型的雜質並令其熱擴散，藉此，以該基極區域的該射極電極側的基極底部的第1部分，比該基極區域的該閘極電極側的該基極底部的第2部分更深的態樣，令該基極底部傾斜的步驟。

【第2項】

如申請專利範圍第1項之半導體裝置的製造方法，其中，

形成該閘極電極以及該射極電極的步驟，包含：

用填充該第1溝槽內部以及該第2溝槽內部的態樣，以覆蓋該半導體基板的方式，形成第1導電性膜的步驟；以及

對該第1導電性膜的整個表面實行蝕刻處理，以將位在該半導體基板的該第1表面上的該第1導電性膜的部分除去，並令分別殘留在該第1溝槽內以及該第2溝槽內的該第1導電性膜的部分的頂面的位置，比該半導體基板的該第1表面的位置更下方的步驟。

【第3項】

如申請專利範圍第2項之半導體裝置的製造方法，其中，

形成該接觸開口部的步驟，包含：

以該接觸開口部的該射極電極側的開口底面的第1部分，位於比該接觸開口部的該基極區域側的該開口底面的第2部分更深的位置的態樣，令該開口底面傾斜的步驟；

形成該接觸部的步驟，包含：

以該接觸部的該射極電極側的接觸底部的第1部分，位於比該基極區域側的該接觸底部的第2部分更深的位置的態樣，令該接觸底部傾斜的步驟。

【發明圖式】

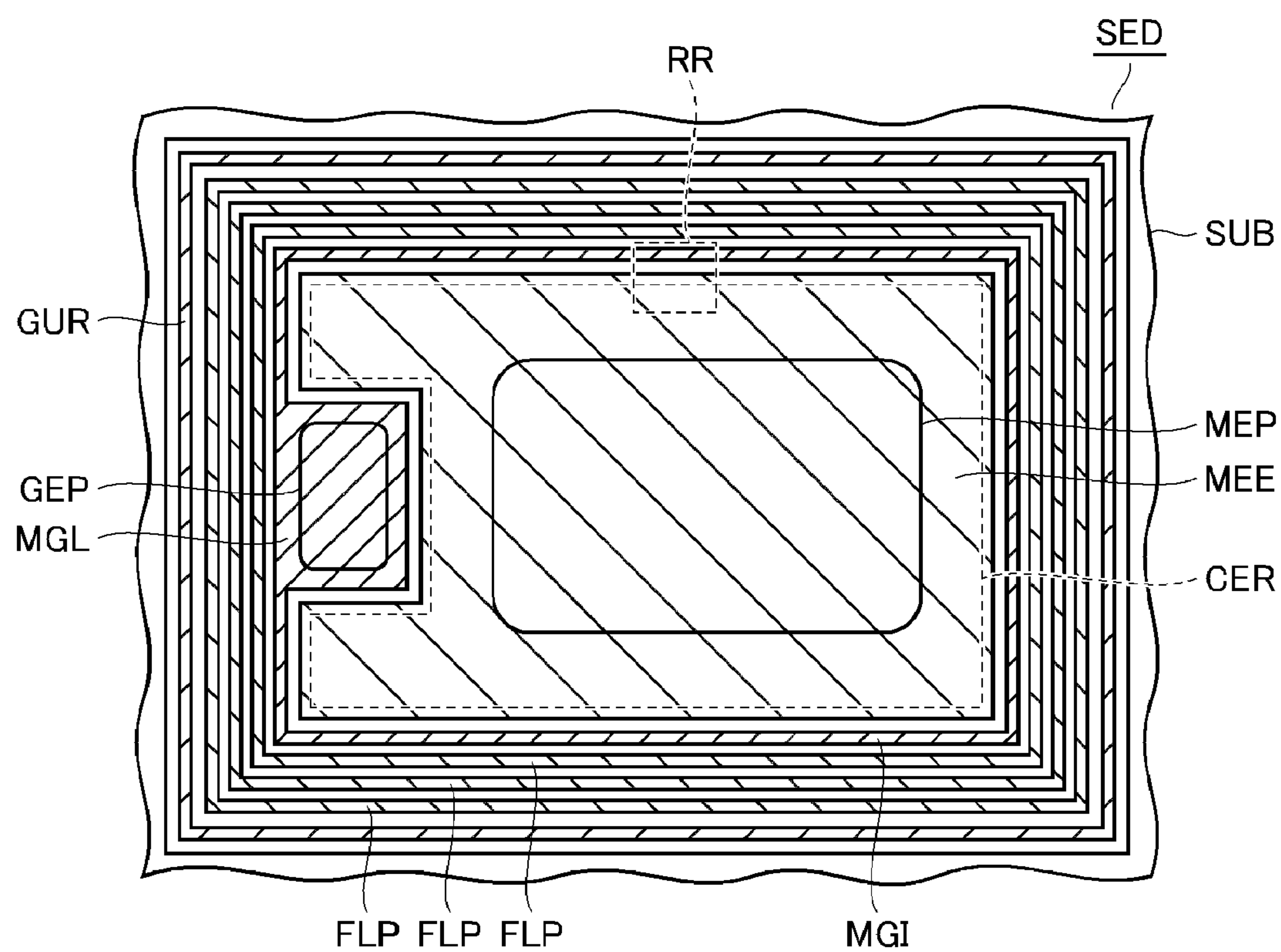


圖 1

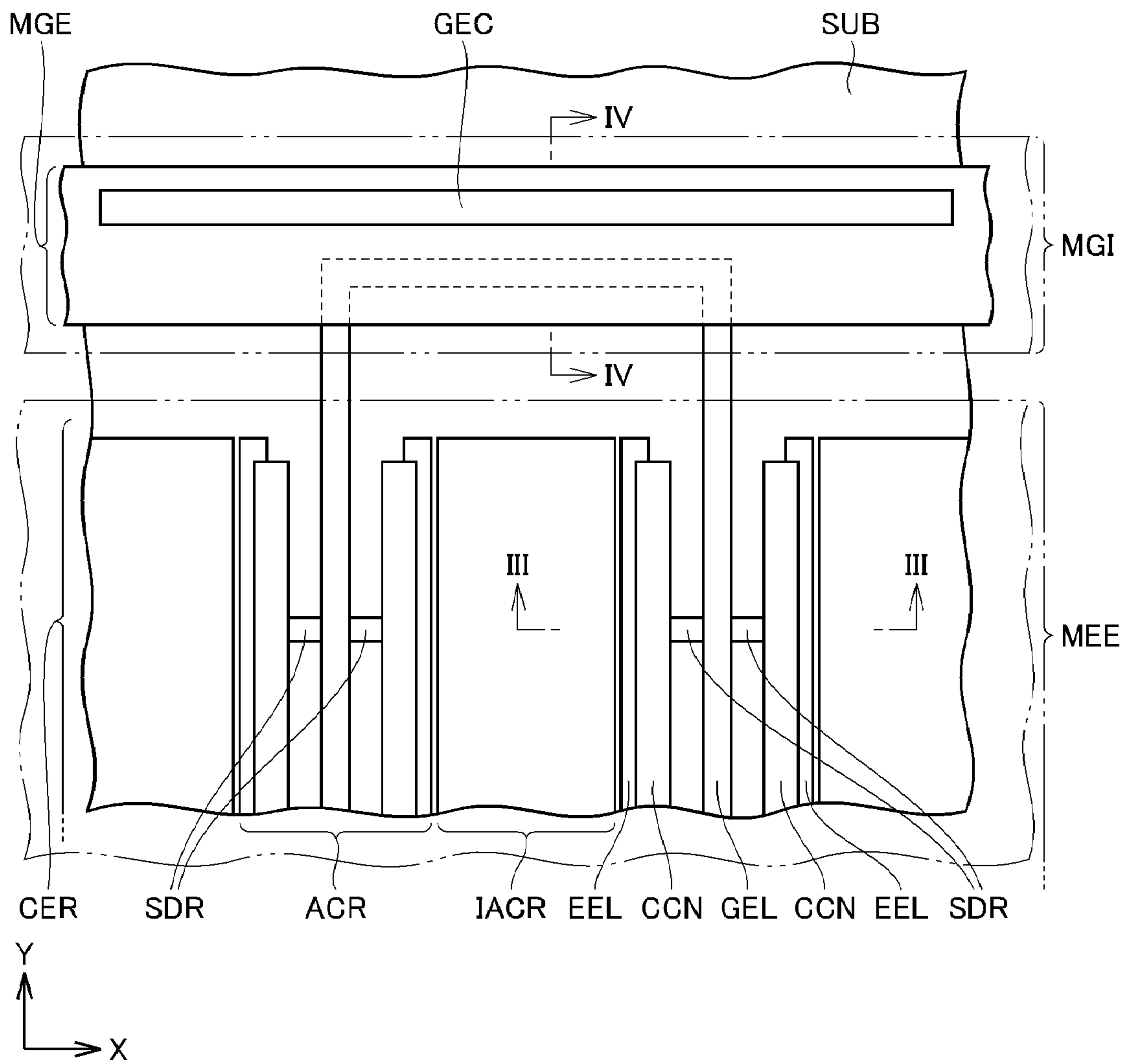


圖 2

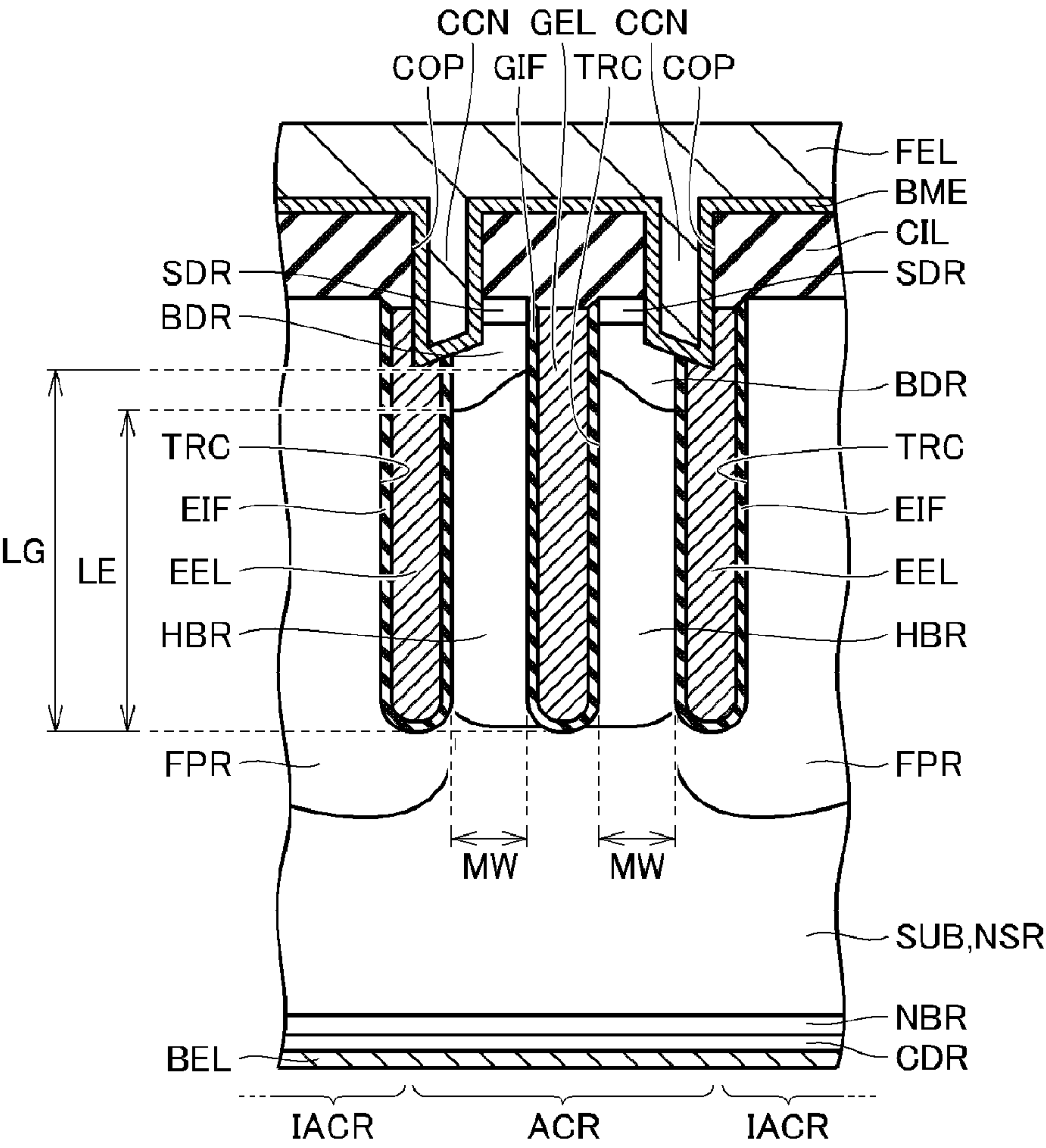


圖 3

圖 4

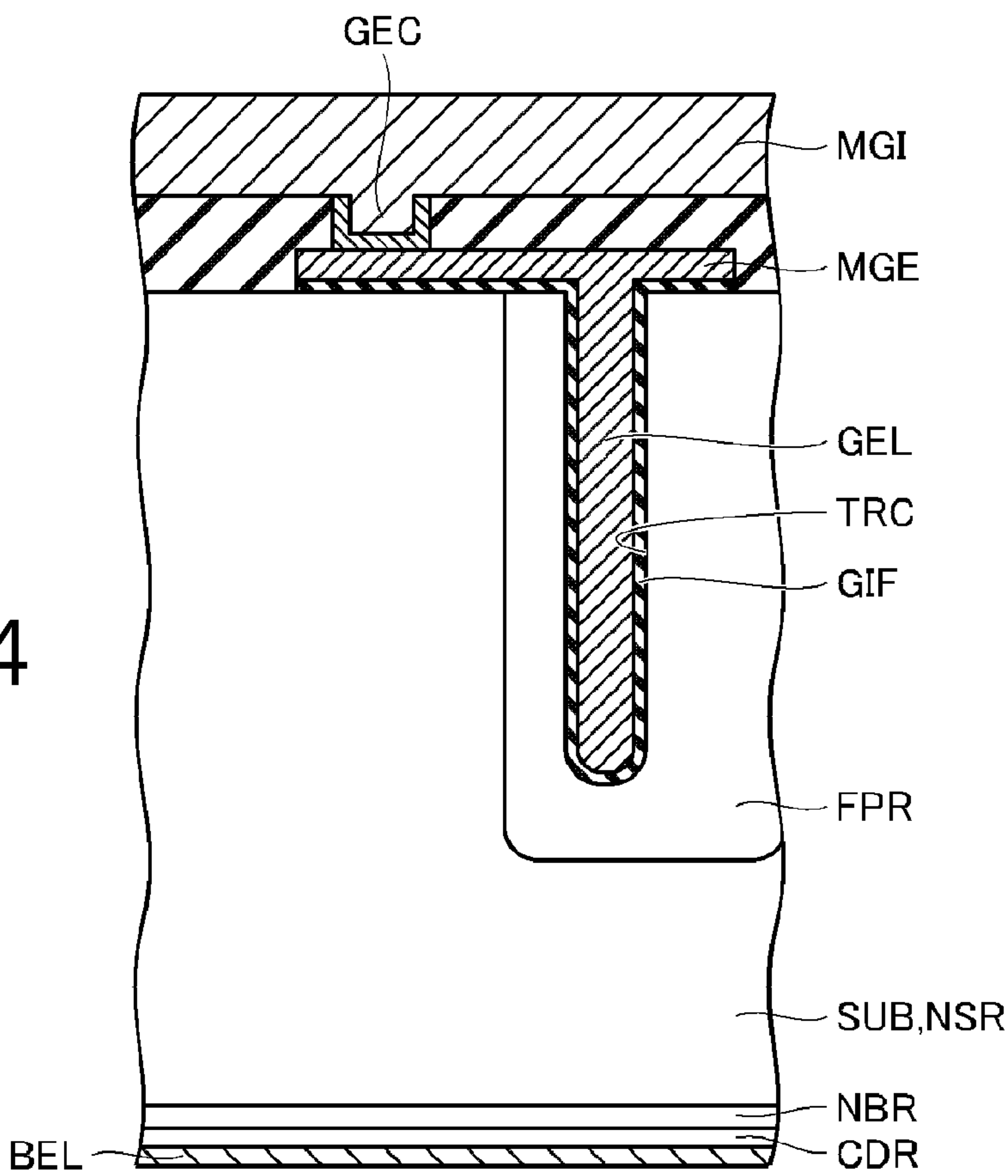


圖 5

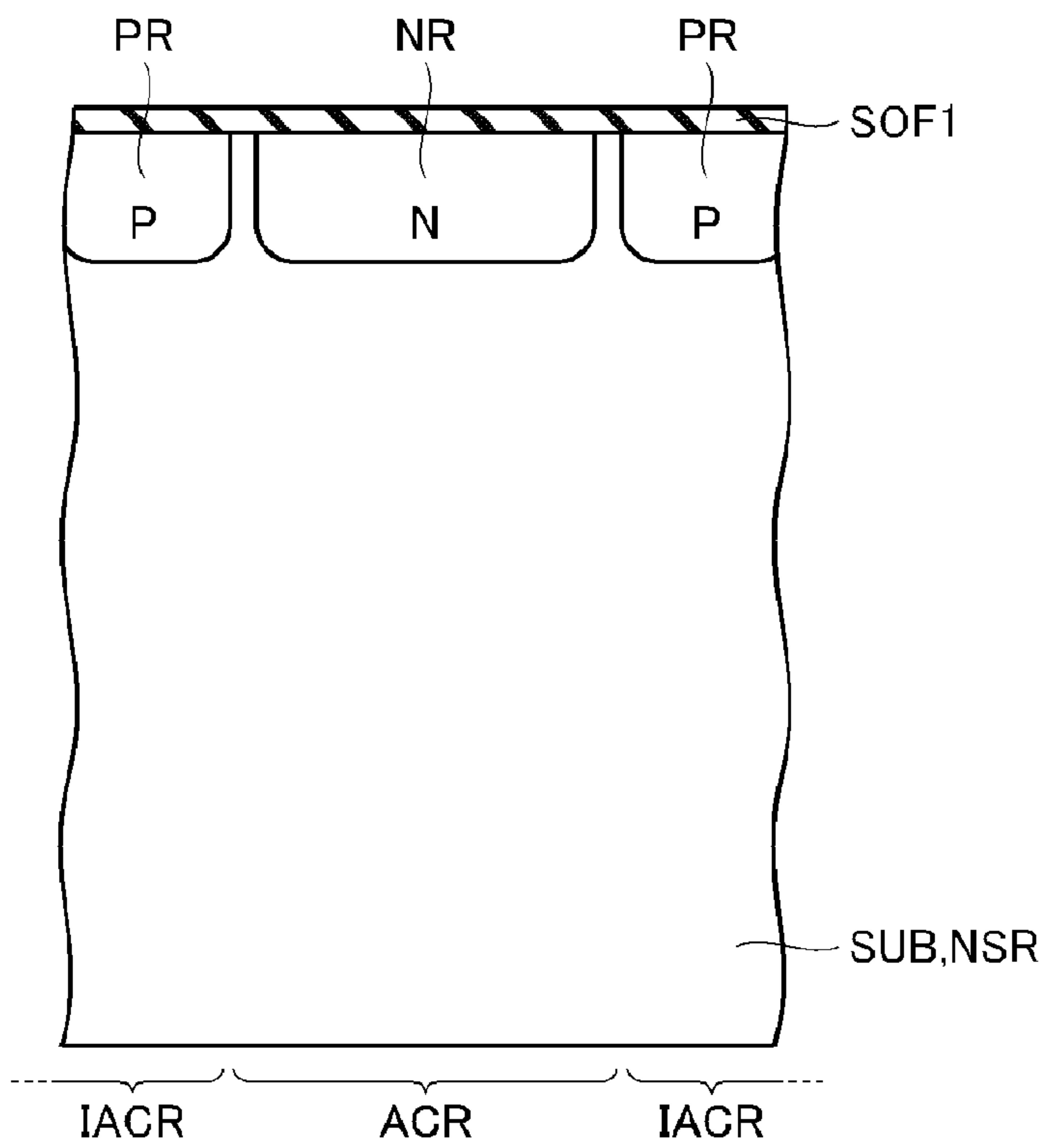


圖 6

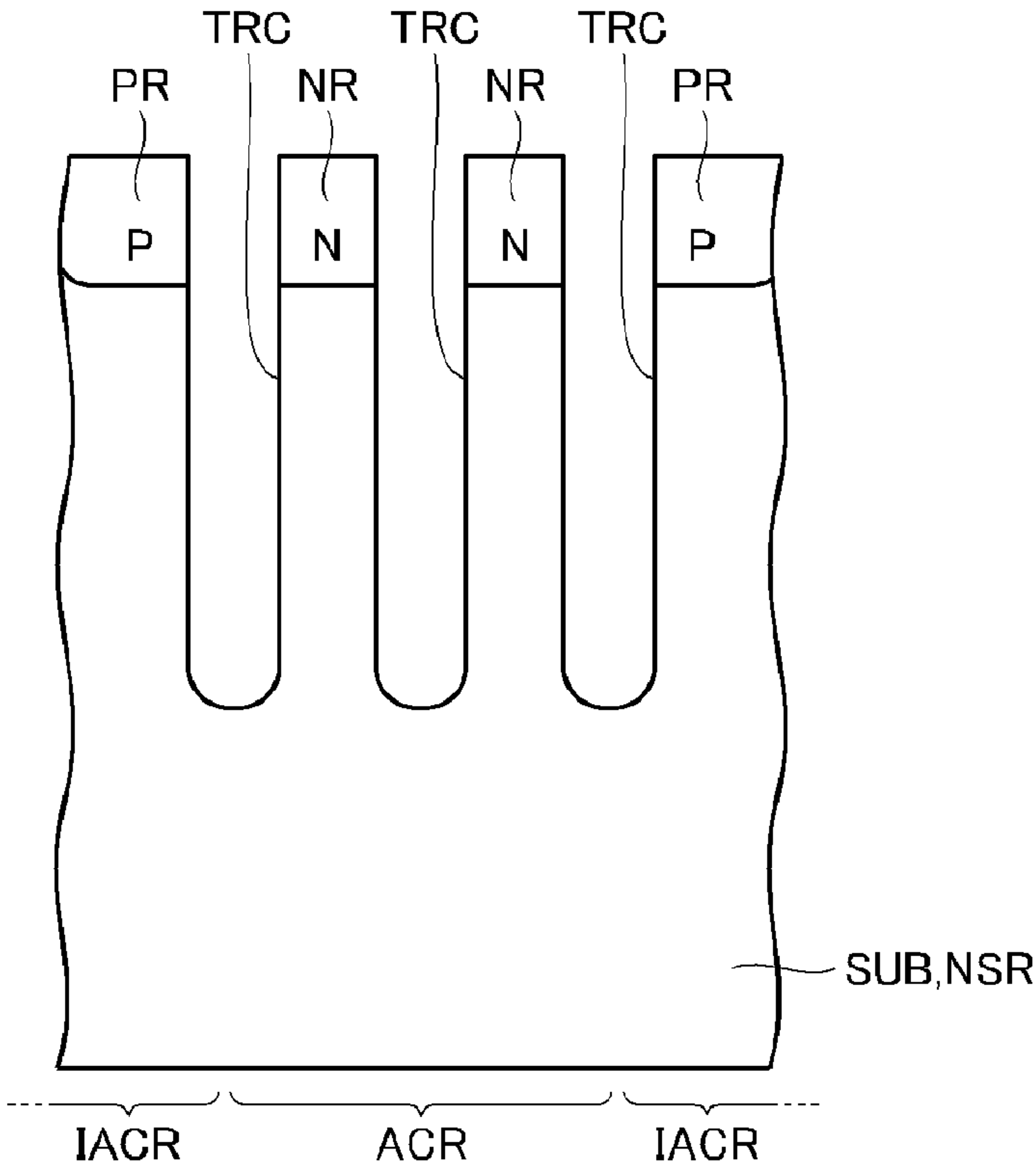


圖 7

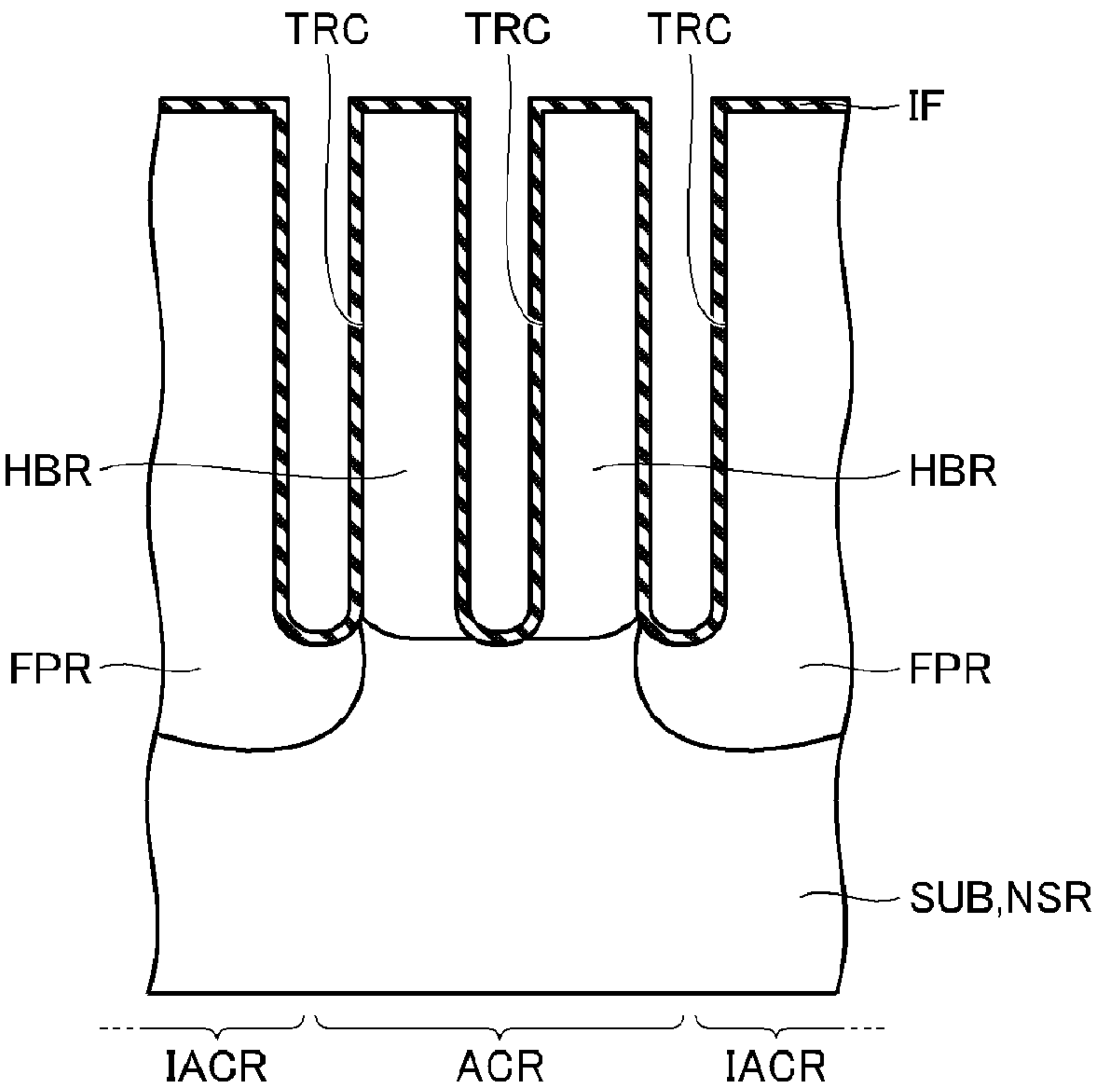


圖 8

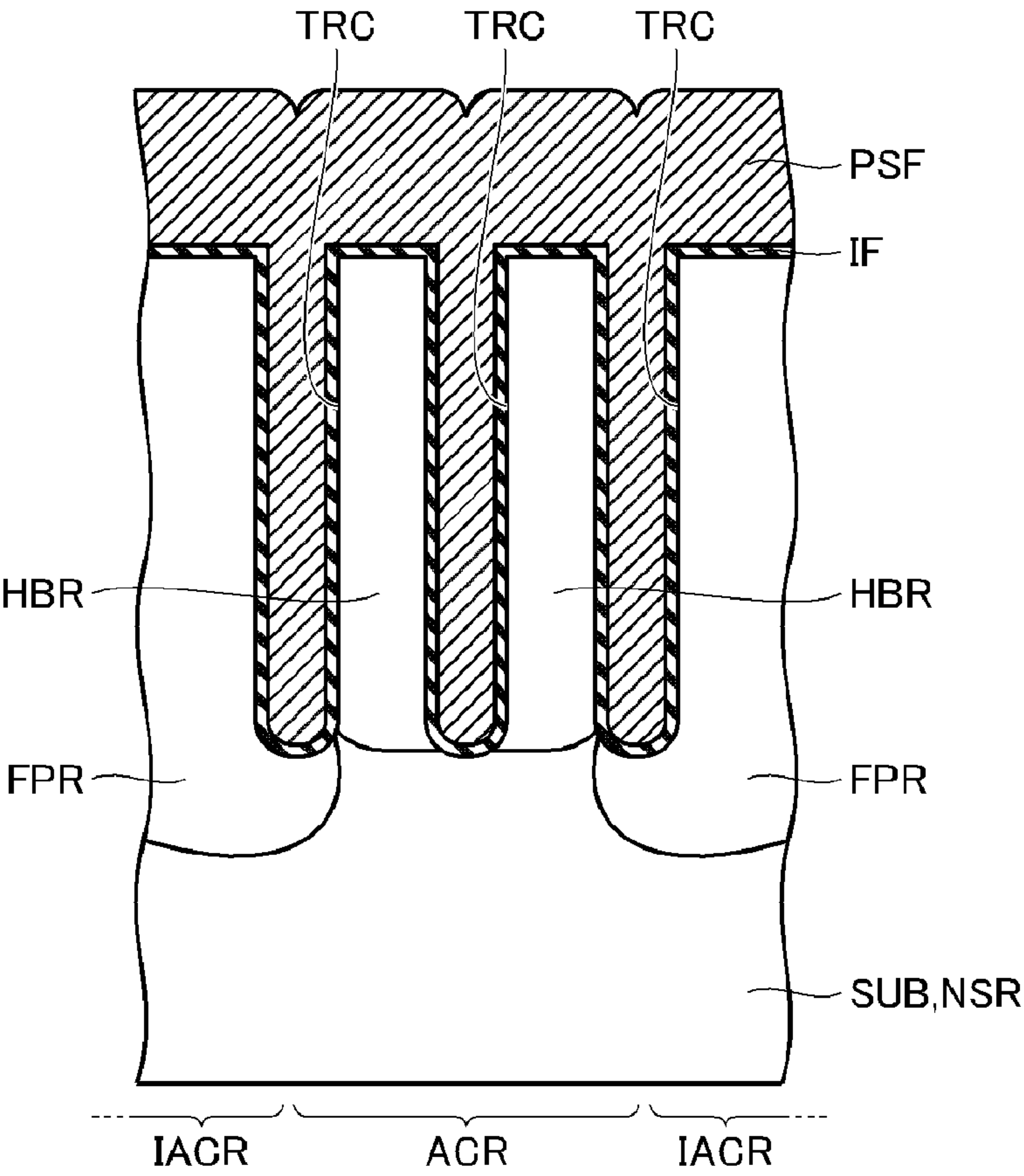


圖 9

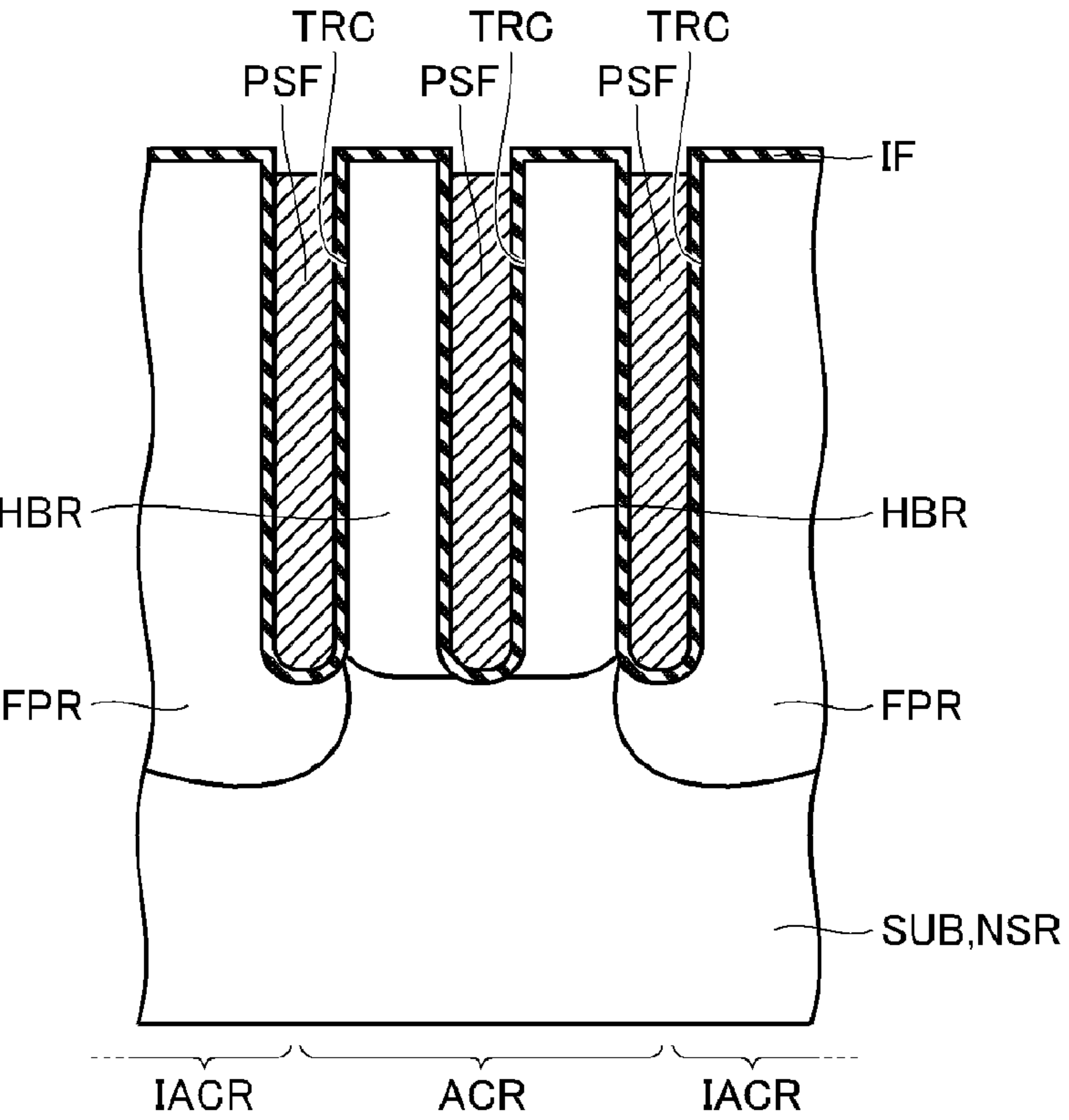


圖 10

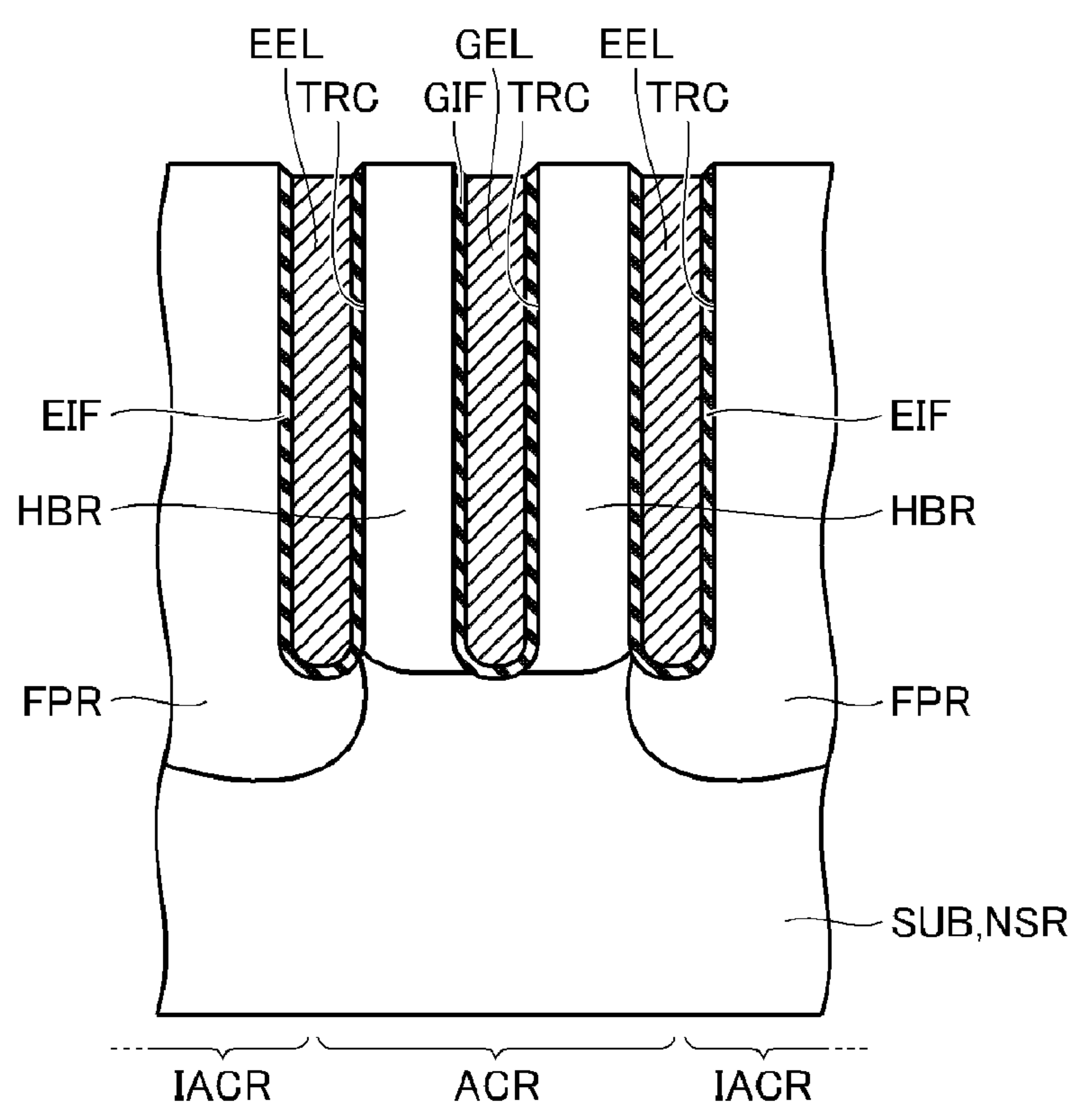


圖 11

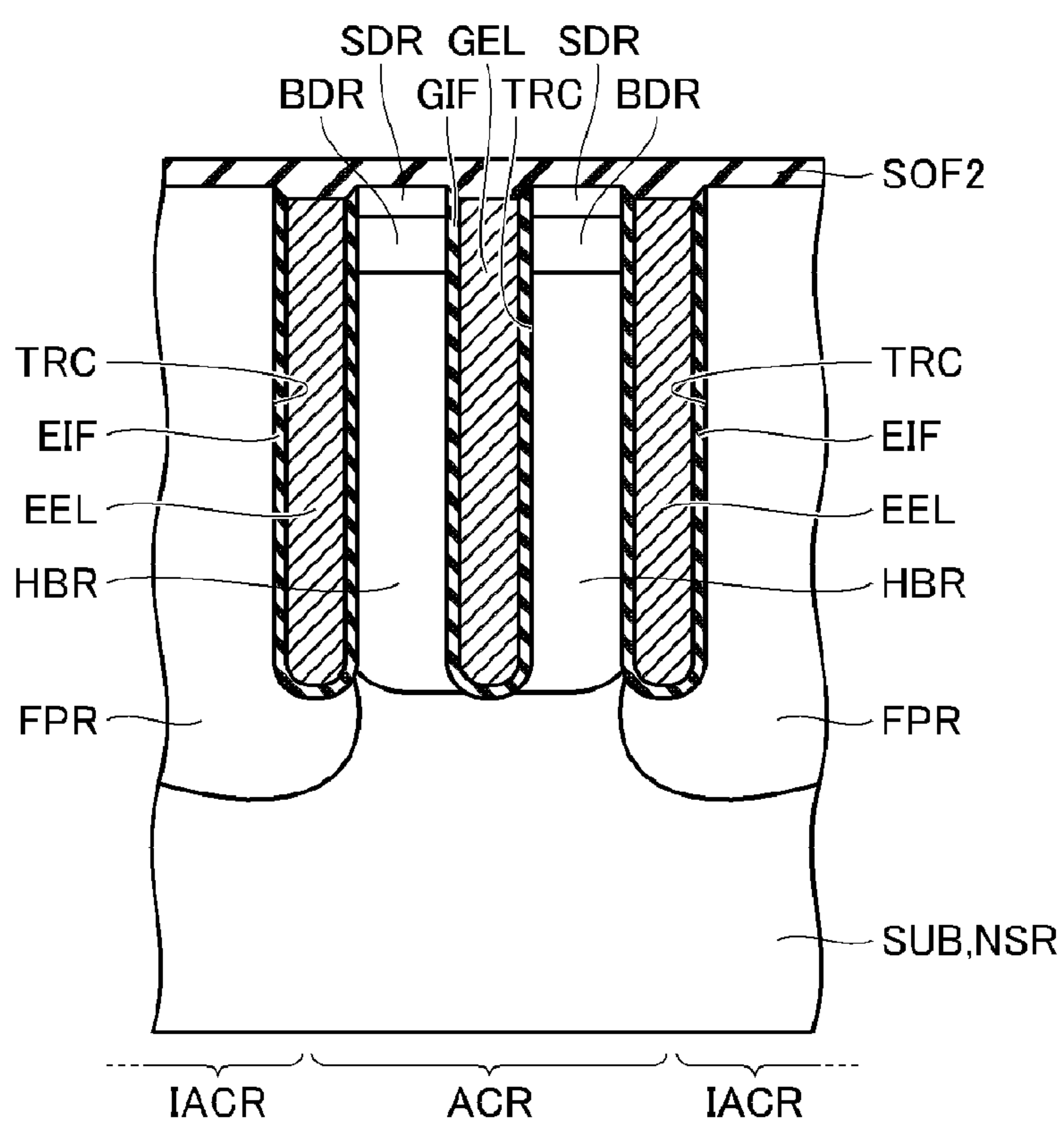


圖 12

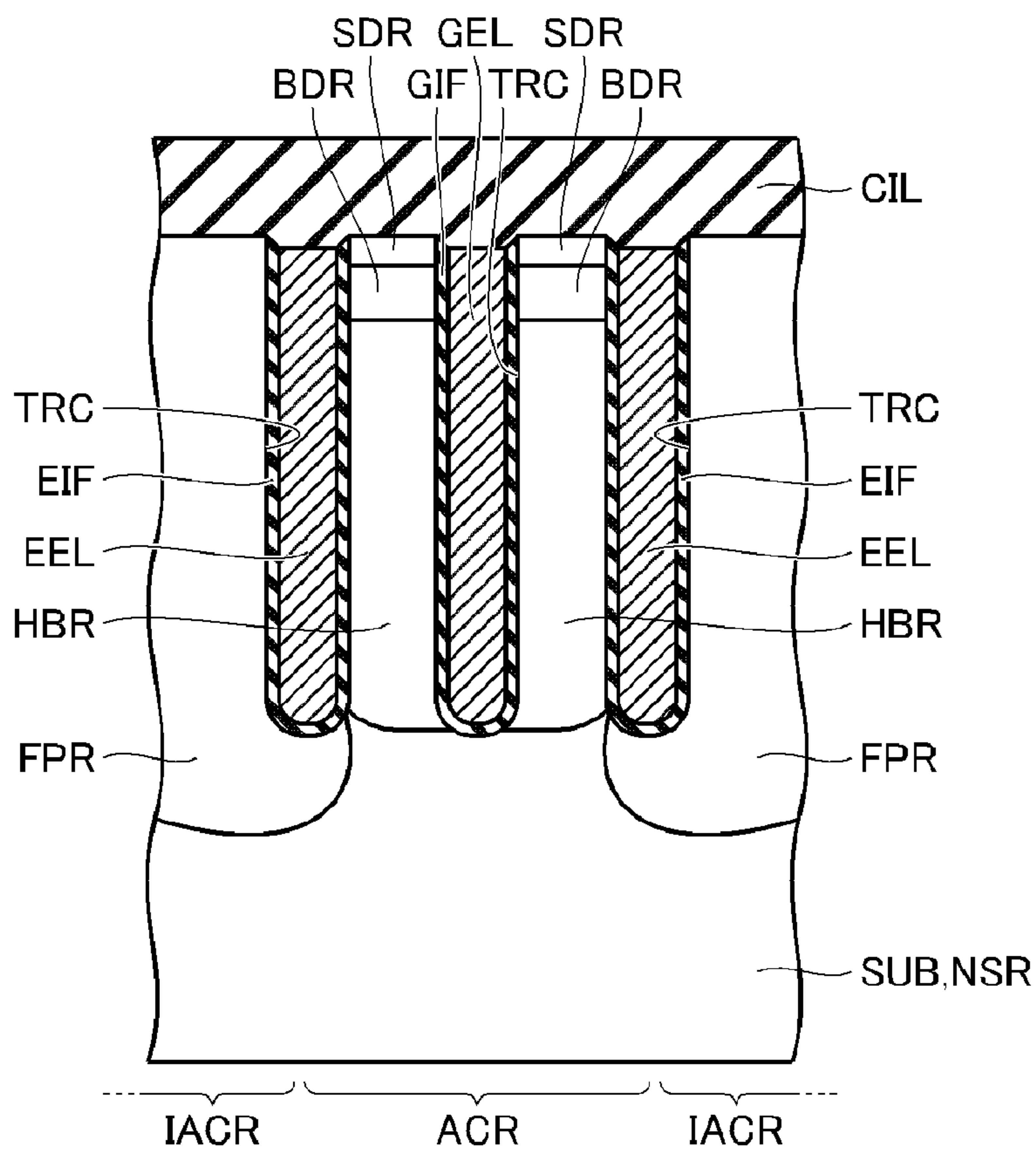


圖 13

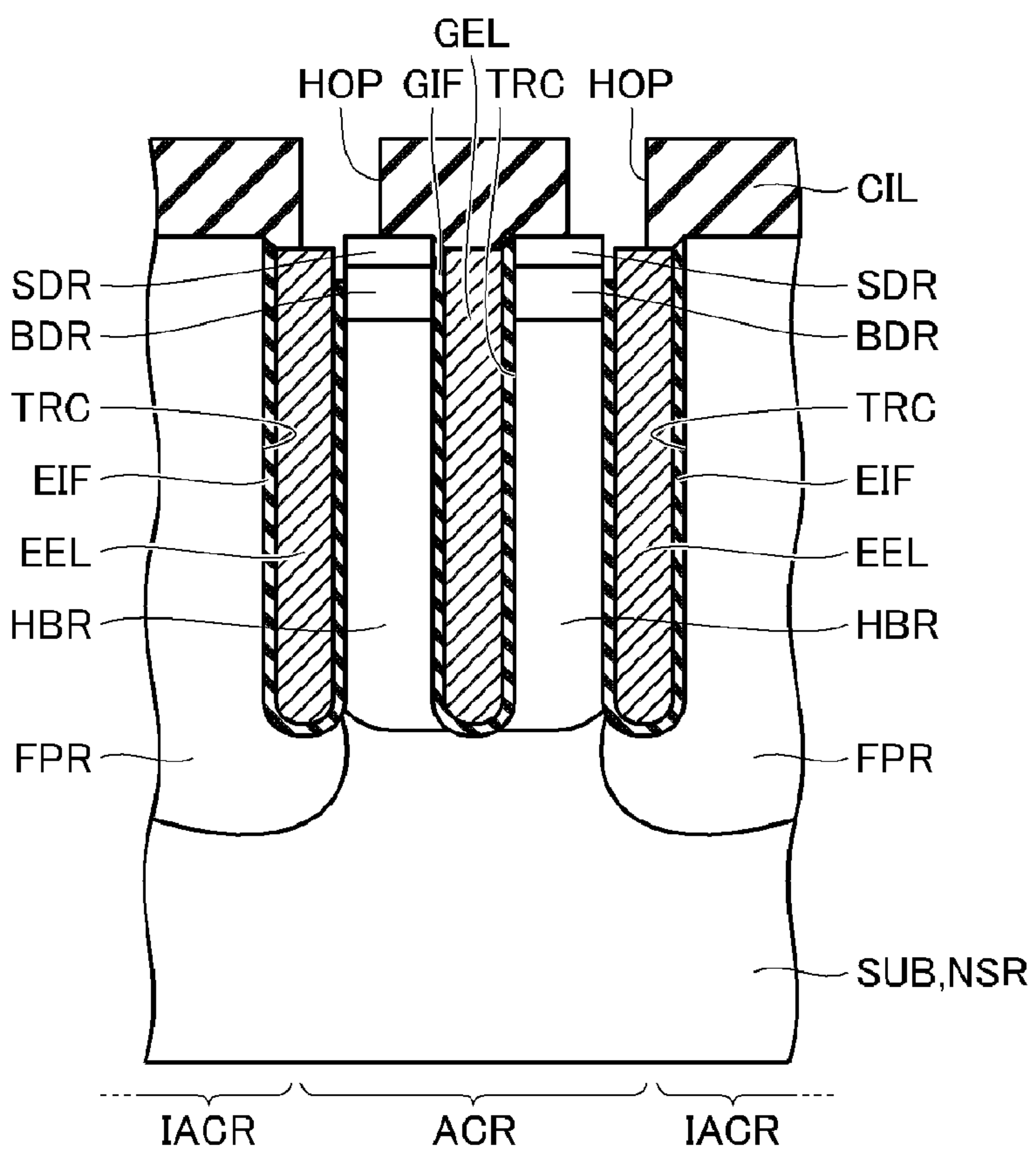


圖 14

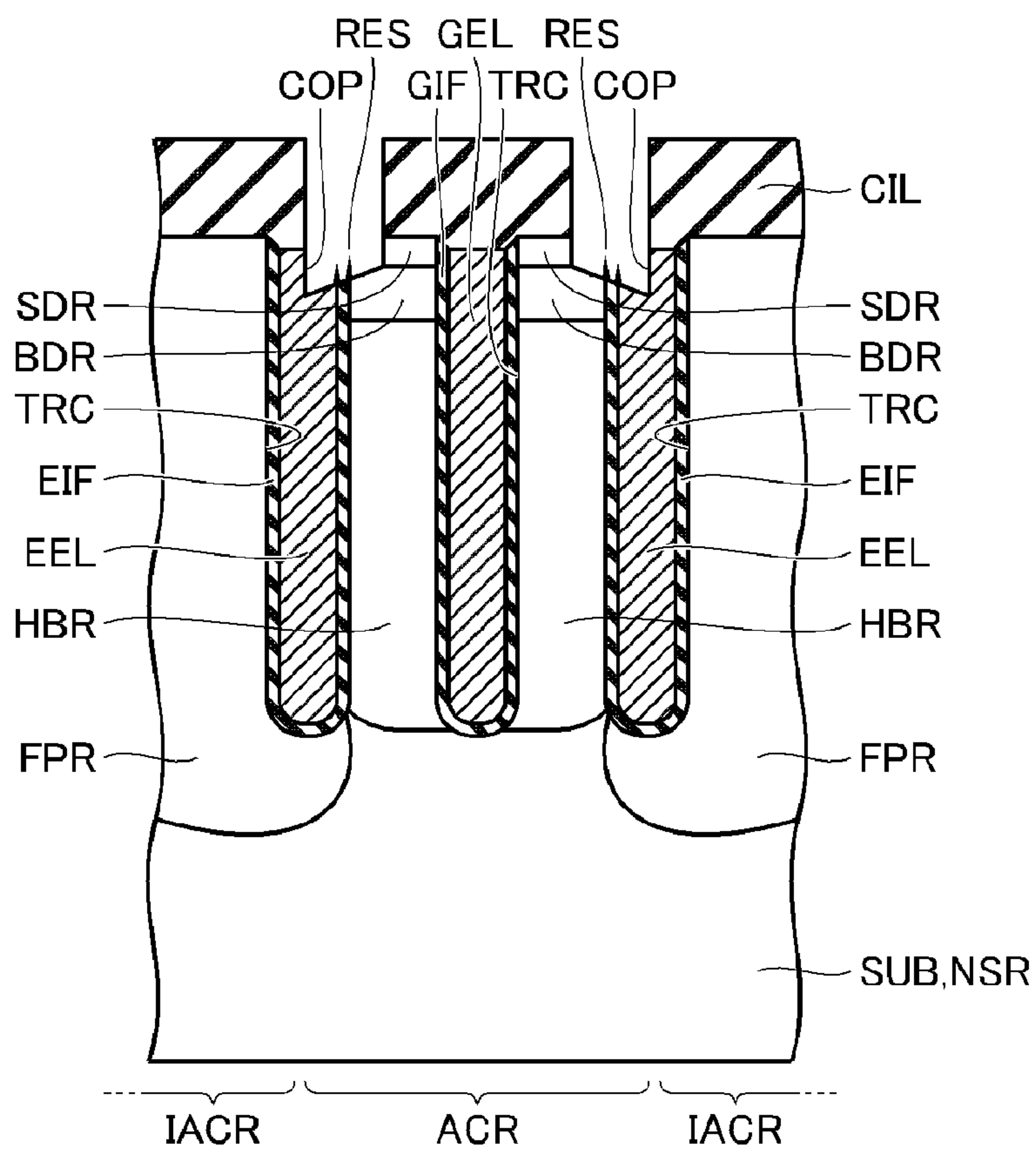
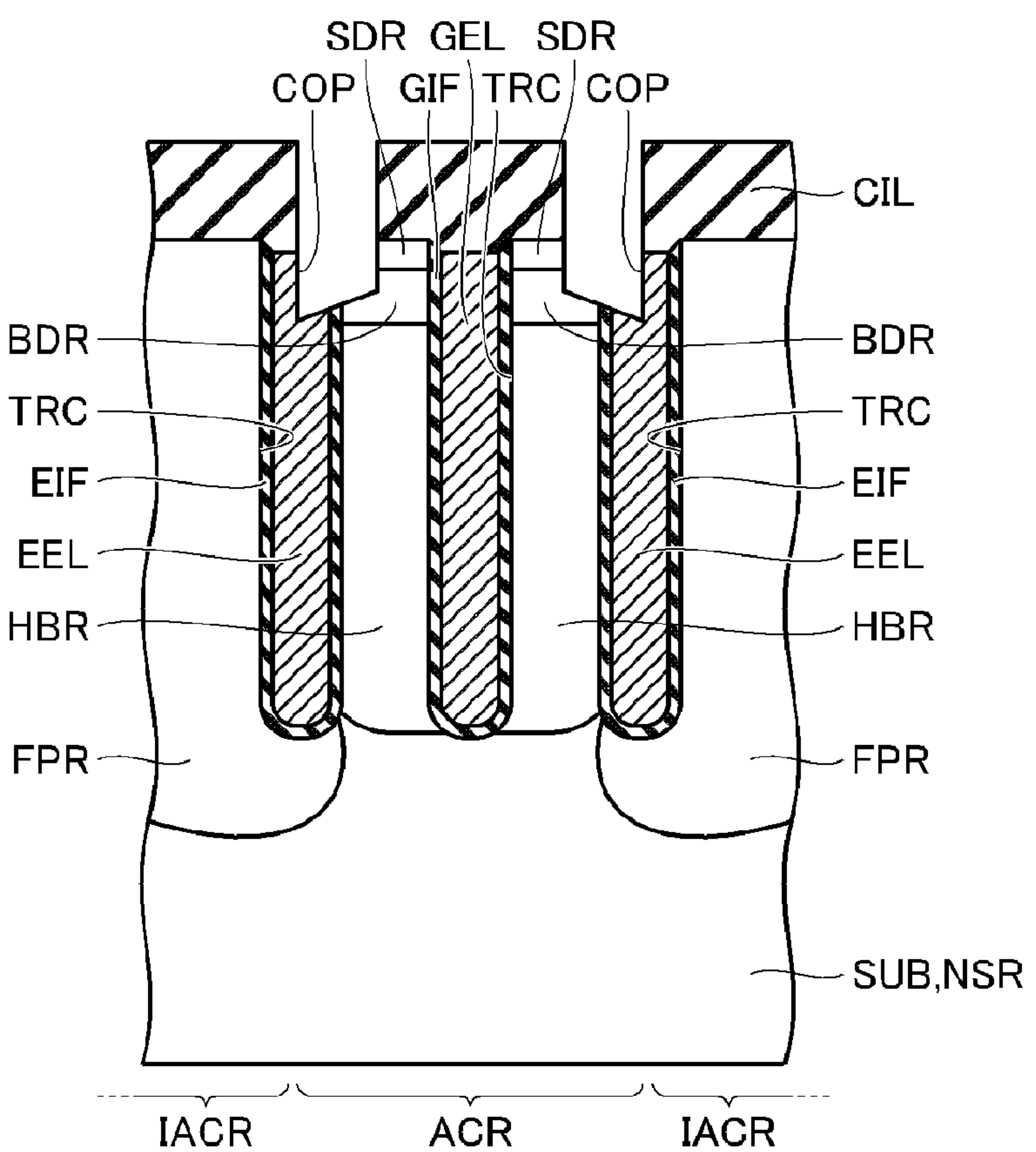


圖 15



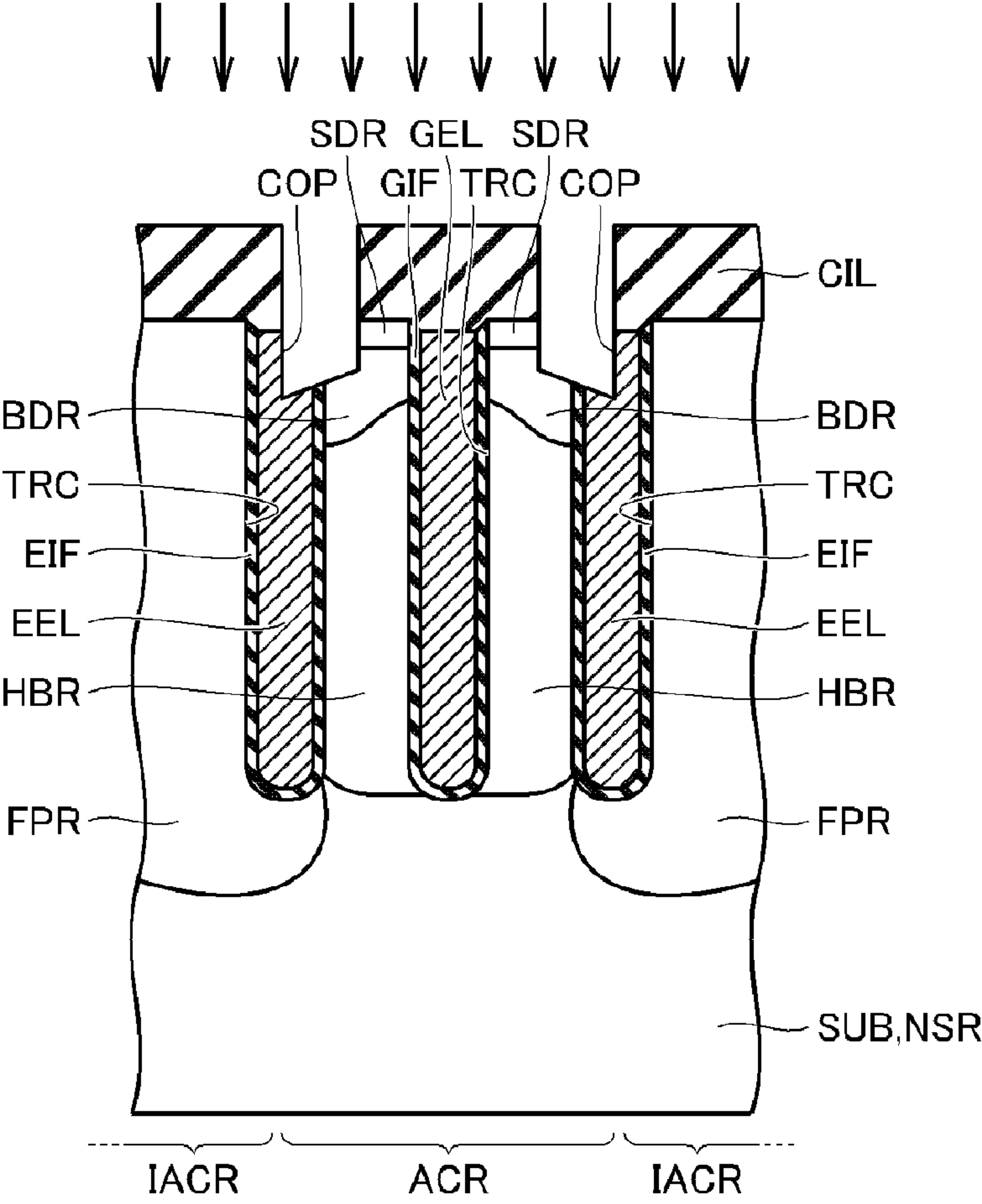


圖 16

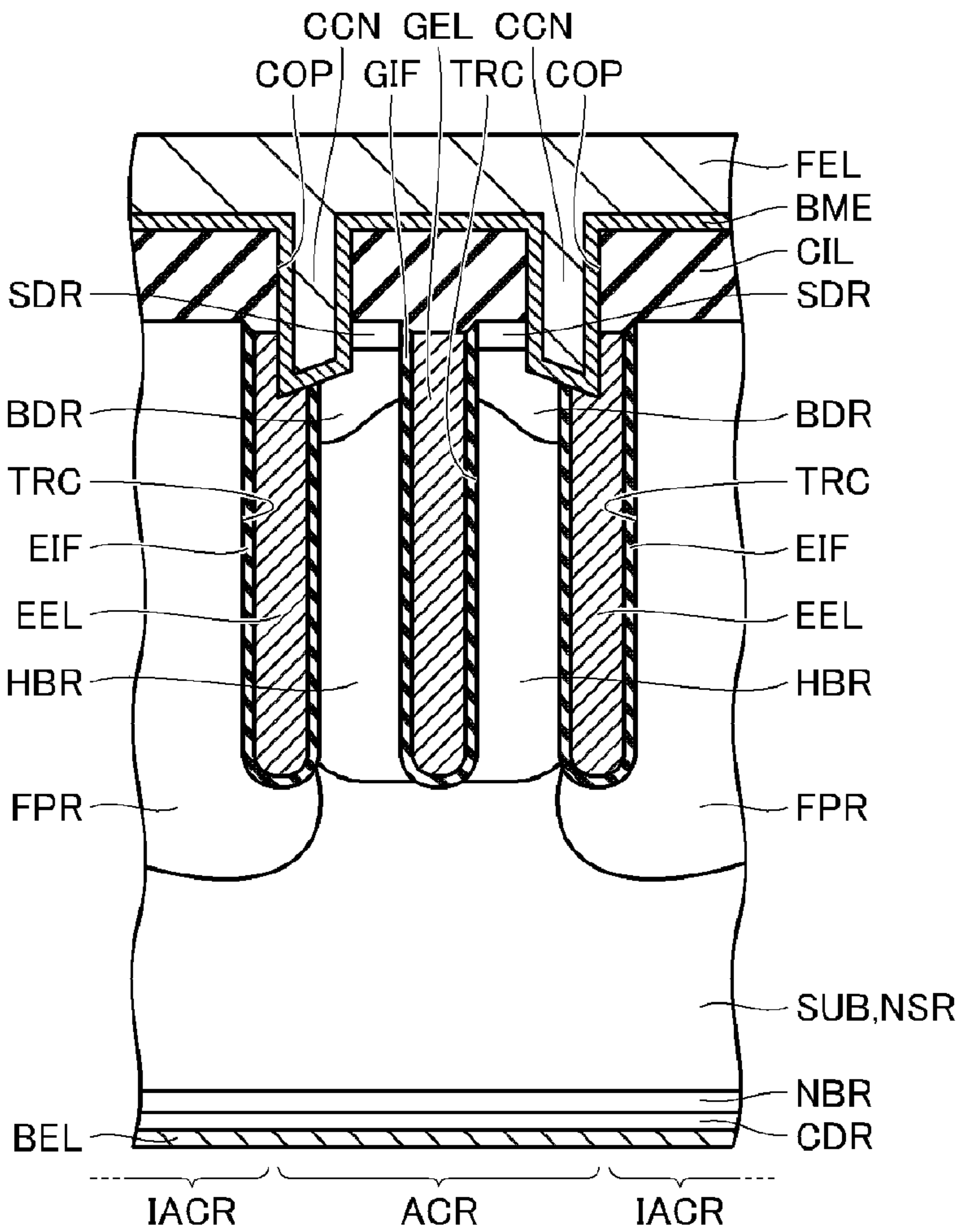


圖 17

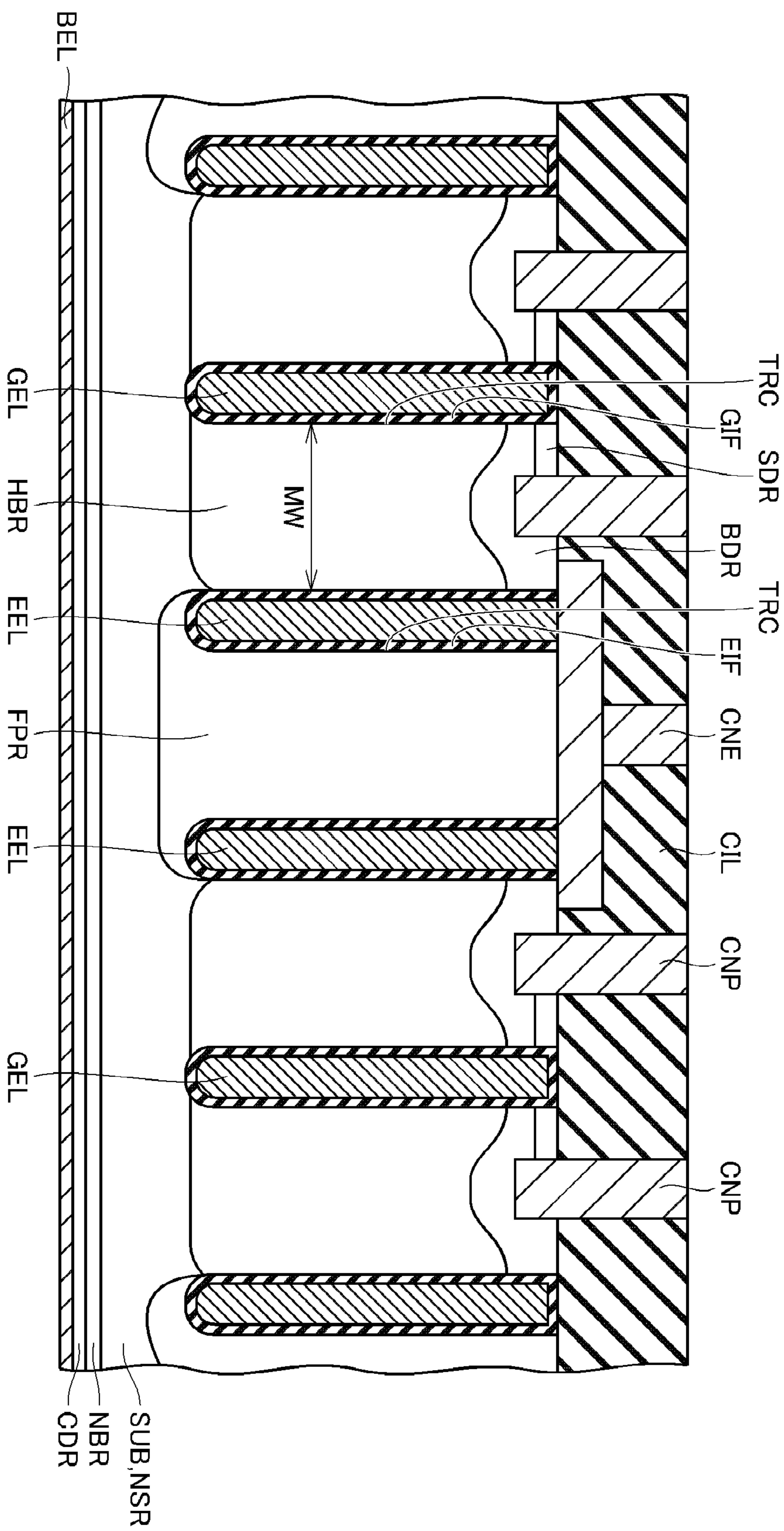


圖 18

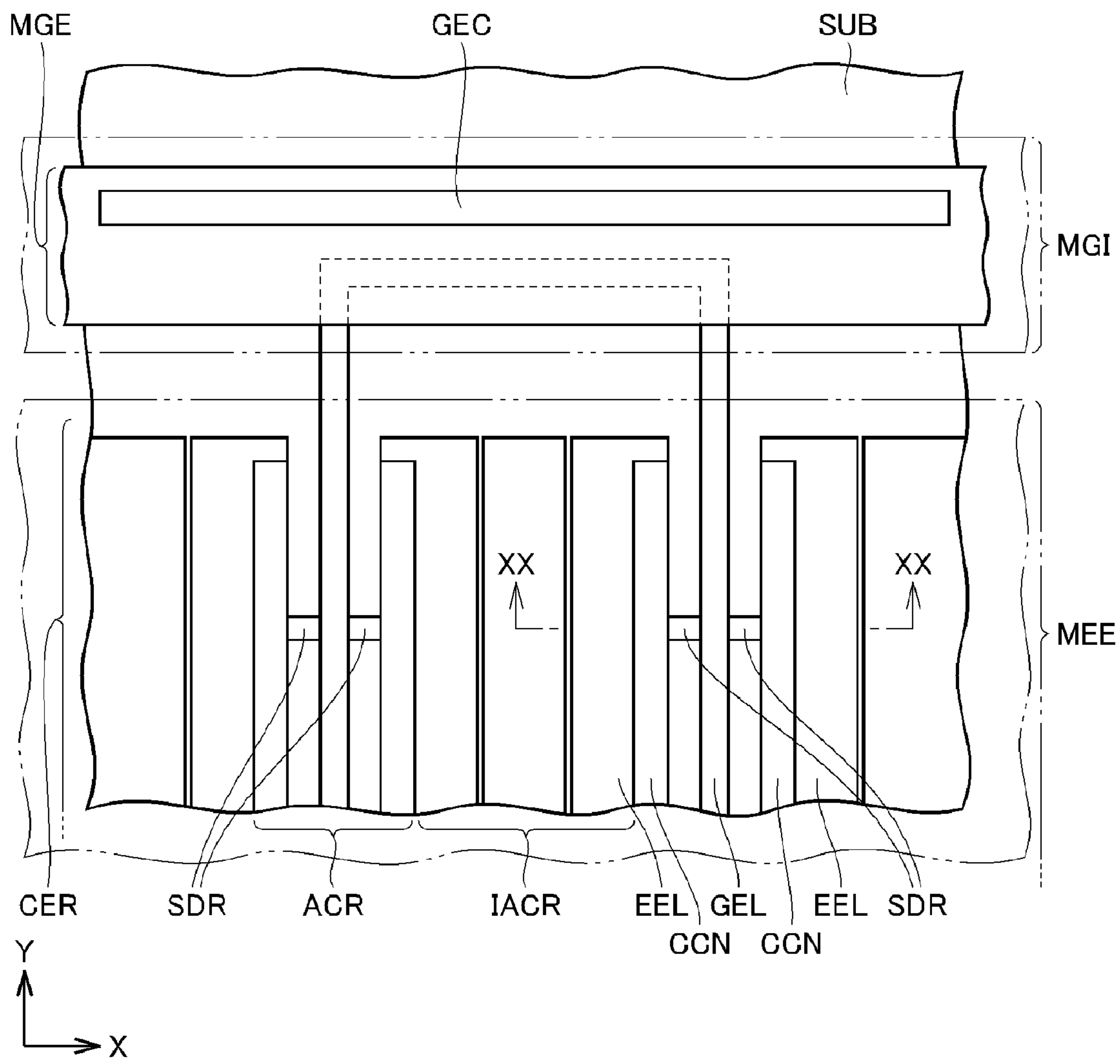


圖 19

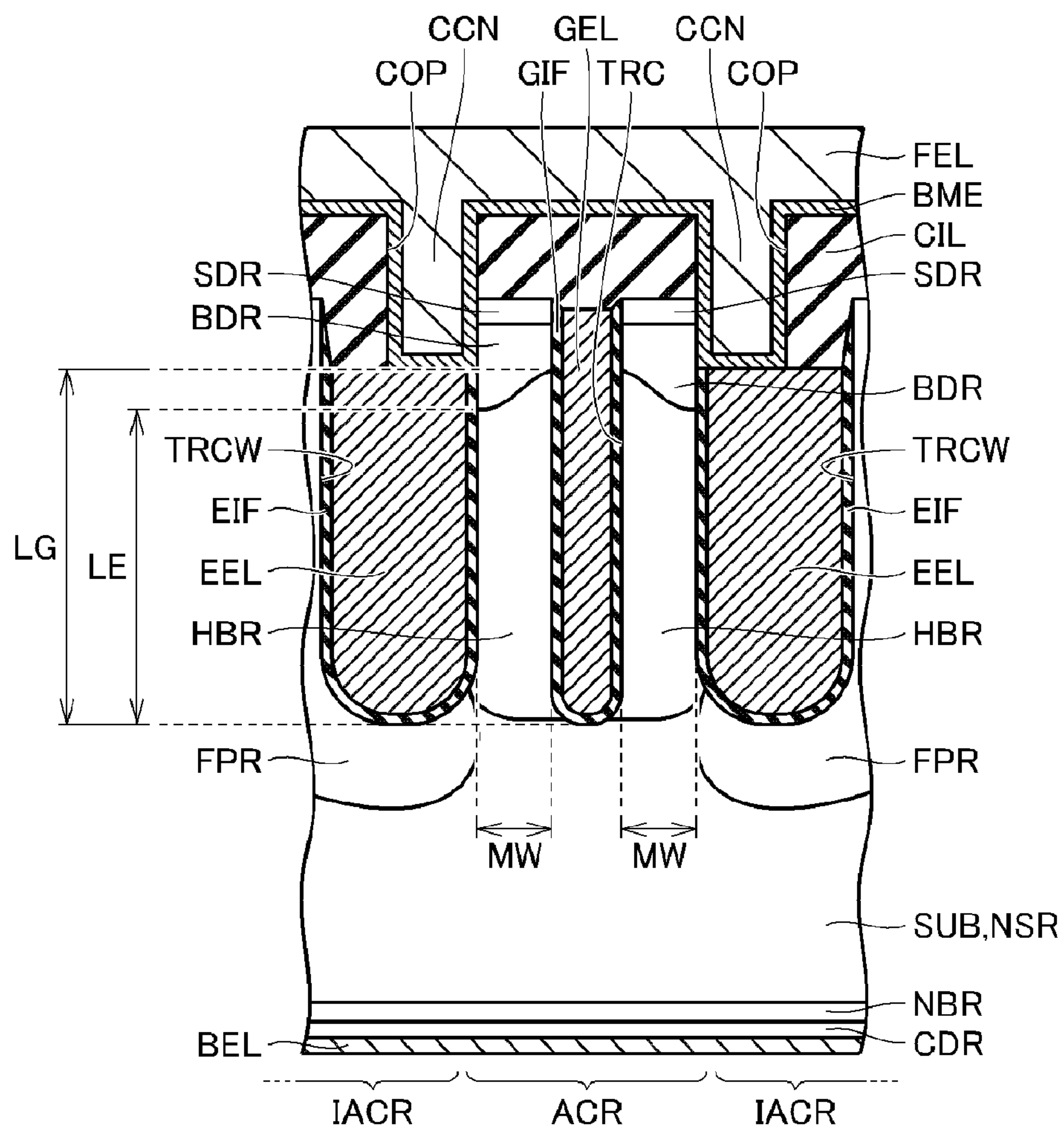


圖 20

圖 21

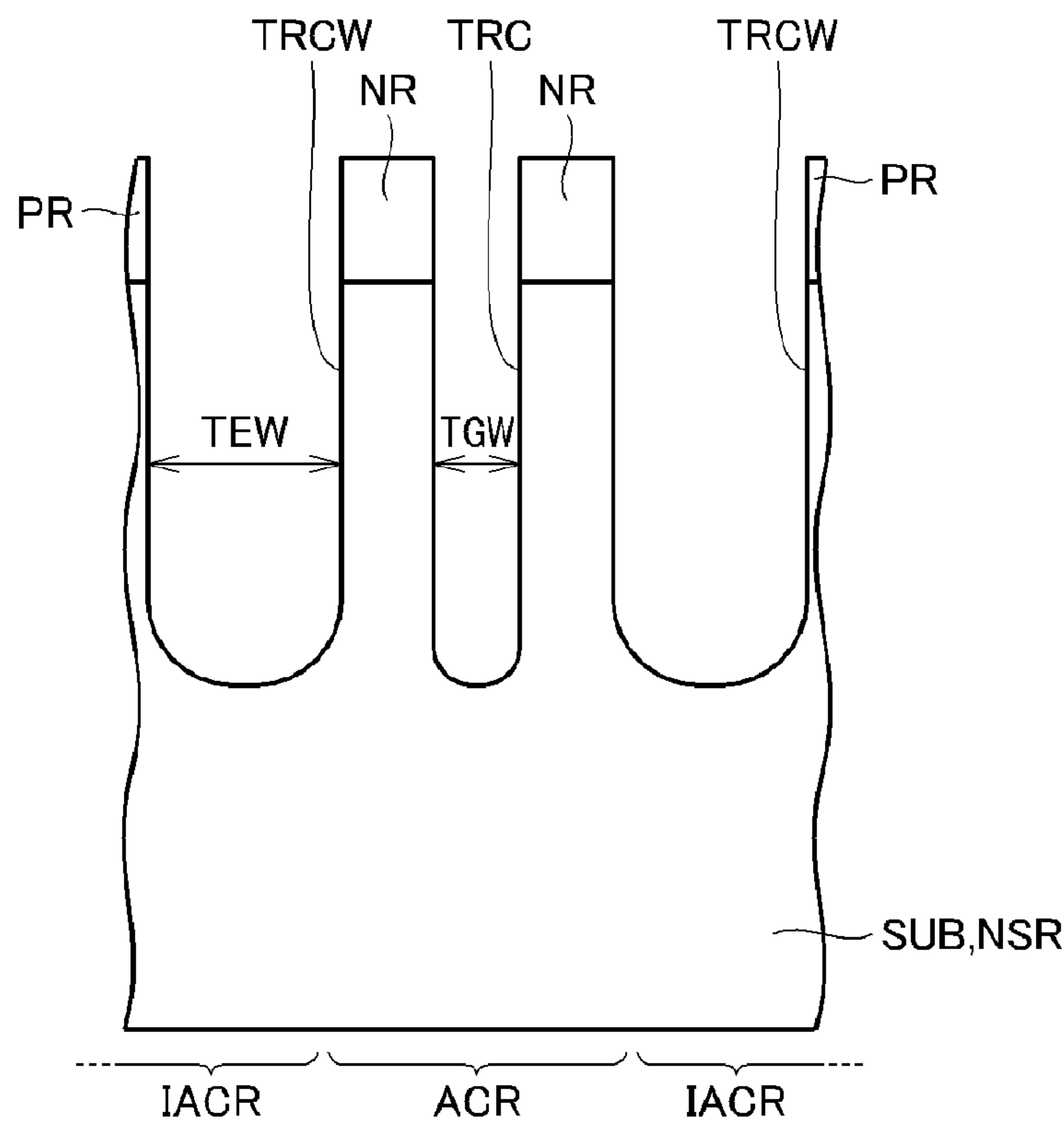


圖 22

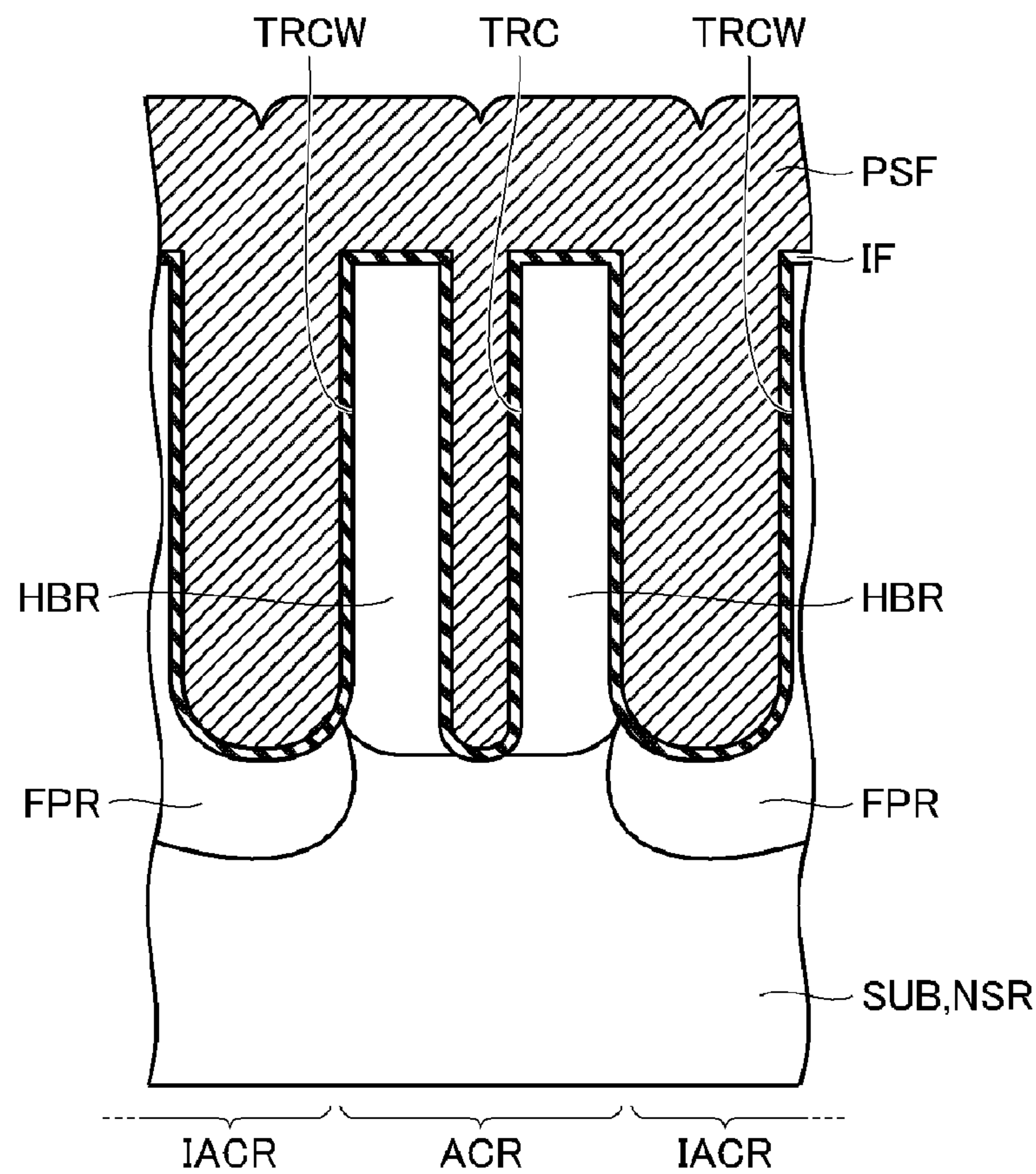


圖 23

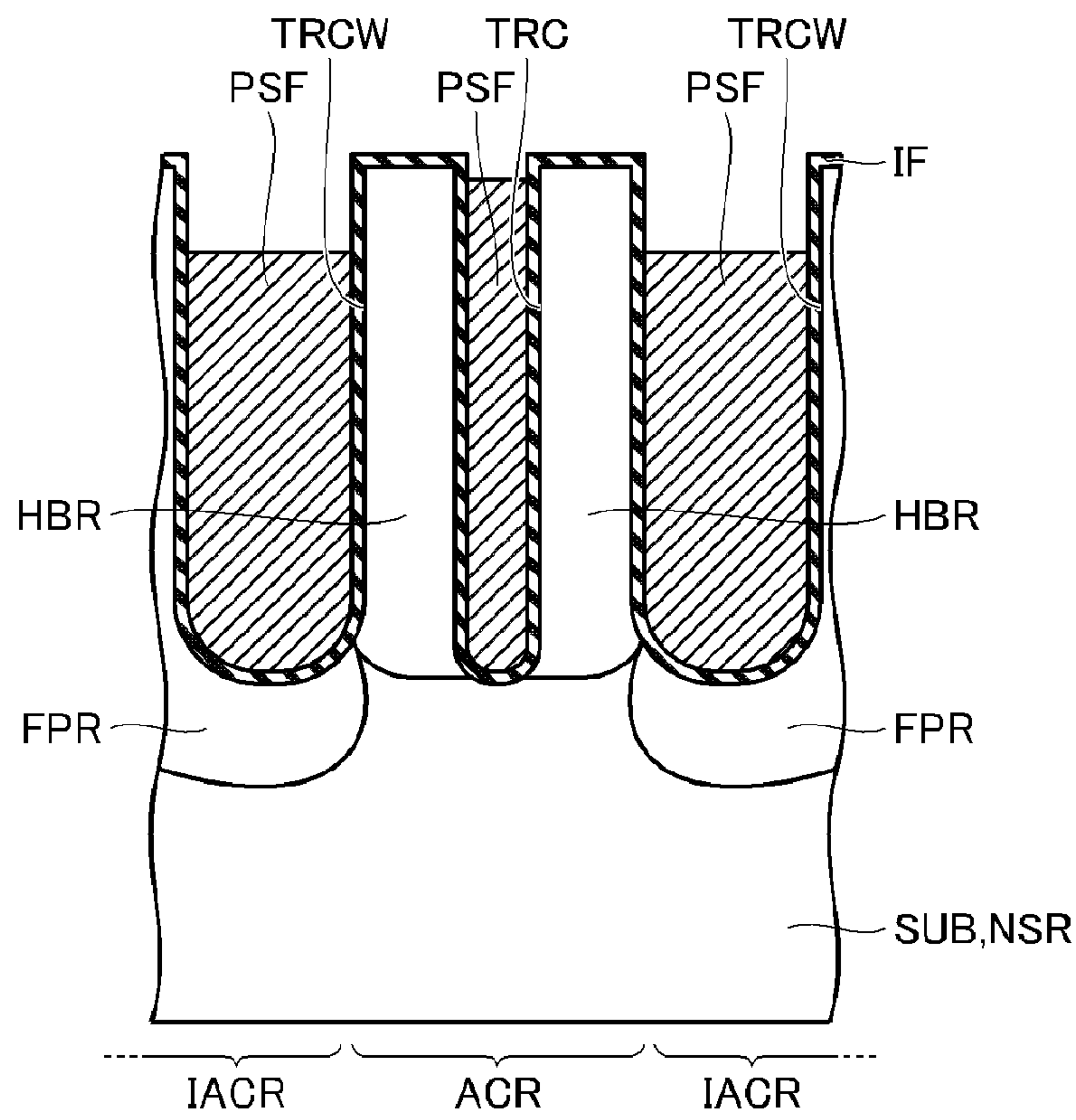
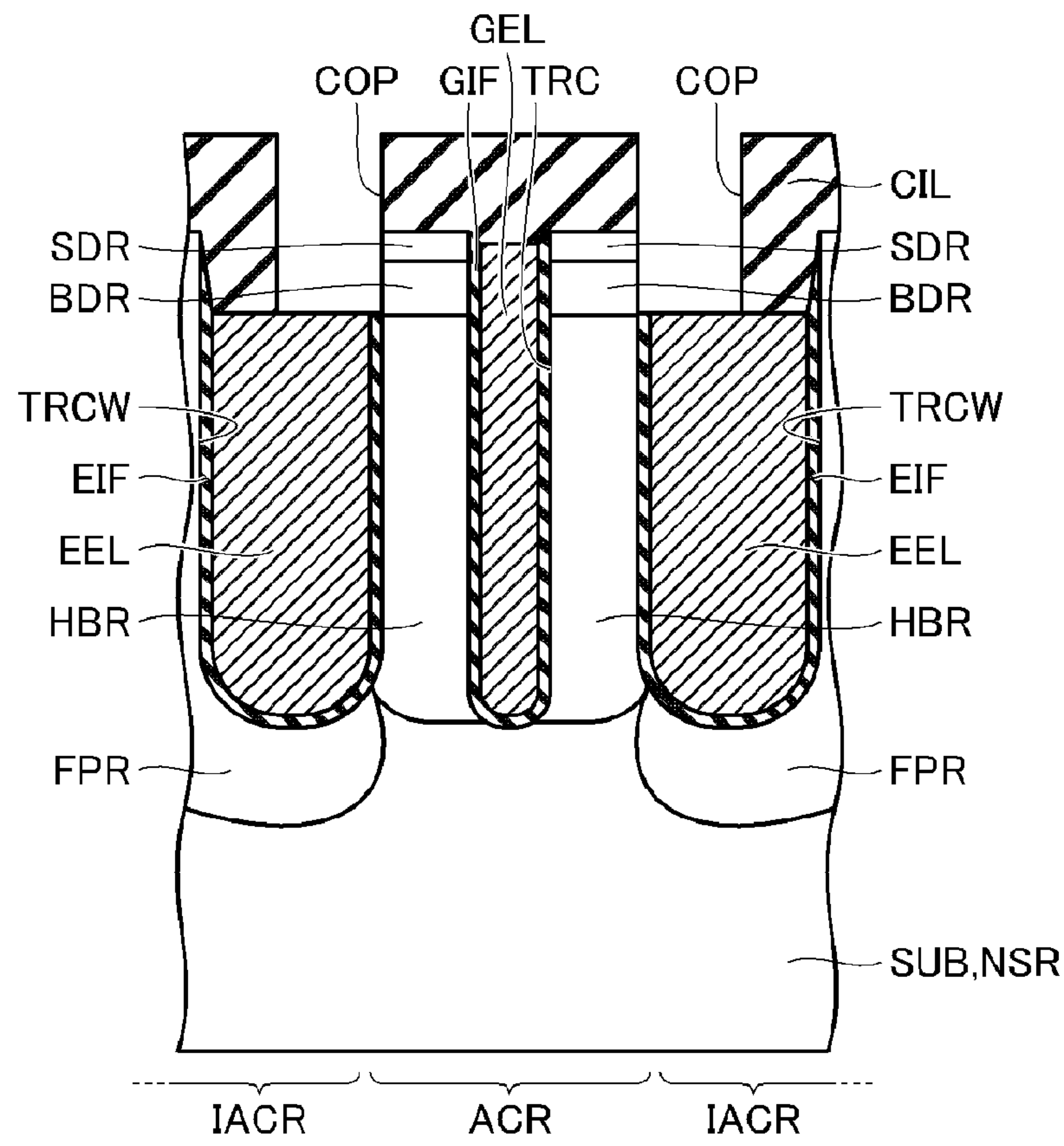


圖 24



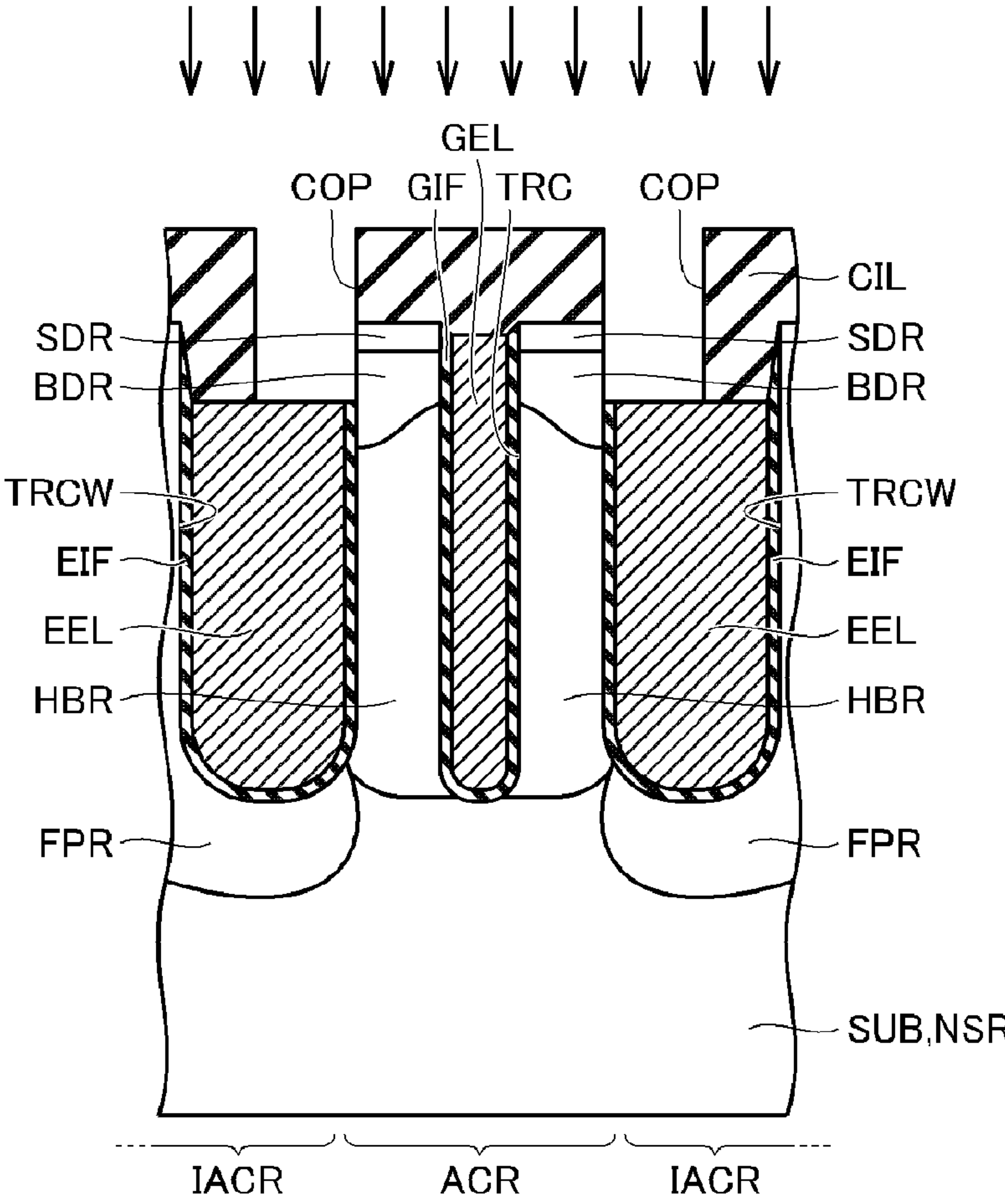


圖 25

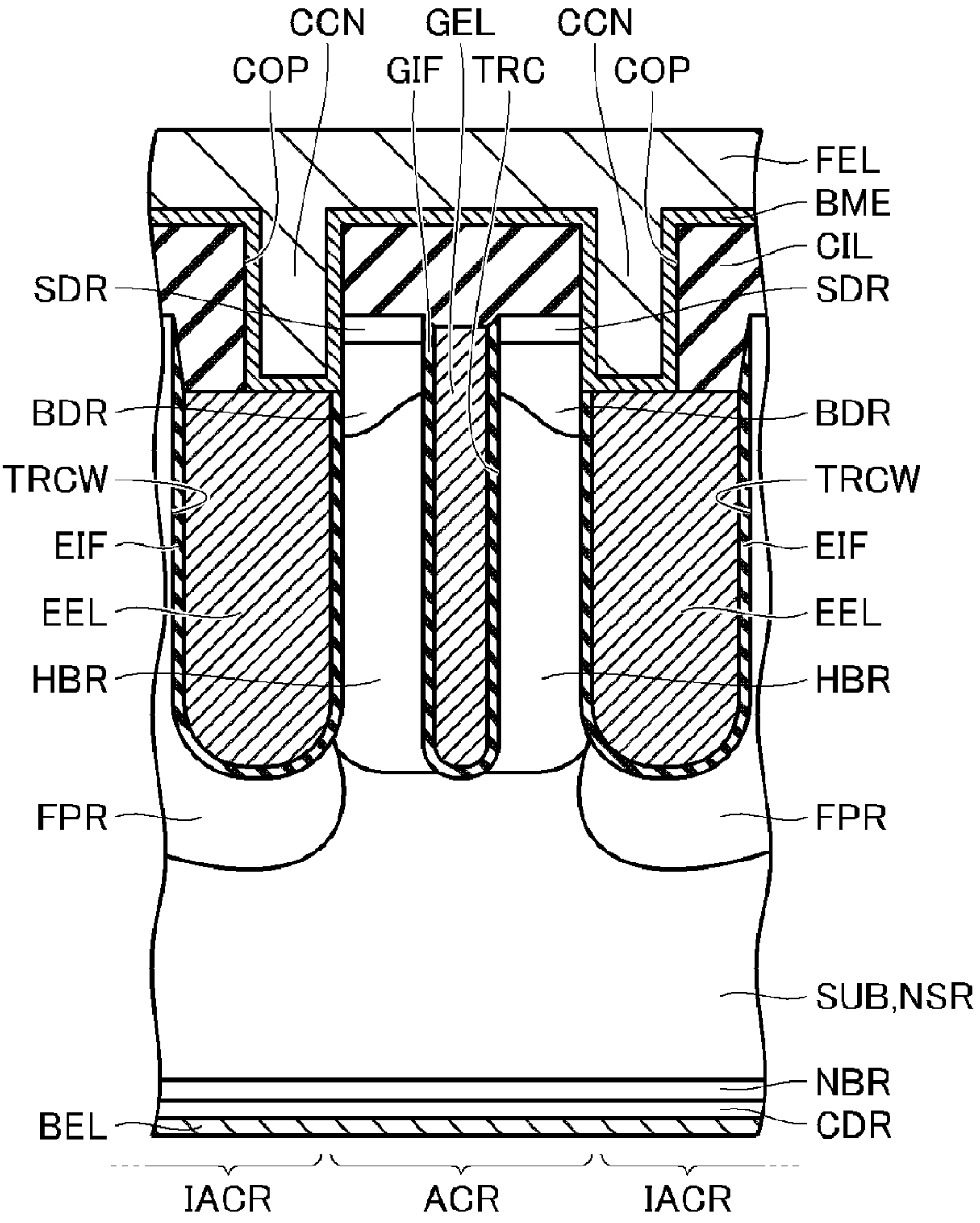


圖 26

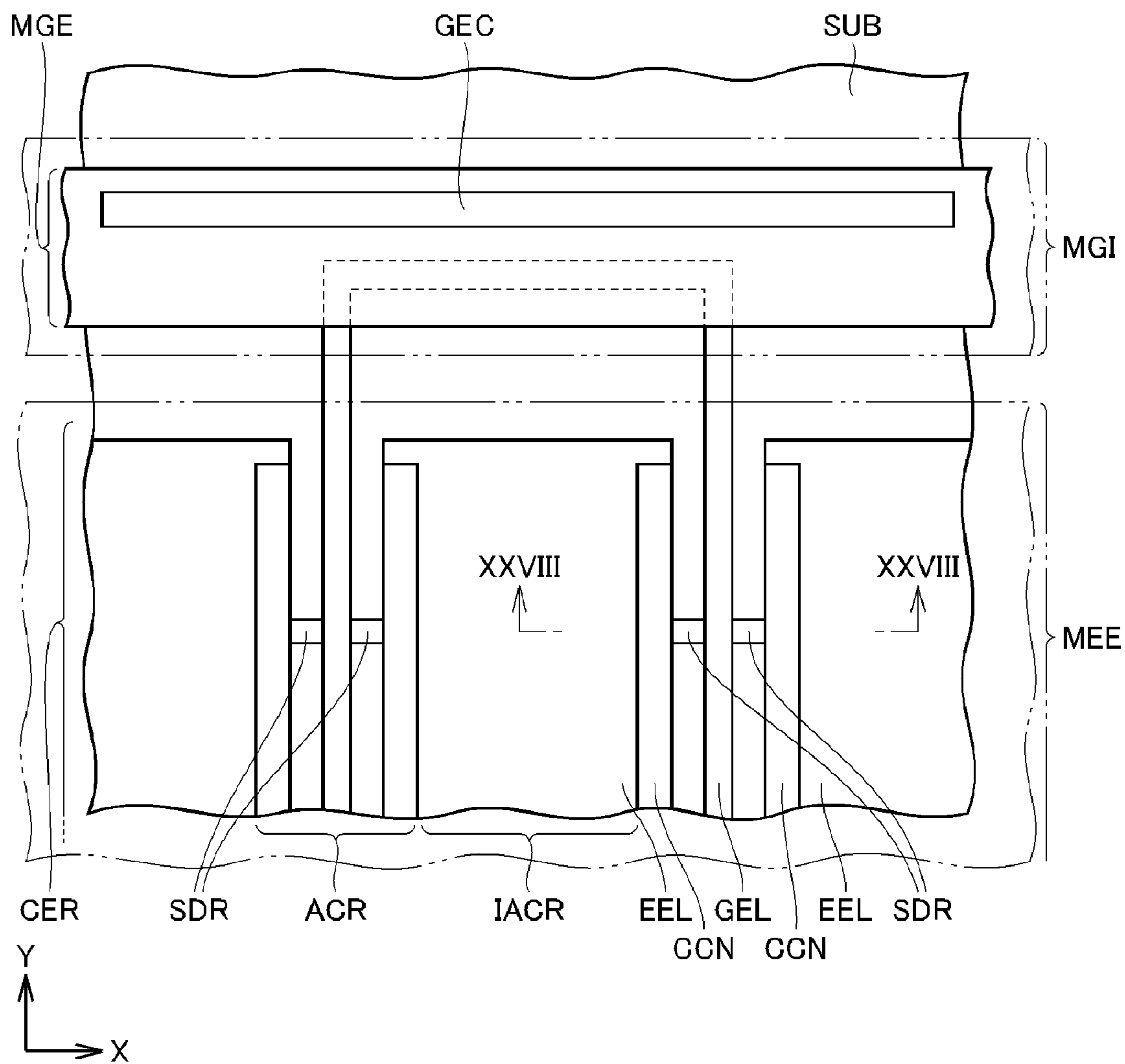


圖 27

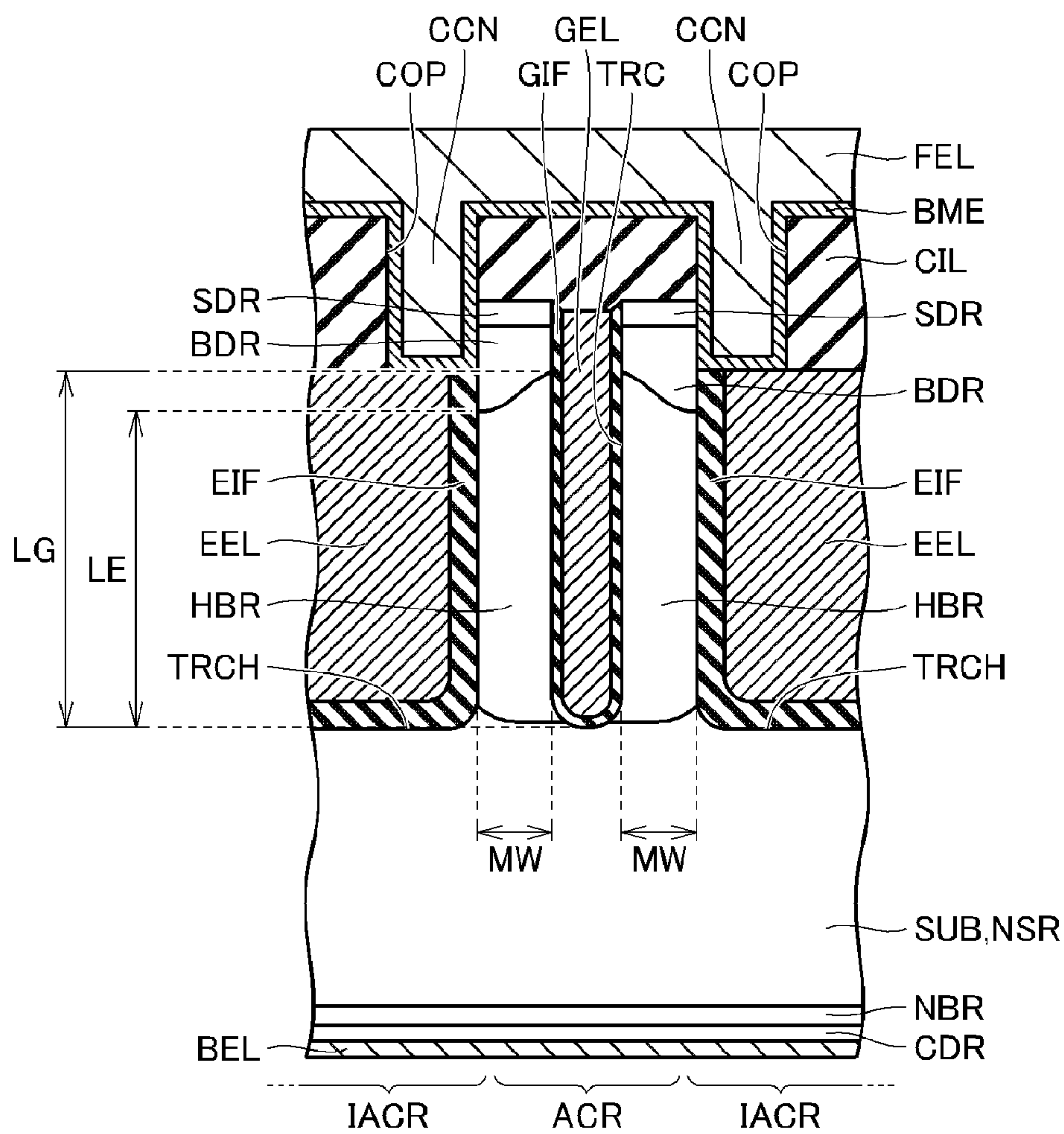


圖 28

圖 29

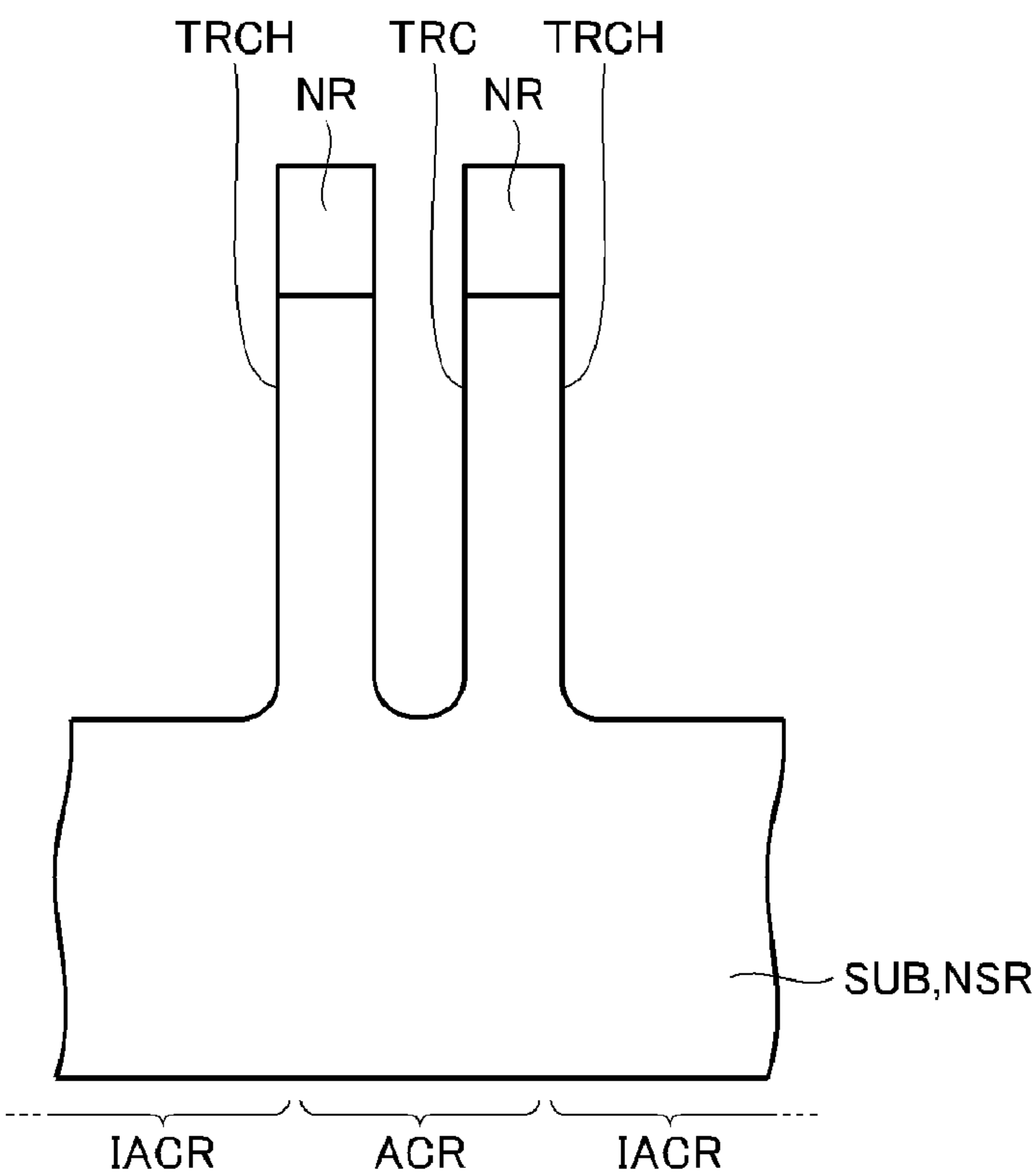


圖 30

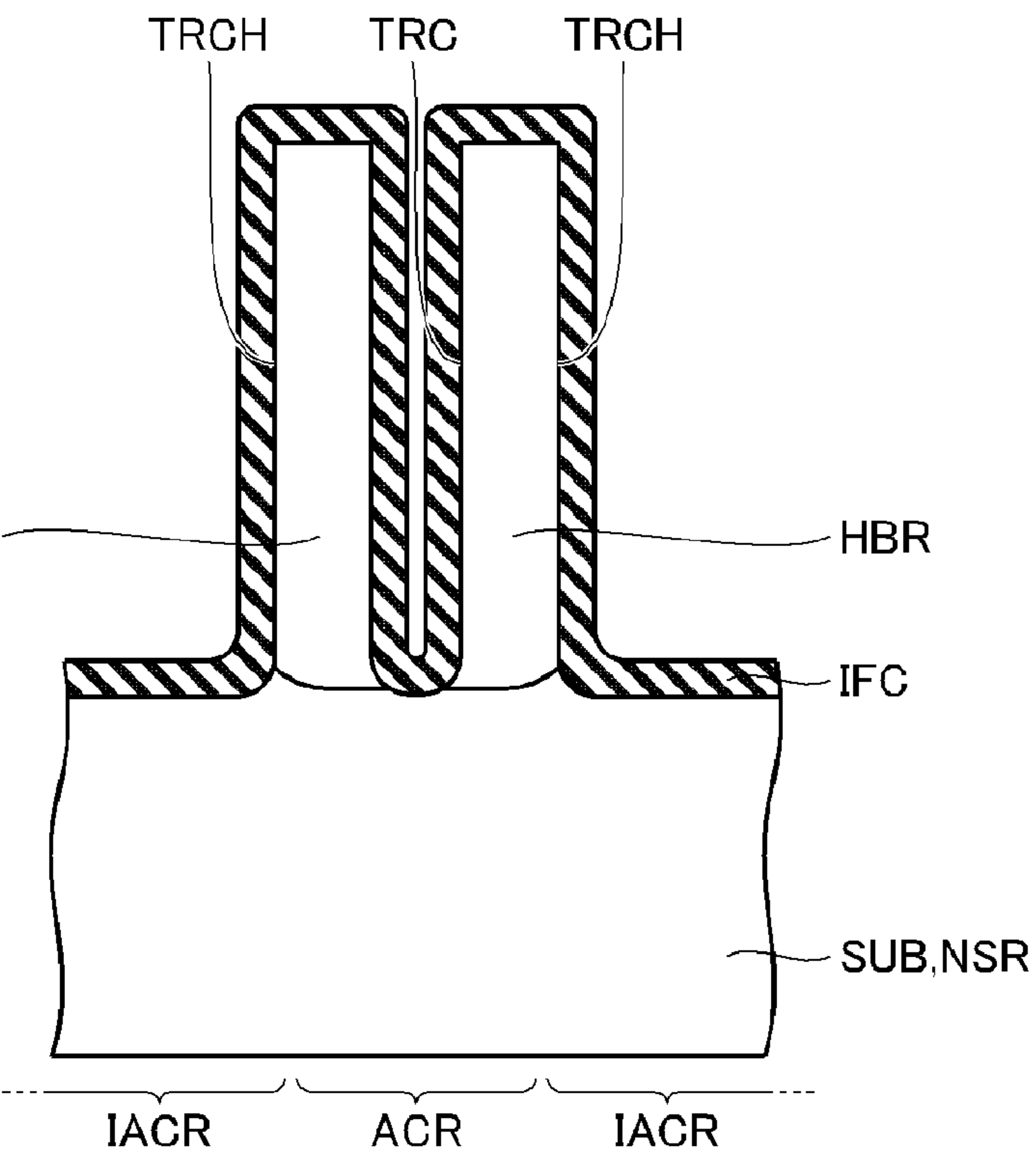


圖 31

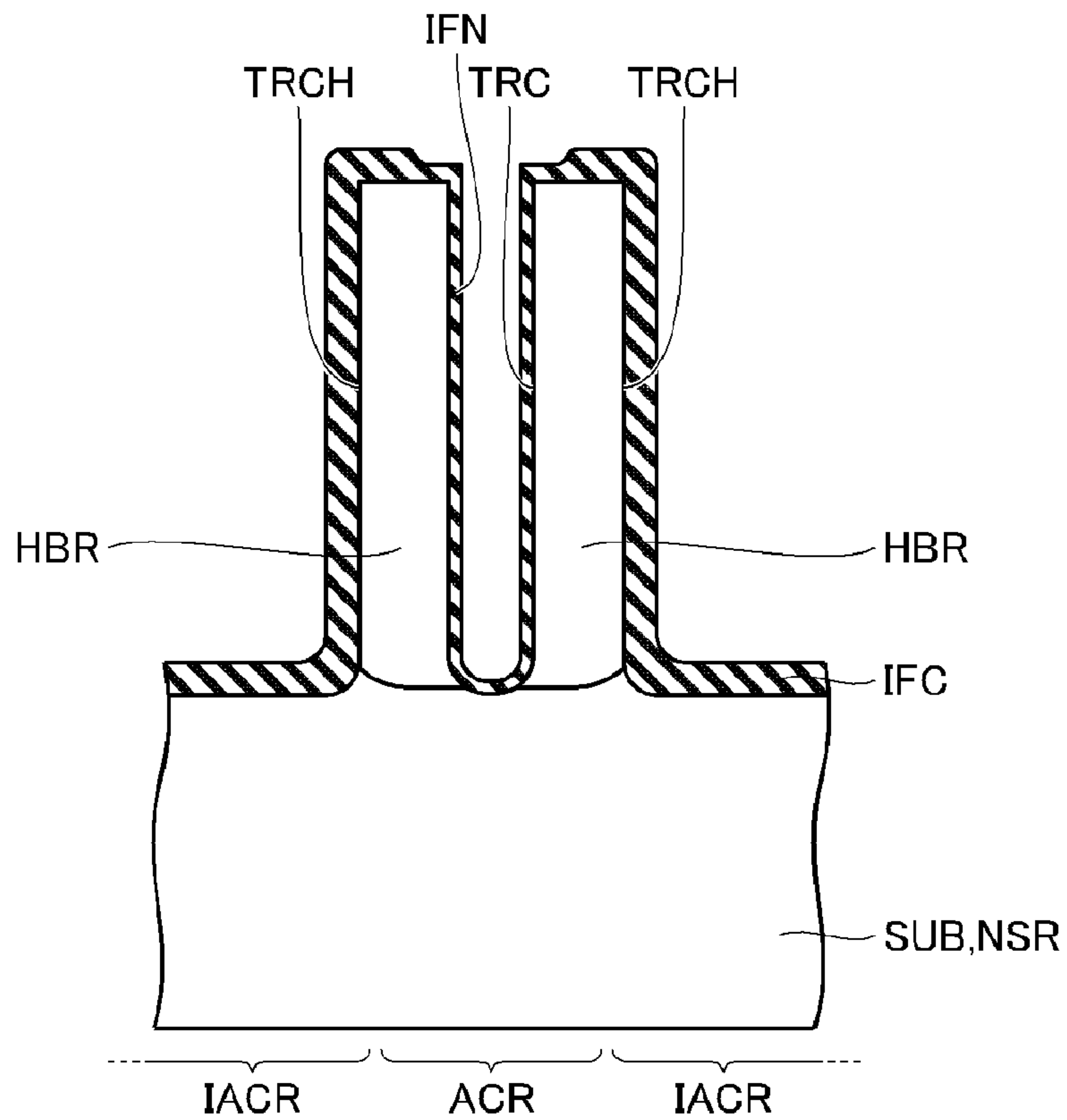
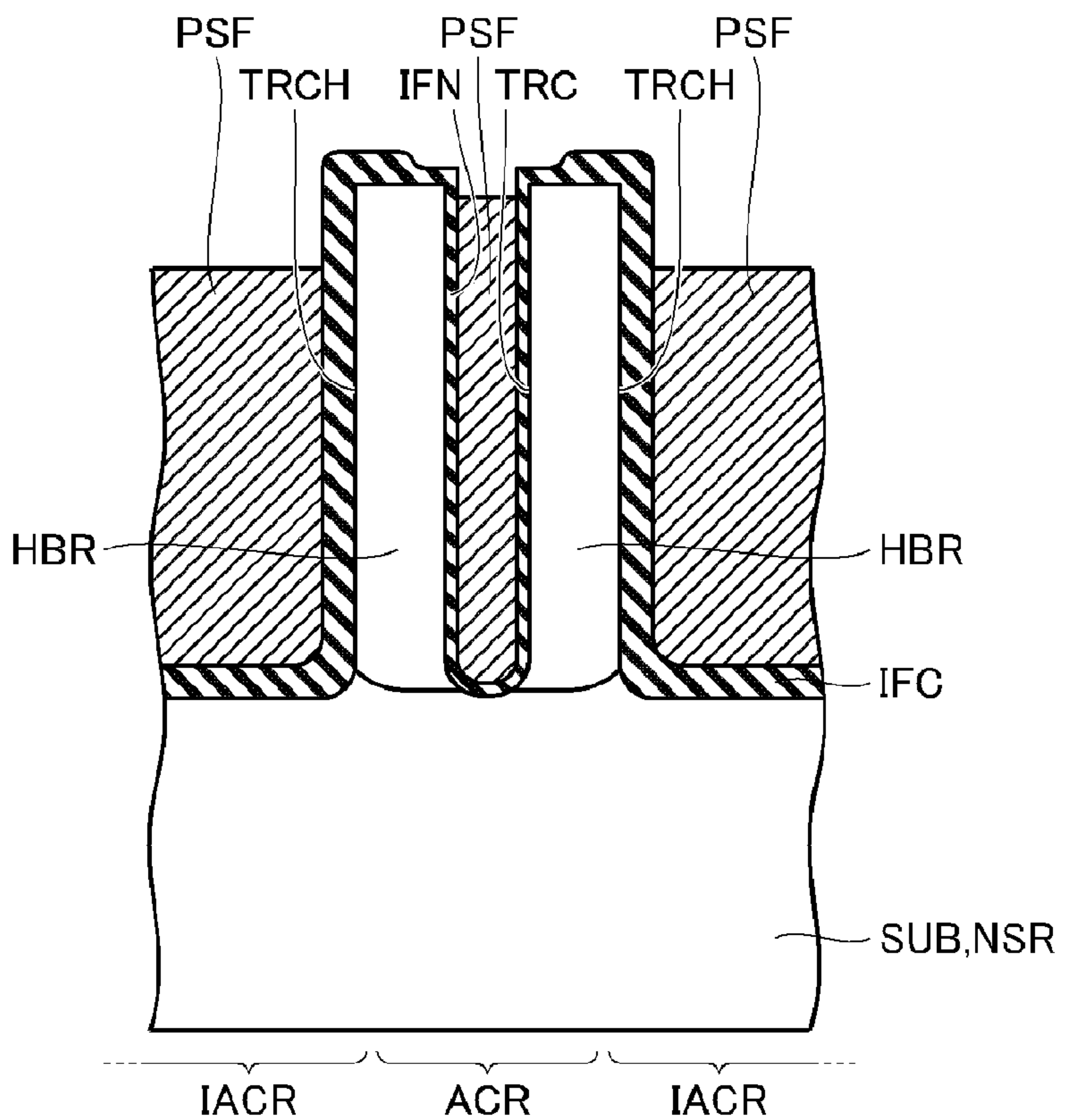


圖 32



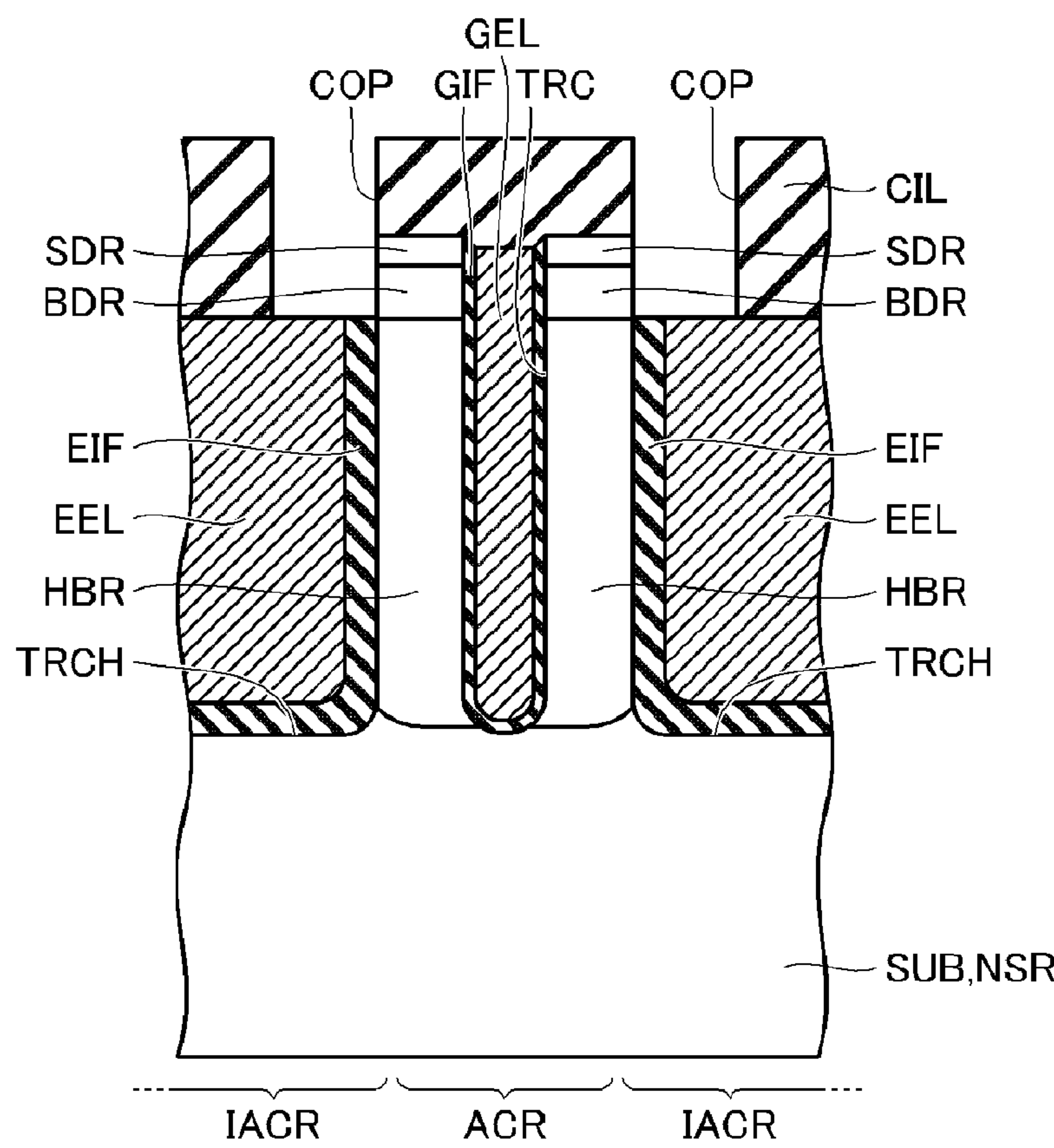


圖 33

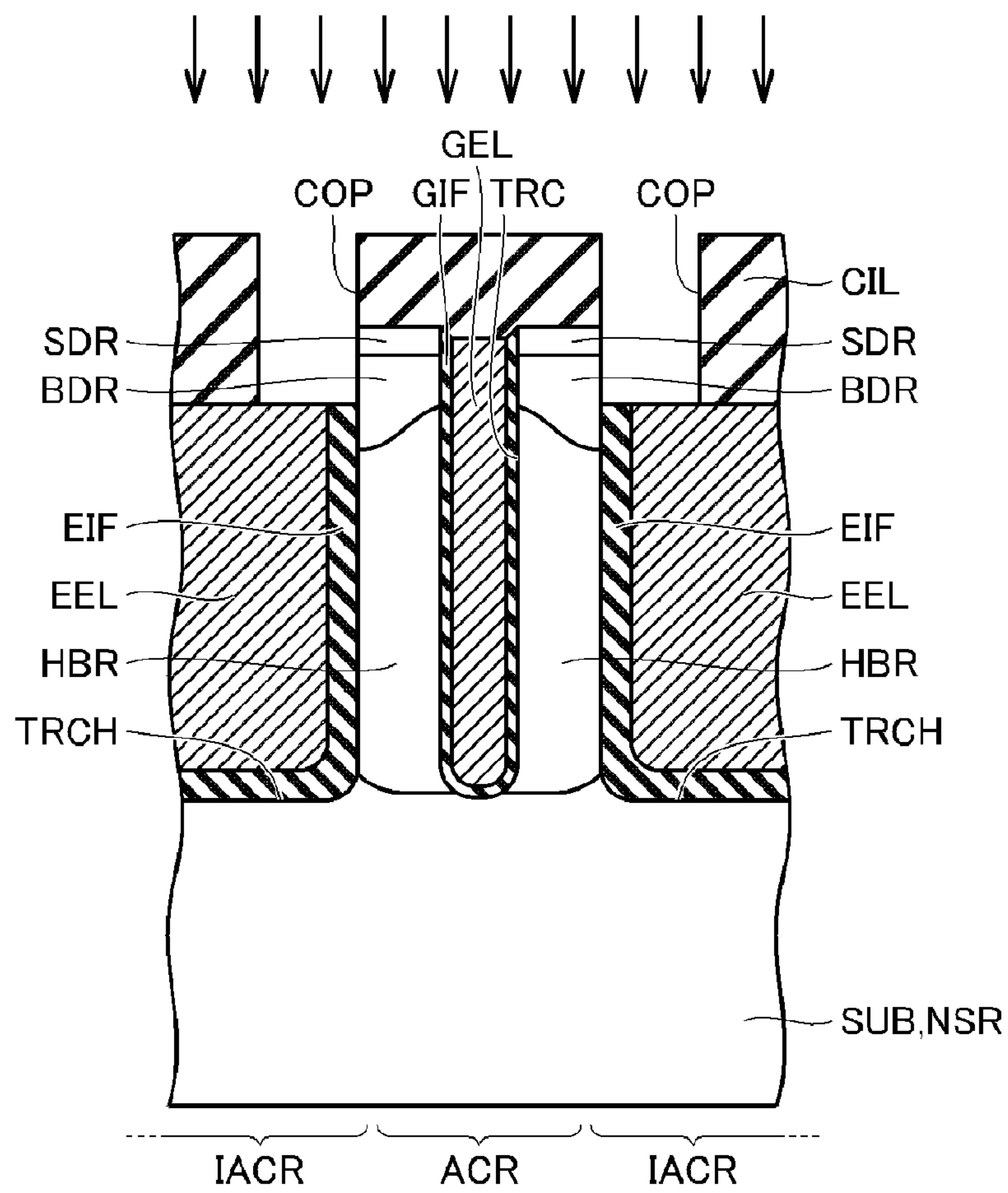


圖 34

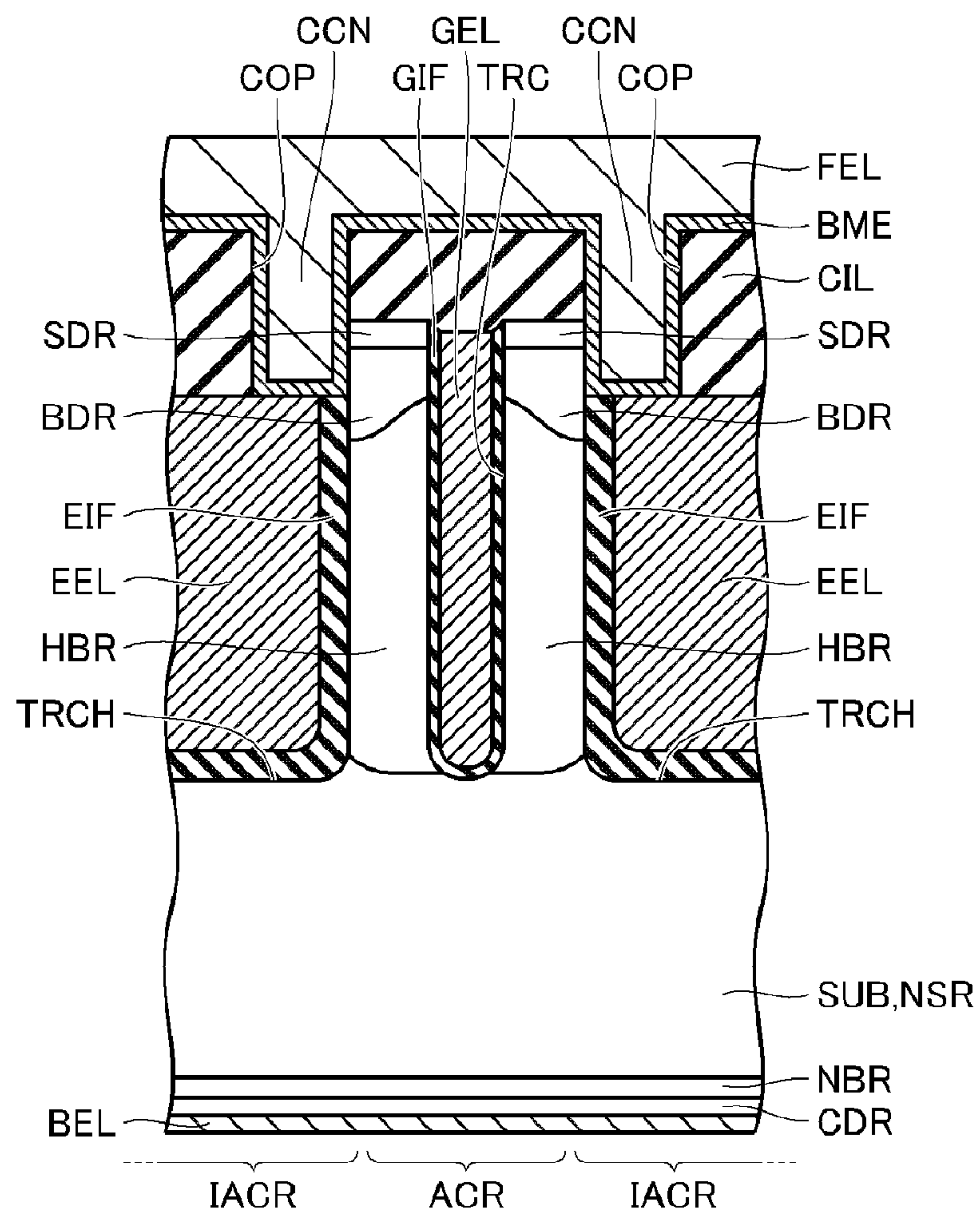


圖 35