(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年8月27日(27.08.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/170855 A1

(51) 国際特許分類:
H01L 21/56 (2006.01) *H01L 21/301* (2006.01)
H01L 21/60 (2006.01)

(21) 国際出願番号： PCT/JP2020/004789

(22) 国際出願日： 2020年2月7日(07.02.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-027481 2019年2月19日(19.02.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 小林 剣人 (**KOBAYASHI, Tatehito**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

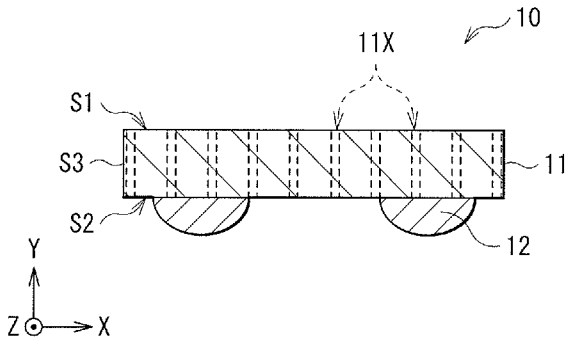
(74) 代理人: 特許業務法人つばさ国際特許事務所 (**TSUBASA PATENT PROFESSIONAL CORPORATION**); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) **Title:** SEMICONDUCTOR DEVICE AND SEMICONDUCTOR APPARATUS

(54) 発明の名称： 半導体デバイスおよび半導体装置



(57) **Abstract:** A first semiconductor device of one embodiment of the present disclosure is provided with: a semiconductor substrate having one surface and another surface that are opposing, and having one side that is 50-500 μm; one or a plurality of bumps provided to the other surface; and an uneven structure formed on a side surface of the semiconductor substrate.

(57) 要約: 本開示の一実施形態の第1の半導体デバイスは、対向する一の面および他の面を有する一辺が50μm以上500μm以下の半導体基板と、他の面に設けられた1または複数のバンプと、半導体基板の側面に形成された凹凸構造とを備える。

[続葉有]

WO 2020/170855 A1

添付公開書類：

一　国際調査報告（条約第21条(3)）

明　細　書

発明の名称 ： 半導体デバイスおよび半導体装置

技術分野

[0001] 本開示は、バンプを用いて基板上に実装される半導体デバイスおよびこれを備えた半導体装置に関する。

背景技術

[0002] フラックスリフローによるチップ実装では、チップは自重によりフラックスに沈み、チップ側の半田と、基板側のアンダーバンプメタル（ＵＢＭ）とが接触する。その状態で加熱することでチップ側の半田と、基板側のＵＢＭとが溶融接続される。例えば、特許文献１では、チップの端面に凹凸パターンを設けることで樹脂フィレットとの接着強度を向上させてチップと基板との接着強度を高めた半導体装置が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２００４－３０４０８１号公報

発明の概要

[0004] ところで、微細なチップをフラックスリフローによって実装する場合、接続不良が起こりやすく、製造歩留まりが低下する。このため、製造歩留まりの向上が求められている。

[0005] 製造歩留まりを向上させることが可能な半導体デバイスおよび半導体装置を提供することが望ましい。

[0006] 本開示の一実施形態の第１の半導体デバイスは、対向する一の面および他の面を有する一辺が５０μｍ以上５００μｍ以下の半導体基板と、他の面に設けられた１または複数のバンプと、半導体基板の側面に形成された凹凸構造とを備えたものである。

[0007] 本開示の一実施形態の第１の半導体装置は、実装基板上に複数の半導体デバイスが実装されたものであり、複数の半導体デバイスとして、上記一実施

形態の第１の半導体デバイスを備えたものである。

[0008] 本開示の一実施形態の第２の半導体デバイスは、対向する一の面および他の面を有する半導体基板と、他の面に設けられた１または複数のバンプと、半導体基板の側面にドライエッチングによって形成された凹凸構造とを備えたものである。

[0009] 本開示の一実施形態の第２の半導体装置は、実装基板上に複数の半導体デバイスが実装されたものであり、複数の半導体デバイスとして、上記一実施形態の第２の半導体デバイスを備えたものである。

[0010] 本開示の一実施形態の第１の半導体デバイスおよび一実施形態の第１の半導体装置ならびに一実施形態の第２の半導体デバイスおよび一実施形態の第２の半導体装置では、半導体素子が配設された半導体基板の側面にドライエッチングによって凹凸構造を形成した。これにより、半導体基板の側面の表面張力が大きくなる。

図面の簡単な説明

[0011] [図1]本開示の実施の形態に係る半導体デバイスの一例を表す断面模式図である。

[図2]図１に示した半導体デバイスの平面模式図である。

[図3A]図１に示した半導体デバイスの他の例を表す平面模式図である。

[図3B]図１に示した半導体デバイスの他の例を表す平面模式図である。

[図3C]図１に示した半導体デバイスの他の例を表す断面模式図である。

[図3D]図１に示した半導体デバイスの他の例を表す断面模式図である。

[図3E]図１に示した半導体デバイスの他の例を表す断面模式図である。

[図4]図１に示した半導体デバイスの製造工程を表す流れ図である。

[図5A]図１に示した半導体デバイスの製造方法を説明するための断面模式図である。

[図5B]図５Ａに続く工程を表す断面模式図である。

[図5C]図５Ｂに続く工程を表す断面模式図である。

[図5D]図５Ｃに続く工程を表す断面模式図である。

[図5E]図５Ｄに続く工程を表す断面模式図である。

[図5F]図５Ｅに続く工程を表す断面模式図である。

[図6]図１に示した半導体装置（画像表示装置）の全体構成の一例を表す斜視図である。

[図7]図６に示した画像表示装置の配線レイアウトの一例を表す模式図である。

[図8]図６に示した実装基板の構成の一例を表す断面模式図である。

[図9]参考例としての半導体デバイスの実装工程を説明する断面模式図である。

[図10]図９に示した実装工程を経た半導体デバイスおよび実装基板の状態の一例を表す断面模式図である。

[図11]図９に示した実装工程を経た半導体デバイスおよび実装基板の状態の他の例を表す断面模式図である。

[図12]本技術の原理を説明する図である。

[図13]本開示の変形例に係る半導体デバイスの製造工程を表す流れ図である。

発明を実施するための形態

[0012] 以下、本開示における一実施形態について、図面を参照して詳細に説明する。以下の説明は本開示の一具体例であって、本開示は以下の態様に限定されるものではない。また、本開示は、各図に示す各構成要素の配置や寸法、寸法比等についても、それらに限定されるものではない。なお、説明する順序は、下記の通りである。

１．実施の形態（チップ基板の側面に溝を設けた半導体デバイスの例）

１－１．半導体デバイスの構成

１－２．半導体デバイスの製造方法

１－３．半導体装置の構成

１－４．作用・効果

２．変形例（さらにチップ基板の側面を親水化処理した半導体デバイスの

例）

[0013] ＜１．実施の形態＞

（１－１．半導体デバイスの構成）

図１は、本開示の一実施の形態に係る半導体デバイス（半導体デバイス１０）の断面構成を表したものである。図２は、図１に示した半導体デバイス１０の平面構成を表したものである。なお、図１では、例えば、図２に示したＩ－Ｉ線における断面を表している。半導体デバイス１０は、対向する一の面（面Ｓ１）および他の面（面Ｓ２）を有する半導体基板１１の面Ｓ２に１または複数のバンプ１２を有し、さらに、半導体基板１１の側面（面Ｓ３）に凹凸構造として複数の溝１１Ｘが形成されたものである。なお、図１および図２は半導体デバイス１０の構成を模式的に表したものであり、実際の寸法、形状とは異なる場合がある。

[0014] 半導体デバイス１０は、例えば一辺が５０μｍ以上５００μｍ以下、より具体的には、一辺が８０μｍ以上２００μｍの半導体チップである。半導体デバイス１０は、例えば、いわゆるＬＥＤ（Light Emitting Diode）ディスプレイと呼ばれる画像表示装置の表示画素として好適に用いられるＬＥＤチップである。ＬＥＤチップは、本開示の「半導体デバイス」の一具体例に相当する。半導体デバイス１０は、上記のように、半導体基板１１の側面（面Ｓ３）に複数の溝１１Ｘが設けられている。

[0015] 複数の溝１１Ｘは、詳細は後述するが、フラックスリフローによる実装基板２０への実装時におけるバンプ１２と実装基板２０側の電極２２との接触を補助するためのものである（例えば、図５Ｅ参照）。複数の溝１１Ｘは、例えば、図１に示したように、半導体基板１１の側面（面Ｓ３）に複数設けられている。これにより、半導体デバイス１０の表面積が増加し、フラックスリフロー時における半導体デバイス１０のバンプ１２と実装基板２０側の実装用の電極２２との接触が容易となる。なお、電極２２上には、例えば金（Ａｕ）めっきからなる酸化防止膜２３が設けられている。

[0016] 複数の溝１１Ｘは、例えば、図１に示したように、対向する面Ｓ１および

面Ｓ２に対して法線方向（例えば、Ｙ軸方向）に、互いに平行に延伸している。複数の溝１１Ｘの面Ｓ１および面Ｓ２に対して水平方向（例えば、ＸＺ平面方向）の断面は、例えば、図２に示したように、略半円状の形状を有するがこれに限らない。複数の溝１１Ｘは、上記のように、半導体デバイス１０の表面積を増加させるためのものであるため、例えば、図３Ａに示したような略矩形状や、図３Ｂに示したような略三角状の断面形状としてもよい。更に、図１等ではＹ軸方向に直線上に延伸する複数の溝１１Ｘの例を示したが、複数の溝１１Ｘの延伸方向はこれに限らない。例えば、複数の溝１１Ｘは、図３Ｃに示したように、Ｙ軸方向に蛇行する溝としてもよい。また、複数の溝１１Ｘは、図３Ｄに示したように、対向する面Ｓ１および面Ｓ２に対して水平方向（例えば、Ｘ軸方向またはＺ軸方向）に延伸する溝としてもよい。更に、複数の溝１１Ｘは、図３Ｅに示したように、例えば格子状に形成してもよい。

[0017] 複数の溝１１Ｘは、半導体基板１１の側面（面Ｓ３）全体に形成されていることが好ましい。また、複数の溝１１Ｘは、対向する一対の側面、例えば面Ｓ３Ａと面Ｓ３Ｂおよび面３Ｃと面３Ｄにおいて略均一に形成されていることが好ましい。これにより、対向する各側面、例えば面Ｓ３Ａとフラックス３３との間で発生する表面張力と、面Ｓ３Ｂとフラックス３３との間で発生する表面張力とが釣り合い、フラックスリフロー時に、半導体デバイス１０がフラックス３３に、水平に沈み込むようになる。

[0018] （１－２．半導体デバイスの製造方法）

本実施の形態の半導体デバイス１０は、例えば次のようにして製造することができる。図４は、半導体デバイス１０の製造工程の流れを表したものである。図５Ａ～図５Ｆは、半導体デバイス１０の製造工程の一例を表したものである。

[0019] まず、図５Ａに示したように、例えば支持基板３１上に、接着層３２を介して複数の半導体デバイス１０が設けられた半導体基板１１Ａを貼り合わせる（ステップＳ１０１）。次に、図５Ｂに示したように、半導体基板１１Ａ

上に、例えばめっきによってバンプ１２を形成する（ステップＳ１０２）。続いて、図５Ｃに示したように、ドライエッチングにより半導体基板１１を分離、個片化する。同時に、半導体基板１１の側面に複数の溝１１Ｘを形成する（ステップＳ１０３）。これにより、図１に示した半導体デバイス１０が完成する。その後、図５Ｄ～図５Ｆに示したように、半導体デバイス１０を実装基板２０上に実装する（ステップＳ１０４）。

[0020] 実装基板２０への半導体デバイス１０の実装は、例えば、以下のようにして行う。まず、実装基板２０を用意する。実装基板２０上には、表面に酸化防止膜２３が積層された電極２２を有する配線層２１が設けられている。この実装基板２０上に、図５Ｄに示したように、フラックス３３を、例えば、半導体デバイス１０のバンプ１２が浸かる程度の厚みで塗布したのち、フラックス３３上に半導体デバイス１０を置く。このとき、フラックス３３は、半導体基板１１の側面（面Ｓ３）に形成された複数の溝１１Ｘによって、図５Ｅに示したように、半導体基板１１の側面（面Ｓ３）を這い上がる。同時に、半導体基板１１は、表面張力によってフラックス３３中に引き込まれ、バンプ１２と電極２２とが接触する。その後、加熱することにより、図５Ｆに示したように、バンプ１２が溶融し、電極２２と接合される。その後、フラックス３３は、洗浄工程を経て除去される。以上により、実装基板２０上への半導体デバイス１０の実装が完了する。

[0021] なお、半導体デバイス１０の側面（具体的には、半導体基板１１の側面（面Ｓ３））には、必要に応じて実装後に絶縁膜を形成してもよい。絶縁膜は、例えば、スパッタ、インクジェット印刷またはスクリーン印刷等を用いて成膜することができる。また、半導体デバイス１０の側面に絶縁膜を形成する場合には、側面をテーパ状に加工するようにしてもよい。これにより、半導体デバイス１０の側面に絶縁膜を容易に成膜することが可能となる。

[0022] （１－３．半導体装置の構成）

図６は、本開示の半導体装置の一具体例としての表示装置１の概略構成の一例を斜視的に表したものである。表示装置１は、いわゆるＬＥＤディスプ

レイと呼ばれるものであり、表示画素としてＬＥＤが用いられたものである。表示装置１は、例えば図６に示したように、表示パネル１１０と、表示パネル１１０を駆動する駆動回路（図示せず）とを備えている。

[0023] 表示パネル１１０は、実装基板１２０と、透明基板１３０とを互いに重ね合わせたものである。透明基板１３０の表面が映像表示面となっており、中央部分に表示領域１Ａを有し、その周囲に、非表示領域であるフレーム領域１Ｂを有している。

[0024] 図７は、実装基板１２０の透明基板１３０側の表面のうち表示領域１Ａに対応する領域のレイアウトの一例を表したものである。実装基板１２０の表面のうち表示領域１Ａに対応する領域には、例えば図７に示したように、複数のデータ配線２２１が所定の方向に延在して形成されており、かつ所定のピッチで並列配置されている。実装基板１２０の表面のうち表示領域１Ａに対応する領域には、さらに、例えば、複数のスキャン配線２２２がデータ配線２２１と交差（例えば、直交）する方向に延在して形成されており、且つ、所定のピッチで並列配置されている。データ配線２２１およびスキャン配線２２２は、例えば、Ｃｕ（銅）等の導電性材料からなる。

[0025] スキャン配線２２２は、例えば、最表層に形成されており、例えば、基材表面に形成された絶縁層（図示せず）上に形成されている。なお、実装基板２２０の基材は、例えば、ガラス基板、または樹脂基板等からなり、基材上の絶縁層は、例えば、SiN_x、SiO_x、またはAl_xO_yからなる。一方、データ配線２２１は、スキャン配線２２２を含む最表層とは異なる層（例えば、最表層よりも下の層）内に形成されており、例えば、基材上の絶縁層内に形成されている。絶縁層の表面上には、スキャン配線２２２の他に、例えば、必要に応じてブラックが設けられている。ブラックは、コントラストを高めるためのものであり、光吸収性の材料によって構成されている。ブラックは、例えば、絶縁層の表面のうち少なくとも後述のパッド電極２２１Ｂ，２２２Ｂの非形成領域に形成されている。なお、ブラックは、必要に応じて省略することも可能である。

[0026] データ配線２２１とスキャン配線２２２との交差部分の近傍が表示画素２２３となっており、複数の表示画素２２３が表示領域１Ａ内においてマトリクス状に配置されている。各表示画素２２３には、複数の発光デバイスを含む発光ユニットが実装されている。なお、図７では、一つの表示画素２２３は、Ｒ，Ｇ，Ｂに対応する３つの発光デバイスによって構成されている。

[0027] 図８は、図６に示した実装基板１２０の断面構成を模式的に表したものである。実装基板１２０上には、上記発光デバイスとして、例えば３つの半導体デバイス１０Ｒ，１０Ｇ，１０Ｂが実装されている。

[0028] 半導体デバイス１０Ｒ，１０Ｇ，１０Ｂは、互いに所定の間隙を介して一列に配置されている。互いに隣り合う半導体デバイス１０Ｒ，１０Ｇ，１０Ｂの隙間は、例えば、各半導体デバイス１０Ｒ，１０Ｇ，１０Ｂのサイズと同等か、それよりも狭くなっていている。なお、上記隙間は、場合によっては各半導体デバイス１０のサイズよりも大きくなっていてもよい。

[0029] 発光デバイスとして用いられる半導体デバイス１０Ｒ，１０Ｇ，１０Ｂは、互いに異なる波長の光を発するようになっている。例えば、半導体デバイス１０Ｒは赤色帯の光（Ｌｒ）を、半導体デバイス１０Ｇは緑色帯の光（Ｌｇ）を、半導体デバイス１０Ｂは青色帯の光（Ｌｂ）を発するようになっている。半導体デバイス１０Ｒ，１０Ｇ，１０Ｂは、例えば封止樹脂１４０によって１パッケージに封止され、実装基板１２０上に実装される形態をとってもよい。この封止樹脂１４０が、本開示の「封止部材」の一具体例に相当する。

[0030] （１－４．作用・効果）

前述したように、フラックスリフローによるチップ実装では、チップは自重によりフラックスに沈み、チップ側の半田と、基板側のＵＢＭとが接触する。チップ側の半田と、基板側のＵＢＭとが接触した状態で加熱することで溶融接続される。

[0031] ところが、例えば、一辺が５００μｍ以下に微細化されたチップ（以下、マイクロチップと称する）をフラックスリフローによって実装しようとした

場合、マイクロチップは上記のように自重によってフラックスに沈まず、浮いてしまう。この状態では、マイクロチップ側の半田と、基板側のＵＢＭとの接触がなされず、接続不良が発生し、製造歩留まりが低下する。

[0032] これに対して本実施の形態では、半導体デバイス１０の側面の表面張力を制御した。具体的には、半導体デバイス１０の側面（具体的には、半導体基板１１の側面（面Ｓ３））に凹凸構造として複数の溝１１Ｘを形成した。

[0033] 図１２は、本技術の原理を説明する図である。液体と物体（固体）との界面が動く動的な状態における接触角（動的接触角）は、例えば、Ｗｉｌｈｅｌｍｙ法（プレート法または垂直板法）を用いて測定することができる。液体試料が固体試料Ａの表面に触れると、液体が固体試料Ａに対してぬれ上がる。そのとき、固体試料Ａの周囲に沿って表面張力が働き、固体試料Ａを液中に引き込もうとする。この固体試料Ａを液中に引き込もうとする力（Ｌγｃｏｓθ）は、例えば、下記式（１）のように表される。下記式（１）から、固体試料の周囲長（Ｌ）が大きくなるほど固体試料Ａを液中に引き込もうとする力（Ｌγｃｏｓθ）が大きくなることがわかる。

（数式）Ｆ＝Ｌγｃｏｓθ－Ｓｈρｇ・・・・・・（１）

θ：固体試料と液体試料との接触角

Ｆ：測定力（固体試料にはたらく力）

Ｓ：固体試料の断面積

ｈ：固体試料の浸漬距離

ρ：液体試料の密度

Ｌ：固体試料の周囲長

γ：表面張力

[0034] 以上のように、本実施の形態の半導体デバイス１０では、半導体基板１１の側面（面Ｓ３）に複数の溝１１Ｘを設けるようにしたので、フラックス３３が半導体基板１１の側面（面Ｓ３）に這い上がりやすくなる。これにより、半導体デバイス１０をフラックス３３中に引き込もうとする力が大きくなり、自重による半導体デバイス１０側のバンプ１２と、実装基板２０側の電

極２２との接触が補助される。よって、実装時の接続不良が低減され、製造歩留まりを向上させることが可能となる。

[0035] また、フラックスは、マイクロチップの側面を這い上がることがあるが、例えば、マイクロチップ１０００では、図９に示したように、フラックスが半導体基板１０１１の側面の一部にのみ這い上がったりする。その結果、マイクロチップ１００側の一部の半田と実装基板１０２０上に設けられた配線層１０２１に埋設された一部の電極１０２２との間でのみ溶融接続が起こり、図１０に示したようにマイクロチップ１０００の片側が立ち上がるマンハッタン現象や、図１１に示したようなマイクロチップ１０００の回転ズレ等の接続不良が発生する。

[0036] これに対して本実施の形態では、複数の溝１１Ｘを少なくとも対向する一対の側面、例えば面Ｓ３Ａと面Ｓ３Ｂおよび面３Ｃと面３Ｄにおいて略均一に形成し、より好ましくは、半導体基板１１の側面（面Ｓ３）全体に形成するようにした。これにより、半導体デバイス１０がフラックス３３に、水平に沈み込むようになる。よって、上述したような接続不良が低減され、製造歩留まりをさらに向上させることが可能となる。加えて、接続不良を修復する工程が削減されるようになり、製造コストを低減することが可能となる。

[0037] ＜２．変形例＞

図１３は、本開示の変形例に係る半導体デバイス（半導体デバイス１０）の製造工程の流れを表したものである。半導体デバイス１０を構成する半導体基板１１の側面（面Ｓ３）は、親水性を有していてもよい。その場合、半導体デバイス１０は、例えば次のようにして製造することができる。

[0038] まず、上記実施の形態と同様に、例えば支持基板３１上に、接着層３２を介して複数の半導体デバイス１０が設けられた半導体基板１１Ａを貼り合わせる（ステップＳ２０１）。次に、例えばドライエッチングにより半導体基板１１を分離、個片化する。同時に、半導体基板１１の側面に複数の溝１１Ｘを形成する（ステップＳ２０２）。続いて、個片化された半導体デバイス１０の側面に親水化処理を施す（ステップＳ２０３）。親水化は、例えばプ

ラズマアッシング等で行うことができる。次に、半導体基板１１Ａ上に、例えばめっきによってバンプ１２を形成する（ステップＳ２０４）。側面が親水化処理された半導体デバイス１０が完成する。

[0039] このように、半導体基板１１の側面を親水化処理することにより、実装時にフラックス３３との表面張力が効果的に発生するようになり、半導体デバイス１０側のバンプ１２と、実装基板２０側の電極２２との接続不良をさらに低減することが可能となる。即ち、製造歩留まりをさらに向上させることが可能となる。

[0040] 以上、実施の形態および変形例を挙げて説明したが、本開示内容は上記実施の形態等に限定されるものではなく、種々変形が可能である。例えば、上記実施の形態では、半導体デバイス１０の一具体例として発光デバイス（ＬＥＤチップ）を挙げたが、本開示の半導体デバイスは、例えば、センサデバイスや受光素子等でもよい。また、例えば集積回路（ＩＣ）等が形成されていてもよい。

[0041] なお、本開示は、以下のような構成も可能である。以下の構成の本技術によれば、半導体素子が配設されたパッケージ基板の側面にドライエッチングによって凹凸構造を形成したので、パッケージ基板の側面の表面張力が大きくなる。よって、半導体デバイスと実装基板との自重による接触が補助され、製造歩留まりを向上させることが可能となる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果であってもよい。

（１）

対向する一の面および他の面を有する一辺が５０μｍ以上５００μｍ以下の半導体基板と、

前記他の面に設けられた１または複数のバンプと、

前記半導体基板の側面に形成された凹凸構造と

を備えた半導体デバイス。

（２）

前記凹凸構造は、前記半導体基板の前記側面全体に形成されている、前記（１）に記載の半導体デバイス。

（３）

前記半導体基板は、前記凹凸構造として前記一の面および前記他の面に対して法線方向に延伸する複数の溝を有する、前記（１）または（２）に記載の半導体デバイス。

（４）

前記複数の溝は、少なくとも対向する一対の側面において略均一に形成されている、前記（３）に記載の半導体デバイス。

（５）

前記複数の溝は、前記一の面および前記他の面の水平方向に対して、略半円状、略矩形状、略三角状の断面形状を有する、前記（３）または（４）に記載の半導体デバイス。

（６）

前記半導体基板の前記側面は親水性を有する、前記（１）乃至（５）のうちのいずれかに記載の半導体デバイス。

（７）

前記半導体基板の一辺は８０μｍ以上２００μｍ以下である、前記（１）乃至（６）のうちのいずれかに記載の半導体デバイス。

（８）

対向する一の面および他の面を有する半導体基板と、

前記他の面に設けられた１または複数のバンプと、

前記半導体基板の側面にドライエッチングによって形成された凹凸構造とを備えた半導体デバイス。

（９）

実装基板上に実装された複数の半導体デバイスを備え、

前記半導体デバイスは、

対向する一の面および他の面を有する一辺が５０μｍ以上５００μｍ以下

の半導体基板と、

前記他の面に設けられた１または複数のバンプと、

前記半導体基板の側面に形成された凹凸構造と

を有する半導体装置。

（１０）

前記実装基板上に封止部材をさらに有し、

前記半導体デバイスは、前記封止部材によって封止されている、前記（９）に記載の半導体装置。

（１１）

実装基板上に実装された複数の半導体デバイスを備え、

前記半導体デバイスは、

対向する一の面および他の面を有する半導体基板と、

前記他の面に設けられた１または複数のバンプと、

前記半導体基板の側面にドライエッチングによって形成された凹凸構造と

を有する半導体装置。

[0042] 本出願は、日本国特許庁において２０１９年２月１９日に出願された日本特許出願番号２０１９－０２７４８１号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0043] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

[請求項1] 対向する一の面および他の面を有する一辺が５０μｍ以上５００μｍ以下の半導体基板と、

前記他の面に設けられた１または複数のバンプと、

前記半導体基板の側面に形成された凹凸構造と

を備えた半導体デバイス。

[請求項2] 前記凹凸構造は、前記半導体基板の前記側面全体に形成されている、請求項１に記載の半導体デバイス。

[請求項3] 前記半導体基板は、前記凹凸構造として前記一の面および前記他の面に対して法線方向に延伸する複数の溝を有する、請求項１に記載の半導体デバイス。

[請求項4] 前記複数の溝は、少なくとも対向する一対の側面において略均一に形成されている、請求項３に記載の半導体デバイス。

[請求項5] 前記複数の溝は、前記一の面および前記他の面の水平方向に対して、略半円状、略矩形状、略三角状の断面形状を有する、請求項３に記載の半導体デバイス。

[請求項6] 前記半導体基板の前記側面は親水性を有する、請求項１に記載の半導体デバイス。

[請求項7] 前記半導体基板の一辺は８０μｍ以上２００μｍ以下である、請求項１に記載の半導体デバイス。

[請求項8] 対向する一の面および他の面を有する半導体基板と、

前記他の面に設けられた１または複数のバンプと、

前記半導体基板の側面にドライエッチングによって形成された凹凸構造と

を備えた半導体デバイス。

[請求項9] 実装基板上に実装された複数の半導体デバイスを備え、

前記半導体デバイスは、

対向する一の面および他の面を有する一辺が５０μｍ以上５００μ

ｍ以下の半導体基板と、

前記他の面に設けられた１または複数のバンプと、

前記半導体基板の側面に形成された凹凸構造と

を有する半導体装置。

[請求項10] 前記実装基板上に封止部材をさらに有し、

前記半導体デバイスは、前記封止部材によって封止されている、請求項９に記載の半導体装置。

[請求項11] 実装基板上に実装された複数の半導体デバイスを備え、

前記半導体デバイスは、

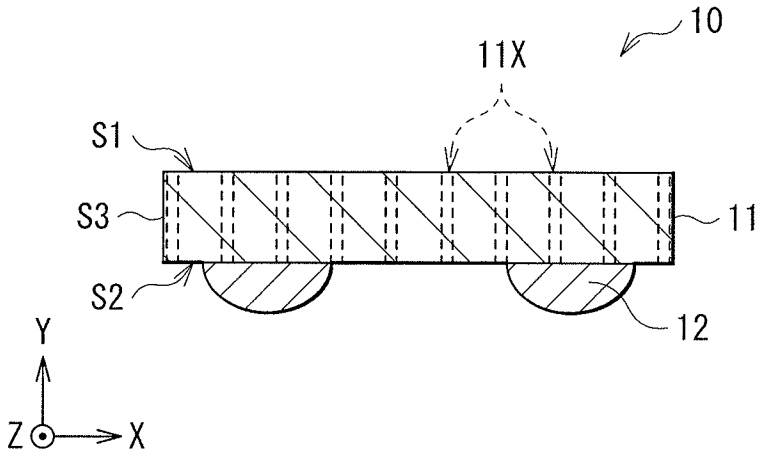
対向する一の面および他の面を有する半導体基板と、

前記他の面に設けられた１または複数のバンプと、

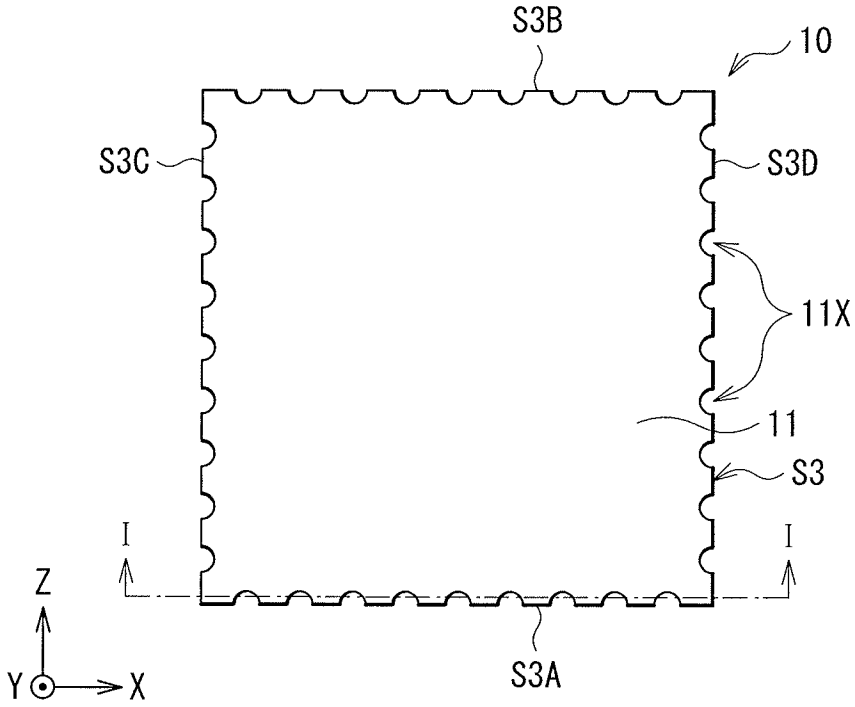
前記半導体基板の側面にドライエッチングによって形成された凹凸構造と

を有する半導体装置。

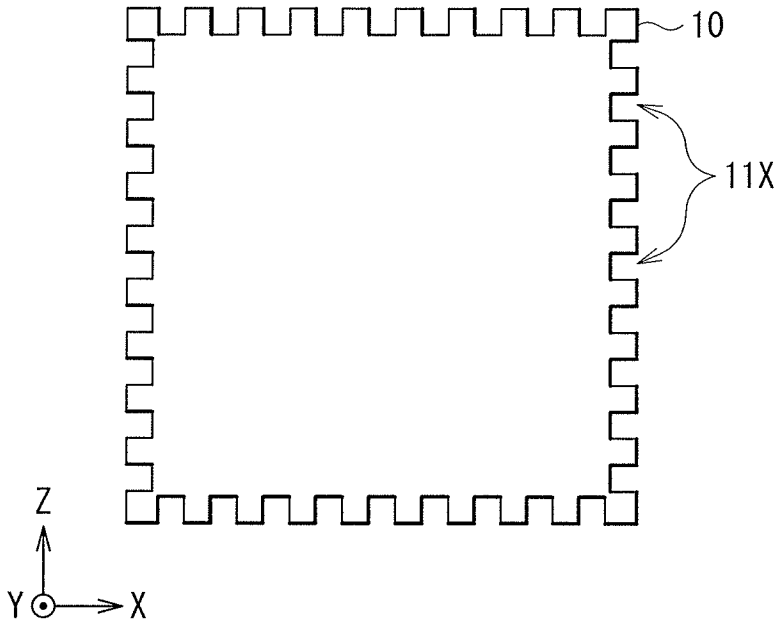
[図1]



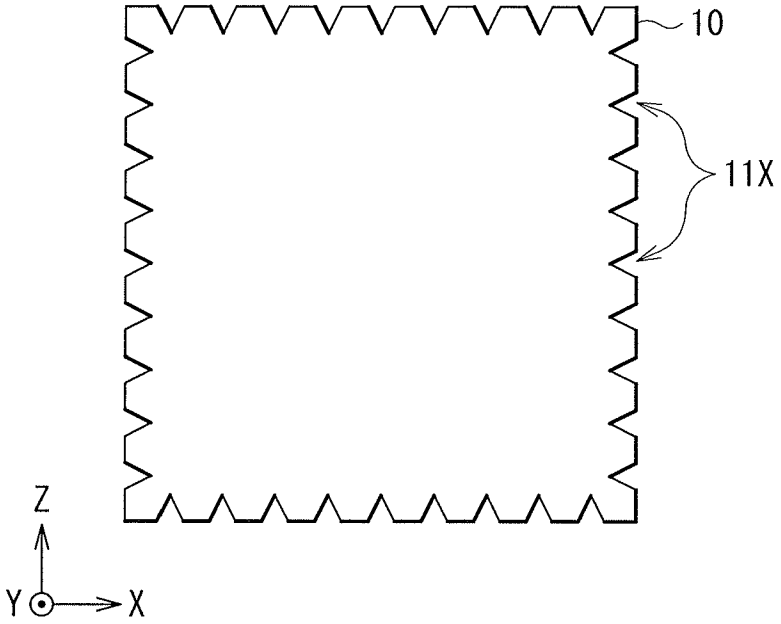
[図2]



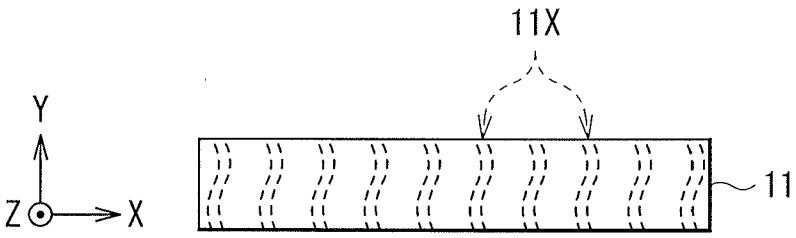
[図3A]



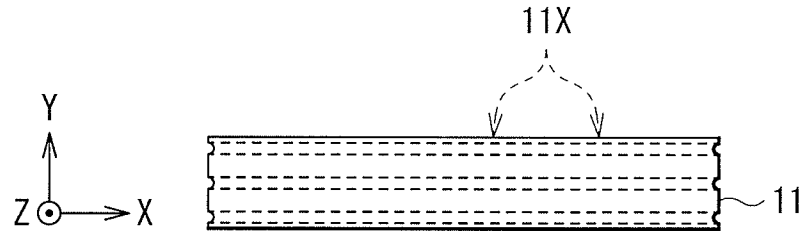
[図3B]



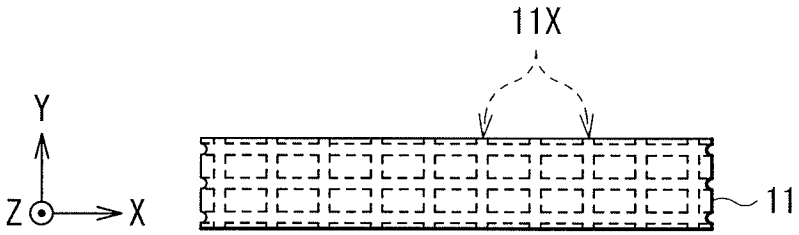
[図3C]



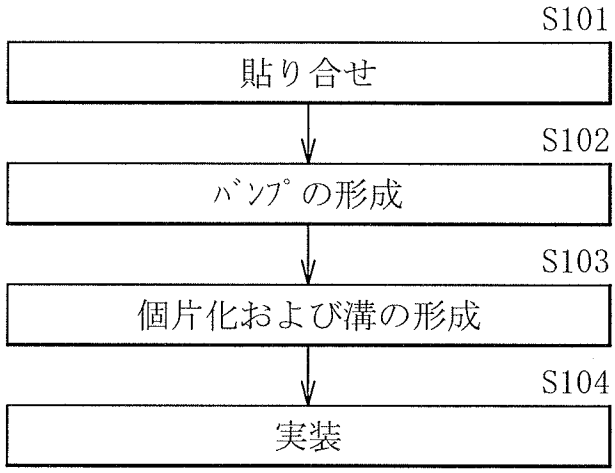
[図3D]



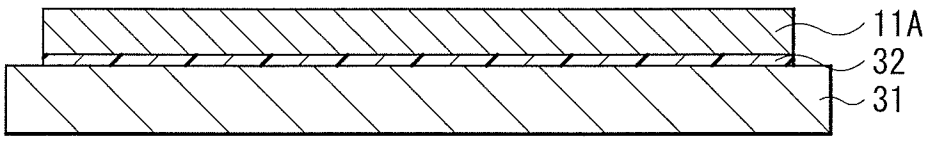
[図3E]



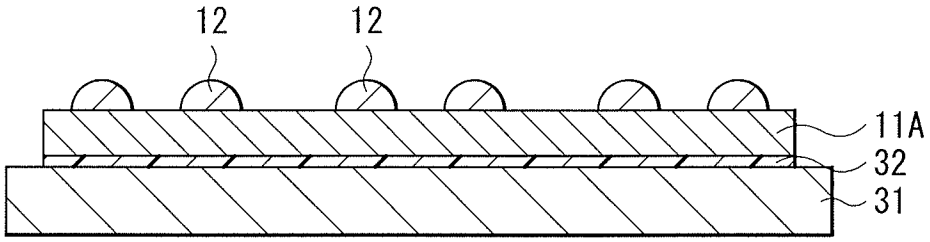
[図4]



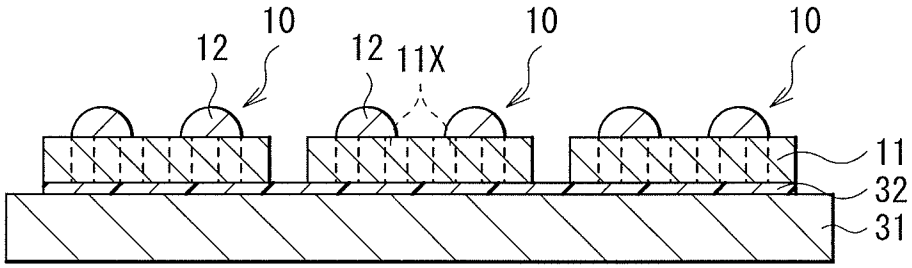
[図5A]



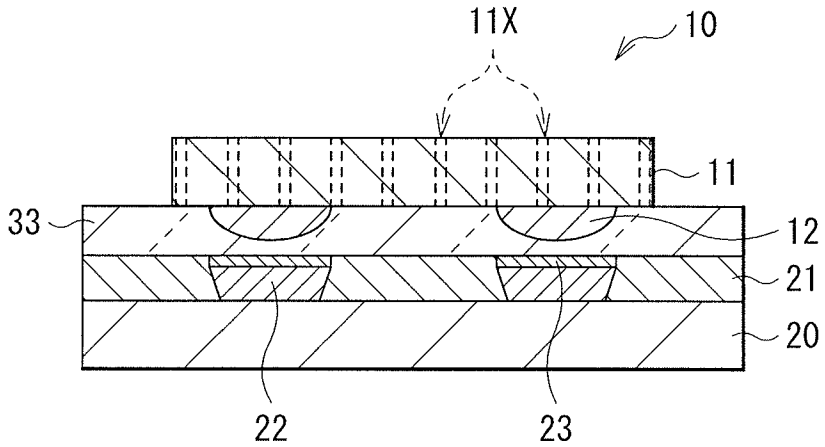
[図5B]



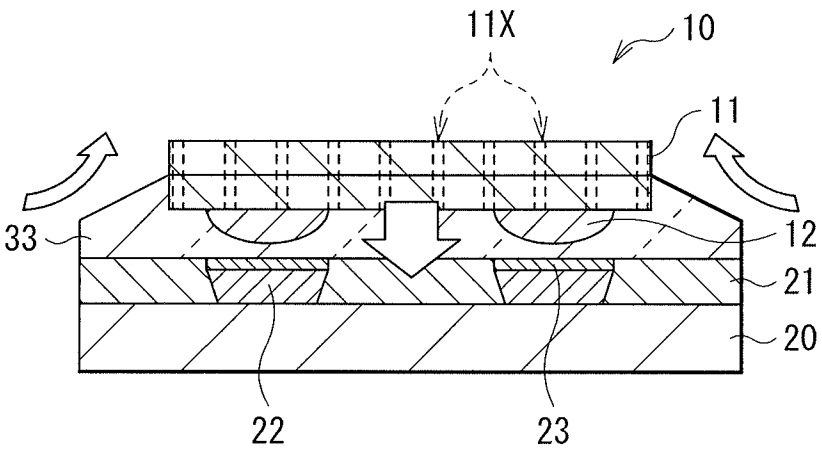
[図5C]



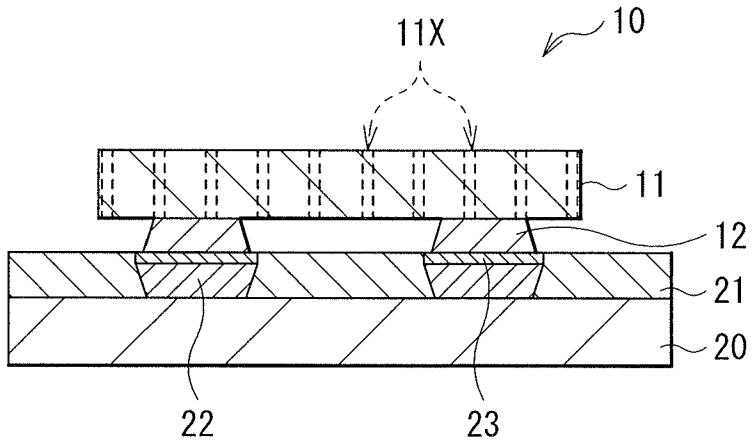
[図5D]



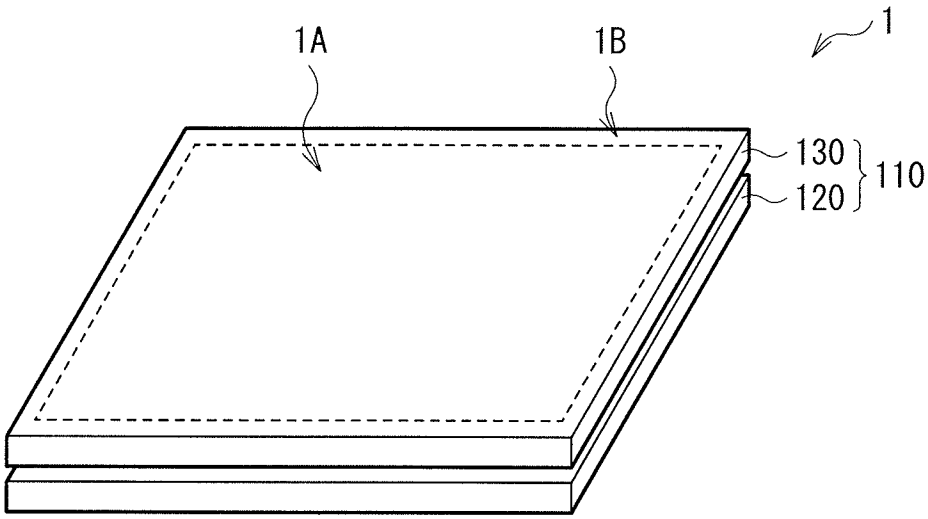
[図5E]



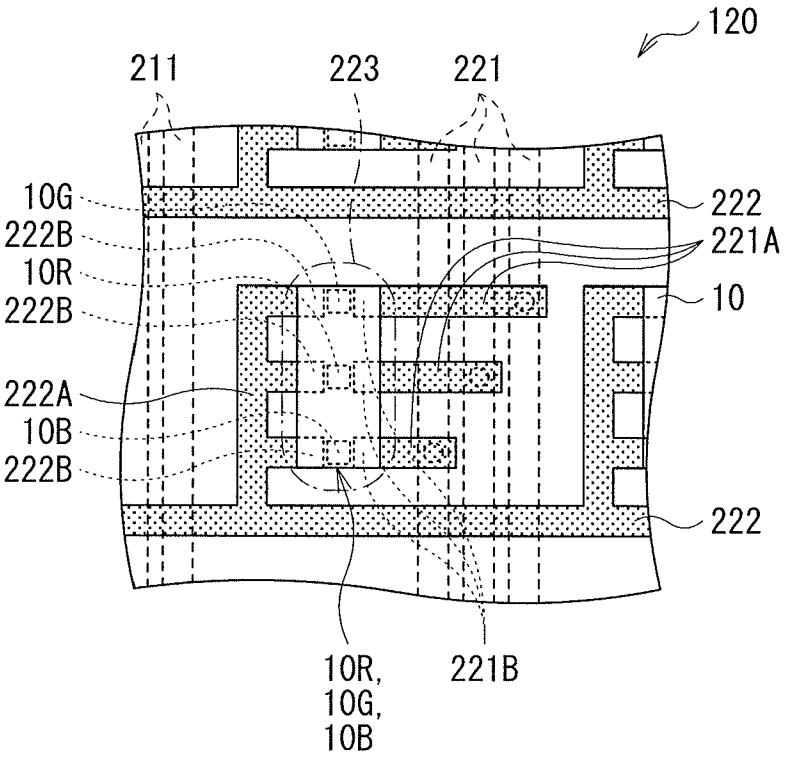
[図5F]



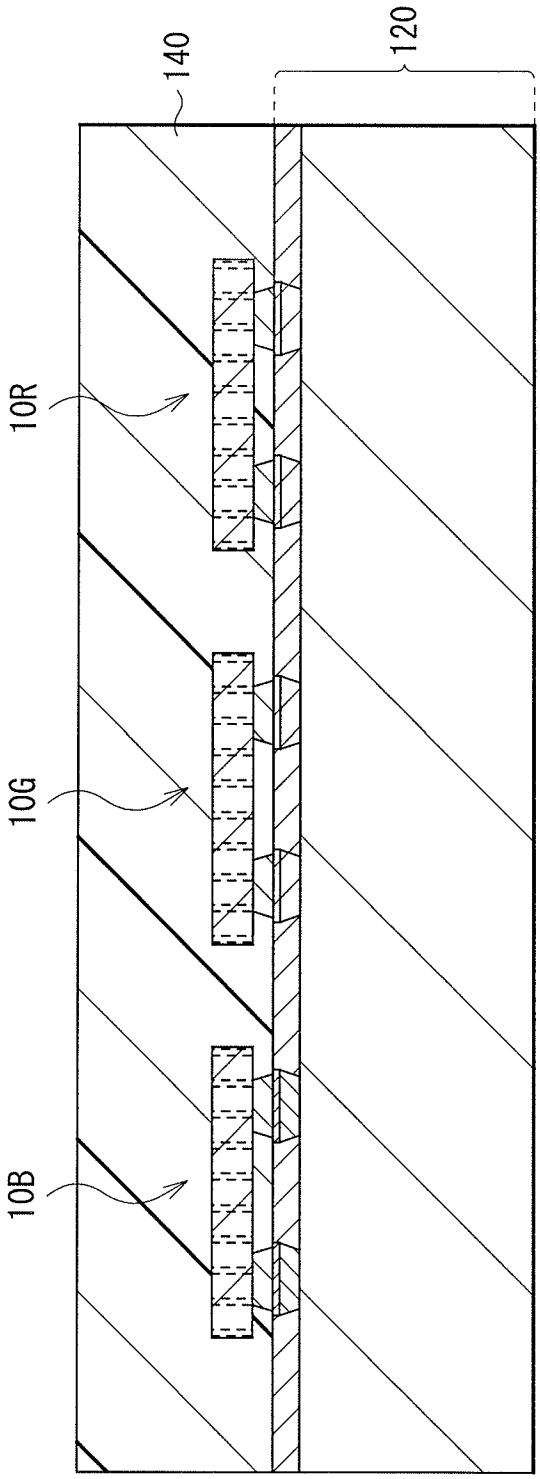
[図6]



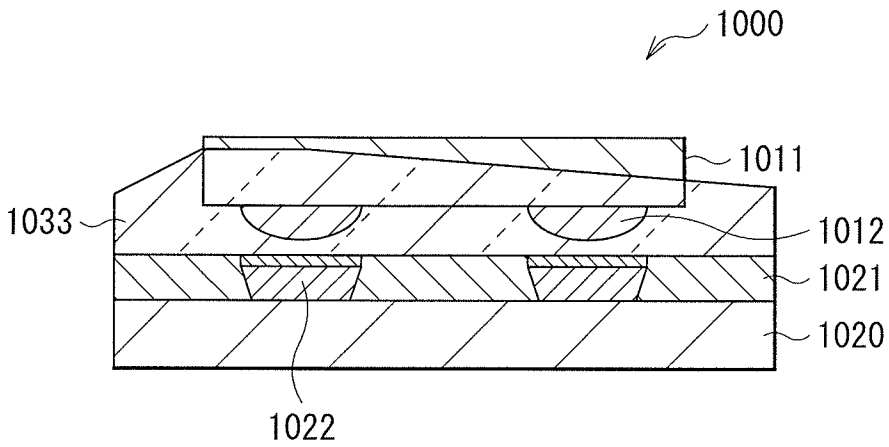
[図7]


120
211
223
221
10G
222B
10R
222B
222A
10B
222B
222
221A
10
222
10R,
10G,
10B
221B

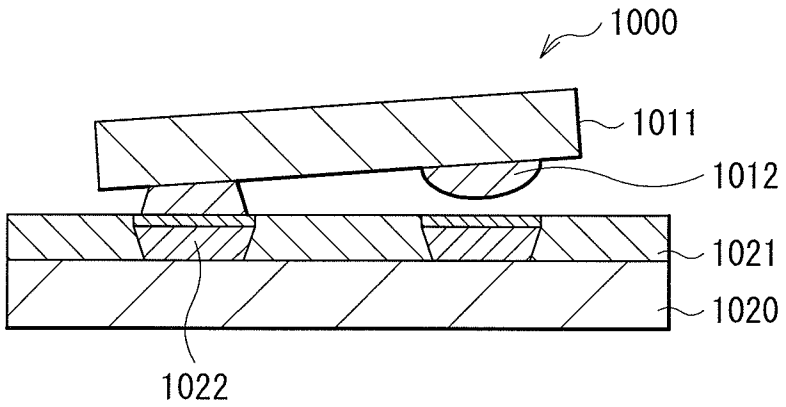
[図8]



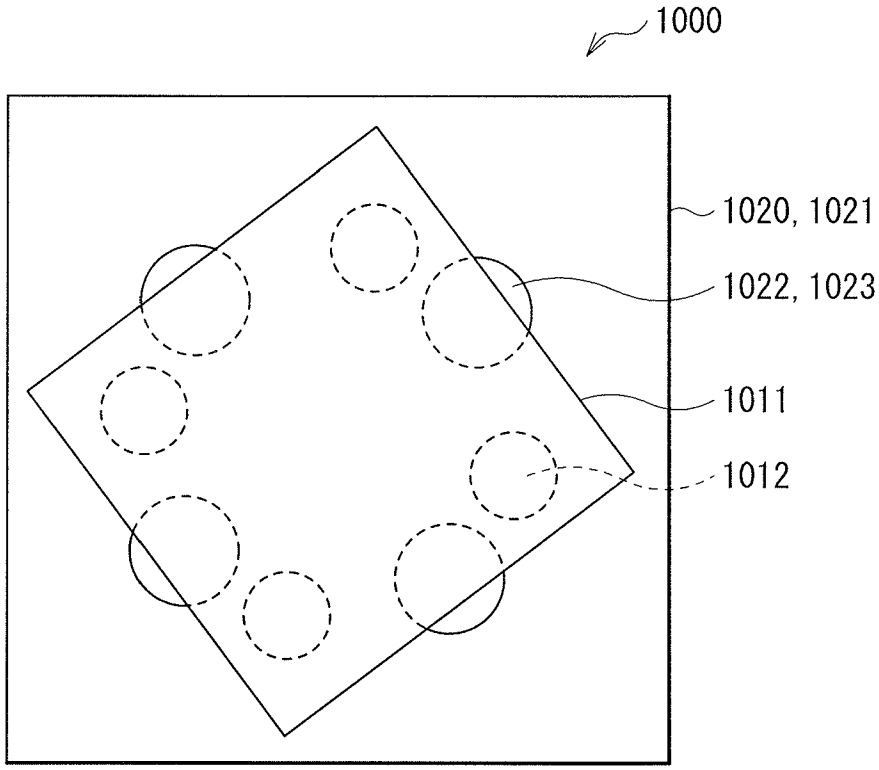
[図9]


1000
1011
1033
1012
1021
1020
1022

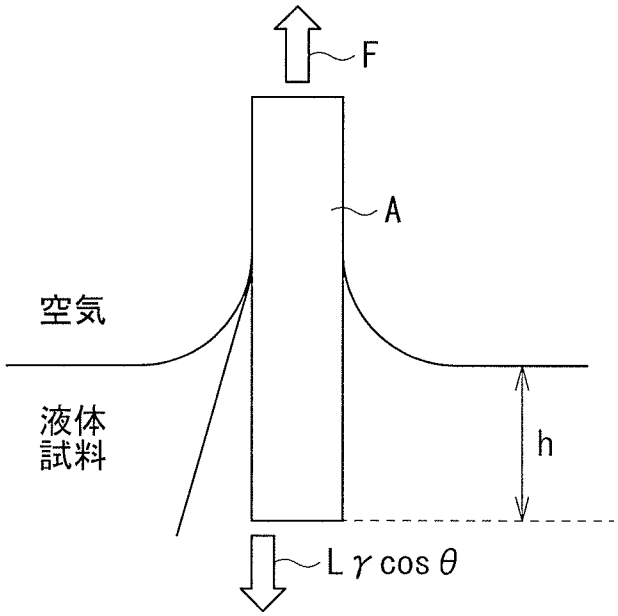
[図10]


1000
1011
1012
1021
1020
1022

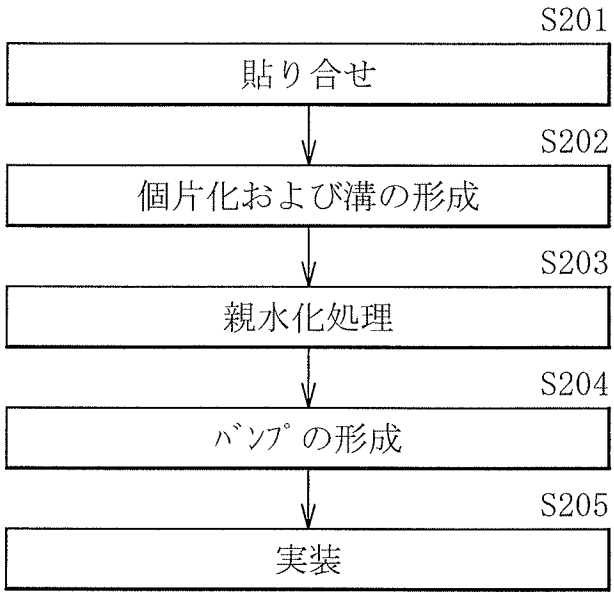
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/004789

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H01L21/56(2006.01)i, H01L21/60(2006.01)i, H01L21/301(2006.01)i
FI: H01L21/60 311S, H01L21/78 S, H01L21/56 R

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H01L21/56, H01L21/60, H01L21/301

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2002-118208 A (RICOH CO., LTD.) 19 April 2002, paragraphs [0013]-[0018], fig. 1-4, paragraphs [0013]-[0018], fig. 1-4	1-5, 7-11 6

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10.03.2020	24.03.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/004789

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2002-118208 A	19.04.2002	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2020/004789

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 21/56(2006.01)i; H01L 21/60(2006.01)i; H01L 21/301(2006.01)i
FI: H01L21/60 311S; H01L21/78 S; H01L21/56 R

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L21/56; H01L21/60; H01L21/301

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2002-118208 A (株式会社リコー) 19.04.2002 (2002-04-19) 段落0013-0018,図1-4	1-5,7-11
A	段落0013-0018,図1-4	6

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
10.03.2020	24.03.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
平野　崇 5F 1164
電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/004789

引用文献	公表日	パテントファミリー文献	公表日
JP 2002-118208 A	19.04.2002	（ファミリーなし）	