

416051

申請日期: 88. 2. 23

案號: 88/02630

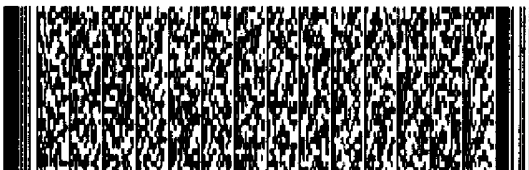
類別: G11C 11/52

(以上各欄由本局填註)

公告本

發明專利說明書

一、 發明名稱	中文	半導體記憶裝置
	英文	SEMICONDUCTOR MEMORY DEVICE
二、 發明人	姓名 (中文)	1. 高田 榮和 2. 田中 嗣彦
	姓名 (英文)	1. HIDEKAZU TAKATA 2. HIDEHIKO TANAKA
	國籍	1. 日本 2. 日本
	住、居所	1. 日本國奈良縣奈良市南紀寺町3-292-3 2. 日本國奈良縣奈良市南京終町1-90-1
三、 申請人	姓名 (名稱) (中文)	1. 日商夏普股份有限公司
	姓名 (名稱) (英文)	1. SHARP KABUSHIKI KAISHA
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國大阪府大阪市阿倍野區長池町22番22號
	代表人 姓名 (中文)	1. 町田 勝彦
	代表人 姓名 (英文)	1. KATSUHIKO MACHIDA



416051

本案已向

國(地區)申請專利

日本 JP

申請日期

1998/02/24 特願平10-041455

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明背景

1. 發明領域：

本發明係關於一種經由利用插置於一電容器之兩相對電極間之一強誘電膜的不同偏極化狀態，用於儲存及保有資訊之非揮發性半導體記憶裝置。

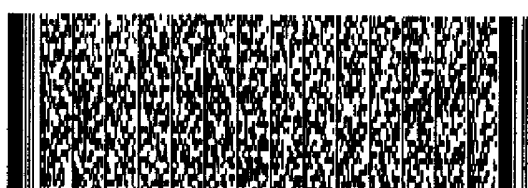
2. 相關技術之說明：

通常，合併強誘電材料及半導體記憶裝置(後文稱為"強誘電記憶裝置")乃非揮發性記憶體，其係基於強誘電材料之極化方向執行資料儲存。圖6簡要顯示習知合併強誘電膜之非揮發性半導體記憶裝置之記憶單位部份(例如參考T. Sumi等，1994年IEEE國際固態電路會議，技術報告文摘268-269頁)。

圖6所述強誘電記憶裝置主要包括複數記憶單位MC設置成列與欄組成的矩陣，此處各記憶單位包括一電容器Cs，其主要係由一張強誘電膜插置於兩相對電極間組成，及一MOS電晶體Qc，其源極或汲極係耦合至電容器Cs之電極之一(後文中，各電容器Cs之另一電極將稱做"板電極"，容後詳述)。

強誘電記憶裝置進一步包括複數字線WL0至WL2m+1提供於記憶單位MC之各列因而耦合至記憶單位MC各列之電晶體Qc的閘極。當於"選定"電平時，字線WL0至WL2m+1使此等記憶單位MC處於"選定"狀態。

強誘電記憶裝置進一步包括複數位元線BL0至BLn及複數位元線/BL0至/BLn提供於記憶單位MC之各欄，因而耦合至



五、發明說明 (2)

記憶單位MC各欄之電晶體 Q_c 的汲極。

強誘電記憶裝置進一步包括複數板線 PL_0 至 PL_m ，故對記憶單位MC之每兩列設置一板線且耦合至對應每兩個電容器 C_s “板電極”。

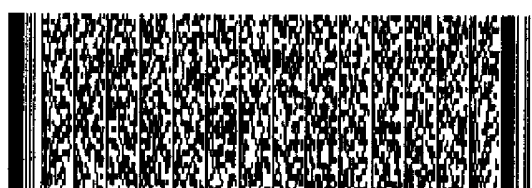
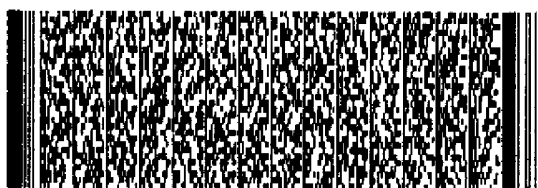
強誘電記憶裝置進一步包括對各字線 WL_0 至 WL_{2m+1} 提供複數MOS電晶體 T_0 至 T_{2m+1} ，故電晶體之閘極係耦合至各字線，源極係耦合至各板線，及汲極係耦合至共通驅動線DL。

最後，強誘電記憶裝置包括一板驅動信號產生電路1用於供給一板驅動信號至驅動線DL。

本說明書中，利用強誘電膜作用儲存資訊之記憶單位將稱做“強誘電記憶單位”。

前述強誘電記憶裝置之讀取作業將參照圖7所示時序圖說明。

於字線(例如 WL_0)升高至“選定”電平(亦即高階)之等待狀態，位元線 BL_0 至 BL_n ，位元線/ BL_0 至/ BL_n ，及驅動線DL處於地電位。當字線 WL_0 升高至高階時，耦合至字線 WL_0 之記憶單位MC變成被選定；同時，電晶體 T_0 變成導通，故板線 PL_0 係耦合至驅動線DL。然後，板驅動信號移位至板驅動電壓 V_{p1} ，故板驅動電壓 V_{p1} 供給板線 PL_0 。結果，儲存於記憶單位MC之資訊可讀取於位元線 BL_0 至 BL_n 上。參考單位(圖中未顯示)係選擇性耦合至位元線/ BL_0 至/ BL_n (其係與位元線 BL_0 至 BL_n 互補)，因而將位元線/ BL_0 至/ BL_n 置於參考電壓。參考電壓規定(如可方便地經由調整參考單



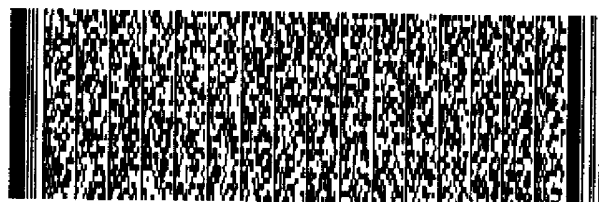
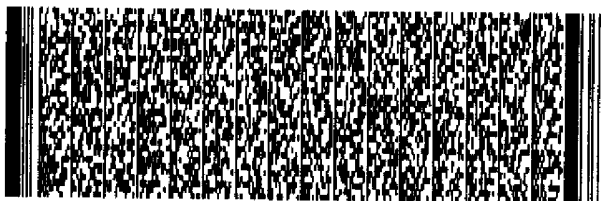
五、發明說明 (3)

位之電容器尺寸達成)為介於各別位元線電位間對定待儲存於指定記憶單位MC之“1”與“0”間之一中間電位。儲存於各被選定的記憶單位之資訊可被讀取，因而變成經由放大位元線BL0至BLn之對應者與互補位元線/ $\overline{\text{BL0}}$ 至/ $\overline{\text{BLn}}$ 間之差壓而可由外界利用。隨後，板驅動信號移位至地電位，而將板線PL0置於地電位，結果先前儲存於該選定記憶單位資訊被改寫於其上。

根據圖6所示習知強誘電記憶裝置，任何資訊係經由感應各記憶單位MC之電容器Cs之強誘電膜的正或負極化而被儲存；及如此被儲存之任何資訊係經由檢測感應之極化狀態而被讀取。但，因如此需要供給預定電位 V_{pl} 之前述板線，不僅讀取其儲存資訊之該記憶單位，同時同一列或欄的其它記憶單位也被驅動。又，合併於電容器Cs之強誘電材料可升壓電容至高達大於典型用於尋常DRAM之值。

此外，板線典型係由貴金屬如Au，Pt及Ru製成用於匹配強誘電材料。由於貴金屬加工性問題，故難以由此等貴金屬形成相對厚膜，為了縮小裝置尺寸與提高裝置的安裝密度，不希望採用寬布線引線。因此，板線無可避免的被設置成具有相對高電阻值，結果導致大時間常數。如此又導致需要相對長時間來驅動板線，因而妨礙裝置的高速作業。此外，板線之充放電不利地增加裝置之電力消耗。

要言之，前述習知強誘電記憶裝置可能出現下列問題，其中每次進行存取，板線需被驅動至預定電位：驅動板線需相對長時間，難以達成高速作業，及因板線之充放電促



五、發明說明 (4)

成電力消耗增加。

發明概述

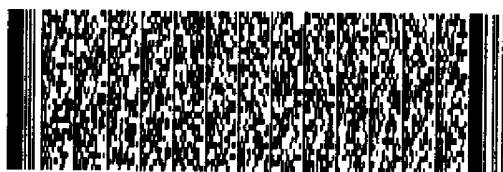
一種根據本發明之半導體記憶裝置包括：複數字線；複數驅動線；一字線驅動段用於根據一列位址驅動複數字線之一；一欄選擇段用於根據一欄位址，選擇耦合至該被激勵的字線之複數強誘電記憶單位之一；一板驅動信號施加段用於施加一板驅動信號至該等複數驅動線中之至少一條選定驅動線，該至少一選定驅動線係結合該被激勵之字線；及一開關段用於耦聯或脫離該等複數強誘電記憶單位與該至少一選定驅動線。欄選擇段控制開關段，故僅被選定之強誘電記憶單位係耦合至該至少一選定驅動線。

本發明之一具體例中，開關段耦合或脫離複數強誘電記憶單位至該相對於各該複數字線之至少一選定驅動線。

本發明之另一具體例中，各該複數驅動線係關聯複數字線中之多於一字線，板驅動信號施加段施加板驅動信號至關聯任一被激勵字線之驅動線。

本發明之又另一具體例中，各該複數驅動線係關聯複數字線之一，該板驅動信號施加段施加板驅動信號至關聯該被激勵字線之驅動線。

本發明之又另一具體例中，各該複數強誘電記憶單位包括至少一電容器具有二電極及至少一電晶體，該電容器之二電極分別耦合至該至少一電晶體之源極及汲極之一，及耦合至開關段，該至少一電晶體之閘極係耦合至複數字線之一。

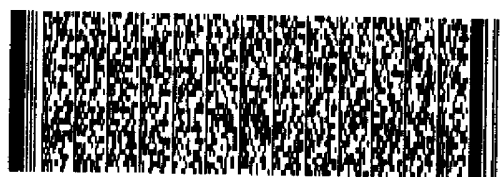
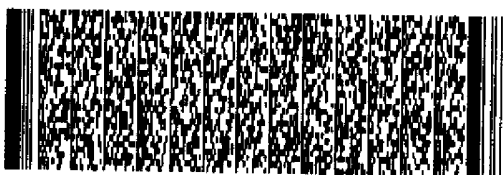


五、發明說明 (5)

另外，根據本發明之一半導體記憶裝置包括：複數字線；複數驅動線；一字線驅動段用於根據一系列位址驅動複數字線之一；一欄選擇段用於根據一欄位址，選擇耦合至該被激勵的字線之複數強誘電記憶單位之一；一板驅動信號施加段用於施加板驅動信號至關聯該被激勵字線之複數驅動線之一，各該複數驅動線係關聯複數字線之一，其中該欄選擇段僅耦合被選定之強誘電記憶單位至複數驅動線之一。

本發明之一具體例中，各該複數強誘電記憶單位包括一第一電晶體，一第二電晶體，及至少一電容器具有二電極，該電容器之二電極係分別耦合至第一電晶體之源極及汲極之一及耦合至第二電晶體之源極及汲極之一，該第一電晶體之閘極係耦合至複數字線之一，該第二電晶體之源極及汲極之另一者係耦合至關聯該複數字線之一至該複數驅動線之一，及該第二電晶體之閘極係耦合至欄選擇段，及其中該欄選擇段控制第二電晶體因而僅耦合被選定的強誘電記憶單位之該等複數驅動線之一。

另外，根據本發明之一種半導體記憶裝置包括：複數字線；一字線驅動段用於根據一系列位址激勵複數字線至至少一字線；一欄選擇段用於根據一欄位址，選擇耦合至該至少一被激勵的字線之複數強誘電記憶單位之一；一板驅動信號施加段用於施加板驅動信號至耦合至複數強誘電記憶單位之複數驅動線；及一開關段用於耦合或脫離複數強誘電記憶單位至該等複數驅動線之至少一者，其中各該複數



五、發明說明 (6)

強誘電記憶單位包括一第一電晶體，一第二電晶體，及至少一電容器具有二電極，該電容器之二電極之一係耦合至第一電晶體之源極及汲極之一，該電容器之二電極之另一者係耦合至第二電極之源極及汲極之一，第一電晶體之閘極係耦合至複數字線之一，第二電晶體之源極及汲極之另一者係耦合至複數驅動線之一，及第二電晶體之閘極係耦合至欄選擇段，及其中該欄選擇段控制開關段，因此僅有被選定之強誘電記憶單位係耦合至複數驅動線之一。

如此，此處所述發明可獲得半導體記憶裝置達到高速作業與低功率消耗二者之優點變成可能。

此種及其它本發明之優點對業界人士經由參照附圖研讀與了解後文詳細說明將顯然易知。

圖式之簡單說明

圖1為電路圖示例說明根據本發明之實例1之記憶裝置。

圖2A及2B為多種信號之時序圖用於示例說明圖1所示根據本發明實例1之記憶裝置之操作。

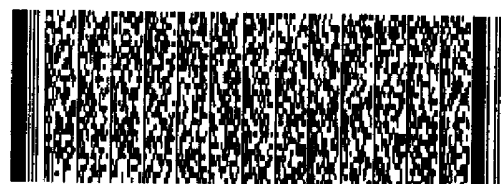
圖3A至3C為電路圖各自示例說明如圖1所示根據本發明之記憶裝置之修改。

圖4為電路圖示例說明根據本發明之實例2之記憶裝置。

圖5為多種信號之時序圖用於示例說明圖4所示根據本發明之實例2之記憶裝置之操作。

圖6為電路圖示例說明習知強誘電記憶裝置之一例。

圖7為多個信號之時序圖用於示例說明圖6所述習知強誘電記憶裝置之操作。



五、發明說明 (7)

圖8為線圖顯示強誘電記憶單位相對於施加電場及極化之磁滯特性。

較佳具體例之說明

後文將利用實例參照附圖說明本發明。

(實例1)

圖1為電路圖示例說明根據本發明之實例1之記憶裝置。

本說明書中，字線被稱做“關聯”驅動線係於耦合至一記憶單位之字線，也透過電晶體耦合至驅動線的情況。同理，當字線被激勵時，若板驅動信號係施加至驅動線，則該字線被稱做“關聯”驅動線。

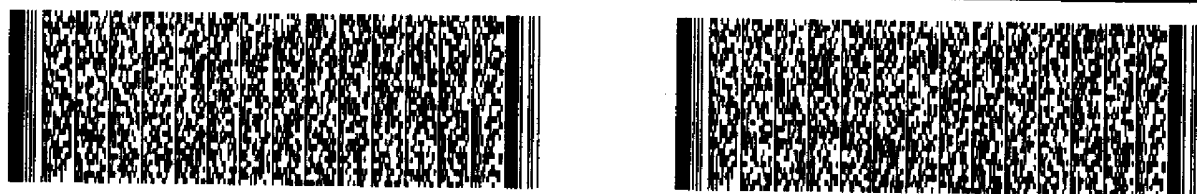
本實例之記憶裝置包括複數記憶單位MC排列成列與欄組成之一矩陣，此處各記憶單位MC包括一電容器Cs主要係由一強誘電膜插置於兩相對電極間組成，及一MOS電晶體 Q_c ，其源極或汲極係耦合至電容器Cs之二電極之一。

強誘電記憶裝置進一步包括對記憶單位MC之各列提供之特殊字線 WL_0 至 WL_{2m+1} ，故待耦合至記憶單位MC各列之電晶體 Q_c 閘極用於選擇一系列或多列記憶單位MC。

強誘電記憶裝置進一步包括對記憶單位MC各欄提供之複數位元線 BL_0 至 BL_n 及複數位元線/ BL_0 至/ BL_n ，因而耦合至記憶單位MC各欄之電晶體 Q_c 之源極或汲極。

強誘電記憶裝置進一步包括複數驅動線 DL_0 至 DL_m ，故對每兩列記憶單位MC設置一驅動線。

驅動線DL可由多晶矽引線或尋常金屬引線(例如鋁引線)製成。



五、發明說明 (8)

強誘電記憶裝置進一步包括對各字線WL0至WL $2m+1$ 提供複數MOS電晶體T0至T $2m+1$ ，使其閘極耦合至各字線，其源極耦合至各驅動線，及其汲極耦合至主驅動線MDL。

強誘電記憶裝置進一步包括一板驅動信號產生電路1用於攻擊板驅動信號至主驅動線MDL。

前述配置中，驅動線係用於透過MOS電晶體T0至T $2m+1$ 施加電壓至對應電容器，因而致能由記憶單位MC之讀或寫資訊。

記憶裝置進一步包括：複數板線PL(0, 0)至PL(m, n)；複數MOS電晶體Q(0, 0)至Q(m, n)，而其源極係耦合至各別對應板線PL(0, 0)至PL(m, n)，其汲極係耦合至各別對應驅動線DL0至DL m ，及其閘極係耦合至列選擇性CD0至CD n ；位址緩衝器2用於接收外部供給之位址信號；列解碼器3及欄解碼器4用於接收來自位址緩衝器2之輸出；字線驅動電路5用於接收由列解碼器3輸出的位址解碼信號，及驅動字線之一或多者；及欄選擇電路6用於接收由欄解碼器4輸出之位址解碼信號，且產生欄選擇信號CD0至CD n 。

相對於各欄，於毗鄰二列之記憶體單位MC之電容器Cs之另一電極(亦即未耦合至MOS電晶體Qc之電極)係彼此耦合或耦合至一共通節點，及板線PL(0, 0)至PL(m, n)。

雖然本實例中，對每兩列記憶單位MC提供一驅動線，但本發明非僅囿限於此。另外，可對每列記憶單位MC提供一驅動線，因而進一步提升驅動線之反應速度。

圖3A至3C為電路圖示例說明如圖1所示根據實例1之記憶



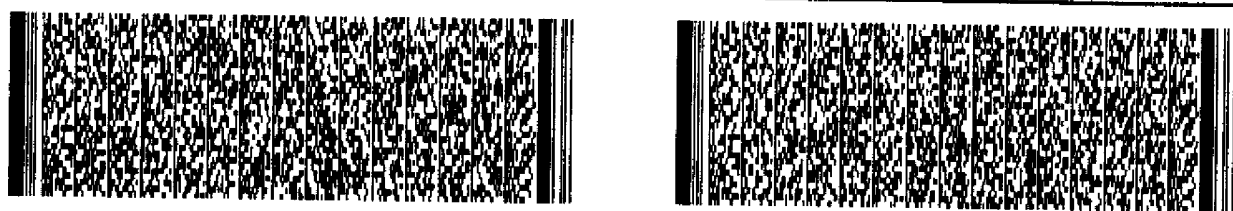
五、發明說明 (9)

裝置之修改，此處各記憶單位板之板電極係沿列與欄兩方向分開（亦即未彼此耦合或耦合至一共通節點），對每列設置一驅動線。雖然後文說明主要係有關圖1示例說明之配置，但需注意該說明也同等適用於圖3A至3C所示配置，但有前述差異。

另外，也可對更多列設置一驅動線（例如對每4或8列提供一驅動線），藉此縮小此種布線所需面積。如圖3B所示，於對多於一列設置一驅動線之例，可設置複數MOS電晶體 T 其各自對應於一驅動線（與對每一字線設置一電晶體 $(T_0 \text{ 至 } T_{2m+1})$ 相反），故其源極分別耦合至對應驅動線 DL ，其汲極耦合至主驅動線 MDL ，及其閘極接收分別對應於一或多列（例如字線 $WL_0, WL_1, \dots$ 等）之列解碼信號，邏輯OR。

圖3C顯示如圖3A示例說明之根據本發明之裝置之另一實例。圖3C所示記憶裝置及操作同圖3A所示記憶裝置。於結構上，圖3C之記憶裝置與圖3A之記憶裝置的差異在於圖3A示例說明之電晶體 $Q(i, j)$ （此處 i 及 j 為整數而 $0 \leq i \leq 2m+1, 0 \leq j \leq n$ ），其開關係由欄選擇電路6控制，電晶體 $Q(i, j)$ 係設置於各別記憶單位 MC 內部。圖3C所示電晶體 Q 表示設置於各記憶單位 MC 內部之此種電晶體。經由採用高度積體記憶單位，變成可提升整個記憶裝置之積體密度，或縮小晶片上電路面積。

實例中，毗鄰設置於沿列方向之多於一個記憶單位之板電極係彼此耦合或耦合至一共通節點。此外，沿欄方向毗



五、發明說明 (10)

鄰設置之多於一個記憶單位之板電極也可彼此耦合或耦合至一共通節點，故共通板線 $PL(0, 0)$ 至 $PL(m, n)$ 可響應欄選擇信號 $CD0$ 至 CDn 而耦合至其對應驅動線 $DL0$ 至 DLm 。此種情況下，可對記憶單位之複數列(或一系列)設置一電晶體 Q ，及對記憶單位之複數欄設置一電晶體 Q 。對多於一系列提供之任何數目的電晶體的閘極可沿欄方向彼此耦合因而形成一共通欄選擇線。欄選擇電路可配置成當對一或多欄中任一者的解碼信號由欄解碼器4輸出時，一“選定”位階將輸出至共通欄選擇線。

記憶裝置所需電晶體 $Q(0, 0)$ 至 $Q(m, n)$ 減少，原因為較多列及/或較多欄耦合至一共通板線。但，本例配置，其中記憶單位之板線未彼此耦合或沿欄方向耦合至一共通節點，將提供各板線之更高回應。

後文，圖1所示記憶裝置之操作將參照圖2A示例說明各種信號之時序圖加以說明。

於字線(例如 $WL1$)升高至“選定”位階(亦即高階)前之等候狀態，位元線 $BL0$ 至 BLn ，位元線/ $BL0$ 至/ BLn ，及主驅動線 MDL 係位於地電位。

輸出至位址緩衝器2之外部位址信號送至列解碼器3及欄解碼器4。列解碼器3由外部位址信號解碼一系列位址；欄解碼器4由外部位址信號解碼一欄位址。字線驅動電路5於對應已經由列解碼器3解碼列位址之位址，激勵字線 $WL0$ 至 $WL2m+1$ 之至少一線，而欄選擇電路6於對應已經由欄解碼器4解碼的欄位址之一位址，激勵至少一條欄選擇性 $CD0$ 至



五、發明說明 (11)

CD_n。此處，“激勵”一詞表示因選定線被供給“選定”位階信號。列解碼器3及字線驅動電路5可合稱“字線驅動段”，而欄解碼器4及欄選擇電路6可合稱“欄選擇段”。

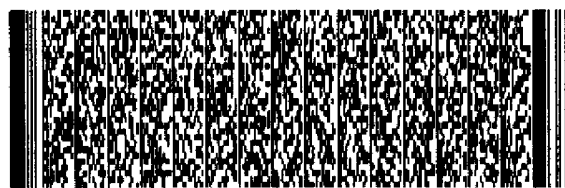
當一字線(例如WL₁)移位至“選定”位階時，耦合該字線WL₁之記憶單位MC的電晶體變成導通；同時電晶體T₁(耦合至字線WL₁)變成導通，故板線驅動電壓V_{p1}供給對應驅動線DL₀。隨後，當欄選擇性(例如CD_j)響應來自欄解碼器4之一輸出而移位至“選定”位階時，於第j欄電晶體Q(0, j)至Q(m, j)變成導通，故驅動線DL₀之電壓V_{p1}供給板線之一，亦即板線PL(0, j)。

如前述，各電晶體之功能係做為開關，其依據耦合至其閘極的線上信號位階而開關。本說明書中，板驅動信號產生電路1，電晶體T₀至T_{2m+1}，及互連主驅動線MDL合稱“板驅動信號施加段”。

結果，儲存於第一列及第j欄的記憶單位MC之資訊於位元線/BL_j被讀取。

前述操作將參照圖8所述磁滯特徵說明。當電晶體Q_c處於動態時，藉由施加負電場-E_{max}藉於位元線/BL_j與板線PL間，等於P_{max}+P_r之電荷將由儲存資料“1”之記憶單位(對應磁滯曲線之點c)被讀取至位元線/BL_j上，及等於P_{max}-P_r之電荷將由儲存資料“0”之記憶單位(對應磁滯曲線之點a)被讀取至位元線/BL_j。

參考單位(圖中未顯示)選擇性耦合至位元線BL_j(與位元線/BL_j互補)，因而將位元線BL_j置於參考電壓。



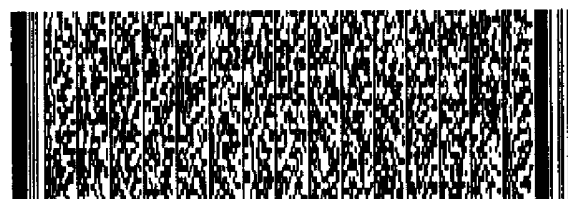
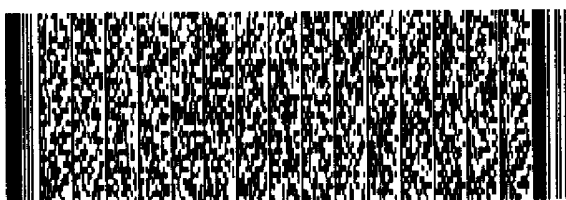
五、發明說明 (12)

儲存於各選定記憶單位之資訊可被讀取，且經由放大位元線 BL_j 與 $\overline{BL}_j$ 互補對間之差壓，變成可由外側存取。隨後，主驅動信號MDL移位至地電位，而欄選擇線 CD_j 保持“選定”位階，藉此板線 $p1(0, j)$ 被置於地電位。結果，先前儲存於選定記憶單位及資訊被改寫至其上。

根據圖2A所示信號時序方案，響應單一主驅動信號脈波適例說明進行一讀取作業及一改寫作業。另外，可採用圖2b所示信號時序方案，此處響應第一主驅動信號脈波進行讀取作業，及響應第二主驅動信號脈波進行改寫作業，二作業進行時字線係維持於“選定”位階。如此，允許改寫作業又更牢靠進行。

現在，回頭參照圖8簡短說明為何需要改寫作業的理由。根據前述讀取作業，於點c(圖8)之極化態響應施加電場 $-E_{max}$ 移位至於點a(圖8)之極化態，換言之，點c之極化態已經被讀取作業摧毀。因此，需要改寫操作來獲得已經經由此種破壞性讀取改變的資料。此處，改寫作業定義為一種於讀取作業後進行的作業，用於回復讀取作業前存在但由於讀取作業已經被改變的極化態。改寫作業可藉由施加正電場 E_{max} 至強誘電膜完成，因此使點a之極化態移位至點c之極化態。

根據前述操作，於未選定列(亦即第一列以外各列)之記憶單位MC的電容器Cs藉由開關電晶體 Q_c 而由位元線脫離，故無論電壓 V_{p1} 是否施加至板線PL，跨越電容器Cs之兩相對電極間之電壓不會改變。如此，可防止此種記憶單位MC



五、發明說明 (13)

之極化資訊受破壞。

此外，於耦合至選定字線WL1及非選定欄選擇線之該等記憶單位MC中，板線PL係處於浮動態，故跨越該等電容器Cs之兩相對電極間之電壓不會改變。如此，也可防止此種記憶單位MC之極化資訊受破壞。

根據本實例，唯一板線(亦即前述實例之PL(0, j))於一次存取作業期間需要藉板驅動信號產生電路同時驅動。結果，變成透過一次存取操作可存取至少一個記憶單位。因唯二電容器之板電極係耦合至各板線PL，故板線PL具有相對小電容值之電阻值。如此，驅動板線所需時間縮短，藉此可實現高速作業於低功率消耗。

(實例2)

後文將參照附圖說明本發明之實例2。

圖4為電路圖示例說明根據本發明之實例2之記憶裝置。

根據本實例之記憶裝置包括複數記憶單位MC設置成由列及欄組成之一矩陣，此處各記憶單位MC包括一電容器Cs主要係由一強誘電膜插置於兩相對電極間組成，一電晶體Qa其源極或汲極係耦合至電容器Cs電極之一，及一電晶體Qd其源極或汲極係耦合至電容器Cs之另一電極(亦即“板電極”)。

強誘電記憶裝置進一步包括對記憶單位MC各列提供複數字線WL0至WLm，因而將被耦合至各列記憶單位MC之電晶體Qa之閘極用於選擇一或多列記憶單位MC。

強誘電記憶裝置進一步包括對各欄記憶單位MC提供複數



五、發明說明 (14)

位元線BL0至BLn及複數位元線/BL0至/BLn，因而耦合至各列記憶單位MC之電晶體Qa的汲極或源極。

至於各欄，記憶單位之電晶體Qd之汲極或源極係耦合至一共通驅動線DL，及電晶體Qd之閘極係耦合至欄選擇線CD0至CDn。

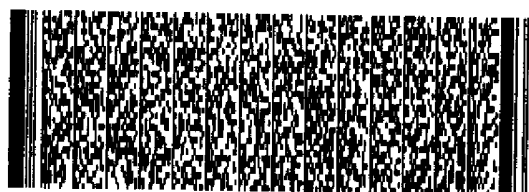
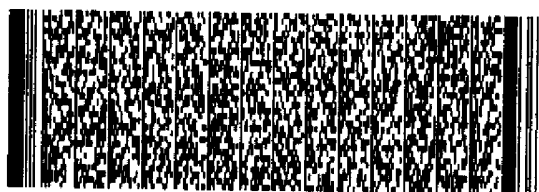
記憶裝置進一步包括：一位址緩衝器2用於接受外部供給位址信號；一列解碼器3及一欄解碼器4用於接收來自位址緩衝器2的輸出；一字線驅動電路5用於接收由列解碼器3輸出的位址解碼信號及驅動字線；一欄選擇電路6用於接收由欄解碼器4輸出之位址解碼信號且產生欄選擇信號CD0至CDn；及一板驅動信號產生電路1及其耦合至共通驅動線DL。

此處，於第i列及第j欄的記憶單位之電容器Cs之板電極節點將標示為PL(i, j)。

後文將參照圖5示例說明多個信號之時序圖敘述圖4所示記憶體裝置操作。

於字線升高至“選定”位階(亦即高階)前之等候狀態，位元線BL0至BLn，位元線/BL0至/BLn，及共通驅動線DL係處於地電位。

輸入至位址緩衝器2之外部位址信號送至列解碼器3及欄解碼器4。列解碼器3由外部位址信號解碼一系列位址；欄解碼器4由外部位址信號解碼一欄位址。字線驅動電路5於對應於已經由列解碼器3解碼的列位址之位址，激勵至少一字線WL0至WLn；而欄選擇電路6於對應已經由欄解碼器4解



五、發明說明 (15)

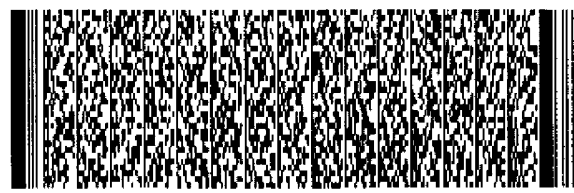
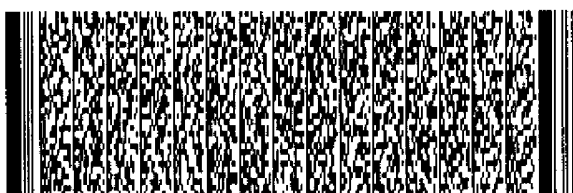
碼的欄位址之位址，激勵至少一欄選擇性 CD_0 至 CD_n 。列解碼器3及字線驅動電路5合稱“字線驅動段”，而欄解碼器4及欄選擇電路6合稱“欄選擇段”。

當一字線(例如 WL_1)移位至“選定”位階時，耦合至字線 WL_1 之記憶單位MC之電晶體 Q_a 變成導通。其次，由板驅動信號產生電路1輸出的板線驅動電壓 V_{p1} 供給共通驅動線DL。隨後，當欄選擇線(例如 CD_j)響應來自欄解碼器4之輸出信號而移位至“選定”位階時，於第j欄之電晶體 Q_d 變成導通，故於共通驅動線DL之電壓 V_{p1} 供給第j欄之板線，亦即板線 $PL(0, j)$ ， $PL(1, j)$ ，...及 $PL(m, j)$ 。

結果，儲存於第一列及第j欄的記憶單位MC之資訊被讀取於位元線/ BL_j 。

前述作業將參照圖8所示磁滯特徵說明其進一步細節。當電晶體 Q_a 處於ON態時，藉由施加負電場 $-E_{max}$ 介於位元線/ BL_j 與板線 $PL(i, j)$ 間，等於 $P_{max} + P_r$ 之電荷將由儲存資料“1”之記憶單位(對應磁滯曲線之點c)被讀取於位元線/ BL_j ，而等於 $P_{max} - P_r$ 之電荷將由儲存資料“0”之記憶單位(對應磁滯曲線之點a)被讀取於位元線/ BL_j 。

參考單位(圖中未顯示)係選擇性耦合至位元線 BL_j (該線與位元線/ BL_j 互補)因而將位元線 BL_j 置於參考電壓位階。儲存於各選定記憶單位之資訊可被讀取，及經由擴大互補層對位元線 BL_j 與/ BL_j 間之差壓變成可由外部存取。隨後，驅動信號DL移位至地電位，同時欄選擇線 CD_j 保持於“選定”位階，藉此板線 $PL(0, j)$ ， $PL(1, j)$ ，...及



五、發明說明 (16)

PL(m, j)被置於地電位。結果，先前儲存於選定記憶單位之資訊被改寫至其上。

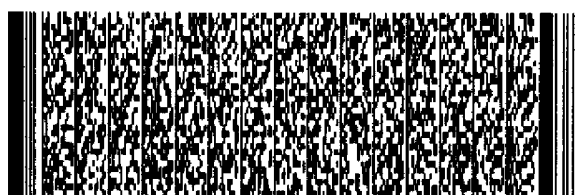
根據前述作業，於非選定列(亦即除第一列以外之各列)之記憶單位MC的電容器Cs係藉由開關電晶體Qa而由位元線脫離，故無論電壓Vp1是否施加至板線PL，跨越該等電容器Cs之兩相對電極的電壓不會改變。如此，可防止此種記憶單位MC之極化資訊受破壞。

此外，於耦合至選定字線WL1及非選定欄選擇線的該等記憶單位MC，板線PL係處於浮動態，故跨越該等電容器Cs之兩相對電極間之電壓不會改變。如此，也防止此種記憶單位MC之極化資訊受破壞。

根據本實例之記憶裝置，板驅動信號產生電路於一次作業存取期間需要驅動一欄板線PL(0, j), PL(1, j), ..., 及PL(m, j)。但，未大致延長驅動板線所需時間，原因為僅於第一線及第j欄的記憶單位MC需要充電其電容器Cs。本實例提供之優點為無需如同實例1之複數電晶體T0, T1, ... 用於耦合驅動線DL與一組驅動線MDL，因此電路簡化。

業界人士了解，經由互換實例1或2使用之各電晶體之源極及汲極可構成類似的電路。

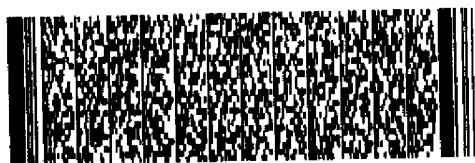
如前述，根據本發明之半導體記憶裝置，各記憶單位之板線係沿列方向及/或欄方向集成組，故於一次存取作業期間僅有有限範圍之板線被同時驅動。於最小群組配置中，板線係以逐一記憶單位方式被驅動。如此，驅動板線



五、發明說明 (17)

所需時間縮短，藉此可實現高速作業與低功率消耗。

未悖離本發明之精髓及範圍，業界人士顯然易知可做出多種其它修改。如此，隨附之申請專利範圍之範圍絕非侷限於此處之說明，反而須對申請專利範圍做廣義解釋。



四、中文發明摘要 (發明之名稱：半導體記憶裝置)

一種半導體記憶裝置包括：複數字線；複數驅動線；一字線驅動段用於根據一系列位址驅動複數字線之一；一欄選擇段用於根據一欄位址，選擇耦合至該被激勵的字線之複數強誘電記憶單位之一；一板驅動信號施加段用於施加一板驅動信號至該等複數驅動線中之至少一條選定驅動線，該至少一選定驅動線係結合該被激勵之字線；及一開關段用於耦聯或脫離該等複數強誘電記憶單位與該至少一選定驅動線。欄選擇段控制開關段，故僅被選定之強誘電記憶單位係耦合至該至少一選定驅動線。

英文發明摘要 (發明之名稱：SEMICONDUCTOR MEMORY DEVICE)

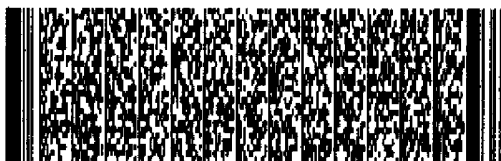
A semiconductor memory device includes: a plurality of word lines; a plurality of drive lines; a word line driving section for activating one of the plurality of word lines in accordance with a row address; a column selection section for, in accordance with a column address, selecting one of a plurality of ferroelectric memory cells coupled to the activated word line; a plate driving signal application section for applying a plate driving signal to at least a



四、中文發明摘要 (發明之名稱：半導體記憶裝置)

英文發明摘要 (發明之名稱：SEMICONDUCTOR MEMORY DEVICE)

selected one of the plurality of drive lines, the at least one selected drive line being associated with the activated word line; and a switching section for coupling or detaching the plurality of ferroelectric memory cells to or from the at least one selected drive line. The column selection section controls the switching section so that only the selected ferroelectric memory cell is coupled to the at least one selected drive line.



六、申請專利範圍

1. 一種半導體記憶裝置，其包含：

複數字線；

複數驅動線；

一字線驅動段用於根據列位址激勵複數字線之一；

一欄選擇段，用於根據一欄位址選擇耦合至被激勵的字線之複數強誘電記憶單位之一；

一板驅動信號施加段用於施加一板驅動信號至複數驅動線之至少一選定驅動線，該至少一選定驅動線係關聯該被激勵的字線；及

一開關段用於耦合複數強誘電記憶單位至該至少一選定驅動線或由該至少一選定驅動線脫離，

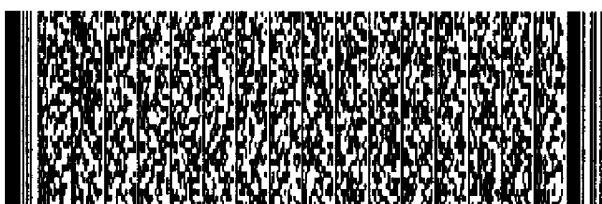
其中該欄選擇段控制開關段，故唯有被選定的強誘電記憶單位係耦合至該至少一選定驅動線。

2. 如申請專利範圍第1項之半導體記憶裝置，其中該驅動段係相對於各該複數字線，耦合複數強誘電記憶單位至該至少一選定驅動線或由該至少一選定驅動線脫離。

3. 如申請專利範圍第1項之半導體記憶裝置，其中各該複數驅動線係關聯複數字線中之多於一者，該板驅動信號施加段施加板驅動信號至關聯任何被激勵字線之驅動線。

4. 如申請專利範圍第1項之半導體記憶裝置，其中各該複數驅動線係關聯複數字線之一，該板驅動信號施加段施加板驅動信號至關聯被激勵字線之驅動線。

5. 如申請專利範圍第4項之半導體記憶裝置，其中各該複數強誘電記憶單位包括至少一電容器，其具有二電極及



六、申請專利範圍

至少一電晶體，該電容器之二電極係分別耦合至該至少一電晶體之源極及汲極之一以及耦合至開關段，該至少一電晶體之閘極係耦合至複數字線之一。

6. 一種半導體記憶裝置，其包含：

複數字線；

複數驅動線；

一字線驅動段用於根據列位址激勵複數字線之一；

一欄選擇段，用於根據一欄位址選擇耦合至被激勵的字線之複數強誘電記憶單位之一；

一板驅動信號施加段用於施加一板驅動信號至關聯被激勵的字線之複數驅動線之一，各該複數驅動線係關聯複數字線之一，

其中該欄選擇段僅耦合選定強誘電記憶單位至該等複數驅動線。

7. 如申請專利範圍第6項之半導體記憶裝置，其中各該複數強誘電記憶單位包括一第一電晶體，一第二電晶體，及至少一電容器具有二電極，該電容器之二電極係分別耦合至第一電晶體之源極及汲極之一且耦合至第二電晶體之源極及汲極之一，該第一電晶體之閘極係耦合至複數字線之一，該第二電晶體之源極及汲極之另一者係耦合至關聯複數字線之一的複數驅動線之一，及該第二電晶體之閘極係耦合至欄選擇段，及

其中該欄選擇段控制第二電晶體，而僅耦合選定的強誘電記憶單位至複數驅動線之一。



六、申請專利範圍

8. 一種半導體記憶裝置，其包含

複數字線；

一字線驅動段用於根據一系列位址激勵複數字線之至少一者；

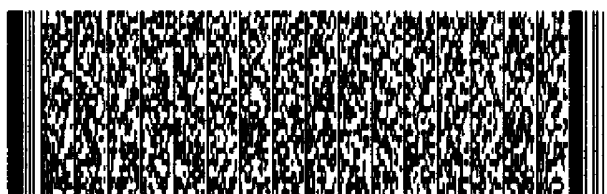
一欄驅動段，用於根據一欄位址，選擇耦合至該至少一被激勵字線的複數強誘電記憶單位之一；

一板驅動信號施加段，用於施加一板驅動信號至耦合至複數強誘電記憶單位之複數驅動線；及

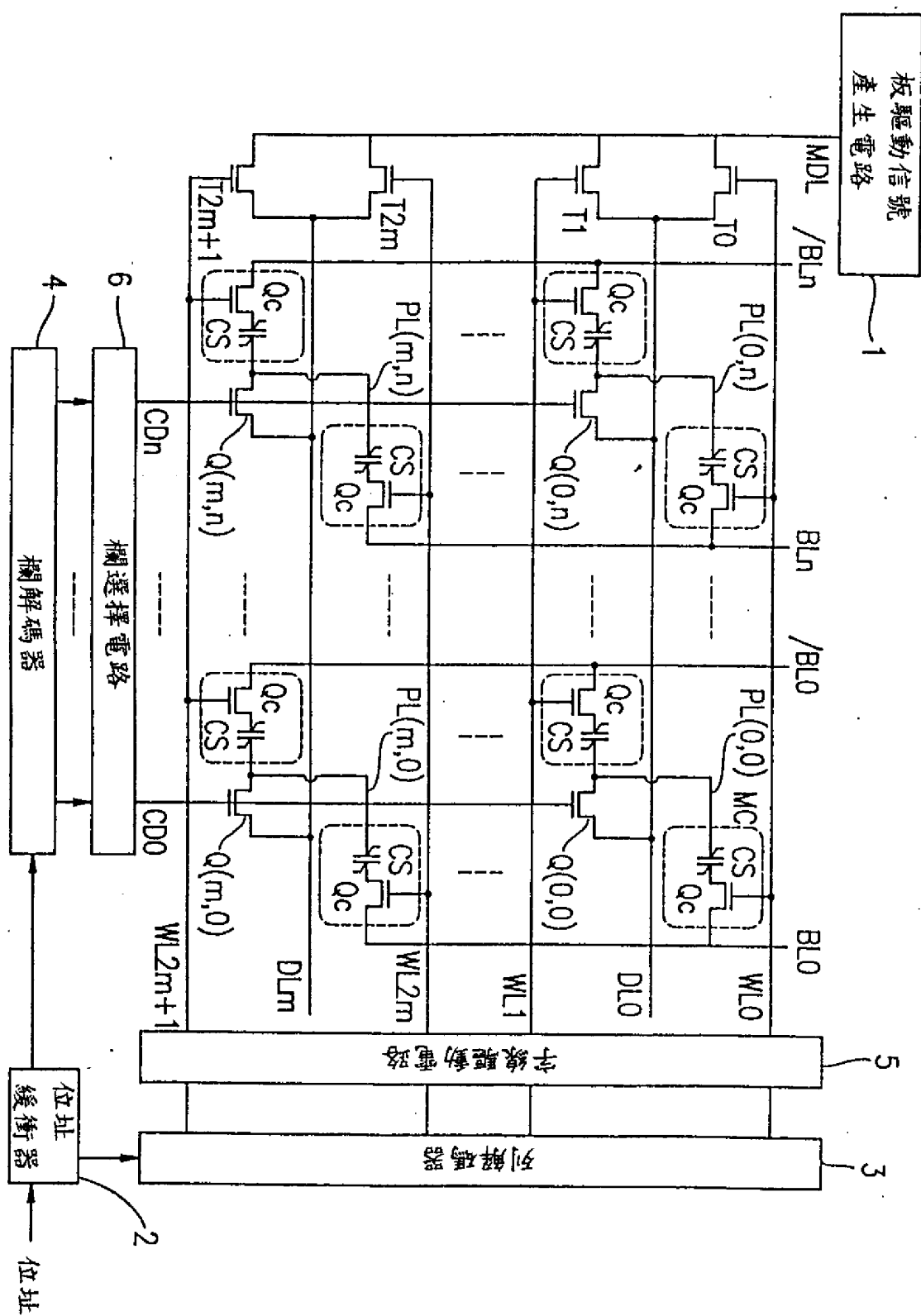
一開關段用於耦合複數強誘電記憶單位至複數驅動線之至少一者或由該驅動線脫離，

其中各該複數強誘電記憶單位包括一第一電晶體，一第二電晶體，及至少一電容器具有二電極，該電容器之二電極之一係耦合至該第一電晶體之源極及汲極之一，該電容器之二電極之另一者係耦合至該第二電晶體之源極及汲極之一，該第一電晶體之閘極係耦合至複數字線之一，該第二電晶體之源極及汲極之另一極係耦合至複數驅動線之一，及該第二電晶體之閘極係耦合至欄選擇段，及

其中該欄選擇段控制該開關段，故僅選定的強誘電記憶單位係耦合至複數驅動線之一。



圖式



圖式

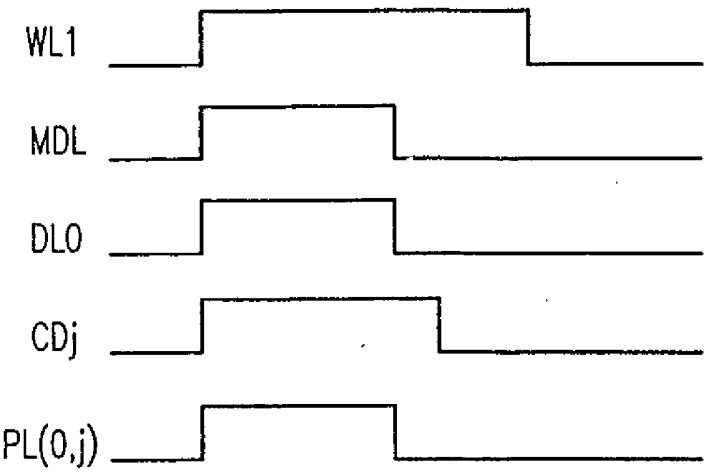


圖2A

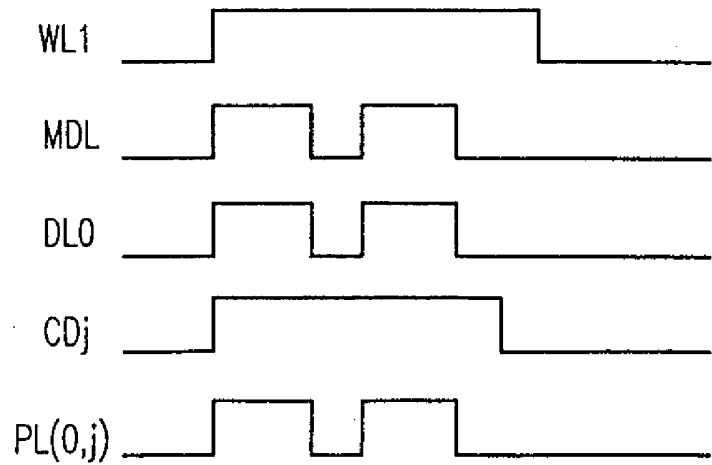


圖2B

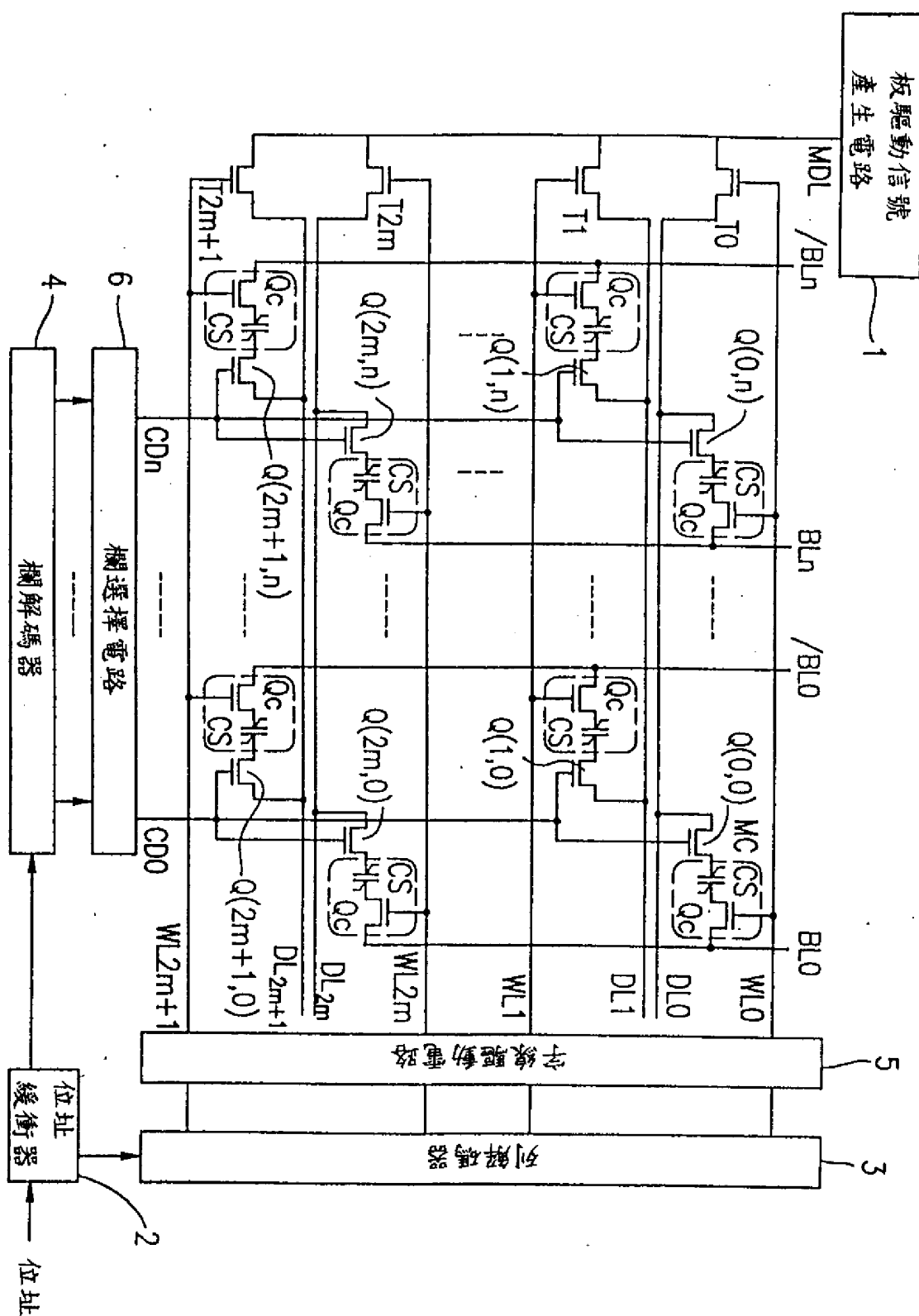


圖 3A

圖式

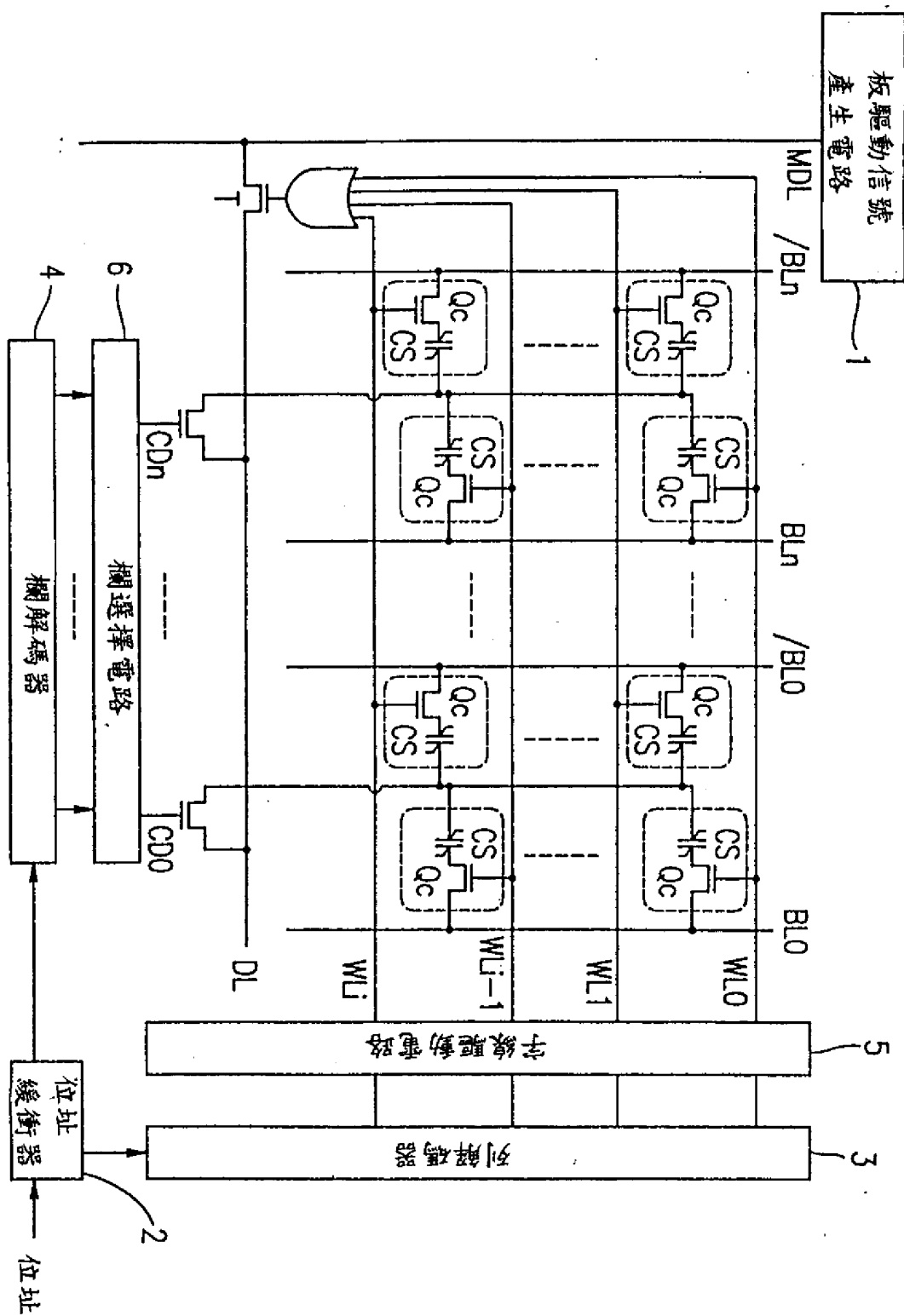


圖 3B

圖式

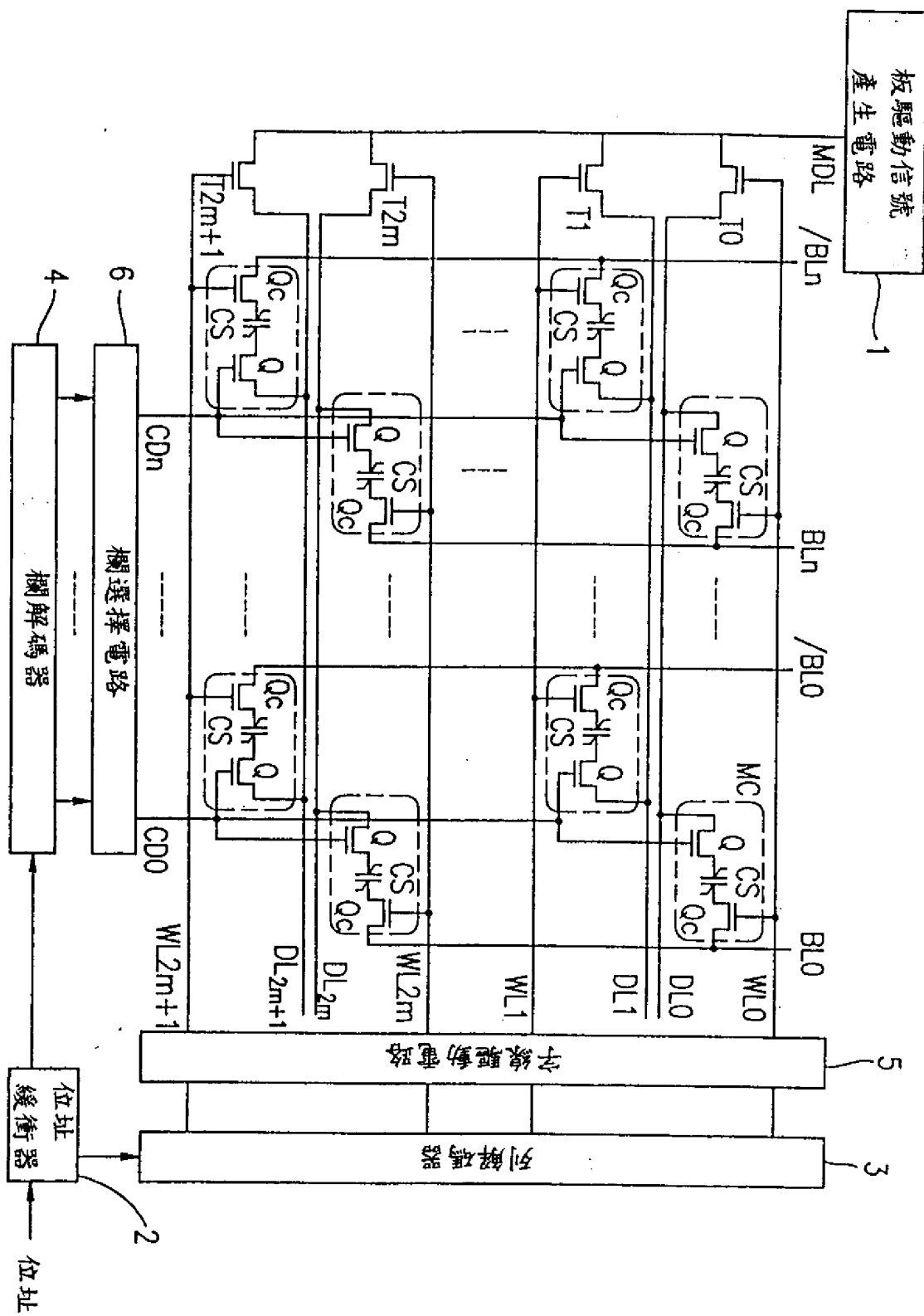


圖 3C

圖式

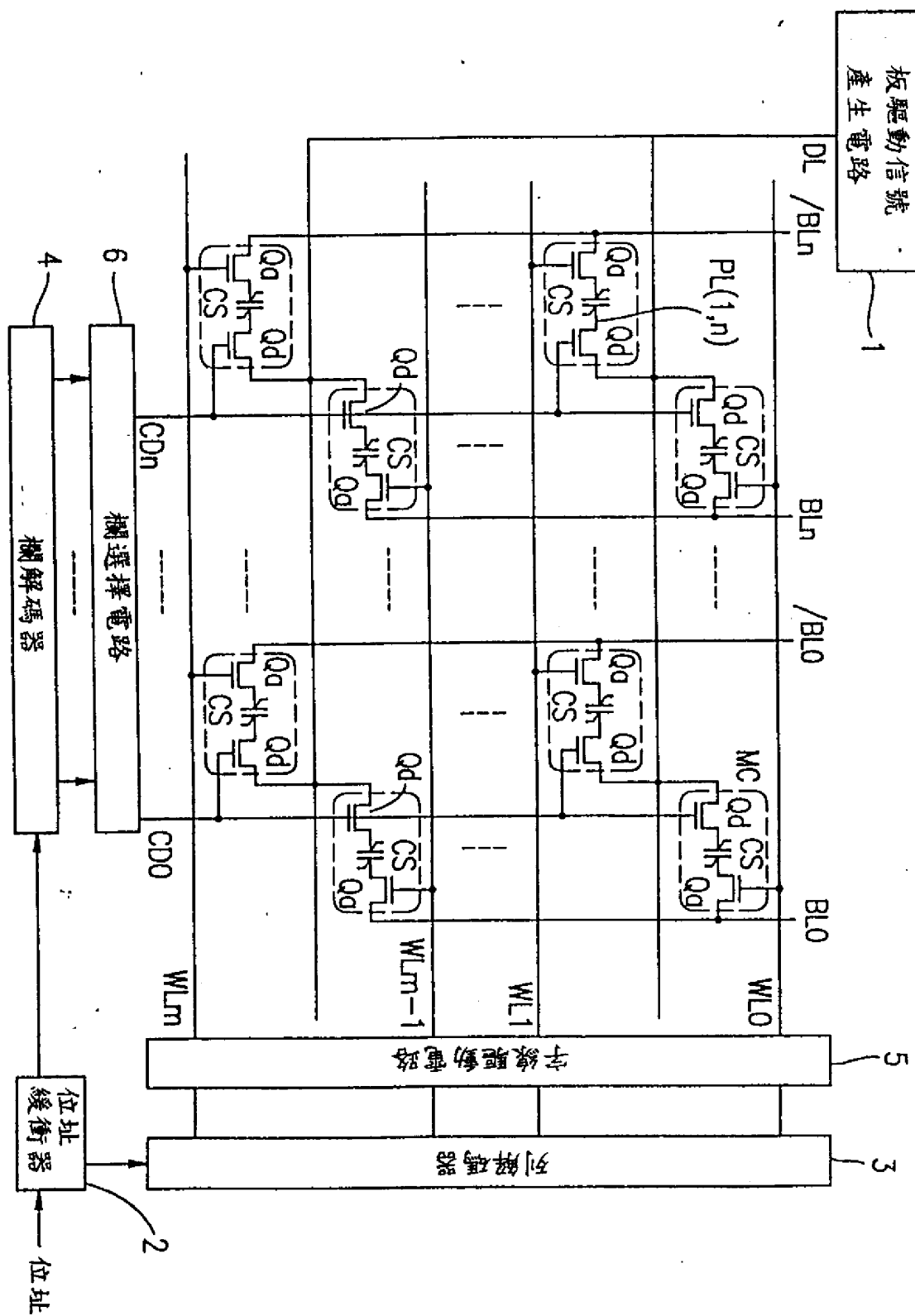


圖 4

圖式

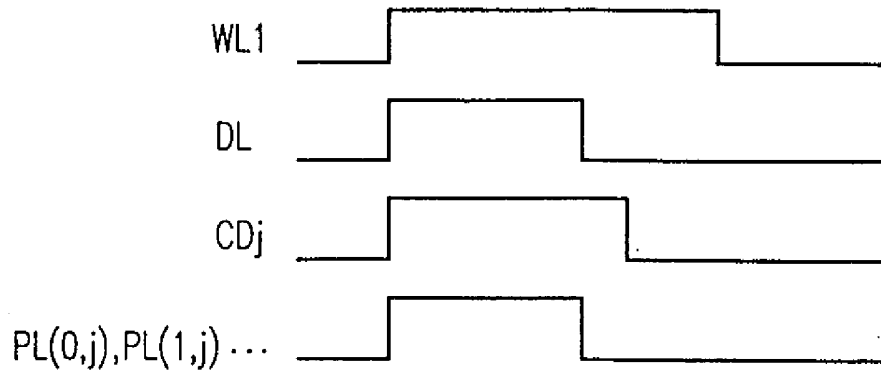


圖5

圖式

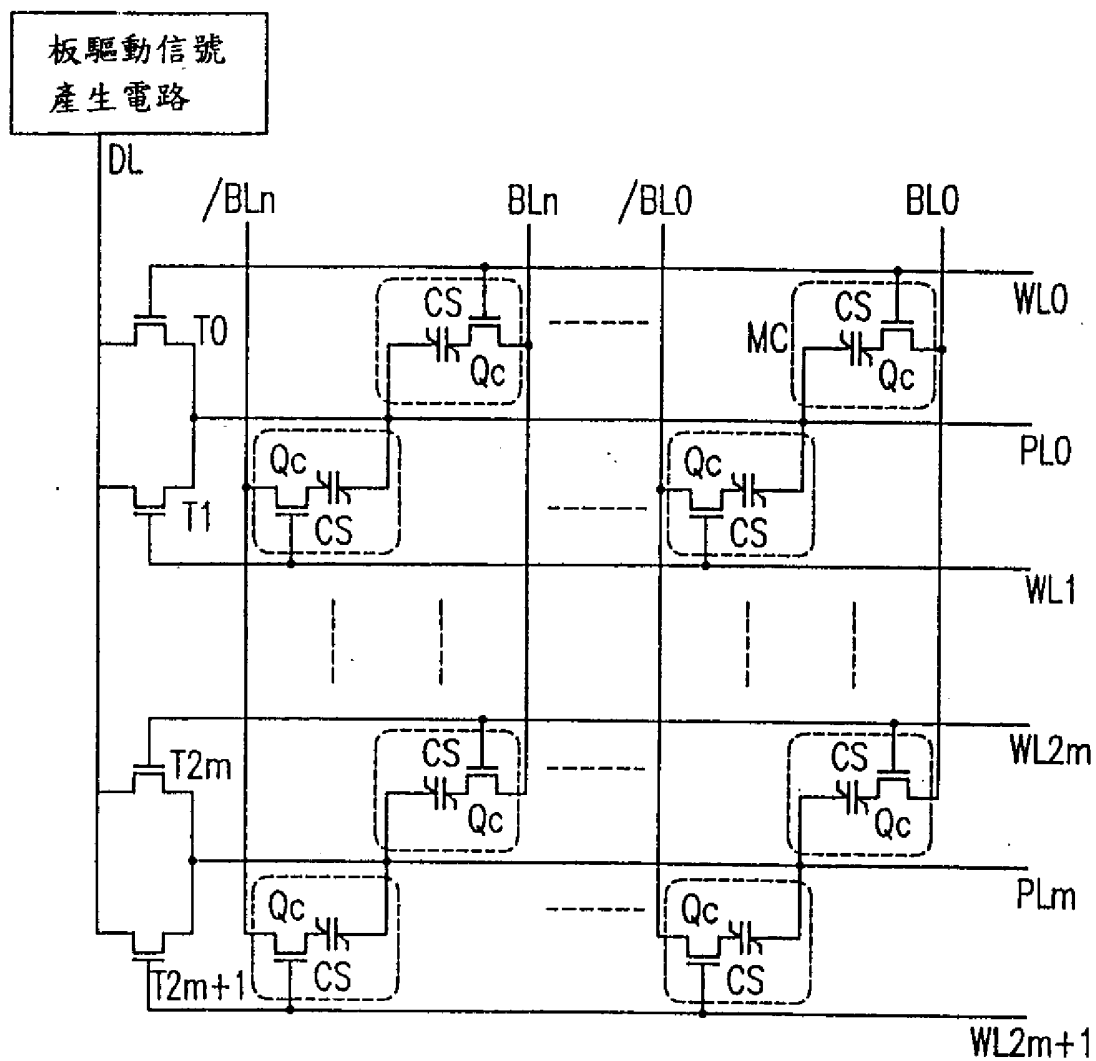


圖6

圖式

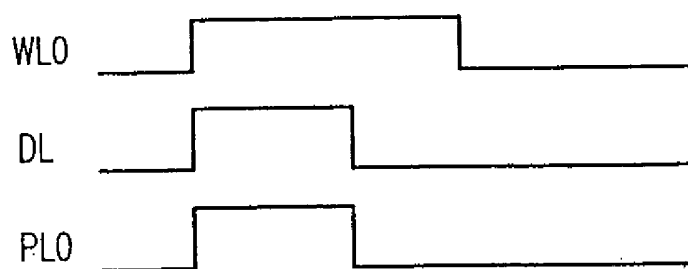


圖7

圖式

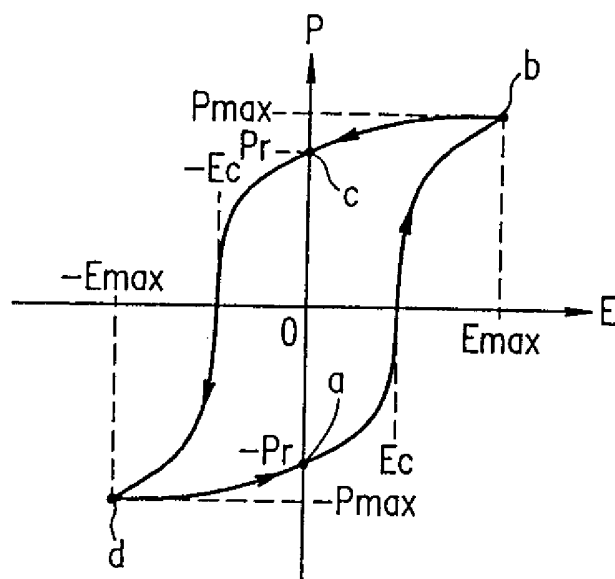


圖 8