



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2008년01월10일  
 (11) 등록번호 10-0793043  
 (24) 등록일자 2008년01월03일

(51) Int. Cl.

*H05B 33/00* (2006.01)

(21) 출원번호 10-2001-0008607  
 (22) 출원일자 2001년02월21일  
 심사청구일자 2006년02월21일  
 (65) 공개번호 10-2001-0083213  
 (43) 공개일자 2001년08월31일

(30) 우선권주장

2000-045256 2000년02월22일 일본(JP)

(56) 선행기술조사문현

EP 0278352 A

(뒷면에 계속)

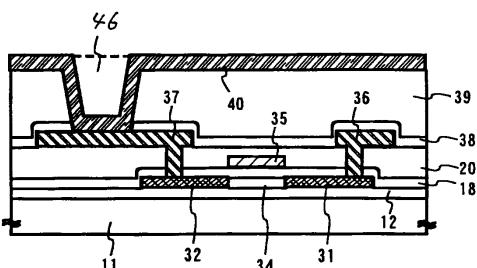
전체 청구항 수 : 총 24 항

심사관 : 안준형

(54) 자기 발광 장치 및 그 제조 방법

**(57) 요약**

전극 홀(46)에 유기 EL 재료의 막 형성의 불량으로 인한 EL 소자의 발광 불량을 개선한다. 광셀 전극 상의 전극 홀(46)에 절연체를 삽입하고 보호부(41b)를 형성한 후에 유기 EL 재료를 형성함으로써, 전극 홀(46)의 막 형성 불량을 방지할 수 있다. 이것은 EL 소자의 캐소드와 애노드 사이의 단락으로 인한 전류의 집중을 방지할 수 있고, EL층의 발광 불량을 방지할 수 있다.

**대표도** - 도1a

(56) 선 행 기술 조사 문현

JP 10189252 A

JP 07258410 A

EP 0899987 A

EP 0881668 A

US 5895228 A

EP 0893485 A

---

**특허청구의 범위**

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

**청구항 33**

삭제

**청구항 34**

삭제

**청구항 35**

자기 발광 장치(self-light-emitting device)로서,

트랜지스터;

상기 트랜지스터상의 제 1 전극;

상기 제 1 전극상의 발광층; 및

상기 발광층상의 제 2 전극을 포함하며,

상기 제 1 전극은 유기 수지(organic resin)를 포함하는 절연체로 채워지는 전극 홀을 가지며,

상기 제 1 전극은 상기 트랜지스터에 접속되는, 자기 발광 장치.

**청구항 36**

제 35 항에 있어서,

상기 전극 홀내의 상기 절연체는 상기 제 1 전극과 상기 발광층 사이에 있는, 자기 발광 장치.

**청구항 37**

제 35 항에 있어서,

상기 발광층은 상기 절연체의 표면상에 또한 형성되는, 자기 발광 장치.

**청구항 38**

제 35 항에 있어서,

상기 발광층 및 상기 절연체는 상기 제 1 전극 및 상기 제 2 전극 사이에 있는, 자기 발광 장치.

**청구항 39**

자기 발광 장치로서,

전기 전류 제어 소자;

내부에 접촉홀을 가지며 상기 전기 전류 제어 소자상에 형성되는 제 1 절연층;

상기 제 1 절연층상에 형성되며 상기 접촉홀을 통해 상기 전기 전류 제어 소자에 전기적으로 접속되는 제 1 전극;

상기 접촉홀의 상기 제 1 전극의 부분상에 형성되는 유기 수지를 포함하는 제 2 절연층;

상기 제 1 전극과 상기 제 2 절연층상에 형성되는 발광층; 및

상기 발광층상에 형성되는 제 2 전극을 포함하는, 자기 발광 장치.

**청구항 40**

자기 발광 장치로서,

복수의 트랜지스터들;

상기 트랜지스터들상의 복수의 제 1 전극들;

상기 제 1 전극들상의 발광층; 및

상기 발광층상의 제 2 전극을 포함하며,

상기 제 1 전극들은 상기 트랜지스터들에 각각 접속되고,

상기 복수의 제 1 전극들은 픽셀부에 형성되고,

절연층이 상기 복수의 제 1 전극들 중 2개의 전극들 사이의 공간에 형성되는, 자기 발광 장치.

#### 청구항 41

자기 발광 장치로서,

제 1 및 제 2 스위칭 소자들;

상기 제 1 및 제 2 스위칭 소자들상에 형성되는 제 1 절연층;

상기 제 1 절연층상에 형성되는 제 1 및 제 2 전극들로서, 상기 제 1 및 제 2 전극들은 상기 제 1 및 제 2 스위칭 소자들에 각각 전기적으로 접속되는, 상기 제 1 및 제 2 전극들;

상기 제 1 및 제 2 전극들 사이의 갭(gap)에 형성되는 제 2 절연층;

상기 제 1 및 제 2 전극들과 상기 제 2 절연층상에 형성되는 발광층; 및

상기 제 1 및 제 2 전극들에 대향하는 상기 발광층상에 형성되는 제 3 전극을 포함하는, 자기 발광 장치.

#### 청구항 42

제 35 항에 있어서,

상기 제 1 전극의 표면 및 상기 절연체의 표면은 서로 같은 높이가 되도록 평탄화되는, 자기 발광 장치.

#### 청구항 43

제 39 항에 있어서,

상기 제 1 전극의 표면 및 상기 제 2 절연층의 표면은 서로 같은 높이가 되도록 평탄화되는, 자기 발광 장치.

#### 청구항 44

제 40 항에 있어서,

상기 복수의 제 1 전극들 중 상기 2개의 전극들의 표면들 및 상기 절연체의 표면은 서로 같은 높이가 되도록 평탄화되는, 자기 발광 장치.

#### 청구항 45

제 41 항에 있어서,

상기 제 1 및 제 2 전극들의 표면들 및 상기 제 2 절연층의 표면은 서로 같은 높이가 되도록 평탄화되는, 자기 발광 장치.

#### 청구항 46

제 35 항에 있어서,

상기 제 1 전극의 상단 표면보다 높은 상기 절연체의 일부분의 두께는 0.1 내지 1  $\mu\text{m}$ 인, 자기 발광 장치.

#### 청구항 47

제 39 항에 있어서,

상기 제 1 전극의 상단 표면보다 높은 상기 제 2 절연층의 일부분의 두께는 0.1 내지 1  $\mu\text{m}$ 인, 자기 발광 장치.

### 청구항 48

제 40 항에 있어서,

상기 복수의 제 1 전극들 중 상기 2개의 전극들의 상단 표면들보다 높은 상기 절연체의 일부분의 두께는 0.1 내지 1  $\mu\text{m}$ 인, 자기 발광 장치.

### 청구항 49

제 41 항에 있어서,

상기 제 1 및 제 2 전극들의 상단 표면들보다 높은 상기 제 2 절연층의 일부분의 두께는 0.1 내지 1  $\mu\text{m}$ 인, 자기 발광 장치.

### 청구항 50

제 35 항 및 제 39 항 내지 제 41 항 중 어느 한 항에 있어서,

상기 발광층은 적어도 유기 재료(organic material)를 포함하는, 자기 발광 장치.

### 청구항 51

제 39 항에 있어서,

상기 전기 전류 제어 소자는 박막 트랜지스터인, 자기 발광 장치.

### 청구항 52

제 41 항에 있어서,

상기 제 1 및 제 2 스위칭 소자들은 박막 트랜지스터인, 자기 발광 장치.

### 청구항 53

제 35 항 또는 제 39 항에 있어서,

상기 제 1 전극은 애노드(anode)이고 상기 제 2 전극은 캐소드(cathode)인, 자기 발광 장치.

### 청구항 54

제 35 항 또는 제 39 항에 있어서,

상기 제 1 전극은 캐소드이고 상기 제 2 전극은 애노드인, 자기 발광 장치.

### 청구항 55

제 40 항에 있어서,

상기 복수의 제 1 전극들은 애노드들이고 상기 제 2 전극은 캐소드인, 자기 발광 장치.

### 청구항 56

제 41 항에 있어서,

상기 제 1 및 제 2 전극들은 캐소드들이고, 상기 제 3 전극은 애노드인, 자기 발광 장치.

### 청구항 57

제 35 항 및 제 39 항 내지 제 41 항 중 어느 한 항에 따른 자기 발광 장치를 구비한 전자 장치.

### 청구항 58

제 57 항에 있어서,

상기 전자 장치는 비디오 카메라, 헤드 장착형 EL 디스플레이, 영상 재생 장치, 휴대용 컴퓨터, 퍼스널 컴퓨터,

셀룰러 폰 및 오디오 재생 장치로 이루어진 그룹으로부터 선택되는, 전자 장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

<21> 발명의 배경

<22> 1. 발명의 분야

<23> 본 발명은 일반적으로 자기 발광(self-light-emitting) 장치(EL 장치라고도 함)에 관한 것이다. 특히, 본 발명은 애노드, 캐소드, 및 그들 사이에 끼워져 EL(electro luminescence)이 얻어지는 발광 유기 재료(이하, 유기 EL 재료라고 함)로 구성된 EL 소자가 절연체 상에 형성된 자기 발광 장치 및 디스플레이부(디스플레이 또는 디스플레이 모니터)로서 상기 자기 발광 장치를 갖는 전기 기구 제조 방법에 관한 것이다. 본 명세서에서, 상기 언급된 자기 발광 장치로서 EL 디스플레이 장치를 설명할 것이다.

<24> 2. 관련 기술의 설명

<25> 최근, 자기 발광 소자로서 EL 소자(EL 디스플레이 장치)를 사용하는 디스플레이 장치들의 개발은 개선된 발광 유기 재료의 EL 현상(phenomenon)을 이용한다. EL 디스플레이 장치는 자기 발광 장치이므로, 액정 디스플레이 장치의 후광(back light)이 필요하지 않다. 또한, EL 디스플레이 장치는 넓은 시야각(angle of view)을 갖는다. 그 결과로서, EL 디스플레이 장치는 전기 기구의 디스플레이부가 유망하다.

<26> EL 디스플레이 장치들은 패시브형(단순한 매트릭스형) 및 액트브형(액티브 매트릭스형)으로 분류되고, 상기 두 형태는 활발히 개발되어 왔다. 특히, 액티브 매트릭스형 EL 디스플레이 장치는 오늘날 관심을 끌고 있다. EL 소자의 중심이라고 할 수 있는 EL층이 되는 유기 EL 재료들과 관련하여, 저분자량(low molecular weight) 유기 EL 재료들 및 고 분자(중합체) 유기 EL 재료들이 주목되고 있다. 저분자량 유기 EL 재료들은 증기 증착 등으로 형성되지만, 고 분자 유기 EL 재료들은 스피너(spinner)를 사용하는 코팅을 통해 형성된다.

<27> 저분자량 유기 EL 재료와 고 분자(중합체) 유기 EL 재료들과 관련하여, 형성된 EL 재료의 표면이 평탄하지 않을 때, 형성된 EL 재료의 두께가 평탄할 수 없다는 문제가 있다.

<28> 또한, EL층의 두께가 평탄하지 않고 EL층이 부분적으로 가까운 부분에 형성되지 않는 경우에, 캐소드, EL층, 및 애노드로 형성된 EL 소자가 형성될 때 캐소드와 애노드는 단락된다.

<29> 캐소드와 애노드가 단락될 때, 캐소드와 애노드 사이에서 전류가 집중적으로 흐르고, EL층을 통하는 전류가 거의 흐르지 않으며, EL층은 발광하지 않게 된다.

#### 발명이 이루고자 하는 기술적 과제

<30> 발명의 개요

<31> 본 발명은 상기의 관점으로 만들어졌고, 본 발명의 목적은 EL층의 구조를 개선하고, EL 디스플레이 장치 제조 방법을 제공하는 것이다. 또한, 본 발명의 다른 목적은 디스플레이부로서 이와 같은 EL 디스플레이 장치를 갖는 전기 기구를 제공하는 것이다.

<32> 상기 목적들을 이루기 위해서, 본 발명에 따라, EL층이 EL층을 형성하기 위해 유기 EL 재료에 의해 형성될 때, 유기 EL 재료가 형성되는 표면의 평탄하지 않은 부분을 평탄화하기 위해 절연체가 삽입됨으로써, EL 소자의 캐소드와 애노드 사이에서 단락이 발생하는 것을 막는 구조가 사용된다. 도 1a 내지 도 1c는 본 발명에 따른 EL 디스플레이 장치의 픽셀부의 단면을 도시한다.

<33> 도 1a는 픽셀 전극(40)에 전기적으로 접속되는, 전류를 제어하기 위한 TFT를 도시한다. 기초막(base film)(12)이 기판(11) 상에 형성된 후에, 전류를 제어하기 위한 TFT가 소스 영역(31), 드레인 영역(32), 및 채널 형성 영역(34)을 포함하는 활성층, 게이트 절연막(18), 게이트 전극(35), 제 1 층간 절연막(20), 소스 배선(36), 및 드레인 배선(37)을 갖도록 형성된다. 즉, 게이트 전극(35)이 도면에서 단일-게이트 구조로 되어 있지만, 다중-

게이트 구조일 수도 있다.

<34> 그 후, 제 1 패시베이션막(passivation film)(38)은 10nm 내지 1 $\mu$ m(바람직하게, 200 내지 500nm)의 두께로 형성된다. 재료로서, 실리콘(특히, 실리콘 옥시나이트라이드 막 또는 실리콘 질화물 막이 바람직함)을 포함하는 절연막이 사용될 수 있다.

<35> 제 2 충간 절연막(평탄화 막이라고도 함)(39)은 TFT들에 의해 형성된 단차(段差)를 평탄화 하기 위해 각 TFT들을 커버하도록 제 1 패시베이션막(38) 위에 형성된다. 제 2 충간 절연막(39)으로서, 폴리아미드 수지, 폴리아미드 수지, 아크릴 수지, 또는 실록산(siloxane)의 고분자 조합을 포함하는 수지와 같은 유기 수지막이 바람직하다. 물론, 충분한 평탄화가 수행될 수 있으면, 무기막도 사용될 수 있다.

<36> 제 2 충간 절연막(39)에 의해, TFT들에 의해 형성된 단차를 평탄화하는 것이 상당히 중요하다. 후에 형성되는 EL층이 매우 얇기 때문에, 단차의 존재는 불량한 발광을 야기시킬 수 있다. 따라서, EL층이 형성된 표면을 가능한 한 평탄하게 만들기 위해서 픽셀 전극을 형성하기 전에 평탄화가 수행되는 것이 바람직하다.

<37> 또한, 참조 번호(40)는 투명 도전막으로 형성된 픽셀 전극(EL 소자의 애노드에 대응함)을 나타내고, 제 2 충간 절연막(30) 및 제 1 패시베이션막(38)에 형성되는 접촉홀(개구)을 통해 전류를 제어하기 위한 TFT의 드레인 배선(37)에 접속되도록 형성된다.

<38> 본 발명에 따르면, 픽셀 전극으로서, 인듐 산화물 및 주석 산화물의 화합물로 형성된 도전막이 사용된다. 소량의 갈륨이 이 화합물에 도핑될 수 있다. 또한 인듐 산화물과 아연 산화물의 화합물 또는 아연 산화물과 갈륨 산화물의 화합물도 사용될 수 있다.

<39> 픽셀 전극이 접촉홀에 형성된 후에 형성된 오목한 부분(46)은 이하에서 전극 홀로서 언급됨을 주의한다. 픽셀 전극이 형성된 후에, EL 재료는 EL층을 형성하기 위해 형성된다. 그러나, 도 1b에 도시된 것과 같이 이 경우에는, 전극 홀(46)에서 EL층의 두께는 막막 영역(46)에서 더 얇아지게 된다. 막 두께가 얇아지는 정도는 전극 홀의 테퍼드 각(tapered angle)에 따르더라도, 표면들을 형성하는 막 중에서 막 형성 방향에 대해 수직이 아닌 부분들은 막이 형성되는 것이 어려우며 더 얇은 막 두께를 갖는 경향이 있다.

<40> 그러나, 형성된 EL층이 여기서 더 얇아지고, 또한 접속되지 않은 부분이 형성되면, EL 소자의 캐소드 및 애노드는 단락되고, 전류는 이 단락된 부분에서 집중하여 흐른다. 이것은 EL층이 발광하지 않도록 하는, EL층을 흐르는 전류를 방지한다.

<41> 따라서, EL 소자의 캐소드와 애노드 사이의 단락을 방지하기 위해서 유기 수지막이 픽셀 전극 상에 형성되어 전극 홀(46)을 충분히 채운다. 형성된 유기 수지막을 패터닝함으로써, 보호부(41b)가 형성된다. 즉, 보호부(41b)가 형성되어 전극 홀을 채운다. 상기 공간을 채우도록 유기 수지막의 유사한 보호부(도시되지 않음)가 픽셀 전극들 사이의 공간에 형성될 수도 있다.

<42> 유기 수지막은 스판 코팅(spin coating)에 의해 형성된다. 유기 수지막이 레지스트 마스크를 사용하여 광에 노출된 후에, 도 1c에 도시된 것과 같이 보호부(41b)를 형성하기 위해 에칭이 수행된다.

<43> 픽셀 전극으로부터의 보호부(41b)의 단면에서 상부(도 1c에서 Da로 도시된 부분)의 두께는 0.1 내지 1 $\mu$ m, 바람직하게는 0.1 내지 0.5 $\mu$ m, 더 바람직하게는 0.1 내지 0.3 $\mu$ m이다.

<44> 또한, 보호부(41b)의 재료는 폴리아미드 수지, 폴리아미드 수지, 아크릴 수지, 또는 실록산의 고분자 조합을 포함하는 수지와 같은 유기 수지가 바람직하다. 또한, 이와 같은 사용된 유기 수지의 점성은 바람직하게  $10^{-3}$ Pa · s 내지  $10^{-1}$ Pa · s이다.

<45> 도 1c에 도시된 것과 같이 보호부(41b)가 형성된 후에, EL층(42)이 형성되고, 또 캐소드(43)가 형성된다. EL층을 형성하는 EL 재료는 저분자량 유기 EL 재료 및 고분자 유기 EL 재료일 수 있다.

<46> 상기와 같이 도 1c에 도시된 구조를 형성함으로써, EL층(42)이 전극 홀(46)의 단차부에 접속되지 않을 때 야기되는 픽셀 전극(40)과 캐소드(43) 사이의 단락 문제가 해결될 수 있다.

### 발명의 구성 및 작용

<47> 바람직한 실시예들의 상세한 설명

<48> 실시 형태

- <49> 본 발명의 실시 형태는 도 2, 도 3a 및 도 3b를 사용하여 설명될 것이다. 도 2는 본 발명에 따른 EL 디스플레이의 픽셀부의 단면도이다. 도 3a는 픽셀부의 상면도이고, 도 3b는 픽셀부의 회로 구조도이다. 실제로, 픽셀부(영상 디스플레이부)는 매트릭스로 배열된 다수의 픽셀들로 형성된다. 단면도는 도 2에 대응하는 도 3a의 선 A-A'을 따라 취해진 것이다. 일반적인 참조 기호들은 도 2, 도 3a 및 도 3b에 사용되어, 이 도면들은 적절하게 참조될 수 있다. 또한 2개의 픽셀들이 도 3a의 상면도에 도시되어 있지만, 둘 다 동일한 구조를 갖는다.
- <50> 도 2에서, 참조 번호(11)는 기판을 나타내고, 참조 번호(12)는 기초가 되는 절연막(이하 기초막이라고 함)을 나타낸다. 기판은 유리, 유리 세라믹, 석영, 실리콘, 세라믹, 금속 또는 기판(11)으로서 사용될 수 있는 플라스틱으로 만들어진다.
- <51> 또한, 기초막(12)은 특히 이동 이온들을 포함하는 기판이나 도전성을 갖는 기판을 사용하는 경우에는 효과적이지만, 석영 기판에 대해서는 형성될 필요가 없다. 실리콘을 포함하는 절연막이 기초막(12)으로서 형성될 수 있다. 이 명세서에서, 용어 "실리콘을 포함하는 절연막(insulating film containing silicon)"은 특히, 실리콘 산화물 막, 실리콘 질화물 막, 또는 실리콘, 산소, 및 질소를 소정의 비율로 포함하는 실리콘 옥시나이트라이드 막(SiO<sub>x</sub>Ny로 나타냄)과 같은 절연막을 나타낸다.
- <52> 또한, TFT의 분산은 소정의 기초막(12)에 의해 열을 발생시키고 열 방사 효과는 TFT의 열화 또는 EL 소자의 열화를 방지하는데 효과적이다. 모든 공지된 재료들은 소정의 열 방사 효과에 사용될 수 있다.
- <53> 이 경우에, 2개의 TFT들이 픽셀들 내에 형성된다. 참조 번호(201)는 n-채널 TFT에 의해 형성된 스위칭 TFT를 나타내고, 참조 번호(202)는 p-채널 TFT에 의해 형성된 전류 제어 TFT를 나타낸다.
- <54> 본 발명에 있어서, 스위칭 TFT는 n-채널 TFT이고 전류 제어 TFT는 p-채널 TFT인 것으로 제한될 필요는 없으며, p-채널 TFT를 사용하는 스위칭 TFT를 형성하고 n-채널 TFT를 사용하는 전류 제어 TFT를 사용하는 것도 가능하다. 또한, 둘 다 n-채널 TFT들을 사용하고, p-채널 TFT들을 사용하는 것도 가능하다.
- <55> 스위칭 TFT(201)는 소스 영역(13), 드레인 영역(14), LDD 영역들(15a 내지 15d), 고농도 불순물 영역(16), 및 채널 형성 영역들(17a, 17b)을 포함하는 활성층, 게이트 절연막(18), 게이트 전극들(19a, 19b), 제 1 층간 절연막(20), 소스 배선(21), 및 드레인 배선(22)으로 형성된다.
- <56> 또한, 도 3a, 도 3b에 도시된 것과 같이, 이것은 다른 재료(게이트 전극들(19a, 19b)보다 낮은 저항을 갖는 재료)로 형성된 배선(211)에 의해 전기적으로 접속되는 게이트 전극들(19a, 19b)의 이중 게이트 구조이다. 물론, 이중 게이트 구조에 더하여, 단일 게이트 구조 또는 다중 게이트 구조(직렬로 접속된 2개 또는 그 이상의 채널 형성 영역들을 갖는 활성층을 포함하는 구조)도 사용될 수 있다. 다중-게이트 구조는 오프(off) 전류의 값을 낮추는데 매우 효과적이다. 따라서, 낮은 오프 전류 값을 갖는 스위칭 소자가 스위칭 소자(201)에 대한 다중-게이트 구조를 사용하여 본 발명에서 실현된다.
- <57> 또한, 활성층은 석영 구조를 포함하는 반도체 막을 형성한다. 즉, 활성층은 단결정 반도체 막, 다결정 반도체 막, 또는 미결정 반도체 막을 사용하여 형성될 수 있다. 또한 게이트 절연막(18)은 실리콘을 포함하는 절연막을 형성할 수 있다. 또한, 모든 도전막들은 게이트 전극들, 소스 배선, 및 드레인 배선에 대해 사용될 수 있다.
- <58> 또한, 스위칭 TFT(201)의 LDD 영역들(15a 내지 15d)은 게이트 절연막(18)을 사이에 끼여, 게이트 전극들(19a, 19b)과 겹치지 않도록 형성된다. 이와 같은 구조는 오프 전류 값을 감소시키는데 매우 효과적이다.
- <59> 채널 형성 영역들과 LDD 영역들 사이의 오프셋 영역(채널 형성 영역들과 같은 구성을 갖는 반도체 층을 가지며, 게이트 전압이 인가되지 않는 영역)의 형성은 부가적으로 오프 전류 값을 감소시키기에 바람직하다. 또한, 2개 또는 그 이상의 게이트 전극들을 갖는 다중-게이트 구조가 사용될 때, 채널 형성 영역들 사이에 형성된 고농도 불순물 영역은 오프 전류의 값을 낮추는데 효과적이다.
- <60> 다음으로, 소스 영역(31), 드레인 영역(32), 및 채널 형성 영역(34)을 포함하는 활성층, 게이트 절연막(18), 게이트 전극(35), 제 1 층간 절연막(20), 소스 배선(36), 및 드레인 배선(37)을 갖는 전류 제어 TFT(202)가 형성된다. 게이트 전극(35)은 단일 게이트 구조를 갖지만, 다중-게이트 구조가 사용될 수도 있다.
- <61> 도 2에 도시된 것과 같이 스위칭 TFT(201)의 드레인은 전류 제어 TFT(202)의 게이트에 전기적으로 접속된다. 특히, 전류 제어 TFT(202)의 게이트 전극(35)은 드레인 배선(접속 배선이라고도 함)(22)을 통해 스위칭 TFT(201)의 드레인 영역(14)에 전기적으로 접속된다. 또한, 소스 배선(36)은 전원선(212)에 접속된다.

- <62> 전류 제어 TFT(202)는 EL 소자(203)에 주입되는 전류의 양을 제어하기 위한 소자이다. 그러나, EL 소자의 열화가 고려되면, 너무 많은 전류가 흐르게 되는 것은 바람직하지 않다. 따라서, 채널 길이(L)를 길게 하여 전류 제어 TFT(202)에 과잉 전류가 흐르지 않도록 하는 것이 바람직하다. 전류의 양은 픽셀당 0.5 내지  $2\mu\text{A}$ (바람직하게는, 1 내지  $1.5\mu\text{A}$ )가 바람직하다.
- <63> 또한, 스위칭 TFT(201)에 형성된 LDD 영역들의 길이(폭)는 0.5 내지  $3.5\mu\text{m}$ , 일반적으로 2.0 및  $2.5\mu\text{m}$ 의 범위에서 설정될 수 있다.
- <64> 또한, 도 3에 도시된 것과 같이, 50으로 나타낸 영역에서 절연막을 통해, 전류를 제어하기 위한 TFT(202)의 게이트 전극(35)이 되는 배선(36)은 활성층과 동시에 형성되는 반도체 막(51)과 겹쳐진다. 이 때, 영역(50)에서 커패시터가 형성되고, 전류를 제어하기 위해 TFT(202)의 게이트 전극(35)에 인가된 전압을 저장하기 위한 저장 커패시터(50)로서 기능한다. 또한, 게이트 전극, 제 1 층간 절연막(도시되지 않음), 및 전원선(212)이 되는 배선(36)으로 형성된 커패시터는 저장 커패시터(50)를 형성한다. 전류를 제어하기 위한 TFT의 드레인은 전원선(212)에 접속되고, 일정한 전압이 드레인에 항상 인가된다.
- <65> 또한, 흐를 수 있는 전류의 양이 증가하는 관점에서, 얇은(바람직하게, 50 내지 100nm, 더 바람직하게 60 내지 80nm) 전류 제어 TFT(202)의 활성층(특히, 채널 형성 영역)의 막 두께를 만드는 것이 효과적이다. 반대로, 스위칭 TFT(201)에 대해 더 작은 오프 전류를 만드는 관점에서, 얇은(바람직하게 20 내지 50nm, 더 바람직하게 25 내지 40nm) 활성층(특히, 채널 형성 영역)의 막 두께를 만드는 것도 바람직하다.
- <66> 다음으로, 참조 번호(38)는 제 1 패시베이션막을 나타내고, 그 막 두께는 10nm 내지  $1\mu\text{m}$ (바람직하게 200 및 500 nm)로 설정될 수 있다. 실리콘(특히, 실리콘 옥시나이트라이드 막 또는 실리콘 질화물 막)을 사용하는 것이 바람직하다)을 포함하는 절연막이 패시베이션막 재료로 사용될 수 있다.
- <67> 제 2 층간 절연막(이하 평탄화 막이라고도 함)(39)이 제 1 패시베이션막(38) 위에 형성되어 각 TFT를 커버하고, TFT들의 단자들의 평탄화를 수행한다. 유기 수지막은 제 2 층간 절연막(39)으로서 바람직하며, 아크릴 수지, 및 폴리아미드, 폴리아미드, 실록산의 고분자 화합물을 포함하는 수지들과 같은 수지 물질들이 사용될 수도 있다. 물론, 충분한 평탄화를 제공할 수 있는 무기막이 사용될 수도 있다.
- <68> 제 2 층간 절연막(39)에 의해 TFT들의 단자를 평탄화하는 것도 매우 중요하다. 후에 형성된 EL층들은 매우 얇으며, 따라서, 발광 결점들이 단자들이 존재함으로써 야기되는 경우도 있다. 따라서, 픽셀 전극들을 형성하기 전에 평탄화를 수행하여 가능한 한 평탄한 EL층들을 형성하는 것이 바람직하다.
- <69> 또한, 참조 번호(40)는 투명한 도전막으로 만들어진 픽셀 전극(EL 소자의 애노드에 대응함)을 나타낸다. 제 2 층간 절연막(39)과 제 1 패시베이션막(38)에 접촉홀(개구)이 형성된 후에 픽셀 전극(40)이 형성되어 형성된 개구부에서 전류 제어 TFT(202)의 드레인 배선(37)에 접속된다.
- <70> 인듐 산화물 및 주석 산화물의 화학적 화합물로 만들어진 도전 박막은 이 실시 형태에서 픽셀 전극으로서 사용된다. 또한, 소량의 갈륨이 첨가될 수도 있다. 또한, 인듐 산화물 및 아연 산화물의 화학적 화합물이 사용될 수도 있다.
- <71> 그 후, 유기 수지의 유기 수지막은 스판 코팅에 의해 픽셀 전극 상에 형성되어 픽셀 전극 상의 전극 홀(46)을 채우도록 한다. 이 경우에, 아크릴 수지가 유기 수지막으로서 사용된다.
- <72> 또한, 유기 수지의 유기 수지막이 픽셀 전극 상에 형성되더라도, 절연막일 수 있는 절연체가 사용될 수도 있다. 절연체로서 실리콘 산화물, 산화 실리콘 질화물, 또는 실리콘 질화물과 같은 실리콘을 포함하는 유기 재료가 사용될 수 있다.
- <73> 아크릴 수지가 전체 표면에 형성된 후에, 레지스트 마스크를 사용하여 광에 대한 노출이 수행되고 도 2에 도시된 보호부들(41a, 41b)을 형성하도록 에칭이 수행된다.
- <74> 보호부(41b)는 전극 홀이 아크릴 수지로 채워지는 픽셀 전극의 부분이다. 보호부(41a)는 픽셀 전극들 사이의 공간에 제공된다. 픽셀 전극들 사이의 공간은 픽셀 전극이, 예를 들어, 픽셀 전극들 사이의 부분에 형성된 다수의 픽셀 전극들을 갖는 픽셀부에 형성되지 않는 부분이다. 보호부를 형성하기 위해 에칭이 수행될 때, 픽셀 전극들 사이의 제 2 층간 절연막을 형성하는 재료가 보호부를 형성하는 재료이면, 제 2 층간 절연막이 동시에 에칭되는 것도 가능하다.
- <75> 픽셀 전극으로부터의 보호부들(41a, 41b)의 단면에서 상부의 두께는 0.1 내지  $1\mu\text{m}$ , 바람직하게는 0.1 내지 0.5

$\mu\text{m}$ , 더 바람직하게는 0.1 내지  $0.3\mu\text{m}$ 이다.

<76> 보호부들(41a, 41b)을 형성하기 위해 아크릴 수지가 유기 수지로서 사용되는 경우가 설명되었지만, 재료는 폴리 이미드 수지, 폴리아미드 수지, 또는 CYCLOTEN과 같은 실록산의 고분자 화합물을 포함하는 수지일 수도 있다. 또한, 이와 같은 사용된 유기 수지의 점도는 바람직하게  $10^3\text{Pa} \cdot \text{s}$  내지  $10^{-1}\text{Pa} \cdot \text{s}$ 이다.

<77> 보호부(41b)를 제공하고 상기와 같이 유기 수지로 전극 홀을 채움으로써, EL층(42)이 접속되지 않았을 때 발생되는 픽셀 전극(40)(애노드)과 캐소드(43) 사이의 단락 문제를 해결할 수 있다.

<78> 보호부(41b)의 제조 방법은 도 4를 참조하여 설명된다.

<79> 도 4a는 유기 수지막이 픽셀 전극(40) 상에 형성된 후에 패터닝에 의해 형성된 보호부(41b)를 도시한다. Da는 유기 수지막의 두께를 나타낸다. 두께가 얇을 때, 도 4a의 보호부(41b)와 같이 상부에 캐비티(cavity)가 형성된다.

<80> 캐비티의 정도는 전극 홀의 테퍼 각 및 유기 수지막의 두께에 따른다. 유기 수지막의 두께가 매우 얕으면, 전극 홀이 완전히 채워지지 않고 유기 수지막이 보호부로서 동작할 수 없는 것을 고려해야 한다.

<81> 한편, 유기 수지막의 두께가 두꺼우면, 단차가 다시 생성된다.

<82> 도 4b에 도시된 것과 같이 이 문제를 해결하는 방법으로서, 유기 수지막이 Db의 두께로 형성된 후에, 보호부(41b)가 패터닝에 의해 형성되고, 또한 전체 표면이 Da의 두께를 만들도록 예칭된다. 이것은 도 4c에 도시된 것과 같이 적당한 두께와 평탄화된 상부를 갖는 보호부(41b)를 형성하는 것을 가능하게 한다.

<83> 그러나, 도 4b에 도시된 방법이 사용되면, 보호부(41b)가 패터닝된 후에 예칭될 때 표면에 노출되는 픽셀 전극도 예칭된다. 도 5는 이 점을 고려한 제조 방법을 도시한다.

<84> 먼저, 도 5a에 도시된 것과 같이, 유기 수지막이 픽셀 전극(40) 상에 Db의 두께로 형성된다. 그 후, 전체 표면이 Da 두께가 되도록 예칭된다. 또한, 보호부(41b)를 형성하기 위해 패터닝이 수행된다.

<85> 보호부(41b)와 관련해서는, 도 4a에 도시된 것과 같이 유기 수지가 형성된 후에 패터닝에 의해 형성될 수 있거나, 도 4b에 도시된 것과 같이 패터닝 후에 전체 표면을 예칭하여 형성될 수 있다. 또한, 도 5a에 도시된 것과 같이, 전체 표면이 예칭된 후에 패터닝에 의해 형성될 수 있다.

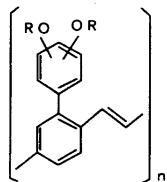
<86> 도 5에 도시된 것과 같이, 보호부(41b)의 외부 직경(outer diameter)(Rb) 및 전극 홀(46)의 내부 직경(inner diameter)(Ra)은  $Rb > Ra$ 의 관계를 갖는다. 도 4 또는 도 5를 참조하여 설명된 보호부(41b)는 도 5c에 도시된 구조를 갖는다. 특히, 도 5c에서 41a의 실선은 보호부(41b)의 외부 직경을 나타내지만, 도 5c에서 41b의 점선은 전극 홀(46)의 내부 직경을 나타낸다.

<87> 그 후, EL층(42)이 형성된다. 여기서, 용매로 용해시킨 고분자 유기 EL 재료를 스판 코팅하여 EL층을 형성하는 방법이 설명된다. 예로서, 고분자 유기 EL 재료가 EL층을 형성하기 위한 유기 EL 재료로서 사용되는 경우가 설명될 것이지만, 저분자량 유기 EL 재료도 사용될 수 있다.

<88> 폴리파라페닐렌 비닐렌(PPV, polyparaphenylene vinylene), 폴리비닐 카바졸(PVK, polyvinyl carbazole) 및 폴리플루오란(polyfluorane)이 일반적인 고분자 유기 재료들로서 주어질 수 있다.

<89> PPV 유기 EL 재료들의 다양한 형태가 있을 수 있다는 것에 주의하고, 예를 들어, 이하와 같은 화학식이 발표되어 있다. (H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, pp.33-37 참고)

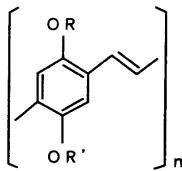
<90> 화학식 1



<91>

&lt;92&gt;

화학식 2

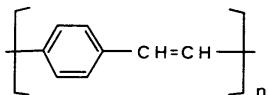


&lt;93&gt;

또한, 일본 특허 공개 공보 제 10-92576 호에 개시된 화학식의 폴리페닐비닐이 사용될 수도 있다. 화학식은 다음과 같다.

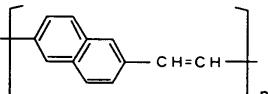
&lt;94&gt;

화학식 3



&lt;95&gt;

화학식 4

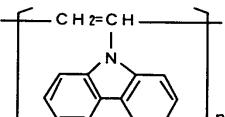


&lt;96&gt;

또한, PVK 유기 EL 재료로서 다음 화학식이 포함된다.

&lt;97&gt;

화학식 5



&lt;98&gt;

중합체 유기 EL 재료는 중합체로서 용매로 재료를 용해하면서 코팅될 수 있다. 또한, 이 재료는 모노머(monomer)로서 용매로 용해되고 코팅된 후에 중합될 수 있다. 모노머 상태에서 코팅될 때, 먼저 중합체 프리커서(precursor)가 형성된다. 진공중에서 가열함으로써, 중합화가 중합체를 형성하도록 한다.

&lt;99&gt;

특정 EL층들로서, 시아노-파라페닐렌 비닐렌(cyano-paraphenylene vinylene)이 적색을 발광하는 EL층에 사용될 수 있고, 폴리페닐렌 비닐렌이 녹색을 발광하는 EL층에 사용될 수 있으며, 폴리페닐렌 비닐렌 또는 폴리알킬페닐렌이 청색을 발광하는 EL층으로 사용될 수 있다. 상기 막의 두께는 30 내지 150nm(바람직하게는 40 내지 100 nm)로 설정될 수 있다.

&lt;100&gt;

상기 재료들은 본 발명에서 EL층들로서 사용될 수 있는 유기 EL 재료들의 일례로서 설명되며, 이것으로 재료들을 제한할 필요는 없다.

&lt;101&gt;

또한, 툴루엔, 크실렌, 크롤로벤젠(chlorobenzene), 다이크롤로벤젠(dichlorobenzene), 앤이솔(anisole), 크롤로폼(chloroform), 다이크롤로메탄(dichloromethane),  $\alpha$ -부틸락톤( $\alpha$ -butylactone), 부틸-셀-솔브(butyl-cell-solve), 사이크로헥산(cyclohexane), NMP(N-methyl-2-piloridon), 사이크로헥사논(cyclohexanone), 다이옥сан(dioxane), 및 THF(tetrahydrofluorane)가 일반적으로 용매들로서 예시된다.

&lt;102&gt;

또한, EL층(42)이 형성될 때, EL층(42)은 수소 또는 산소의 존재에 따라 쉽게 열화됨으로써, 처리 분위기에 대해 소량의 수소와 산소를 갖는 분위기로서, 질소 또는 아르곤과 같은 불활성 가스 내에서 막 형성이 수행되는 것이 바람직하다. 또한, 코팅 처리에 사용된 용매의 분위기는 EL 재료가 용해되는 용매의 중발 속도가 제어될 수 있기 때문에 처리 분위기로서 사용될 수도 있다. 이 분위기 내에서 발광 층들의 막 형성을 수행하기 위해서, 도 1의 박막 형성 장치가 불활성 가스로 채워진 클린 부스(clean booth)에 놓이는 것이 바람직하다.

&lt;103&gt;

또한, EL층 형성 방법과 관련하여, 본 명세서에 설명된 스판 코팅 외에 잉크 제팅(ink jetting) 등이 사용될 수 있다.

- <108> 또한, EL층이 저분자량 유기 EL 재료를 형성하는 경우에 증기 증착 등이 사용될 수 있다. 저분자량 유기 EL 재료로서 공지된 재료들이 사용될 수 있다.
- <109> 상기와 같이 EL층(42)이 형성된 후에, 다음으로 셰이딩(shading) 도전막으로부터 만들어지는 캐소드(43), 보호 전극(44), 및 제 2 패시베이션막(45)이 형성된다. MgAg로 된 도전막이 이 실시 형태에서 캐소드(43)로서 사용되며, 알루미늄으로 된 도전막이 보호 전극(44)으로서 사용된다. 또한, 10nm 내지 1μm(바람직하게는 200nm 내지 500nm)의 두께를 갖는 실리콘 질화물 막이 제 2 패시베이션막(45)으로서 사용된다.
- <110> EL층들은 상기 언급된 것과 같이 열에 대해 약하며, 따라서, 가능한 한 저온에서(바람직하게는 실온 내지 120°C의 범위에서) 캐소드(43) 및 제 2 패시베이션막(45) 형성을 수행하는 것이 바람직하다는 점에 주의한다. 따라서, 플라즈마 CVD, 진공 증발, 및 용해 코팅(스핀 코팅)이 막 침착 방법들로서 바람직하다고 할 수 있다.
- <111> 따라서, 완성된 것을 액티브 매트릭스 기판으로 하고, 대향 기판(도시되지 않음)이 액티브 매트릭스 기판에 대향하여 형성된다. 유리 기판이 이 실시 형태에서 대향 기판으로서 사용된다. 플라스틱 또는 세라믹으로 된 기판이 대향 기판으로서 사용될 수도 있다.
- <112> 또한, 액티브 매트릭스 기판 및 대향 기판은 실런트(sealant)(도시되지 않음)에 의해 접착되어 밀폐 공간(도시되지 않음)이 형성된다. 밀폐 공간은 이 실시 형태에서 아르곤으로 채워진다. 물론, 밀폐 공간 내에서 바륨 산화물과 같은 건조제(drying agent)를 배치하고 산화 방지제를 배치하는 것도 가능하다.
- <113> 또한, 대향 기판의 표면 위에 일 함수가 낮고 산화되어야 하는 또는 흡습성 금속을 갖는 금속의 막을 액티브 매트릭스 기판 위에 형성하여, 산소나 흡습성 기능을 얻기 위한 기능이 제공될 수 있다. 감광성 아크릴 수지와 같은 유기 수지로 대향 기판 상에 평탄하지 않은 것이 생성된 후에 이와 같은 금속막이 형성되면, 기판 영역은 더 크게 만들 수 있고, 더 효과적이다.
- <114> 실시예
- <115> (실시예 1)
- <116> 본 발명의 실시예에 따라 픽셀부의 TFT와 그 주변에 제공되는 구동 회로부의 TFT를 동시에 형성하는 방법이 도 6 내지 도 8을 참조하여 설명된다. 설명을 간단히 하기 위해서, 구동 회로와 관련하여, 기초 회로로서 CMOS 회로가 도시되어 있다.
- <117> 먼저, 도 6a에 도시된 것과 같이, 기초막(301)은 유기 기판(300) 위에 300nm의 두께로 형성된다. 이 실시예에서, 기초막(301)으로서, 100nm의 두께로 실리콘 옥시나이트라이드 막 및 그 위에 적층된 200nm 두께의 실리콘 옥시나이트라이드 막이 사용된다. 이 경우에, 유리 기판(300)과 접촉시 막의 질소 농도는 바람직하게 10 내지 25wt%이다. 물론, 소자는 상기 기초막이 제공되지 않는 석영 기판 상에 직접 형성될 수 있다.
- <118> 그 후, 50nm의 두께로 비정질 실리콘 막(도시되지 않음)이 공지된 막 형성 방법으로 기초막(301) 상에 형성된다. 여기서 형성된 상기 막은 비정질 실리콘 막으로 제한되지 않으며, (미결정(microcrystal) 반도체 막을 포함하는) 비정질 구조를 포함하는 반도체 막일 수 있다. 또한, 상기 막은 비정질 실리콘 게르마늄 막과 같은 비정질 구조를 포함하는 화합물 반도체 막일 수 있다. 상기 막 두께는 바람직하게 20 내지 100nm이다.
- <119> 그 후, 비정질 실리콘 막은 실리콘 막(다결정 실리콘 막 또는 폴리실리콘 막이라고도 함)(302)을 결정화하기 위해 공지된 기술로 결정화된다. 공지된 결정화 기술은 전기로(electric furnace)를 사용하는 열 결정화, 레이저 광을 사용하는 레이저 어닐(anneal) 결정화, 및 적외광을 사용하는 램프 어닐 결정화를 포함한다. 이 실시예에서, XeCl 가스를 사용하는 엑시머(excimer) 레이저 광이 결정화를 수행하기 위해 사용된다.
- <120> 선형으로 처리된 월스 발진형 엑시머 레이저 광이 이 실시예에 사용되지만, 레이저 광은 직사각형일 수 있다. 또한 연속 발진형 아르곤 레이저 광 또는 연속 발진형 엑시머 레이저 광이 사용될 수 있다.
- <121> 결정 실리콘 막이 이 실시예의 TFT들의 활성층으로서 사용되지만, 비정질 실리콘 막이 사용될 수도 있다. 또한, 더 낮은 오프 전류를 필요로 하는 활성층 스위칭 TFT가 비정질 실리콘 막을 형성할 수 있고, 전류 제어 TFT의 활성층이 결정 실리콘 막을 형성한다. 비정질 실리콘 막의 캐리어 이동도(carrier mobility)가 낮기 때문에, 낮은 전류가 흐름으로써 오프 전류가 낮게 흐르기 어렵다. 따라서, 적은 전류가 흐르는 비정질 실리콘 막의 이점과 더 많은 전류가 흐르는 결정 실리콘 막의 이점이 모두 유용할 수 있다.
- <122> 그 후, 도 6b에 도시된 것과 같이, 실리콘 산화물 막의 보호막(303)이 결정 실리콘 막(302) 상에 130nm의 두께로 형성된다. 보호막(303)의 두께는 100 내지 200nm(바람직하게는 130 내지 170nm)로 선택될 수 있다. 보호막

(303)은 실리콘을 포함하는 임의의 절연막일 수 있다. 보호막(303)이 제공되어, 불순물이 도핑될 때 결정 실리콘 막이 플라즈마에 직접적으로 노출되지 않고 정확한 농도 제어를 가능하게 한다.

<123> 그 후, 레지스트 마스크들(304a, 304b)이 보호막(303) 위에 형성되고, n-형을 부여하는 불순물 원소(이하, n-형 불순물 원소라고 함)가 보호막(303)을 통해 도핑된다. n-형 불순물 원소로서, 대표적으로 15족에 속하는 원소, 전형적으로 인 또는 비소가 사용될 수 있다. 이 실시예에서, 인은 질량 분리 없이 플라즈마 여기된 인화수소 ( $\text{PH}_3$ )를 사용하여 플라즈마 (이온) 도핑에 의해  $1 \times 10^{18} \text{ atoms/cm}^2$ 의 농도로 도핑된다. 물론, 질량 분리를 한 이온 주입이 사용될 수도 있다.

<124> n-형 불순물 원소가  $2 \times 10^{16}$  내지  $5 \times 10^{19} \text{ atoms/cm}^2$  (대표적으로는  $5 \times 10^{17}$  내지  $5 \times 10^{18} \text{ atoms/cm}^2$ )의 농도로 이 처리시 형성된 n-형 불순물 영역(305)에 형성되도록 도즈(dose)가 제어된다.

<125> 그 후, 도 6c에 도시된 것과 같이, 보호막(303) 및 레지스트 마스크들(304a, 304b)이 제거되고, 부가된 15족에 속하는 원소가 활성화된다. 활성화는 공지된 기술을 사용하여 수행될 수 있다. 이 실시예에서, 활성화는 엑시머 레이저 광의 조사에 의해 수행된다. 물론, 엑시머 레이저 광은 펄스 발진형일 수 있고, 연속 발진형일 수 있으며, 활성화를 위한 방법은 엑시머 레이저 광으로 한정되지 않는다. 그러나, 도핑된 불순물 원소를 활성화하는 것이 목적이기 때문에 결정 실리콘 막이 용해되지 않는 정도의 에너지 조사가 바람직하다. 레이저 광은 보호막(303)을 제거하지 않고 조사될 수 있다.

<126> 레이저 광으로 불순물 원소를 활성화하는 것은 열처리로 활성화를 이를 수 있다. 열처리로 상기 활성화가 수행되는 경우에, 기판의 열 저항을 고려하여 약 450 내지 550°C에서 열처리를 수행하는 것이 바람직하다.

<127> 이 처리는 n-형 불순물 영역(305)의 단부(end portion), 즉, n-형 불순물 영역(305)과 거기에 도핑된 n-형 불순물 원소가 없는 n-형 불순물 영역(305) 주위의 영역 사이의 경계부(접합부)가 명확해진다. 이것은 TFT가 나중에 완성될 때, LDD 영역과 채널 형성 영역이 매우 양호한 접합부를 형성할 수 있다는 것을 의미한다.

<128> 그 후, 도 6d에 도시된 것과 같이, 결정 실리콘 막의 불필요한 부분들은 섬 모양(island-like) 반도체 막들(이하, 활성층들이라고 함)(306 내지 309)을 형성하기 위해 제거된다.

<129> 그 후, 도 6e에 도시된 것과 같이, 게이트 절연막(310)이 형성되어 활성층들(306 내지 309)를 커버하도록 한다. 게이트 절연막(310)으로서, 10 내지 200nm, 바람직하게는 50 내지 150nm의 두께로 실리콘을 포함하는 절연막이 사용된다. 게이트 절연막(310)은 단층 구조 또는 적층 구조일 수 있다. 이 실시예에서, 110nm 두께의 실리콘 옥시나이트라이드 막이 사용된다.

<130> 그 후, 200 내지 400nm의 도전막이 형성되고 패터닝되어 게이트 전극들(311 내지 315)을 형성한다. 게이트 전극들(311 내지 315)의 단부들은 테페 모양이 될 수 있다. 이 실시예에서, 게이트 전극들의 재료는 게이트 전극들에 전기적으로 접속되도록 하기 위한 배선들(이하, 게이트 배선들이라고 함)의 재료와는 다르다. 더 상세히는, 게이트 배선들의 재료는 게이트 전극들의 재료들보다 더 낮은 저항을 갖는다. 이것은 게이트 전극들을 사용하기 위해 정확히 처리될 수 있는 재료를 사용하고, 정확하게 처리되지는 않지만 게이트 배선들에 대해 낮은 저항을 갖는 재료를 사용하기 위한 것이다. 물론, 게이트 전극들 및 게이트 배선들은 동일한 재료로 형성될 수 있다.

<131> 게이트 전극들이 단층 도전막으로 형성될 수 있지만, 예를 들어, 요구에 의해 2층 또는 3층을 갖는 적층막으로 형성되는 것이 바람직하다. 게이트 전극의 재료는 임의의 공지된 도전막일 수 있다. 그러나, 바람직하게는 상기에 설명된 것과 같이, 재료가 정확히 처리될 수 있다. 더 상세하게는, 2μm 또는 그보다 작은 라인 폭을 갖도록 재료가 패터닝되는 것이 바람직하다.

<132> 대표적으로, 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 및 실리콘(Si)으로 이루어진 그룹으로부터 선택된 원소로 형성된 막, 상기 원소들의 질화물로 형성된 막(대표적으로, 탄탈 질화물 막, 텅스텐 질화물 막, 또는 티탄 질화물 막), 상기 원소들의 합금으로 형성된 막(대표적으로, Mo-W 합금 또는 Mo-Ta 합금), 또는 상기 원소들의 규화물로 형성된 막(대표적으로, 텅스텐 규화물 막 또는 티탄 규화물 막)이 사용될 수 있다. 물론, 상기 막들은 단층 또는 적층으로서 사용될 수 있다.

<133> 이 실시예에서, 50nm 두께의 탄탈 질화물(TaN) 막 및 350nm 두께의 탄탈(Ta) 막으로 형성된 적층막이 사용된다. 이 막은 스피터링에 의해 형성될 수 있다. 스피터링 가스로서 Xe 또는 Ne와 같은 불활성 가스를 부가하면 응력(stress)으로 인해 막의 이탈을 방지할 수 있다.

- <134> 또한, 이 경우에, 게이트 전극(312)은 게이트 절연막(310)을 사이에 끼우면서 n-형 불순물 영역(305)의 일부분과 겹치도록 형성된다. 이 겹쳐진 부분은 나중에 게이트 전극과 겹쳐진 LDD 영역이 된다. 게이트 전극들(313, 314)이 단면에서는 분리된 것으로 나타나더라도, 실제로는 전기적으로 서로 접속되어 있다.
- <135> 그 후, 도 7a에 도시된 것과 같이, n-형 불순물 원소(이 실시예에서는 인)가 게이트 전극들(311 내지 315)을 마스크들로서 사용하여 자기-정렬(self-aligning) 방법으로 도핑된다. 이 방법으로 형성된 불순물 영역들(316 내지 323)에 도핑된 인의 농도가 n-형 불순물 영역(305)에서의 농도의 1/2 내지 1/10(대표적으로, 1/3 내지 1/4)이 되도록 제어한다. 더 상세히는,  $1 \times 10^{16}$  내지  $5 \times 10^{18}$  atoms/cm<sup>3</sup>(전형적으로,  $3 \times 10^{17}$  내지  $3 \times 10^{18}$  atoms/cm<sup>3</sup>)인 것 이 바람직하다.
- <136> 그 후, 도 7b에 도시된 것과 같이, 레지스트 마스크들(324a 내지 324d)은 게이트 전극들을 커버하도록 형성되고, n-형 불순물 원소(이 실시예에서는 인)가 고농도의 인을 포함하는 불순물 영역들(325 내지 329)을 형성하도록 도핑된다. 이 경우에서도 역시 포스핀(PH<sub>3</sub>)을 사용한 이온 도핑이 수행된다. 이 영역에서는 인의 농도가  $1 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>3</sup>(대표적으로는,  $2 \times 10^{20}$  내지  $5 \times 10^{21}$  atoms/cm<sup>3</sup>)가 되도록 제어된다.
- <137> 이 처리는 n-채널형 TFT의 소스 영역 및 드레인 영역을 형성한다. 그러나, 스위칭 TFT와 관련하여, 도 7a의 처리에서 형성된 n-형 불순물 영역들(319 내지 321)의 일부분이 남겨진다. 남은 영역들은 각각 도 2의 스위칭 TFT(201)의 LDD 영역들(15a 내지 15d)에 대응한다.
- <138> 그 후, 도 7c에 도시된 것과 같이, 레지스트 마스크들(324a 내지 324d)이 제거되고, 레지스트 마스크(332)가 새로 형성된다. 그 후, p-형 불순물 원소(이 실시예에서는 붕소)가 고농도의 붕소를 포함하는 불순물 영역들(333 내지 336)을 형성하도록 도핑된다. 이 경우에, 붕소는 디보레인(B<sub>2</sub>H<sub>6</sub>)을 사용한 이온 도핑으로 도핑되어,  $3 \times 10^{20}$  내지  $3 \times 10^{21}$  atoms/cm<sup>3</sup>(대표적으로는,  $5 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>3</sup>)의 농도가 된다.
- <139>  $1 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>3</sup>의 농도로 인이 이미 불순물 영역들(333 내지 336)에 도핑되었지만, 이 처리에서 도핑된 붕소의 농도는 적어도 인 농도의 3배 이상이다. 따라서, n-형 불순물 영역들은 미리 형성되었던 n-형 불순물 영역들이 p-형으로 반전되고, p-형 불순물 영역들로 기능한다.
- <140> 그 후, 레지스트 마스크(332)가 제거된 후에, 각각의 농도로 도핑된 n-형 및 p-형 불순물 원소들이 활성화된다. 상기 활성화는 노 어닐링, 레이저 어닐링 또는 램프 어닐링에 의해 수행될 수 있다. 이 실시예에서, 전기로에서 4시간 동안 550°C의 질소 분위기에서 열처리가 수행된다.
- <141> 이 경우에, 가능한 많은 분위기에서 산소를 제거하는 것이 중요하다. 이것은 산소가 조금이라도 존재하면 저항을 증가시키고 나중에 옴 접촉 형성시 어려움을 야기시키도록 노출된 게이트 전극들의 표면들이 산화되기 때문이다. 따라서, 상기 활성화 처리에서의 분위기 처리시 산소의 농도는 1ppm 또는 그보다 적은(바람직하게는, 0.1ppm 또는 그보다 적은) 것이 바람직하다.
- <142> 활성화 처리가 완료된 후에, 도 7d에 도시된 것과 같이 300nm 두께로 게이트 전극(337)이 형성된다. 게이트 배선(337)의 재료는 알루미늄(Al) 또는 구리(Cu)을 주성분(조합으로서는 50 내지 100%의 비율)으로서 포함하는 금 속일 수 있다. 도 3에 도시된 것과 같은 배치에 있어서는, 게이트 배선(211)이 스위칭 TFT의 게이트 전극들(19a 내지 19b)(도 6e의 313, 314)에 전기적으로 접속되도록 게이트 배선이 형성된다.
- <143> 이런 구조를 취함에 있어서, 게이트 배선의 배선 저항은 아주 작게 될 수 있음으로써, 면적이 큰 영상 디스플레이 영역(픽셀부)이 형성될 수 있다. 더 상세하게는, 본 예에 따른 픽셀 구조는 화면의 대각 크기가 10인치 또는 그보다 큰(또한, 30인치 또는 그보다 큰) EL 디스플레이 장치를 실현하는데 매우 효과적이다.
- <144> 그 후, 도 8a에 도시된 것과 같이, 제 1 층간 절연막(338)이 형성된다. 제 1 층간 절연막(338)으로서, 실리콘을 포함하는 단층 절연막 또는 실리콘을 포함하는 절연막들이 2개 또는 그 이상으로 조합된 적층막이 사용될 수 있다. 또한, 막 두께는 400nm 내지 1.5μm이다. 이 실시예에서, 200nm 두께의 실리콘 옥시나이트라이스 막 위에 적층된 800nm 두께의 실리콘 산화물 막의 구조가 사용될 수 있다.
- <145> 또한, 수소화를 수행하기 위해서 3 내지 100%의 수소를 포함하는 분위기에서 1 내지 12시간동안 300 내지 450°C로 열처리가 수행된다. 이 처리는 반도체 막에서 댕글링 본드들(dangling bonds)이 열적으로 여기된 수소에 의해 종결되는 처리이다. 수소화는 또한 플라즈마 수소화(플라즈마 수소를 사용함)에 의해 수행될 수 있다.
- <146> 수소화는 제 1 층간 절연막(338)이 형성되는 동안 수행될 수 있다. 더 상세하게, 상기 수소화는 200nm 두께의

실리콘 옥시나이트라이드 막이 형성된 후와, 800nm 두께의 실리콘 산화물 막이 형성되기 전에 수행될 수 있다.

<147> 그 후, 접촉홀들이 제 1 층간 절연막(338) 및 게이트 절연막(310)에 형성되고, 소스 배선들(339 내지 342) 및 드레인 배선들(343 내지 345)이 형성된다. 이 실시예에서, 전극들은 100nm 두께의 Ti 막, 300nm 두께의 Ti를 포함하는 알루미늄 막, 및 150nm 두께의 Ti 막이 스퍼터링에 의해 연속적으로 형성됨으로써 형성된 3-층 구조의 적층막들이다. 물론, 다른 도전막들도 사용될 수 있다.

<148> 그 후에, 50 내지 500nm(대표적으로, 200 내지 300nm) 두께의 제 1 패시베이션막(346)이 형성된다. 이 실시예에서, 300nm 두께의 실리콘 옥시나이트라이드 막이 제 1 패시베이션막(346)으로서 사용된다. 실리콘 옥시나이트라이드 막 대신 실리콘 질화물 막이 사용될 수 있다.

<149> 실리콘 옥시나이트라이드 막을 형성하기 전에 H<sub>2</sub> 또는 NH<sub>3</sub>과 같은 수소를 포함하는 가스를 사용하는 플라즈마 처리가 효과적이다. 제 1 층간 절연막(338)에 대한 이 선처리에 의해 여기된 수소를 공급하고 열 처리를 수행함으로써, 제 1 패시베이션막(346)의 품질을 개선한다. 동시에, 제 1 층간 절연막(338)에 도핑된 수소가 더 낮은 층 쪽으로 확산된다. 따라서, 활성층들이 효과적으로 수소화될 수 있다.

<150> 그 후, 도 8b에 도시된 것과 같이 유기 수지의 제 2 층간 절연막(347)이 형성된다. 유기 수지로서, 폴리이미드 수지, 폴리아미드 수지, 아크릴 수지, 또는 실록산의 고분자 화합물을 포함하는 수지가 사용될 수 있다. 특히, 제 2 층간 절연막(347)은 평탄화를 수행하는데 더 적합하기 때문에, 평탄성(planarity)이 양호한 아크릴 수지가 바람직하다. 이 실시예에서, 아크릴 수지막은 충분히 평탄화된 TFT들에 의해 형성된 단자를 갖는 두께로 형성된다. 바람직하게, 아크릴 수지의 두께는 1 내지 5μm(더 바람직하게는 2 내지 4μm)이다.

<151> 그 후, 접촉홀이 제 2 층간 절연막(347) 및 제 1 패시베이션막(346)에 형성되고, 드레인 배선(345)에 전기적으로 접속된 광셀 전극(348)이 형성된다. 이 실시예에서, 인듐 주석 산화물(ITO) 막이 110nm의 두께로 형성되고, 광셀 전극을 형성하도록 패터닝된다. 인듐 산화물에 2 내지 20%의 아연 산화물(ZnO)이 혼합된 투명 도전막도 사용될 수 있다. 이 광셀 전극은 EL 소자의 애노드가 된다.

<152> 그 후, 도 8c에 도시된 것과 같이, 유기 수지의 보호부들(349a, 349b)이 형성된다. 보호부들(349a, 349b)은 1 내지 2μm 두께의 아크릴 수지막 또는 폴리이미드 막과 같은 수지막을 패터닝함으로써 형성될 수 있다. 도 3에 도시된 것과 같이, 보호부들(349a, 349b)은 각각 광셀 전극들 사이의 공간 및 전극 홀에 형성된다.

<153> 그 후, EL층(350)이 형성된다. 더 상세하게, EL층(350)이 되는 유기 EL 재료가 크롤로폼, 다이크롤로메탄, 크셀린, 툴루엔, 테라하이드로푸란(terahydrofuran), 또는 N-메틸피롤리돈(N-methylpyrrolidone)과 같은 용매로 용해되고, 스핀 코팅으로 적용된다. 그 후, 용매는 열처리에 의해 휘발된다. 이 방법에서, 유기 EL 재료의 막(EL층)이 형성된다.

<154> 이 실시예에서, EL 재료가 80nm의 두께로 형성된 후에, 용매를 휘발시키기 위해 80 내지 150°C의 핫 플레이트(hot plate)를 사용하여 1 내지 5분동안 열처리가 수행된다.

<155> 공지된 재료가 EL 재료로서 사용될 수 있다는 점에 주의한다. 구동 전압을 고려하여, 상기 공지된 재료는 유기 재료인 것이 바람직하다. EL층(350)은 이 실시예에서 단층 구조이지만, 필요에 따라 전자 주입층, 전자 수송층, 홀 수송층, 홀 주입층, 전자 차단층, 또는 홀 소자층을 갖는 적층 구조일 수 있다. 또한, 이 실시예에서, EL 소자의 캐소드(351)로서 MgAg 전극이 사용된 것으로 설명되었지만, 다른 공지된 재료들도 사용될 수 있다.

<156> EL층(350)이 형성된 후에, 캐소드(MgAg 전극)(351)가 진공 증발에 의해 형성된다. EL층(350)의 두께는 바람직하게 80 내지 200nm(전형적으로 100 내지 120nm)이고, 캐소드(351)의 두께는 바람직하게 180 내지 300nm(전형적으로 200 내지 250nm)이다.

<157> 또한, 보호 전극(352)이 캐소드(351) 상에 제공된다. 보호 전극(352)으로서, 주성분으로 알루미늄을 포함하는 도전막이 사용될 수도 있다. 보호 전극(352)은 마스크를 사용하는 진공 증발에 의해 형성될 수 있다.

<158> 마지막으로, 실리콘 질화물 막의 제 2 패시베이션막(353)이 300nm의 두께로 형성된다. 실제로, 보호 전극(352)이 제 2 패시베이션막(353)을 더 형성함으로써 습기 등으로부터 EL층을 보호하지만, EL 소자의 신뢰성은 더 향상될 수 있다.

<159> 본 실시예의 경우에, 도 8c에 도시된 것과 같이, n-채널형 TFT(205)의 활성층은 소스 영역(355), 드레인 영역(356), LDD 영역(357), 및 채널 형성 영역(358)을 포함한다. LDD 영역(357)은 게이트 절연막(310)을 사이에

끼우면서 게이트 전극(312)과 겹쳐진다.

<160> LDD 영역이 드레인 영역의 측면에만 형성되어, 동작 속도가 낮아지지 않도록 한다. 또한, n-채널형 TFT(205)와 관련하여, 오프 전류를 고려할 필요가 없으며, 동작 속도가 더 중요하다. 따라서, LDD 영역(357)은 가능한 한 작은 저항 성분을 만들기 위해 게이트 전극으로 완전히 커버된다. 즉, 소위 오프셋(offset)이 없는 것이 바람직하다.

<161> 이러한 방법으로, 도 8c에 도시된 것과 같은 구조를 갖는 액티브 매트릭스 기판이 완성된다.

<162> 그런데, 픽셀부뿐만 아니라 구동 회로부에서도 가장 적당한 구조의 TFT들이 배치됨으로써, 본 실시예에 따른 액티브 매트릭스 기판은 매우 신뢰적이고, 그 동작 특성들이 개선될 수 있다.

<163> 먼저, 가능한 한 많은 동작 속도를 낮추지 않도록 핫 캐리어 주입을 감소시키도록 구조화된 TFT가 구동 회로부를 형성하는 CMOS 회로의 n-채널형 TFT(205)로서 사용된다. 본 명세서에 언급된 것과 같은 구동 회로는 쉬프트(shift) 레지스터, 버퍼, 레벨 쉬프터(level shifter), 및 샘플링 회로(샘플 및 홀드 회로)를 포함한다. 디지털 구동이 수행되는 경우에, D/A 변환기와 같은 신호 변화 회로가 포함될 수 있다.

<164> 구동 회로들 중에서, 샘플링 회로는 다른 회로들과 조금 다르고, 대량의 전류가 채널 형성 영역을 통해 양방향으로 흐른다는 점에 주의한다. 즉, 소스 영역의 기능 및 드레인 영역의 기능이 반전된다. 또한, 가능한 한 많은 오프 전류 값을 억제하는 것이 필요하다. 이러한 점에서, 스위칭 TFT와 전류 제어 TFT 사이의 기능을 갖는 TFT를 배치하는 것이 바람직하다.

<165> 따라서, 샘플링 회로를 형성하는 n-채널형 TFT로서 도 9에 도시된 것과 같은 구조의 TFT가 배치되는 것이 바람직하다. 도 9에 도시된 것과 같이, LDD 영역들(901a, 901b)의 부분들은 게이트 절연막(902)을 통해 게이트 전극(903)과 겹쳐진다. 그것을 통해 전류가 흐를 때 발생된 핫 캐리어 주입으로 인한 대응하는 열화를 측정하기 위한 것이다. 샘플링 회로의 경우는 상기 LDD 영역들이 채널 형성 영역(904)을 사이에 끼워 넣도록 2개의 측면들 상에 제공되는 것이 다른 경우들과 다른 점이다.

<166> 실제로, 도 8c에 도시된 처리가 완료된 후에, 장치는 바람직하게 밀폐 유리, 석영, 또는 플라스틱과 같은 커버 재료로 패키징하여(둘러싸서), 장치가 외부 공기에 노출되지 않는다. 이 경우에, 바륨 산화물 또는 산화 방지제와 같은 흡습제가 커버 재료 내부에 배치되는 것이 바람직하다.

<167> 또한, 패키징과 같은 처리에 의해 밀폐성이 강화된 후에, 기판 상에 형성된 소자들 또는 회로들로부터 기인된 단자들을 외부 신호 단자들에 접속하기 위한 커넥터(유연한 프린트 회로(FPC, flexible print circuit))가 제품으로서 장치를 완성하기 위해 부착된다. 이 상태, 즉, 출하할 수 있는 상태에서의 장치를 본 명세서에서는 EL 디스플레이 장치(또는 EL 모듈)라고 한다.

<168> 여기서, 본 발명에 따른 액티브 매트릭스 EL 디스플레이 장치의 구조는 도 10의 투시도를 참조로 하여 설명된다. 본 발명에 따른 액티브 매트릭스 EL 디스플레이 장치는 유리 기판(601) 상에 형성된 픽셀부(602), 게이트측 구동 회로(603), 및 소스측 구동 회로(604)를 포함한다. 픽셀부의 스위칭 TFT(605)는 n-채널형 TFT이고, 게이트측 구동 회로(603)에 접속된 게이트 배선(606)과 소스측 구동 회로(604)에 접속된 소스 배선(607)의 교점에 배치된다. 스위칭 TFT의 드레인은 전류 제어 TFT(608)의 게이트에 접속된다.

<169> 또한, 전류 제어 TFT(608)의 소스측은 전원선(609)에 접속된다. 이 실시예의 구조에서, 전원선(609)은 접지 전위(어스 전위)를 갖는다. 또한, 전류 제어 TFT(608)의 드레인은 EL 소자(610)에 접속된다. 소정의 전압(3 내지 12V, 바람직하게는 3 내지 5V)은 EL 소자(610)의 애노드에 인가된다.

<170> 또한, 외부 입력/출력 단자가 되는 FPC(611)는 신호를 구동 회로부로 전송하기 위한 접속 배선들(612, 613) 및 전원선(609)에 접속되는 접속 배선(614)이 제공된다.

<171> 또한, 도 11은 도 10에 도시된 EL 디스플레이 장치 회로 구조의 예를 도시한다. 본 발명에 따른 EL 디스플레이 장치는 소스측 구동 회로(801), 게이트측 구동 회로(A)(807), 게이트측 구동 회로(B)(811), 및 픽셀부(806)를 갖는다. 본 명세서에 사용된 것과 같은 구동 회로부는 소스측 구동 회로와 게이트측 구동 회로를 포함하는 명칭이다.

<172> 소스측 구동 회로(801)는 쉬프트 레지스터(802), 레벨 쉬프터(803), 버퍼(804), 및 샘플링 회로(샘플 및 홀드 회로)(805)가 제공된다. 또한 게이트측 구동 회로(A)(807)는 쉬프트 레지스터(808), 레벨 쉬프터(809), 및 버퍼(810)가 제공된다. 게이트측 구동 회로(B)(811)는 유사하게 구성된다.

- <173> 이 경우에, 쉬프트 레지스터들(802, 808)의 구동 전압은 5 내지 16V(대표적으로, 10V)이다. 회로를 구성하는 CMOS 회로에 사용된 n-채널형 TFT에 있어서, 도 8c에 205로 나타낸 구조가 적당하다.
- <174> 쉬프트 레지스터들의 경우와 유사하게, 레벨 쉬프터들(803, 809) 및 베파들(804, 810)에 있어서, 도 8c에 도시된 n-채널형 TFT(205)를 포함하는 CMOS 회로가 적당하다. 게이트 배선들은 이중-게이트 구조 또는 3중-게이트 구조와 같은 다중-게이트 구조를 갖는 게이트 배선들을 만드는 것이 각 회로들의 신뢰성을 향상시키는데 효과적이다.
- <175> 또한, 샘플링 회로(805)와 관련하여, 소스 영역 및 드레인 영역이 반전되고, 또한 오프 전류 값을 낮추는 것이 필요하기 때문에, 도 9에 도시된 n-채널형 TFT를 포함하는 CMOS 회로가 적당하다.
- <176> 또한, 픽셀부(806)에서, 도 2에 도시된 것과 같은 구조의 픽셀들이 배치된다.
- <177> 상기 구조는 도 6 내지 도 8에 도시된 제조 공정들에 따라 TFT들을 제조함으로써 쉽게 실현될 수 있다는 점에 주의한다. 또한, 픽셀부 및 구동 회로부의 구조들만 이 실시예에 도시되어 있지만, 본 실시예의 제조 공정에 따라 신호 분할 회로, D/A 변환 회로, 동작 증폭 회로, 및 y 보정 회로와 같은 구동 회로 이외의 논리 회로들이 같은 기판 상에 형성될 수 있다. 또한, 메모리 유닛, 마이크로 프로세서 등이 형성될 수 있는 것도 고려할 수 있다.
- <178> 또한, 커버 재료를 포함하는 본 실시예에 따른 EL 모듈이 도 12a, 도 12b를 참조로 하여 설명된다. 도 10 및 도 11에 사용된 참조 번호들이 필요시 여기서도 사용된다.
- <179> 도 12a는 도 10에 도시된 상태에 실링(sealing) 구조가 제공된 상면도이다. 점선으로 표시된 602, 603, 및 604는 각각 픽셀부, 게이트측 구동 회로, 및 소스측 구동 회로를 나타낸다. 본 발명에 따른 실링 구조는 도 10에 도시된 상태에 대해 충전재(도시되지 않음), 커버재(1101), 실링재(도시되지 않음), 및 프레임재(1102)가 제공된 구조이다.
- <180> 여기서, 도 12b는 도 12a의 A-A' 라인을 따라 취해진 단면도이다. 동일한 참조 번호들은 도 12a, 도 12b에서 동일한 부분들을 나타낸다.
- <181> 도 12b에 도시된 것과 같이, 픽셀부(602) 및 게이트측 구동 회로(603)가 기판(601) 상에 형성된다. 픽셀부(602)는 전류 제어 TFT(202)를 포함하는 다수의 픽셀들로 형성되고, 픽셀 전극(348)은 거기에 전기적으로 접속된다. 게이트측 구동 회로(603)는 n-채널형 TFT(205)와 p-채널형 TFT(206)가 보완적으로 결합되는 CMOS 회로를 사용하여 형성된다.
- <182> 픽셀 전극(348)은 EL 소자의 애노드로서 기능한다. 또한, 보호막(349a)은 픽셀 전극(348)의 양단에 형성된다. EL층(350) 및 캐소드(351)는 보호막(349a) 상에 형성된다. 또한, 보호 전극(352) 및 제 2 패시베이션막(353)이 그 위에 형성된다. 상기 실시 형태에 설명된 것과 같이, EL 소자의 구조는 반전될 수 있고, 픽셀 전극은 캐소드일 수 있다.
- <183> 이 실시예에서, 보호 전극(352)은 모든 픽셀들에 대해 공통적인 배선으로서 기능하며, 접속 배선(612)을 거쳐 FPC(611)에 전기적으로 접속된다. 또한, 픽셀부(602) 및 게이트측 구동 회로(603)에 포함된 모든 소자들은 제 2 패시베이션막(353)으로 커버된다. 제 2 패시베이션막(353)은 생략될 수 있지만, 외부로부터 각 소자들을 차단하도록 제공되는 것이 바람직하다.
- <184> 그 후, 충전재(1103)가 EL 소자들을 커버하도록 제공된다. 충전재(1103)는 또한 커버재(1101)를 접착하기 위한 접착재로서도 기능한다. 충전재(1103)로서, PVC(polyvinyl chloride), 에폭시 수지, 실리콘 수지, PVB(polyvinyl butyral), 또는 EVA(ethylene vinyl acetate)가 사용될 수 있다. 흡습 효과가 유지될 수 있기 때문에, 충전재(1103)의 내부에 흡습재(도시되지 않음)를 제공하는 것이 바람직하다. 이 경우에, 흡습재는 충전재에 부가된 것일 수 있거나, 충전재에 봉입된 것일 수 있다.
- <185> 또한, 이 실시예에서, 커버재(1101)로서, 유리, 플라스틱, 또는 세라믹이 사용될 수 있다. 충전재(1103) 내의 바륨 산화물과 같은 흡습재를 더 부가하는 것이 효과적이다.
- <186> 그 후, 커버재(1101)가 충전재(1103)를 사용하여 부착된 후에, 프레임재(1102)가 충전재(1103)의 측면들(노출된 면들)을 커버하도록 부착된다. 프레임재(1102)는 실링재(접착제로서 기능함)(1104)에 의해 접착된다. 이 경우에, 실링재(1104)로서, 광경화성(photo-curable) 수지가 바람직하게 사용되었지만, EL층의 열 저항이 허용되면 열경화성 수지가 사용될 수도 있다. 실링재(1104)는 수분과 산소를 가능한 한 조금 투과시키는 재료가 바람직

하다. 또한, 흡습재는 실링재(1104)의 내부에 첨가될 수 있다.

<187> 상기 언급된 방법을 사용하여 충전재(1103)에 EL 소자를 봉입함으로써, EL 소자는 외부로부터 완전히 차단될 수 있고, 산화로 인해 EL층의 열화를 촉진시키는 수분 및 산소와 같은 물질이 들어오는 것을 막을 수 있다. 따라서, 높은 신뢰성을 갖는 EL 디스플레이 장치가 제조될 수 있다.

<188> (실시예 2)

<189> 실시예 1에서, 픽셀 전극 위의 전체 표면에 유기 수지가 코팅된 후에, 노출 유닛을 사용하여 패터닝이 수행되고, 전극 홀과 픽셀 전극들 사이의 공간을 유기 수지로 채워 부분적으로 보호부들을 형성한 후에, EL층이 형성된다. 그러나, 노출 공정이 있기 때문에, 처리량은 충분하지 않다. 이 실시예에서, 에치 백(etch back)을 사용하여 수행되는 패터닝, 평탄화를 수행하지 않고 픽셀 전극 위의 전체 표면에 유기 수지를 코팅한 후에, 전극 홀 및 픽셀 전극들 사이의 공간을 채우는 유기 수지 외의 부분들이 에칭된다.

<190> 여기서, 도 13은 본 발명에 따른 EL 디스플레이 장치 픽셀부의 단면 구조를 도시한다.

<191> 도 13a는 픽셀 전극(1040) 및 전기적으로 픽셀 전극(1040)에 접속되는 전류 제어 TFT를 도시한다. 기초막(1012)이 기판(1011) 상에 형성된 후에, 소스 영역(1031), 드레인 영역(1032), 및 채널 형성 영역(1034)을 포함하는 활성층, 게이트 절연막(1018), 게이트 전극(1035), 제 1 충간 절연막(1020), 소스 배선(1036), 및 드레인 배선(1037)을 갖도록 형성된다. 게이트 전극(1035)이 도면에서 단일-게이트 구조로 되어 있지만, 다중-게이트 구조일 수도 있다.

<192> 그 후, 제 1 패시베이션막(1038)이 10nm 내지 1μm(바람직하게, 200 내지 500nm)의 두께로 형성된다. 재료로서, 실리콘을 포함하는 절연막(특히, 실리콘 옥시나이트라이드 막 또는 실리콘 질화물 막이 바람직함)이 사용될 수 있다.

<193> 제 2 충간 절연막(평탄화 막이라고도 함)(1039)이 TFT들에 의해 형성된 단차를 평탄화하기 위해 각 TFT들을 커버하도록 제 1 패시베이션막(1038) 위에 형성된다. 제 2 충간 절연막(1039)으로서, 폴리이미드 수지, 폴리아미드 수지, 아크릴 수지, 또는 실록산의 고분자 화합물을 포함하는 수지와 같은 유기 수지막이 바람직하다. 물론, 충분한 평탄화가 수행될 수 있다면 무기막도 사용될 수 있다.

<194> 제 2 충간 절연막(1039)에 의해 TFT들에 의해 형성된 단차를 평탄화하는 것도 상당히 중요하다. EL층이 나중에 매우 얇게 형성되기 때문에, 단차의 존재는 불량한 발광이 야기될 수 있다. 따라서, EL층 상의 표면을 가능한 한 평탄하게 형성하기 위해서 픽셀 전극을 형성하기 전에 평탄화가 수행되는 것이 바람직하다.

<195> 또한, 접촉홀(개구)이 제 2 충간 절연막(1039) 및 제 2 패시베이션막(1038)에 형성된 후에, 형성된 개구가 전류 제어 TFT의 드레인 배선(1037)에 접속되도록 투명 도전막의 픽셀 전극(1040)(EL 소자의 애노드에 대응함)이 형성된다.

<196> 이 실시예에서, 픽셀 전극으로서, 인듐 산화물 및 주석 산화물의 화합물로 형성된 도전막이 사용된다. 소량의 갈륨이 이 화합물에 도핑될 수도 있다. 또한, 인듐 산화물과 주석 산화물의 화합물이 사용될 수 있다.

<197> 그 후, 유기 수지의 유기 수지막(1041)이 픽셀 전극 상에 형성된다. 유기 수지로서, 폴리이미드 수지, 폴리아미드 수지, 아크릴 수지, 및 실록산의 고분자 화합물을 포함하는 수지가 사용될 수 있지만, 여기서는, 아크릴 에스테르 수지, 메타크릴산 에스테르 수지, 또는 메타크릴산 수지와 같은 아크릴 수지가 사용된다.

<198> 실록산의 고분자 화합물을 포함하는 수지가 사이클로텐(CYCLOTEN)을 포함한다.

<199> 또한, 이 경우에, 유기 수지의 유기 수지막이 픽셀 전극 상에 형성되지만, 절연막일 수 있는 절연체가 사용될 수 있다.

<200> 절연체로서, 실리콘 산화물, 실리콘 옥시나이트라이드, 또는 실리콘 질화물과 같은 실리콘을 포함하는 절연막이 사용될 수 있다.

<201> 유기 수지막(1041)의 두께(Dc)는 0.1 내지 2μm, 더 바람직하게는 0.2 내지 0.6μm이다.

<202> 유기 수지막(1041)이 형성된 후에, 유기 수지막(1041)의 전체 표면이 Dc=0이 될 때까지 에칭된다. 그러한 점에서, 에칭이 완료된다. 이러한 방법에서, 전극 홀을 채우는 아크릴 수지가 보호부(1041b)를 형성하도록 남겨진다.

<203> 에칭 방법으로서, 건식 에칭이 선호됨을 주의한다. 먼저, 에칭되는 유기 수지 재료에 대한 적당한 에칭 가스가

진공 챔버로 도입된다. 그 후에, 고주파 전압이 에칭 가스의 플라즈마를 생성하기 위해 전극에 인가된다.

<204> 에칭 가스의 플라즈마에서, 양 이온들, 음 이온들, 및 전극들과 같은 충전된 입자들 및 중성 활성종들(active species)이 흘어져 존재한다. 에칭종은 에칭된 재료에 의해 흡착되고, 그 표면에 화학 반응이 발생되며, 에칭 생성물이 발생된다. 에칭 생성물을 제거함으로써 에칭이 수행된다.

<205> 또한, 아크릴 수지가 보호막의 재료로 사용될 때, 주성분으로서 산소를 포함하는 에칭 가스가 사용되는 것이 바람직하다.

<206> 이 실시예에서, 산소, 헬륨, 및 탄소 테트라플루오라이드( $CF_4$ )로 구성된 에칭 가스가 주성분으로서 산소를 포함하는 에칭 가스로서 사용됨을 주의하다. 다른 재료들로서, 탄소 헥사플루오라이드(hexafluoride)와 같은 탄화불소를 포함하는 가스가 사용될 수 있다.

<207> 이 에칭 가스들에서, 전체 에칭 가스 중 산소가 60% 내지 그 이상이 선호됨을 주의한다.

<208> 이 실시예에 설명된 것과 같이, 유기 수지막이 스펀 코팅에 의해 광센 전극 상에 형성된 후에, 도 13b의 화살표로 나타낸 방향으로 전체 표면을 에칭하여 보호부(1041b)가 전극 홀(1046)에 형성된다. 도 13b에 도시된 것과 같이, 여기서 형성된 보호부(1041b)의 노출된 표면은 광센 전극(1040)의 노출된 표면과 같은 면에 있다.

<209> 에칭 레이트(etching rate)가 먼저 조사되고, 에칭 시간은 광센 전극(1040) 상의 유기 수지막이 보호부(1041b)를 제외하고 제거될 때에만 에칭이 종료되도록 설정된다. 이러한 방법에서, 광센 전극(1040)의 상면은 보호부(1041b)의 상면과 동일한 평탄면이 된다.

<210> 또한, 상기 유기 수지들이 사용될 때, 유기 수지의 점도는  $10^3 Pa \cdot s$  내지  $10^{-1} Pa \cdot s$ 인 것이 바람직하다.

<211> 도 13c에 도시된 것과 같이, 보호부(1041b)가 형성된 후에, 용매에 용해된 EL 재료가 EL층(1042)을 형성하도록 스펀 코팅이 적용된다.

<212> EL층(1042)이 형성된 후에, 캐소드(1043) 및 보호 전극(1044)이 더 형성된다.

<213> 상기에서와 같이 도 13c에 도시된 구조를 형성함으로써, EL층(1042)이 전극 홀의 단차부에 접속되지 않을 때 발생된 광센 전극(1040)과 캐소드(1043) 사이의 단락 문제가 해결될 수 있다.

<214> 이 실시예에 설명된 것과 같이, 도 13d는 광센 전극(1040) 상의 보호부(1041b)가 전극 홀(1046)과 동일한 형상인 경우의 상면도이다.

<215> 또한, 본 실시예의 구조는 실시예 1의 구조와 자유롭게 결합될 수 있다.

<216> (실시예 3)

<217> 실시예 2에서, 에칭에 의해 보호막을 형성하는 방법, 즉, 에치 백 방법이 설명되어 있다. 그러나, 에치 백 방법은 보호막의 종류에 따라 적당하지 않을 수 있고 평탄화될 수 있는 영역이 에치 백 방법에 의해 수  $\mu m$  내지 수십  $\mu m$ 로 제한되기 때문에, 화학적 기계 폴리싱(CMP, chemical mechanical polishing)을 사용하는 보호부의 형성도 고려된다. 이와 같은 방법은 도 13을 참조하여 설명된다.

<218> 이 실시예에서, 유기 수지막(1041)이 실시예 2의 도 13a에 도시된 것과 같이  $D_c(>0)$ 의 두께로 형성된 후에, 유기 수지막(1041)은 일정한 압력 하에서 유기 수지막(1041)에 대향하는 표면 플레이트 상에서 연장된 폴리싱 패드에 대해 눌려지고,  $D_c=0$ 이 될 때까지 유기 수지막(1041)을 폴리싱으로 회전시키는 표면 플레이트와 기판 사이에 연마제(슬러리)가 흐르도록 한다.

<219> CMP에 사용되는 슬러리는 연마제라고 하는 폴리싱 입자들을 pH 제어 후에 수용액에 분산시킴으로써 형성된다. 슬러리는 폴리싱된 막에 따라 변하는 것이 바람직하다.

<220> 이 실시예에서, 아크릴 수지가 폴리싱막으로서 사용되기 때문에, 실리카를 포함하는 슬러리( $SiO_2$ ), 세리아를 포함하는 슬러리( $CeO_2$ ), 또는 증발(fumed) 실리카를 포함하는 슬러리( $SiCl_4$ )와 같은 슬러리를 사용하는 것이 바람직하다. 그러나, 알루미나를 포함하는 슬러리( $Al_2O_3$ ) 또는 제올라이트를 포함하는 슬러리와 같은 다른 슬러리들이 사용될 수도 있다.

<221> 또한, 슬러리의 액(liquid)과 연마제(실리카 입자) 간의 전위(제타 전위)가 처리 정확성에 영향을 미치기 때문

에, 제타 전위는 pH 값을 최적화하여 제어되는 것이 필요하다.

<222> 폴리성이 CMP를 사용하여 수행될 때, 폴리성이 종료되는 점을 확인하는 것이 어렵다. 과도한 폴리성이 수행되면, 광센 전극도 폴리싱된다. CMP의 스토퍼(stopper)와 같이 매우 느린 처리 속도로 막을 형성하거나, 미리 실험하여 처리 시간과 처리 속도 사이의 관계를 명확히 하는 방법을 채택하고 소정의 처리 시간이 경과되면 CMP를 종료함으로써, 과도한 폴리성이 방지될 수 있다.

<223> 상기에 설명된 것과 같이, CMP를 사용함으로써, 보호부(1041b)는 폴리싱 막의 두께와 종류에 관계없이 형성될 수 있다.

<224> 본 실시예의 구조는 실시예 1 및 실시예 2의 구조들과 자유롭게 결합될 수 있다.

<225> (실시예 4)

<226> 이 실시예에서, 본 발명이 패시브형(간단한 매트릭스형) EL 디스플레이 장치에 사용되는 경우가 도 14를 참조하여 설명된다.

<227> 도 14에서, 기판(1301)은 플라스틱으로 형성되고, 애노드(1306)는 투명 도전막으로 형성된다. 기판(1301)은 유리, 석영 등으로 형성될 수 있다.

<228> 이 실시예에서, 투명 도전막으로서, 인듐 산화물과 아연 산화물의 화합물이 증기 증착에 의해 형성된다. 도 14에 도시되어 있지는 않지만, 다수의 애노드들이 도면의 면과 수직 방향으로 스트라이프 모양(stripe-like)으로 배열되어 있다.

<229> 또한, 본 발명에 따른 보호부들(1303)이 스트라이프 모양으로 배열된 애노드들(1302) 사이의 공간들을 채우도록 형성된다. 보호부들(1303)은 도면의 면과 수직인 방향으로 애노드들(1302)을 따라 형성된다. 본 실시예의 보호부들(1303)은 유사한 재료를 사용하는 실시예 1 내지 실시예 3에 설명된 방법들에 따라 형성될 수 있다.

<230> 그 후, 고분자 유기 EL 재료의 EL층(1304)이 형성된다. 사용된 유기 EL 재료는 실시예 1에 도시된 것과 유사할 수 있다. EL층들이 보호부들(1303)에 의해 형성된 그루브들을 따라 형성되기 때문에, EL층은 또한 도면의 면과 수직인 방향을 따라 스트라이프 모양으로 배열된다.

<231> 그 후에, 도 14에 도시되지는 않았지만, 다수의 캐소드들과 보호 전극들이 애노드들(1302)에 대해 직각으로 도면의 면과 평행인 그 세로 방향과 스트라이프 모양으로 배열된다. 이 실시예에서, 캐소드들(1305)은 증기 증착에 의해 MgAg로 형성되고 보호 전극들(1306)은 증기 증착에 의해 알루미늄 합금으로 형성된다. 또한, 도면에 도시되지는 않았지만, 소정의 전압이 보호 전극들(1306)에 인가되어 나중에 부착되는 FPC의 부분들을 위해 보호 전극들(1306)로부터 배선들이 나와 있다.

<232> 또한, 도면에 도시되지는 않았지만, 보호 전극들(1306)이 형성된 후에, 실리콘 질화물 막이 패시베이션막으로서 제공될 수 있다.

<233> 이러한 방법으로, EL 소자들이 기판(1301) 상에 형성된다. 이 실시예에서, 하부 전극들이 투광성의 애노드들이기 때문에, EL층들(1304a 내지 1304c)로부터 발생된 광은 하면(기판(1301))에 방사된다. 그러나, EL 소자들의 구조는 반전될 수 있고 하부 전극들은 광을 차단하는 캐소드들일 수 있다. 이 경우에, EL층들에 의해 발생된 광은 상면(기판(1301)과 대향하는 면)에 방사된다.

<234> 그 후, 세라믹 기판이 커버재(1307)로서 준비된다. 본 실시예의 구조에서, 광을 차단하는 세라믹 기판이 사용되지만, EL 소자들의 구조가 상기 설명된 것과 같이 반전되면, 투광성 커버재도 바람직하며, 따라서, 그러한 경우에 플라스틱, 유리 등으로 형성된 기판이 사용된다.

<235> 따라서, 커버재(1307)가 준비된 후에, 커버재(1307)는 흡습재(도시되지 않음)로서 첨가되는 바륨 산화물의 충전재(1308)에 의해 접착된다. 그 후에, 프레임재(1310)가 자외선 경화 수지로 형성된 실링재(1309)를 사용하여 부착된다. 이 실시예에서, 스테인레스 스틸이 프레임재(1310)로서 사용된다. 마지막으로, FPC(1312)가 패시브형 EL 디스플레이 장치를 완성하기 위해 이방성 도전막(1311)을 통해 부착된다.

<236> 본 실시예의 구조는 실시예 1 내지 실시예 3의 어떠한 구조들과도 자유롭게 결합될 수 있다.

<237> (실시예 5)

<238> 액티브 매트릭스 EL 디스플레이 장치가 본 발명에 따라 제조될 때, 기판으로서 실리콘 기판(실리콘 웨이퍼)을 사용하는 것이 효과적이다. 실리콘 기판이 기판으로서 사용될 때, 광센부에 형성되는 스위칭용 소자들 및 전류

제어용 소자들과 구동 회로부에 형성되는 구동용 소자들은 IC들 및 LSI들에 사용된 MOSFET들을 제조하기 위한 공지된 기술을 사용하여 형성될 수 있다.

<239> MOSFET들은 공지된 IC 또는 LSI로 나타낼 수 있는 것으로서 매우 작은 파동을 갖는 회로를 형성할 수 있다. 특히, MOSFET들은 전류 값에 의해 계조(gray scale)를 표현하는 아날로그-구동 액티브 매트릭스 EL 디스플레이 장치를 형성하는데 효과적이다.

<240> 실리콘 기판은 광을 차단하기 때문에, EL층으로부터의 광이 기판에 대향하는 면에 방사되도록 장치가 구조화되는 것이 필요하다. 본 실시예에 따른 EL 디스플레이 장치는 도 12에 도시된 것과 유사한 구조이지만, MOSFET들이 꽈셀부(602)와 구동 회로부(603)를 형성하는 TFT를 대신 사용되는 것이 다르다.

<241> 본 실시예의 구조는 실시예 1 내지 실시예 4의 어떠한 구조들과도 자유롭게 결합될 수 있다.

<242> (실시예 6)

<243> 본 발명을 실시함으로써 형성된 EL 디스플레이 장치는 자기 발광형이고, 액정 디스플레이 장치와 비교하여 밝은 위치에서 뛰어난 가시성(visibility)을 갖고, 또한 시야각(angle of view)도 넓다. 따라서, 다양한 전자 기구의 디스플레이부로서 사용될 수 있다. 예를 들어, 본 발명에 따른 자기 발광 장치는 TV 방송 등을 큰 화면에서 감상하기 위한 30인치 또는 그 이상(전형적으로 40인치 또는 그 이상)의 대각 EL 디스플레이(EL 디스플레이 장치를 하우징에 일체화한 디스플레이)에 사용될 수 있다.

<244> 퍼스널 컴퓨터 디스플레이, TV 방송 수신용 디스플레이, 및 광고 디스플레이용 디스플레이와 같은 정보를 디스플레이하기 위한 모든 디스플레이 장치들이 EL 디스플레이들에 포함된다. 또한, 본 발명의 자기 발광 장치는 다양한 다른 전자 장비의 디스플레이부에 사용될 수도 있다.

<245> 다음은 본 발명의 전자 장비의 형태로서, 비디오 카메라, 디지털 카메라, 고글형(goggle type) 디스플레이(헤드 장착(head mounted) 디스플레이), 네비게이션 시스템, 오디오 재생 장치(카 오디오 시스템 또는 오디오 컴퓨터 시스템과 같은 것), 노트북형 퍼스널 컴퓨터, 게임 장치, 휴대형 정보 단말기(이동 컴퓨터, 셀룰러 폰, 휴대형 게임기, 또는 전자 사전과 같은 것), 및 기록 매체가 장착된 영상 재생 장치(특히, 디지털 비디오 디스크(DVD)와 같은 기록 매체를 재생하고 그 영상을 디스플레이하는 디스플레이를 구비하는 장치)를 제공한다. 특히, 경사진 각에서 종종 보여지는 휴대용 정보 단말기들은 넓은 시각이 중요하며, 따라서, EL 디스플레이를 사용하는 것이 바람직하다. 이러한 전자 장치들의 특정 예들은 도 15a 내지 도 15f 및 도 16a와 도 16b에 도시되어 있다.

<246> 도 15a는 EL 디스플레이로, 프레임(2001), 지지대(2002), 및 디스플레이부(2003) 등을 포함한다. 본 발명은 디스플레이부(2003)에 사용될 수 있다. EL 디스플레이는 자기 발광형이므로 백 라이트(back light)가 필요하지 않고, 디스플레이부는 액정 디스플레이 장치보다 얇게 만들어질 수 있다.

<247> 도 15b는 비디오 카메라로, 본체(2101), 디스플레이부(2102), 사운드 입력부(2103), 작동 스위치들(2104), 배터리(2105), 영상 수신부(2106) 등을 포함한다. 본 발명의 EL 디스플레이 장치는 디스플레이부(2102)에 사용될 수 있다.

<248> 도 15c는 헤드 장착형 EL 디스플레이의 일부분(오른쪽 면)이고, 본체(2201), 신호 케이블(2202), 헤드 고정 밴드(2203), 디스플레이부(2204), 광학 시스템(2205), EL 디스플레이 장치(2206) 등을 포함한다. 본 발명은 EL 디스플레이부(2206)에 사용될 수 있다.

<249> 도 15d는 기록 매체가 구비된 영상 재생 장치(특히, DVD 재생 장치)로, 본체(2301), 기록 매체(DVD와 같은 것)(2302), 작동 스위치들(2303), 디스플레이부(a)(2304), 및 디스플레이부(b)(2305) 등을 포함한다. 디스플레이부(a)(2304)는 주로 영상 정보를 디스플레이하기 위해 사용되고, 디스플레이부(b)는 주로 문자 정보를 디스플레이하기 위해 사용되며, 본 발명의 EL 디스플레이 장치는 디스플레이부(a) 및 디스플레이부(b)에 사용될 수 있다. 기록 매체가 구비된 영상 재생 장치는 가정용 게임기들과 같은 장치들을 포함한다.

<250> 도 15e는 휴대용(이동) 컴퓨터로, 본체(2401), 카메라부(2402), 영상 수신부(2403), 작동 스위치들(2404), 및 디스플레이부(2405)를 포함한다. 본 발명의 EL 디스플레이 장치는 디스플레이부(2405)에 사용될 수 있다.

<251> 도 15f는 퍼스널 컴퓨터로, 본체(2501), 프레임(2502), 디스플레이부(2503), 및 키보드(2504)를 포함한다. 본 발명의 EL 디스플레이 장치는 디스플레이부(2503)에 사용될 수 있다.

<252> 미래에 EL 재료들에 의해 방출되는 광의 휘도가 높아지면, 출력 영상 정보를 포함하는 광을 렌즈 등에 투사하는

프런트형(front type) 또는 리어형(rear type) 프로젝터(projector)에 사용할 수 있게 될 것이다.

<253> 또한, 상기 전자 장치들은 종종 인터넷 및 CATV(케이블 텔레비전)과 같은 전자 통신 네트워크를 통해 분산된 정보를 디스플레이한다. 특히, 전자 장치들이 동영상 정보를 디스플레이할 기회들이 점점 더 많아진다. EL 재료의 응답 속도가 매우 높기 때문에, EL 디스플레이 장치는 동영상상을 디스플레이하기에 적당하다. 그러나, 픽셀들 간의 윤곽이 흐리면, 전체 동영상은 흐린다. 따라서, 픽셀들 간의 윤곽을 명확히 하는 본 발명에 따른 EL 디스플레이 장치는 전자 장치들의 디스플레이부로서 상당히 효과적이다.

<254> 또한, EL 디스플레이 장치는 발광하는 부분에서 전력을 소비하기 때문에, 발광 부분들이 작아지도록 하여 EL 디스플레이 장치가 정보를 디스플레이하는데 사용하는 것이 바람직하다. 따라서, 휴대용 정보 단말기, 특히, 셀룰러 폰 또는 오디오 재생 장치와 같이 주로 문자 정보에 대한 디스플레이부에 EL 디스플레이 장치를 사용할 때, 발광하지 않는 부분들이 백그라운드(background)로 설정되면서 발광 부분들로 문자 정보가 형성되도록 구동하는 것이 바람직하다.

<255> 도 16a는 셀룰러 폰으로, 본체(2601), 사운드 출력부(2602), 사운드 입력부(2603), 디스플레이부(2604), 작동 스위치들(2605), 및 안테나(2606)를 포함한다. 본 발명에 따른 EL 디스플레이 장치는 디스플레이부(2604)에 사용될 수 있다. 검정색 백그라운드에 하얀색 문자들을 디스플레이함으로서, 디스플레이부(2604)는 셀룰러 폰의 전력 소비를 억제할 수 있다.

<256> 도 16b는 오디오 재생 장치, 특히, 카 오디오 시스템으로, 본체(2701), 디스플레이부(2702), 및 작동 스위치들(2703, 2704)을 포함한다. 본 발명의 EL 디스플레이 장치는 디스플레이부(2702)에 사용될 수 있다. 또한, 카 오디오 시스템을 이 실시예에 나타내었지만, 본 발명의 EL 디스플레이 장치는 휴대용 또는 가정용 오디오 재생 시스템에도 사용될 수 있다. 검정색 백그라운드에 하얀색 문자들을 디스플레이함으로써, 디스플레이부(2704)는 전력 소비를 억제할 수 있다. 이것은 특히 휴대용 오디오 재생 장치에 효과적이다.

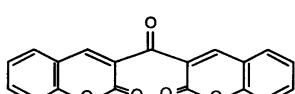
<257> 따라서, 본 발명의 응용 범위는 매우 넓으며, 모든 분야의 전기 기구에 본 발명을 응용할 수 있다. 또한, 이 실시예에서 전기 기구는 실시예 1 내지 실시예 5에 구조화된 어떠한 EL 디스플레이 장치를 사용하여도 실현될 수 있다.

<258> (실시예 7)

<259> 본 발명을 사용하여 제조된 EL 소자에 있어서, 발광을 위해 트리플릿 여기(triplet excitation)로부터 인광을 사용할 수 있는 EL 재료를 사용할 수 있다. 발광을 위해 인광을 사용할 수 있는 EL 재료를 사용하는 발광 장치는 외부 발광 양자 효과를 과감하게 개선할 수 있다. 이것은 EL 소자의 전력 소비를 낮추고, 수명을 연장하며, 무게를 줄이는 것을 가능하게 한다.

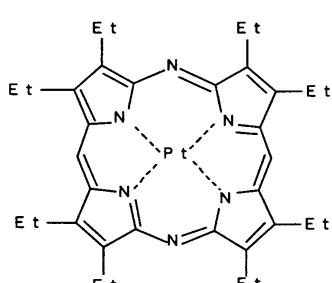
<260> 다음은 트리플릿 여기자(triplet exciton)를 사용하여 개선된 외부 발광 양자 효과를 나타낸다.

<261> 유기 분자 시스템의 광화학 처리(Photochemical Processes in Organized Molecular systems), ed. K. Hoda(Elsevier Sci. Pub., Tokyo, 1991), p.437의 T. Tsutsui, C. Adachi, 및 S. Saito에 의해 보고된 EL 재료(커마린 색소(coumarin pigment))의 구조식은 다음과 같다.



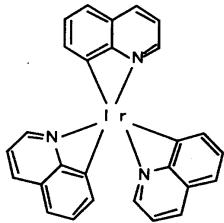
<262>

<263> Nature 395(1998), p.151의 M. A. Baldo, D. F. O'Brien, Y. You, A. Shoustikov, S. Sibley, M. E. Thompson, 및 S. R. Forrest에 의해 보고된 EL 재료(Pt 합성물)의 구조식은 다음과 같다.



<264>

<265> Appl. Phys. Lett., 75(1999), p.4의 M. A. Baldo, S. Lamansky, P. E. Burrows, M. E. Thompson, 및 S. R. Forrest 및 Jpn. Appl. Phys., 38(12B)(1999) L1502의 T. Tsutsui, M. J. Yang, M. Yahiro, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, 및 S. Mayaguchi에 의해 보고된 EL 재료(Ir 합성물)의 구조식은 다음과 같다.



&lt;266&gt;

<267> 원칙적으로, 트리플렛 여기자로부터의 상기 인광이 사용될 수 있으면, 싱글렛 여기자로부터의 형광이 사용될 때의 3배 또는 4배인 외부 발광 양자 효율이 실현될 수 있다.

&lt;268&gt;

본 실시예의 구조는 실시예 1 내지 실시예 6의 어떠한 구조와도 자유롭게 결합될 수 있다.

&lt;269&gt;

본 발명에 따라, 유기 EL 재료의 막이 형성될 때 발생된 전극 홀의 불량한 막 형성이 개선될 수 있다. 또한, 본 발명에 따라, 전극 홀은 다양한 방법들 및 다양한 모양들로 보호부로 채워질 수 있기 때문에, 조건들 및 목적에 따라 막이 형성될 수 있으며, 캐소드와 애노드 간의 단락으로 인한 EL층의 불량한 발광을 방지할 수 있다.

&lt;270&gt;

본 발명의 바람직한 실시예들과 관련하여 본 발명이 개시되었지만, 본 발명은 특정 실시예들로 제한되는 것이 아니다. 예를 들어, 본 발명은 다른 형태의 스위칭 소자들 또는 EL 소자들을 구동하기 위한 회로를 갖는 EL 장치에 응용될 수 있다.

### 발명의 효과

&lt;271&gt;

본 발명을 통해, 전극 홀에 유기 EL 재료의 불량한 막 형성으로 인한 EL 소자의 발광 불량을 개선할 수 있으며, 픽셀 전극 상의 전극 홀에 절연체를 삽입하고 보호부를 형성한 후에 유기 EL 재료를 형성함으로써, 전극 홀(4-6)의 막 형성 불량을 방지할 수 있음으로써, EL 소자의 캐소드와 애노드 사이의 단락으로 인한 전류의 집중을 방지하고 EL층의 발광 불량을 방지할 수 있다.

### 도면의 간단한 설명

&lt;1&gt;

도 1a 내지 도 1c는 픽셀부의 단면도.

&lt;2&gt;

도 2는 픽셀부의 단면도.

&lt;3&gt;

도 3a 및 도 3b는 각각 픽셀부의 상면(top surface) 및 구조를 도시하는 도면.

&lt;4&gt;

도 4a 내지 도 4c는 픽셀부의 단면도.

&lt;5&gt;

도 5a 내지 도 5c는 픽셀부의 단면도.

&lt;6&gt;

도 6a 내지 도 6e는 EL 디스플레이 장치의 제조 공정을 도시하는 도면.

&lt;7&gt;

도 7a 내지 도 7d는 EL 디스플레이 장치의 제조 공정을 도시하는 도면.

&lt;8&gt;

도 8a 내지 도 8c는 EL 디스플레이 장치의 제조 공정을 도시하는 도면.

&lt;9&gt;

도 9는 샘플링 회로의 소자 구조도.

&lt;10&gt;

도 10은 EL 디스플레이 장치의 외형도.

&lt;11&gt;

도 11은 EL 디스플레이 장치의 회로 블록 구조도.

&lt;12&gt;

도 12a 및 도 12b는 액티브 매트릭스형(active matrix type) EL 디스플레이 장치의 단면도.

&lt;13&gt;

도 13a 내지 도 13d는 픽셀부의 단면도.

&lt;14&gt;

도 14는 패시브형(passive type) EL 디스플레이 장치의 단면도.

<15> 도 14a 내지 도 15f는 전기 기구의 특정 예들을 도시하는 도면.

<16> 도 16a 및 도 16b는 전기 기구의 특정 예들을 도시하는 도면.

<17> \* 도면의 주요 부분에 대한 부호의 설명 \*

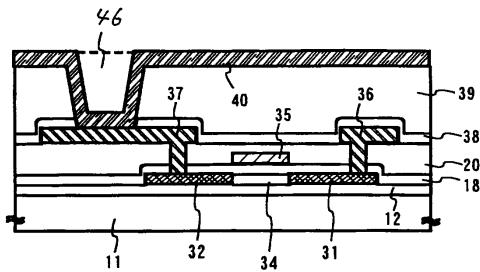
<18> 11 : 기판 37 : 드레인 배선

<19> 39 : 제 2 층간 절연막 40 : 픽셀 전극

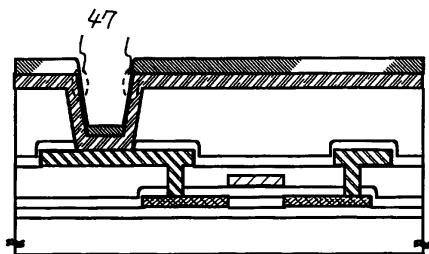
<20> 42 : EL층 46 : 전극 홀

## 도면

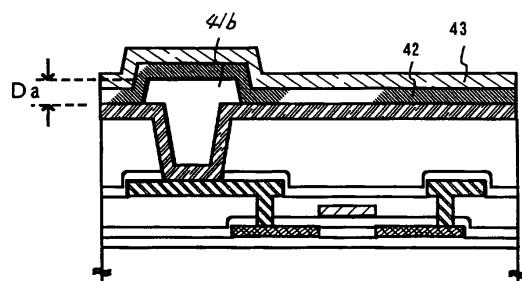
도면1a



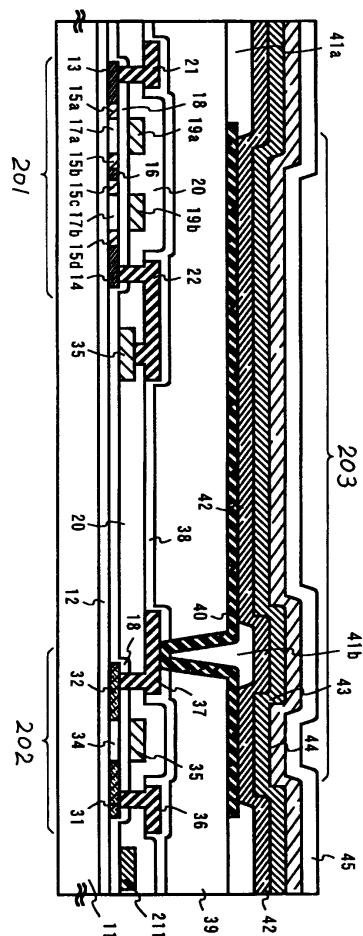
도면1b



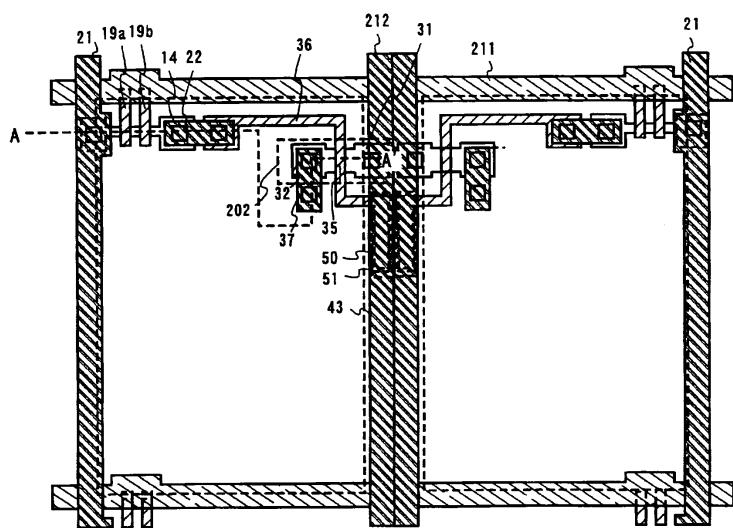
도면1c



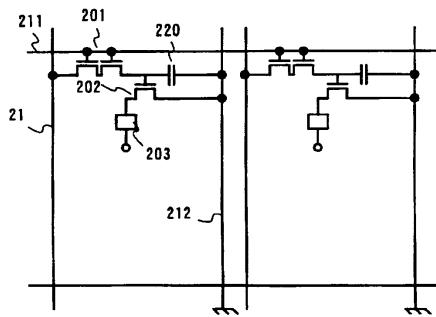
도면2



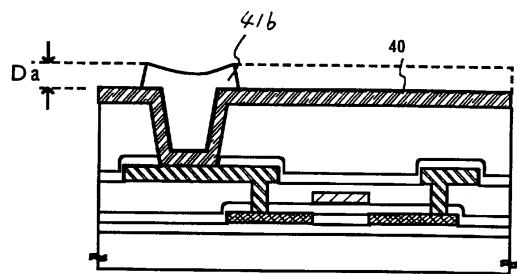
도면3a



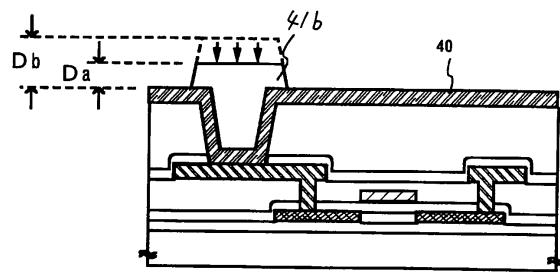
도면3b



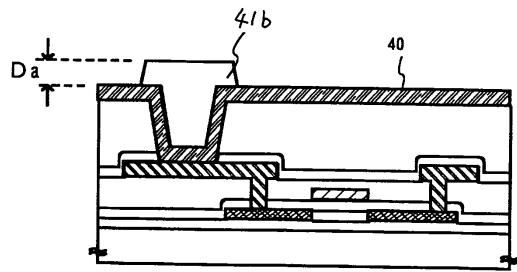
도면4a



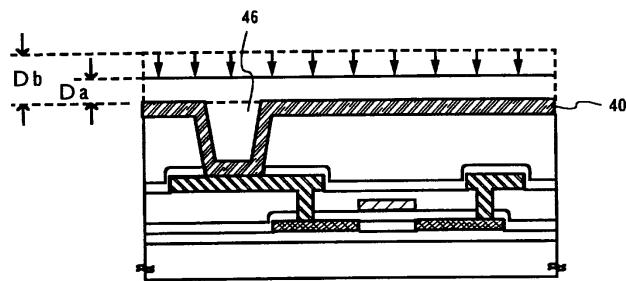
도면4b



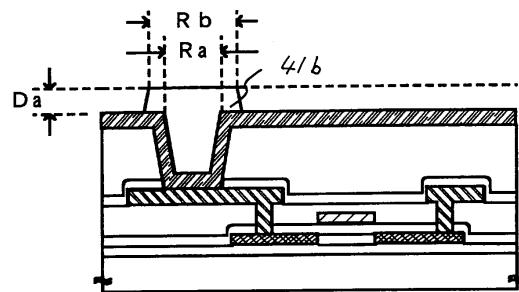
도면4c



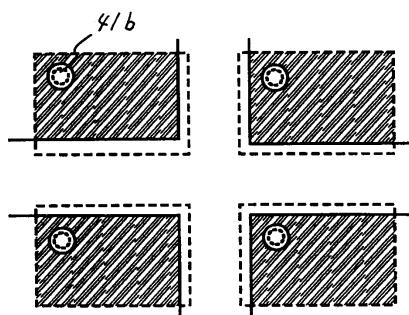
도면5a



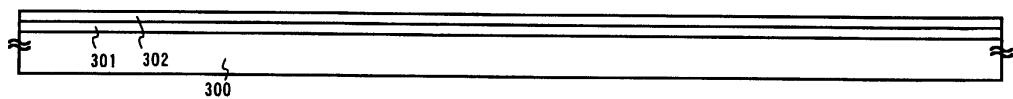
도면5b



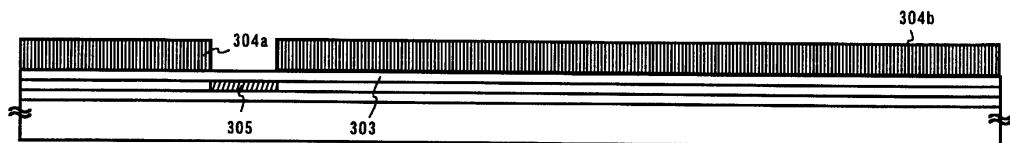
도면5c



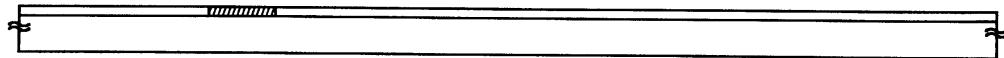
도면6a



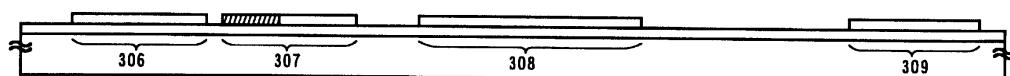
도면6b



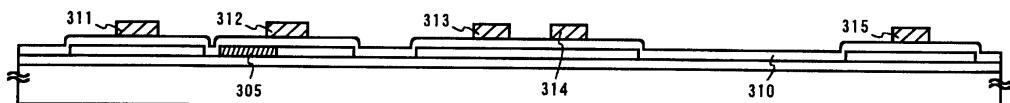
도면6c



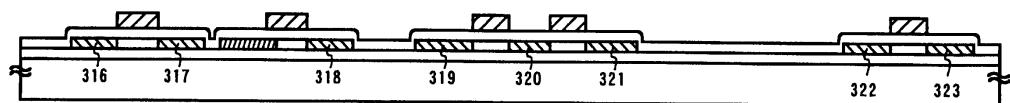
도면6d



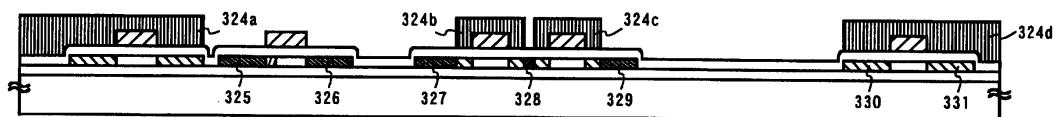
도면6e



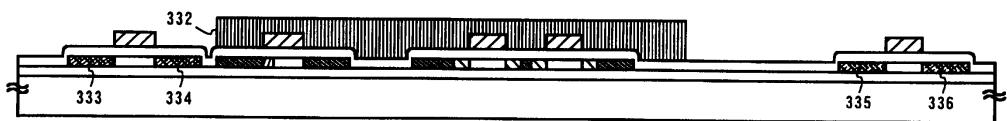
도면7a



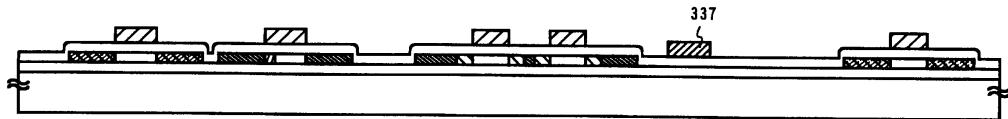
도면7b



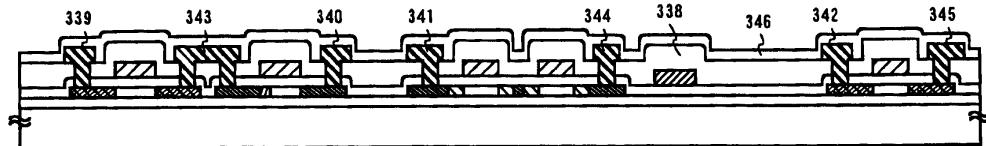
도면7c



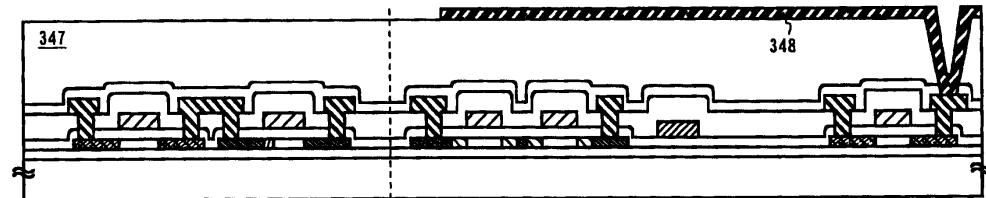
도면7d



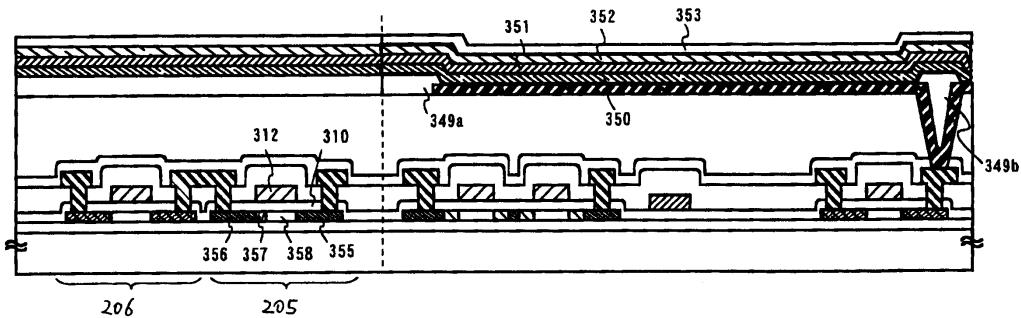
도면8a



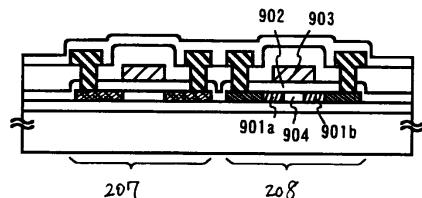
도면8b



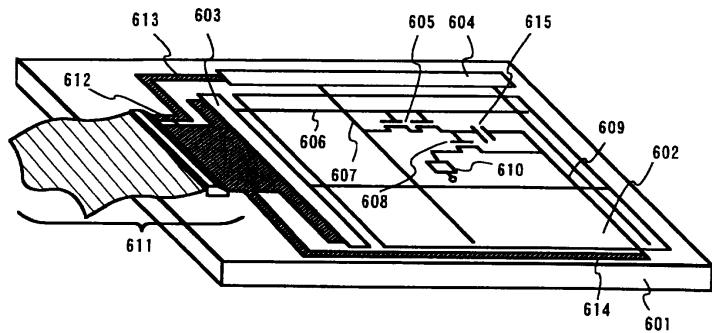
도면8c



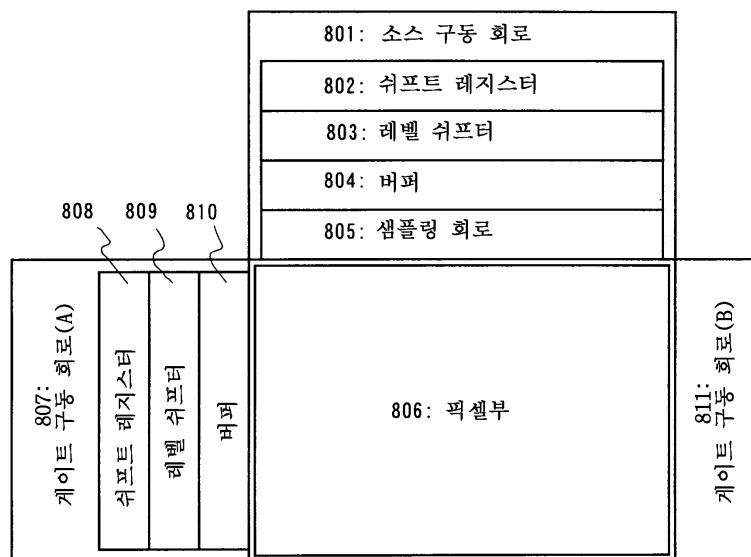
도면9



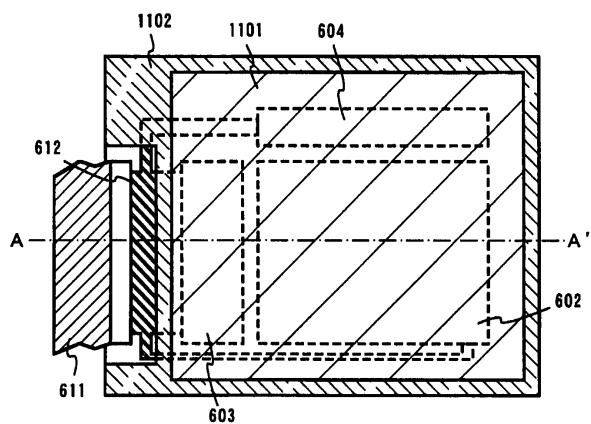
도면10



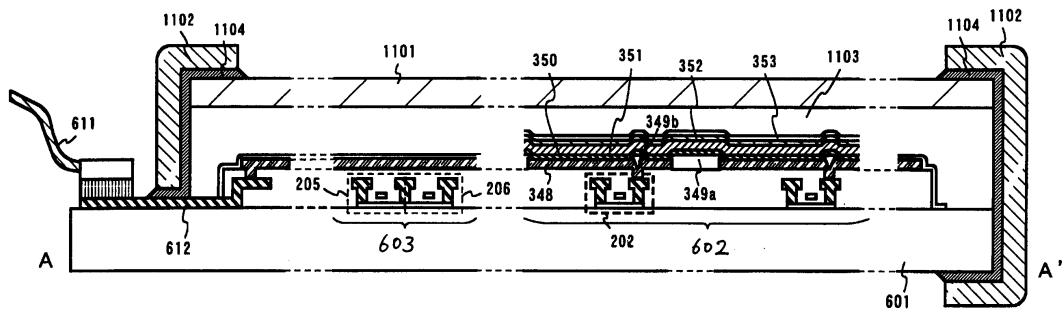
도면11



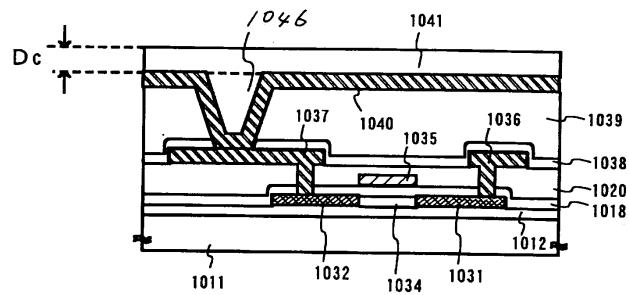
도면12a



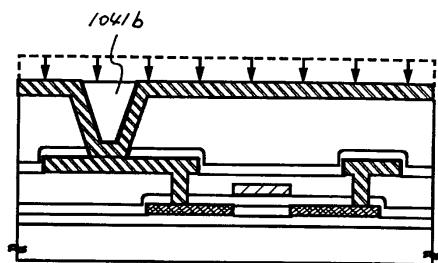
도면12b



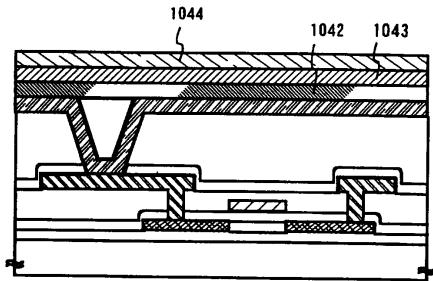
도면13a



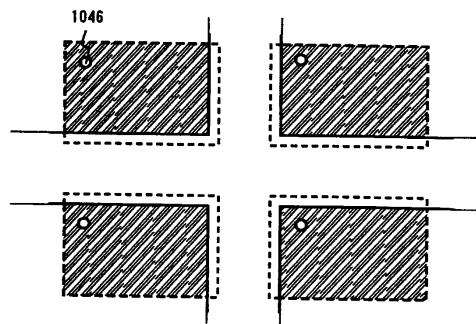
도면13b



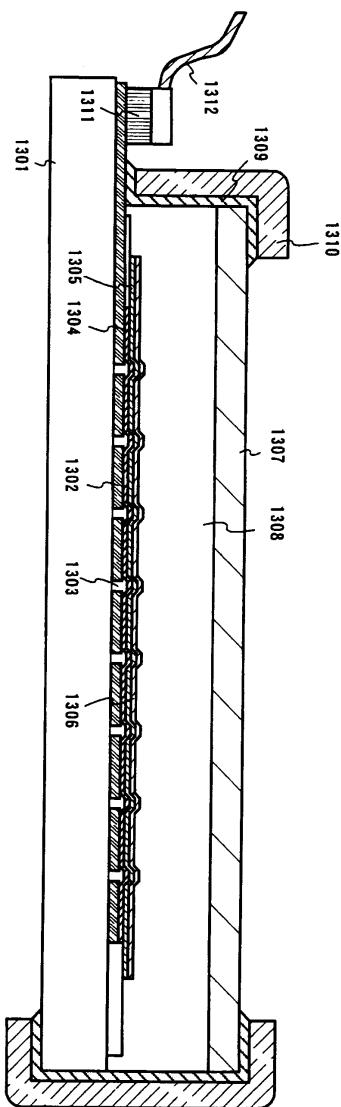
도면13c



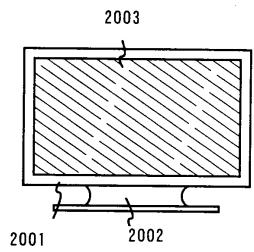
도면13d



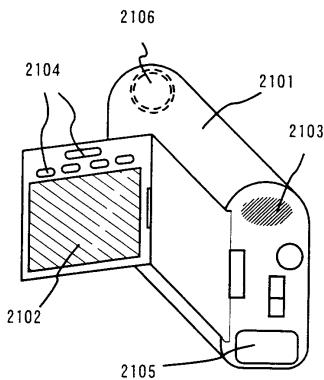
도면14



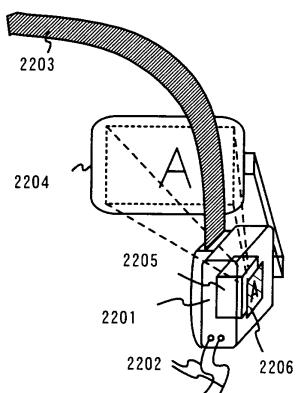
도면15a



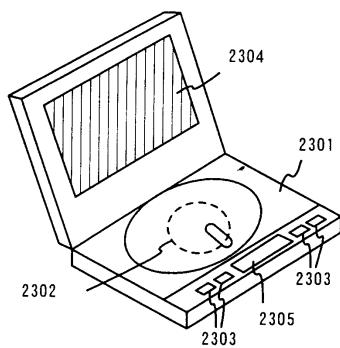
도면15b



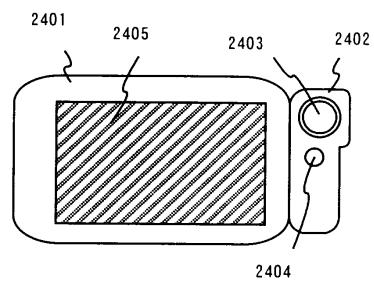
도면15c



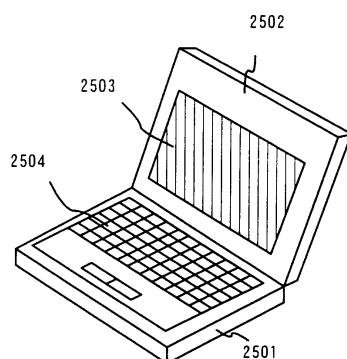
도면15d



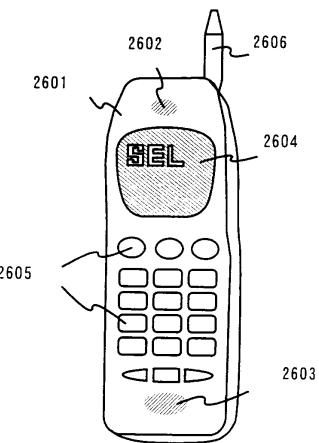
도면15e



도면15f



도면16a



도면16b

