(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年10月6日(06.10.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/210273 A1

(51) 国際特許分類:
H03K 17/687 (2006.01) *H02M 3/155* (2006.01)
H02M 1/08 (2006.01)

(21) 国際出願番号： PCT/JP2022/014036

(22) 国際出願日： 2022年3月24日(24.03.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2021-057530 2021年3月30日(30.03.2021) JP

(71) 出願人: 国立研究開発法人科学技術振興機構(**JAPAN SCIENCE AND TECHNOLOGY AGENCY**) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目１番８号 Saitama (JP).

(72) 発明者: 矢嶋赳彬 (**YAJIMA, Takeaki**); 〒8190395 福岡県福岡市西区元岡７４４ 九州大学内 Fukuoka (JP).

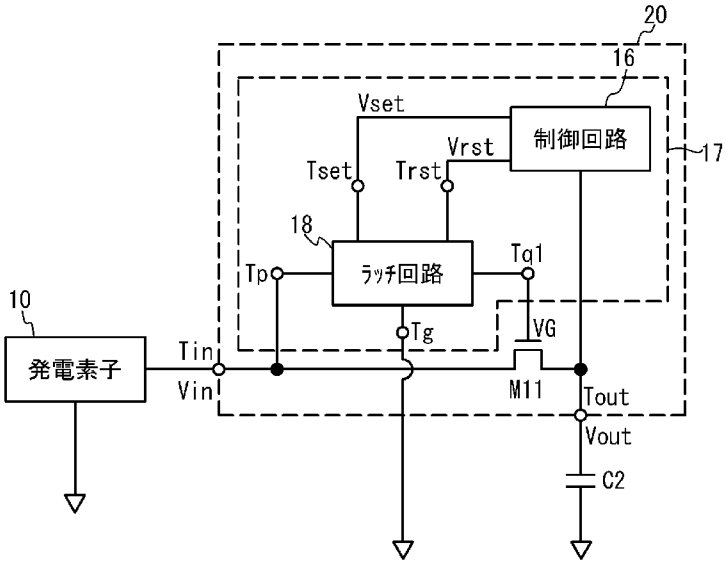
(74) 代理人: 片山修平 (**KATAYAMA, Shuhei**); 〒1040031 東京都中央区京橋１－６－１ 三井住友海上テプコビル Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH,

WO 2022/210273 A1

(54) **Title:** SWITCH CIRCUIT AND POWER SUPPLY CIRCUIT

(54) 発明の名称： スイッチ回路および電源回路



10 Power generation element
16 Control circuit
18 Latch circuit

(57) **Abstract:** This switch circuit is equipped with: a first switching element in which the connection state between a power generation element and a power storage device is controlled according to the voltage to be applied to a first control terminal; and a control circuit which outputs a first voltage for keeping the first switching element switched on to the first control terminal from when the voltage difference between ends of the power storage device is in an initial state until the voltage difference, which increases as time passes, reaches a first prescribed value which is larger compared to the initial

[続葉有]

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

state, and outputs a second voltage for keeping the first switching element switched off to the first control terminal from when the voltage difference exceeds the first prescribed value until the voltage difference falls below a second prescribed value which is smaller than the first prescribed value.

(57) 要約:スイッチ回路は、第１制御端子に与えられる電圧に応じて発電素子と蓄電器との接続状態が制御される第１スイッチング素子と、前記蓄電器の両端間の電圧差が初期状態から、時間とともに大きくなると前記電圧差が前記初期状態よりも大きい第１所定値になるまで前記第１制御端子に前記第１スイッチング素子をオンさせつづける第１電圧を出力し、前記電圧差が前記第１所定値を超えると、前記電圧差が前記第１所定値よりも小さい第２所定値を下回るまで前記第１制御端子に前記第１スイッチング素子をオフさせつづける第２電圧を出力する制御回路と、を備える。

明　細　書

発明の名称 ： スイッチ回路および電源回路

技術分野

[0001]　本発明は、スイッチ回路および電源回路に関する。

背景技術

[0002]　振動発電素子から発生される電力を変換する電力変換回路内の制御回路を動作させる電力として、かかる振動発電素子自体から発生した電力を用いるため、振動発電素子等の発電素子が発電した電力を、キャパシタ等の蓄電器に蓄電し、制御回路に供給することが知られている。その際には発電素子の出力と蓄電器とを直接接続する機能を有するコールドスタートスイッチを設け、蓄電器に蓄電された電力により、回路の制御を開始する。その後、発電素子からの電圧が高くなった際に、発電素子の出力と蓄電器との接続を遮断して、コールドスタートスイッチにおける消費電力を低下させる。（特許文献１の図５）。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１４－３３４９４

発明の概要

発明が解決しようとする課題

[0004]　コールドスタートスイッチは、必要な電力をできるだけ安定して供給できるようにすることが望ましい。しかしながら、振動発電素子のように振動に出力の変化が大きい場合、コールドスタートスイッチのオン、オフを適切なタイミングで行うことが難しい。その場合には発電素子から発生した電力の利用効率が低下する。

[0005]　本発明は、上記課題に鑑みなされたものであり、コールドスタートスイッチのオン、オフの制御を適切なタイミングで行えるようにし、発電素子から発生した電力の利用効率を改善したスイッチ回路および電源回路を提供する

ことを目的とする。

課題を解決するための手段

[0006] 本発明は、第１制御端子に与えられる電圧に応じて発電素子と蓄電器との接続状態が制御される第１スイッチング素子と、前記蓄電器の両端間の電圧差が初期状態から、時間とともに大きくなると前記電圧差が前記初期状態よりも大きい第１所定値になるまで前記第１制御端子に前記第１スイッチング素子をオンさせつづける第１電圧を出力し、前記電圧差が前記第１所定値を超えると、前記電圧差が前記第１所定値よりも小さい第２所定値を下回るまで前記第１制御端子に前記第１スイッチング素子をオフさせつづける第２電圧を出力する制御回路と、を備えるスイッチ回路である。

[0007] 上記構成において、前記発電素子は、交流電流を出力する発電部と、前記交流電流を整流する整流回路と、を備える構成とすることができる。

[0008] 上記構成において、前記蓄電器は、その一端が基準電位に接続され、その他端が前記第１スイッチング素子により、前記発電素子との接続状態が制御され、前記第１スイッチング素子はエンハンスメント型ＦＥＴであり、前記制御回路は、前記第１電圧として前記第１スイッチング素子の前記発電素子側の端子の電圧を出力し、前記第２電圧として前記基準電位を出力する構成とすることができる。

[0009] 上記構成において、前記整流回路は前記基準電位に対して正の電圧を発生し、前記第１スイッチング素子はエンハンスメント型ＮＦＥＴである構成とすることができる。

[0010] 上記構成において、前記整流回路は前記基準電位に対して負の電圧を発生し、前記第１スイッチング素子はエンハンスメント型ＰＦＥＴである構成とすることができる。

[0011] 上記構成において、前記蓄電器は、その一端が基準電位に接続され、その他端が前記第１スイッチング素子により、前記発電素子との接続状態が制御され、前記第１スイッチング素子はエンハンスメント型ＦＥＴであり、前記制御回路は、前記第１電圧として前記基準電位を出力し、前記第２電圧とし

て前記第１スイッチング素子の前記発電素子側の端子の電圧を出力する構成とすることができる。

[0012] 上記構成のうち前記第１スイッチング素子がエンハンスメント型ＮＦＥＴでない場合において、前記整流回路は前記基準電位に対して正の電圧を発生し、前記第１スイッチング素子はエンハンスメント型ＰＦＥＴである構成とすることができる。

[0013] 上記構成のうち前記第１スイッチング素子がエンハンスメント型ＰＦＥＴでない場合において、前記整流回路は前記基準電位に対して負の電圧を発生し、前記第１スイッチング素子はエンハンスメント型ＮＦＥＴである構成とすることができる。

[0014] 上記構成において、エンハンスメント型ＦＥＴであり、第２制御端子に与えられる電圧に応じて前記第１スイッチング素子と前記蓄電器との接続状態が制御される第２スイッチング素子を備え、前記制御回路は、前記蓄電器の両端間の電圧差が初期状態から、時間とともに大きくなると前記電圧差が前記第１所定値になるまで前記第２制御端子に前記基準電位を出力し、前記電圧差が前記第１所定値を超えると、前記電圧差が前記第２所定値を下回るまで前記第２制御端子に前記第２スイッチング素子の前記蓄電器側の端子の電圧を出力する構成とすることができる。

[0015] 上記構成において、第３制御端子に与えられる電圧に応じて前記第１制御端子と基準電位との間の接続状態を制御する第３スイッチング素子を備え、前記蓄電器は、その一端が基準電位に接続され、その他端が前記第１スイッチング素子により、前記発電素子との接続状態が制御され、前記第１制御端子は前記発電素子と容量結合され、前記第１スイッチング素子はエンハンスメント型ＦＥＴであり、前記制御回路は、前記電圧差が前記第１所定値になるまで前記第３制御端子に前記基準電位を出力しつづけ、前記電圧差が前記第１所定値を超えると、前記電圧差が前記第２所定値を下回るまで前記第３制御端子に前記蓄電器の他端の電圧を出力する構成とすることができる。

[0016] 上記構成において、前記第１スイッチング素子より耐圧が低く、前記第１

制御端子に与えられる電圧に応じて前記第１スイッチング素子と前記蓄電器との間の接続状態を制御する第４スイッチング素子と、前記第１スイッチング素子と前記第４スイッチング素子との間の電圧が第３所定値を超えないように制限する制限素子と、を備える構成とすることができる。

[0017] 上記構成において、前記制御回路は、前記蓄電器の両端間の電圧差が前記初期状態から、時間とともに大きくなると前記電圧差が前記第１所定値になるまで前記第１制御端子に前記第１電圧を出力し、前記電圧差が前記第１所定値を超えると、前記第２所定値を下回るまで前記第１制御端子に前記第２電圧を出力するラッチ回路を備える構成とすることができる。

[0018] 上記構成において、前記制御回路は、前記電圧差が前記第２所定値を下回ると、前記ラッチ回路のラッチ状態をリセットし、前記第１スイッチング素子の制御端子に前記第１スイッチング素子をオンさせる前記第１電圧を出力する制御回路である構成とすることができる。

[0019] 上記構成において、前記初期状態では、前記蓄電器の両端間の電圧差が０Ｖである構成とすることができる。

[0020] 本発明は、上記スイッチ回路と、前記発電素子の出力電力を変換する電力変換回路と、を備え、前記スイッチ回路は、前記電圧差が前記第１所定値を超えると、前記電力変換回路に前記電力変換回路を起動させる信号を出力する電源回路である。

[0021] 上記構成において、前記スイッチ回路は、前記電圧差が前記第１所定値を超えると、前記電圧差が前記第２所定値を下回るまでオフしつづける構成とすることができる。

[0022] 上記構成において、前記スイッチ回路は、前記電圧差が前記第１所定値を超えると、オフし、かつ前記電力変換回路に前記電力変換回路を起動させる信号を出力する構成とすることができる。

[0023] 上記構成において、前記電力変換回路は、インダクタを備え、前記発電素子から入力する第３電圧を第４電圧に変換する電圧変換回路である構成とすることができる。

[0024] 上記構成において、前記スイッチ回路は、前記電圧差が前記第１所定値を超えたか否かを判定する判定回路と、前記判定回路が前記電圧差が前記第１所定値を超えたと判定したとき前記起動させる信号を生成する生成回路と、を備える構成とすることができる。

発明の効果

[0025] 本発明によれば、コールドスタートスイッチのオン、オフの制御を適切なタイミングで行えるようにしたスイッチ回路および電源回路を提供することができる。

図面の簡単な説明

[0026] [図1]図１は、実施例に係るスイッチ回路が用いられる電源回路を示す回路図である。

[図2]図２は、実施例に係るスイッチ回路が用いられる電圧変換回路における時間に対するスイッチのオンおよびオフ、インダクタを流れる電流ＩＬを示す図である。

[図3]図３（ａ）および図３（ｂ）は、実施例１に係るスイッチ回路の回路図である。

[図4]図４は、実施例１に係るスイッチ回路の回路図である。

[図5]図５は、実施例１における制御回路の回路図である。

[図6]図６は、実施例１における判定回路の回路図である。

[図7]図７は、実施例１に係るスイッチ回路の各電圧およびＦＥＴのオン／オフの時間変化を示す図である。

[図8]図８（ａ）および図８（ｂ）は、実施例１におけるラッチ回路の回路図である。

[図9]図９（ａ）および図９（ｂ）は、実施例１の変形例１に係るスイッチ回路の回路図である。

[図10]図１０は、実施例１の変形例１に係るスイッチ回路の回路図である。

[図11]図１１は、実施例１の変形例１に係るスイッチ回路の各電圧およびＦＥＴのオン／オフの時間変化を示す図である。

[図12]図１２（ａ）および図１２（ｂ）は、実施例１の変形例２に係るスイッチ回路の回路図である。

[図13]図１３は、実施例２に係るスイッチ回路の各電圧、電流およびＦＥＴのオン／オフの時間変化を示す図である。

[図14]図１４は、実施例２の変形例１に係るスイッチ回路の各電圧、電流およびＦＥＴのオン／オフの時間変化を示す図である。

[図15]図１５は、実施例３に係るスイッチ回路の回路図である。

[図16]図１６は、実施例４に係るスイッチ回路の回路図である。

[図17]図１７は、実施例４の変形例１に係るスイッチ回路の回路図である。

[図18]図１８は、実施例１から４およびその変形例のスイッチ回路が用いられるシステムを示すブロック図である。

発明を実施するための形態

[0027] 以下、図面を参照し、実施例について説明する。

実施例 1

[0028] 図１は、実施例に係るスイッチ回路が用いられる電源回路を示す回路図である。図１に示すように、電源回路は、電圧変換回路１２およびスイッチ回路２０を備えている。スイッチ回路２０はコールドスタートスイッチＣＳＷと制御回路１６を備えている。コールドスタートスイッチＣＳＷは入力端子Ｔｉｎと出力端子Ｔｏｕｔの間をオンオフするスイッチである。制御回路１６は、コールドスタートスイッチＣＳＷのオンオフを制御する。また、制御回路１６は、電圧変換回路１２に電圧変換回路１２を起動させるイネーブル信号Ｖｅｎを出力する。発電素子１０の出力はスイッチ回路２０の入力端子Ｔｉｎおよび電圧変換回路１２の入力端子Ｔ１に入力する。発電素子１０は、例えば振動発電素子等の環境発電素子である発電ユニット１０ａと整流回路１０ｂとの組みあわせで構成されている。発電ユニット（発電部）１０ａが交流電流を出力する場合、発電ユニット１０ａが出力した交流電流は整流回路１０ｂにより整流され入力端子Ｔｉｎに入力する。

[0029] 振動発電素子は、例えば圧電材料を用いた圧電素子またはＭＥＭＳ（Micro

Electro Mechanical Systems）を用いたＭＥＭＳ素子である。振動発電素子は、例えば道路または橋梁等に設けられており、歩行者または車両など通過時の振動により発電する。発電素子１０の発電電力は微小電力であり、時間とともに変化する。実施例１は、発電素子１０としての出力がグランドに対し正となる整流回路１０ｂを有する場合の例である。この場合、キャパシタＣ２の電圧Ｖ２は正である。このように、発電素子１０はグランド（基準電位）に対して一方の極性の電圧を発生させる素子である。

[0030] スイッチ回路２０の出力端子Ｔｏｕｔはキャパシタ Ｃ２の一端に接続されている。キャパシタＣ２は蓄電器である。電圧変換回路１２の出力端子Ｔ２はキャパシタＣ２の一端に接続されている。スイッチ回路２０の出力端子Ｔｏｕｔの電圧Ｖｏｕｔと電圧変換回路１２の出力端子Ｔ２の電圧Ｖ２は、ともにキャパシタＣ２のグランドに対する電圧となる。以下では、電圧変換回路１２の動作を説明する場合にはキャパシタＣ２の電圧として電圧Ｖ２を用いるが、その他の説明にはキャパシタＣ２の電圧として電圧Ｖｏｕｔを用い説明する。

[0031] 電圧変換回路１２は入力端子Ｔ１の電圧Ｖ１をキャパシタＣ２の電圧Ｖ２に変換して出力端子Ｔ２に出力する。電圧Ｖ１を入力端子Ｔ１に入力する電流で除した値は電圧変換回路１２の入力インピーダンスに相当する。電圧変換回路１２の入力インピーダンスと発電素子１０の出力インピーダンスとが整合するよう電圧変換回路１２の各素子の値が予め設定されている。電圧変換回路１２内の制御部１４を含む各部は発電素子１０からキャパシタＣ２に蓄積された電力を用い動作する。

[0032] 電圧変換回路１２の入力端子Ｔ１と出力端子Ｔ２との間にノードＮ０１～Ｎ０３が設けられている。スイッチＳＷ１の一端はノードＮ０１に接続され、他端はノードＮ０２に接続されている。インダクタＬ１の一端はノードＮ０２に接続され、他端はノードＮ０３に接続されている。スイッチＳＷ４の一端はノードＮ０３に接続され、他端は出力端子Ｔ２に接続されている。１次側のキャパシタＣ１の一端はノードＮ０１に接続され、他端はグランド（

基準電位）に接続されている。スイッチＳＷ２の一端はノードＮ０２に接続し、他端はグランドに接続されている。スイッチＳＷ３の一端はノードＮ０３に接続され、他端はグランドに接続されている。２次側のキャパシタＣ２の一端は出力端子Ｔ２に接続され、他端はグランドに接続されている。スイッチＳＷ１～ＳＷ４はそれぞれ制御信号Ｓ１～Ｓ４に基づきオンまたはオフとなる。電圧変換回路１２の制御部１４にはイネーブル信号Ｖｅｎおよび電圧Ｖｏｕｔが入力し、当該制御部１４は制御信号Ｓ１～Ｓ４を出力する。制御部１４および制御回路１６は、例えば専用の回路でもよいし、プロセッサ等でもよい。

[0033] 図２は、実施例に係るスイッチ回路が用いられる電圧変換回路における時間に対するスイッチのオンおよびオフ、インダクタを流れる電流ＩＬを示す図である。

[0034] 発電素子１０が発電を始める前、キャパシタＣ２の電圧Ｖｏｕｔは低く、例えば０Ｖである。電圧Ｖｏｕｔが低いとき、コールドスタートスイッチＣＳＷはオンし、発電素子１０の出力を電圧変換回路１２を介さずキャパシタＣ２に接続する。電圧変換回路１２に、電圧変換回路１２が実質的に動作する電力が供給されないため、電圧変換回路１２は動作しない。例えば制御信号Ｓ１～Ｓ４は０Ｖであり、このときスイッチＳＷ１～ＳＷ４はオフである。キャパシタＣ２の電圧Ｖｏｕｔが電圧変換回路１２を動作させるのに十分な大きさになると、制御回路１６はコールドスタートスイッチＣＳＷをオフし、電圧変換回路１２にイネーブル信号Ｖｅｎを出力する。これにより、電圧変換回路１２が起動し、動作を開始する。電圧変換回路１２の制御部１４は、スイッチＳＷ１～ＳＷ４を制御し始める。

[0035] 時刻ｔ００において、電圧Ｖ２の値はＶ２１である。制御部１４はスイッチＳＷ１～ＳＷ４をオフに維持している。発電素子１０の発電電流によりキャパシタＣ１に蓄積された電荷が増加し、電圧Ｖ１が徐々に増加する。電圧Ｖ１の値が閾値電圧Ｖ１１を越えると、時刻ｔ０１において制御部１４は、スイッチＳＷ１およびＳＷ３をオンし、スイッチＳＷ２およびＳＷ４のオフ

を維持する。これにより、キャパシタＣ１からノードＮ０１、スイッチＳＷ１、インダクタＬ１およびスイッチＳＷ３を介しグランドに電流ＩＬが流れはじめる。時刻ｔ０１とｔ０２の間において、電流ＩＬは徐々に増加し、キャパシタＣ１の電荷が放出されるため、電圧Ｖ１は徐々に減少する。インダクタＬ１には磁界エネルギーが蓄積される。

[0036] 時刻ｔ０２において、電圧Ｖ１の値はＶ１２となる。電圧Ｖ２の値はＶ２１である。電流ＩＬはＩＬ１で最大となる。制御部１４は、スイッチＳＷ１およびＳＷ３をオフし、スイッチＳＷ２およびＳＷ４をオンする。時刻ｔ０２とｔ０３の間において、インダクタＬ１に蓄積された磁界エネルギーにより電流ＩＬがグランドからスイッチＳＷ２、インダクタＬ１およびスイッチＳＷ４を流れ、キャパシタＣ２が充電される。電圧Ｖ２が上昇する。

[0037] 時刻ｔ０３において、制御部１４は、スイッチＳＷ２およびＳＷ４をオフにし、スイッチＳＷ１およびＳＷ３のオフを維持する。時刻ｔ０３以降において、電流ＩＬは０であり、電圧Ｖ１の値はＶ１２、電圧Ｖ２の値はＶ２２である。電圧値Ｖ２１およびＶ２２は電圧値Ｖ１１およびＶ１２より低くてもよいし、高くてもよい。以上のように、スイッチＳＷ１～ＳＷ４がオフのときに発電素子１０から入力端子Ｔ１に電流が入力すると、キャパシタＣ１が充電される。キャパシタＣ１のノードＮ０１側のグランドに対する電圧が入力端子Ｔ１の電圧Ｖ１の値が閾値電圧Ｖ１１に達し、電圧変換回路１２が動作すると、キャパシタＣ１の電荷がキャパシタＣ２に移動する。キャパシタＣ２の出力端子Ｔ２側のグランドに対する電圧が出力端子Ｔ２の電圧Ｖ２となる。

[0038] 図３（ａ）および図３（ｂ）は、実施例１に係るスイッチ回路の回路図である。図３（ａ）に示すように、実施例１では、コールドスタートスイッチＣＳＷとしてエンハンスメントモード（ノーマリーオフモード）のＮＦＥＴＭ１１を用いる。ＮＦＥＴＭ１１の閾値電圧は正である。ＮＦＥＴＭ１１のソースは出力端子Ｔｏｕｔに接続され、ドレインは入力端子Ｔｉｎに接続されている。ソースとドレインのうち出力端子Ｔｏｕｔに接続された端子が第

１端子であり、入力端子Ｔｉｎに接続された端子が第２端子である。ゲートは制御端子である。コールドスタートスイッチＣＳＷは、電圧Ｖｏｕｔが所定の参照電圧Ｖｒｅｆ以下のときオンし、電圧Ｖｏｕｔが参照電圧Ｖｒｅｆより大きいときオフするように制御される。そこで、電圧Ｖｏｕｔが参照電圧Ｖｒｅｆ以下のとき、ＮＦＥＴＭ１１のゲートは無電源でドレインに接続される。これにより、電圧Ｖｏｕｔに対する電圧ＶｉｎがＮＦＥＴＭ１１の閾値電圧以上となればＮＦＥＴＭ１１はオンする。図３（ｂ）に示すように、電圧Ｖｏｕｔが参照電圧Ｖｒｅｆより高いとき、ＮＦＥＴＭ１１のゲートにグランド電位が印加される。これにより、ＮＦＥＴＭ１１はオフする。

[0039] 以上のように、キャパシタＣ２の電圧Ｖｏｕｔが参照電圧Ｖｒｅｆより低いとき、コールドスタートスイッチＣＳＷは制御回路に制御されず無電源でオンする。電圧Ｖｏｕｔが参照電圧Ｖｒｅｆより高いときコールドスタートスイッチＣＳＷはオフする。

[0040] 図４は、実施例１に係るスイッチ回路の回路図である。図４に示すように、スイッチ回路２０はＮＦＥＴＭ１１および回路１７を備えている。回路１７は、図３（ａ）のように、電圧Ｖｏｕｔが参照電圧Ｖｒｅｆ以下のとき、ＮＦＥＴＭ１１がオンするようにゲートに電圧ＶＧを印加し、図３（ｂ）のように、電圧Ｖｏｕｔが参照電圧Ｖｒｅｆより大きいとき、ＮＦＥＴＭ１１がオフするようにゲートに電圧ＶＧを印加する回路である。

[0041] ＮＦＥＴＭ１１はエンハンスメントモードであり、ソースは出力端子Ｔｏｕｔに接続され、ドレインは入力端子Ｔｉｎに接続されている。ラッチ回路１８の電源端子ＴｐはＮＦＥＴＭ１１のドレインに接続されている。基準電位端子Ｔｇはグランドに接続されている。出力端子Ｔｑ１はＮＦＥＴＭ１１のゲートに接続されている。制御回路１６は電圧Ｖｏｕｔに基づき、ラッチ回路１８のセット端子Ｔｓｅｔおよびリセット端子Ｔｒｓｔにそれぞれ電圧ＶｓｅｔおよびＶｒｓｔを出力する。ラッチ回路１８は、端子Ｔｓｅｔに電圧Ｖｓｅｔとしてハイレベルが入力すると、端子Ｔｒｓｔにハイレベルが入力するまで、出力端子Ｔｑ１に電源端子Ｔｐの電圧Ｖｉｎを出力する。また

、ラッチ回路１８は、端子Ｔｒｓｔに電圧Ｖｒｓｔとしてハイレベルが入力すると、端子Ｔｓｅｔにハイレベルが入力するまで、出力端子Ｔｑ１に基準電位端子Ｔｇの電圧０Ｖを出力する。

[0042] 図５は、実施例１における制御回路１６の回路図である。図５に示すように、電圧Ｖｏｕｔは判定回路２２および２４に入力する。判定回路２２および２４は、電圧Ｖｏｕｔがそれぞれ参照電圧Ｖｒｅｆ１およびＶｒｅｆ２以上のとき電圧Ｖ０１およびＶ０２として電圧Ｖｏｕｔを出力し、それぞれ参照電圧Ｖｒｅｆ１およびＶｒｅｆ２より低いとき電圧Ｖ０１およびＶ０２としてグランド電位０Ｖを出力する。

[0043] スパイク生成回路２６は、電圧Ｖ０１およびＶ０２がともにハイレベルとなるとリセット電圧Ｖｒｓｔとしてスパイク信号を出力する。スパイク生成回路２８は電圧Ｖ０１およびＶ０２がともにローレベルとなるとセット電圧Ｖｓｅｔとしてスパイク信号を出力する。スパイク生成回路２６および２８は、クロック信号を必要とせず、ＦＥＴで構成され、出力パルス幅を発生する際だけ電力を消費するため、消費電力が小さい。したがって、発電素子として振動から発電する圧電素子などの微小起電力素子の制御回路を構成する回路として最適である。スパイク信号は、単発の信号であり、スパイク信号のパルス幅に対しスパイク信号の間隔が十分に広い信号である。

[0044] 図６は、実施例１における判定回路の回路図である。図６に示すように、判定回路２２および２４では、電圧Ｖｏｕｔが入力端子とグランドとの間にダイオードＤ１が順方向に、ダイオードＤ２が逆方向に直列に接続されている。判定回路２２および２４は回路素子の接続状態は同じであるが、そのダイオードＤ１とＤ２の大きさは後述するように別々に設定されている。ダイオードＤ１とＤ２との間のノードＮ１はインバータＩｖ１およびＩｖ２を介し電圧Ｖ０１およびＶ０２を出力する。インバータＩｖ１およびＩｖ２は電圧Ｖｏｕｔを電源電圧とする。ダイオードＤ２を流れる逆方向電流は両端の電圧によらずほぼ一定である。ダイオードＤ１を流れる順方向電流は両端の電圧に依存する。電圧Ｖｏｕｔが低い範囲では電圧Ｖｏｕｔが上昇してもノ

ードＮ１の電圧はほとんど上昇しないが、電圧Ｖｏｕｔが高い範囲では電圧Ｖｏｕｔが上昇するとノードＮ１の電圧は急激に上昇する。電圧Ｖｏｕｔが低いとき、ノードＮ１の電圧は低くインバータＩｖ１は電圧Ｖｏｕｔを出力し、インバータＩｖ１はグランド電位０Ｖを出力する。電圧Ｖｏｕｔの電圧が上昇することでノードＮ１の電圧が急激に上昇すると、ノードＮ１の電圧はインバータＩｖ１の閾値電圧以上となる。インバータＩｖ１はグランド電位０Ｖを出力しインバータＩｖ２は電圧Ｖｏｕｔを出力する。

[0045] ダイオードＤ１とＤ２の大きさを適切に設定することで、電圧Ｖｏｕｔが任意の参照電圧以上のときインバータＩｖ２は電圧Ｖｏｕｔを出力し、電圧Ｖｏｕｔが参照電圧より低いときグランド電位０Ｖを出力するように設定できる。例えばダイオードＤ１をＤ２より大きくすると参照電圧を高くでき、ダイオードＤ１をＤ２より小さくすると参照電圧を低くできる。判定回路２２では参照電圧をＶｒｅｆ１とし、判定回路２４では参照電圧をＶｒｅｆ１より高いＶｒｅｆ２とするように判定回路２２および２４内のダイオードＤ１とＤ２の大きさが設定されている。これにより、判定回路２２および２４は、電圧Ｖｏｕｔがそれぞれ参照電圧Ｖｒｅｆ１およびＶｒｅｆ２以上のとき電圧Ｖ０１およびＶ０２として電圧Ｖｏｕｔを出力し、電圧Ｖｏｕｔが参照電圧Ｖｒｅｆ１およびＶｒｅｆ２より低いとき電圧Ｖ０１およびＶ０２としてグランド電位０Ｖを出力する。

[0046] 図７は、実施例１に係るスイッチ回路の各電圧およびＦＥＴのオン／オフの時間変化を示す図である。電圧Ｖ０１、Ｖ０２、リセット電圧Ｖｒｓｔおよびセット電圧Ｖｓｅｔに電圧Ｖｏｕｔを破線で示している。図７に示すように、時刻ｔ１１において、電圧Ｖｉｎはグランド電位０Ｖ付近であり、キャパシタＣ２の電圧Ｖｏｕｔはグランド電位０Ｖ付近である。電圧Ｖ０１、Ｖ０２、リセット電圧Ｖｒｓｔおよびセット電圧Ｖｓｅｔはグランド電位０Ｖである。ＮＦＥＴＭ１１のゲートの電圧ＶＧは電圧Ｖｉｎである。ＮＦＥＴＭ１１はオフである。時刻ｔ１１以降に、電圧Ｖｉｎが上昇する。ラッチ回路１８は非対称であり出力端子Ｔｑ１の電圧ＶＧは電圧Ｖｉｎとなり上昇

する。

[0047] 時刻ｔ１２において、電圧ＶＧがＮＦＥＴＭ１１の閾値電圧Ｖｔｈとなると、ＮＦＥＴＭ１１はオンする。時刻ｔ１２以降において、ＮＦＥＴＭ１１がオンするため、キャパシタＣ２が充電し始める。これにより、電圧Ｖｏｕｔが上昇する。なお、電圧ＶｉｎとＶｏｕｔの上昇速度は同じとは限らない。

[0048] 時刻ｔ１３において電圧Ｖｏｕｔが参照電圧Ｖｒｅｆ１以上となると、判定回路２２は電圧Ｖ０１として電圧Ｖｏｕｔを出力する。時刻ｔ１４において電圧Ｖｏｕｔが参照電圧Ｖｒｅｆ２以上となると、判定回路２４は電圧Ｖ０２として電圧Ｖｏｕｔを出力する。スパイク生成回路２６は、電圧Ｖ０１とＶ０２がともにハイレベルとなると、リセット電圧Ｖｒｓｔとしてスパイク信号３０を出力する。スパイク信号３０の高さは電圧Ｖｏｕｔと同じである。ラッチ回路１８は、出力端子Ｔｑ１に電圧ＶＧとして基準電位端子Ｔｇの電圧であるグランド電位０Ｖを出力する。ＮＦＥＴＭ１１はオフする。スパイク信号３０が出力されると、制御回路１６は制御部１４にイネーブル信号Ｖｅｎとして活性を出力する。これにより、電圧変換回路１２は起動し、動作を開始する。時刻ｔ１４以降は電圧変換回路１２の出力電圧Ｖ２によりキャパシタＣ２の電圧Ｖｏｕｔが上昇していく。

[0049] 時刻ｔ１５において、電圧Ｖｉｎが低下し始め、電圧Ｖｏｕｔが低下し始める。時刻ｔ１６において、電圧Ｖｏｕｔが参照電圧Ｖｒｅｆ２より低くなると、判定回路２２は電圧Ｖ０２としてグランド電位０Ｖを出力する。時刻ｔ１７において、電圧Ｖｏｕｔが参照電圧Ｖｒｅｆ１より低くなると、判定回路２４は電圧Ｖ０１としてグランド電位０Ｖを出力する。スパイク生成回路２８は、電圧Ｖ０１およびＶ０２がともにグランド電位０Ｖとなると、セット電圧Ｖｓｅｔとしてスパイク信号３２を出力する。スパイク信号３２の高さは電圧Ｖｏｕｔと同じである。ラッチ回路１８は、出力端子Ｔｑ１に電圧ＶＧとして電源端子Ｔｐの電圧であるＶｉｎを出力する。ＮＦＥＴＭ１１はオンする。スパイク信号３２が出力されると、制御回路１６は制御部１４

にイネーブル信号Ｖｅｎとして非活性を出力する。これにより、電圧変換回路１２は動作を停止する。時刻ｔ１８において、電圧Ｖｏｕｔがほぼ０となる。

[0050] 実施例１によれば、図４のように、ＮＦＥＴＭ１（第１スイッチング素子）は、ゲート（第１制御端子）に与えられる電圧に応じて発電素子１０とキャパシタＣ２との接続状態が制御される。そして、図７の時刻ｔ１１からｔ１４のように、回路１７は、キャパシタＣ２の両端間の電圧差Ｖｏｕｔ－０Ｖが時間とともに初期状態（例えば０Ｖ）から大きくなると電圧差Ｖｏｕｔ－０Ｖが初期状態よりも大きい参照電圧Ｖｒｅｆ２（第１所定値）になるまでゲートにＮＦＥＴＭ１１をオンさせつづける第１電圧を出力する。回路１７は、電圧差Ｖｏｕｔ－０Ｖが参照電圧Ｖｒｅｆ２を超えると、電圧差Ｖｏｕｔ－０Ｖが参照電圧Ｖｒｅｆ１（第２所定値）を下回るまでゲートにＮＦＥＴＭ１１をオフさせつづける第２電圧を出力する。

[0051] これにより、コールドスタートスイッチＣＳＷにおけるＮＦＥＴＭ１１は無電源でオンする。時刻ｔ１４において、ラッチ回路１８は、リセット電圧Ｖｒｓｔが入力すると出力端子Ｔｑ１にグランド電位（図７参照）を出力する。これにより、ＮＦＥＴＭ１１をオフできる。このように、コールドスタートスイッチＣＳＷを安定に制御することができる。

[0052] 制御回路１６は、電圧Ｖｏｕｔとグランド電位との電圧差が時間とともに大きくなり参照電圧Ｖｒｅｆ２（第１参照電圧）以上となるとリセット電圧Ｖｒｓｔを出力する。また、制御回路１６は、電圧変換回路１２を起動するイネーブル信号Ｖｅｎを出力する。これにより、電圧Ｖｏｕｔが大きくなり、キャパシタＣ２に蓄えられた電力を例えば電圧変換回路１２の電源に用いるときに、コールドスタートスイッチＣＳＷをオフできる。図５に示した判定回路２２および２４は、電圧Ｖｏｕｔとグランド電位との電圧差が参照電圧Ｖｒｅｆ２を超えたか否かを判定する判定回路として機能する。スパイク生成回路２６および制御回路１６は、電圧差が参照電圧Ｖｒｅｆ２を超えたと判定されたとき、イネーブル信号Ｖｅｎを生成する生成回路として機能す

る。

[0053] 制御回路１６は、電圧Ｖｏｕｔとグランド電位０Ｖとの電圧差が時間とともに小さくなり、参照電圧Ｖｒｅｆ１（第２参照電圧）以下となるとセット電圧Ｖｓｅｔを出力する。ラッチ回路１８の出力は第２電圧から第１電圧に切り替わる。すなわち、ラッチ回路のラッチ状態がリセットされる。これにより、電圧Ｖｏｕｔが小さくなり、キャパシタＣ２に蓄えられた電力を例えば電圧変換回路１２の電源に用いられなくなったときに、コールドスタートスイッチＣＳＷをオンできる。

[0054] 図８（ａ）および図８（ｂ）は、実施例１におけるラッチ回路１８の回路図である。図８（ａ）では、ラッチ回路１８として、ＮＯＲ型のラッチ回路を例に説明する。電源端子Ｔｐと基準電位端子Ｔｇとの間にＰＦＥＴＭ７、Ｍ１０、Ｍ２およびＮＦＥＴＭ１が直列に接続されている。電源端子Ｔｐと基準電位端子Ｔｇとの間にこれらのＦＥＴと並列にＰＦＥＴＭ８、Ｍ９、Ｍ４およびＮＦＥＴＭ３が直列に接続されている。ＰＦＥＴＭ８およびＭ７のゲートはそれぞれセット端子Ｔｓｅｔおよびリセット端子Ｔｒｓｔに接続されている。ＰＦＥＴＭ９およびＭ１０のゲートは基準電位端子Ｔｇに接続されている。

[0055] ＰＦＥＴＭ２およびＮＦＥＴＭ１のドレインは共通にノードＱ１に接続され、ＰＦＥＴＭ２およびＮＦＥＴＭ１のゲートは共通にノードＱ２に接続されている。ＰＦＥＴＭ４およびＮＦＥＴＭ３のドレインは共通にノードＱ２に接続され、ＰＦＥＴＭ４およびＮＦＥＴＭ３のゲートは共通にノードＱ１に接続されている。ＰＦＥＴＭ４およびＮＦＥＴＭ３はインバータを形成し、ＰＦＥＴＭ２およびＮＦＥＴＭ１はインバータを形成する。ノードＱ１およびＱ２は記憶ノードであり互いに相補的な電圧を保持する。

[0056] ノードＱ１は出力端子Ｔｑ１に接続され、ノードＱ２はＴｑ２に接続されている。ノードＱ１およびＱ２はそれぞれＮＦＥＴＭ５およびＭ６を介し基準電位端子Ｔｇに接続されている。ＮＦＥＴＭ５およびＭ６のゲートはそれぞれリセット端子Ｔｒｓｔおよびセット端子Ｔｓｅｔに接続されている。

[0057] ノードＱ１がハイレベルおよびノードＱ２がローレベルのとき、電圧Ｖｒｓｔがローレベルであれば、ＮＦＥＴＭ１およびＭ５はオフであり、ＰＦＥＴＭ２、Ｍ１０およびＭ７はオンであり、ＮＦＥＴＭ３およびＭ６はオンであり、ＰＦＥＴＭ４、Ｍ９およびＭ８はオフである。電圧Ｖｒｓｔがハイレベルとなると、ＮＦＥＴＭ５がオンとなりノードＱ１がローレベルとなる。また、ＰＦＥＴＭ７がオフとなる。これにより、ノードＱ１がローレベルおよびノードＱ２がハイレベルに切り替わる。ノードＱ１がローレベルおよびノードＱ２がハイレベルのときに、電圧Ｖｓｅｔがハイレベルとなると、同様に、ノードＱ１がハイレベルおよびノードＱ２がローレベルに切り替わる。

[0058] 以上により、ラッチ回路１８は、セット端子Ｔｓｅｔにハイレベルの電圧Ｖｓｅｔが入力すると、次にリセット端子Ｔｒｓｔにハイレベルの電圧Ｖｒｓｔが入力するまで、出力端子Ｔｑ１に電源端子Ｔｐの電圧を出力し、出力端子Ｔｑ２に基準電位端子Ｔｇの電圧を出力する。ラッチ回路１８は、リセット端子Ｔｒｓｔにハイレベルの電圧Ｖｒｓｔが入力すると、次にセット端子Ｔｓｅｔにハイレベルの電圧Ｖｓｅｔが入力するまで、出力端子Ｔｑ１に基準電位端子Ｔｇの電圧を出力し、出力端子Ｔｑ２に電源端子Ｔｐの電圧を出力する。

[0059] ＰＦＥＴＭ９およびＭ１０を設けずに、ＰＦＥＴＭ７およびＭ８のドレインとＰＦＥＴＭ２およびＭ４のソースを直接接続してもよい。ノードＱ１とＱ２のレベルが反転するときには、電源端子Ｔｐから基準電位端子Ｔｇに電流が流れる。電源端子Ｔｐの電圧が高いときに大電流が流れないようにＰＦＥＴＭ９およびＭ１０を設けている。

[0060] ノードＱ１とＱ２が対称的なラッチ回路では、電源電圧（基準電位端子Ｔｇに対する電源端子Ｔｐの電圧）が０Ｖから上昇していくと、ノードＱ１とＱ２のいずれが電源端子Ｔｐの電圧（ハイレベル）となるか定まっていない。ラッチ回路１８では、ノードＱ１とＱ２が非対称であり、ラッチ回路１８の電源電圧が０Ｖから上昇していくとノードＱ１の電圧がハイレベルとなる

。このように、非対称とするため、ＮＦＥＴＭ５のゲート幅をＮＦＥＴＭ６のゲート幅より狭くする。一例として、ＮＦＥＴのゲート長は０．８μｍであり、ＰＦＥＴのゲート長は５μｍで、ＰＦＥＴのゲート幅は０．６μｍであり、ＮＦＥＴＭ１およびＭ３のゲート幅は０．８μｍである。このとき、ＮＦＥＴＭ５およびＭ６のゲート幅をそれぞれ１５μｍおよび６０μｍとする。これにより、電源電圧が０Ｖから上昇すると、ＮＦＥＴＭ５を流れる電流Ｉ５よりＮＦＥＴＭ６を流れる電流Ｉ６が大きく、ノードＱ２の電圧はノードＱ１の電圧より低くなる。よって、ラッチ回路１８はノードＱ１が電源端子Ｔｐの電圧になるように立ち上がる。ノードＱ１とＱ２が非対称に立ち上がれば、他のパラメータを変えてもよい。例えば、ＮＦＥＴＭ１のゲート幅をＮＦＥＴＭ３のゲート幅より狭くする。ＰＦＥＴＭ２、Ｍ１０およびＭ７のゲート幅をそれぞれＰＦＥＴＭ４、Ｍ９およびＭ８のゲート幅より広くする。これにより、電源電圧が０Ｖから上昇すると、ノードＱ２の電圧はノードＱ１の電圧より低くなる。電源端子Ｔｐの電圧が例えば５Ｖ程度に高くなっても、１Ｖ程度の電圧ＶｓｅｔおよびＶｒｓｔにより、ノードＱ１およびＱ２のレベルを切り替えるため、ＮＦＥＴＭ５およびＭ６のゲート幅を他のＦＥＴのゲート幅より大きくしている。

[0061] 図８（ｂ）は、ＮＡＮＤ型のラッチ回路の例である。ラッチ回路１８は、ＰＦＥＴＭ２０ａ～Ｍ２０ｃおよびＭ２１ａ～Ｍ２１ｃ、ＮＦＥＴＭ２２ａ～Ｍ２２ｄおよびＭ２３ａ～Ｍ２３ｄを備えている。ラッチ回路１８の動作は図８（ａ）と同じであり説明を省略する。ラッチ回路１８は、上記動作を行えば図８（ａ）および図８（ｂ）以外の回路構成でもよい。

[0062] 図４に示すＦＥＴＭ１１のゲートに電圧ＶＧを印加する回路として、図８（ａ）および図８（ｂ）のラッチ回路１８を用いる。ラッチ回路１８は、リセット電圧Ｖｒｓｔ（第１制御信号）が入力するとＮＦＥＴＭ１のゲートにＮＦＥＴＭ１をオフさせる第２電圧を出力しつづける。このようなラッチ回路１８を用いることにより、ラッチ回路１８は、リセット電圧Ｖｒｓｔが入力する前は第１電圧を出力端子Ｔｑ１に出力し、リセット電圧Ｖｒｓｔが入

力すると、第２電圧を出力端子Ｔｑ１に出力できる。ＮＦＥＴＭ１１をオフさせる第２電圧を生成する回路を簡素に実現できる。

[0063] ラッチ回路１８は、セット電圧Ｖｓｅｔ（第２制御信号）が入力するとリセット電圧Ｖｒｓｔが入力するまでＮＦＥＴＭ１のゲートにＮＦＥＴＭ１をオンさせる第１電圧を出力する。これにより、ラッチ回路１８にセット電圧Ｖｓｅｔが入力することにより、ＮＦＥＴＭ１１のゲートの電圧ＶＧが第１電圧となり、ＮＦＥＴＭ１１をオンさせることができる。

[0064] [実施例１の変形例１]

実施例１の変形例１では、コールドスタートスイッチＣＳＷとしてＰＦＥＴを用いる。このとき、第１端子および第２端子はそれぞれＰＦＥＴのドレインおよびソースである。

[0065] 図９（ａ）および図９（ｂ）は、実施例１の変形例１に係るスイッチ回路の回路図である。図９（ａ）に示すように、実施例１の変形例１では、コールドスタートスイッチＣＳＷとしてエンハンスメントモードのＰＦＥＴＭ１１ａを用いる。ＰＦＥＴＭ１１ａの閾値電圧は負である。ＰＦＥＴＭ１１ａのソースは入力端子Ｔｉｎに接続され、ドレインは出力端子Ｔｏｕｔに接続されている。電圧Ｖｏｕｔが参照電圧Ｖｒｅｆ以下のとき、ＰＦＥＴＭ１１ａのゲートは無電源でグランドに接続される。これにより、電圧Ｖｉｎに対するグランド電位がＰＦＥＴＭ１１ａの閾値電圧以下となればＰＦＥＴＭ１１ａはオンする。図９（ｂ）に示すように、電圧Ｖｏｕｔが参照電圧Ｖｒｅｆより高いとき、ＰＦＥＴＭ１１ａのゲートに入力端子Ｔｉｎが接続される。これにより、ＰＦＥＴＭ１１ａはオフする。

[0066] 図１０は、実施例１の変形例１に係るスイッチ回路の回路図である。図１０に示すように、実施例１の変形例１では、実施例１の図４と比べ、ＮＦＥＴＭ１１がエンハンスメント型のＰＦＥＴＭ１１ａに置き換わっている。ＰＦＥＴＭ１１ａのソースは入力端子Ｔｉｎに接続され、ドレインは出力端子Ｔｏｕｔに接続され、ゲートはラッチ回路１８ａの出力端子Ｔｑ２に接続されている。出力端子Ｔｑ２がＰＦＥＴＭ１１ａのゲートに接続されている以

外のラッチ回路１８ａの構成は実施例１のラッチ回路１８と同じである。その他の回路構成は実施例１の図４と同じであり、説明を省略する。

[0067] 図１１は、実施例１の変形例１に係るスイッチ回路の各電圧およびＦＥＴのオン／オフの時間変化を示す図である。ＰＦＥＴＭ１１ａのソース電圧に対するゲート電圧を電圧ＶＧ－Ｖｉｎとして示している。ＰＦＥＴＭ１１ａの閾値電圧は負である。図１１に示すように、時間に対する電圧Ｖｉｎの変化は図７と同じである。時刻ｔ１１において、ＰＦＥＴＭ１１ａのゲートの電圧ＶＧはグランド電位０Ｖである。ＰＦＥＴＭ１１ａはオフである。時刻ｔ１１以降に、電圧Ｖｉｎが上昇する。電圧ＶＧ－Ｖｉｎは－Ｖｉｎである。ラッチ回路１８は、非対称であり、ラッチ回路１８の電源電圧が０Ｖから上昇していくと出力端子Ｔｑ２の電圧がローレベル（すなわちグランド電位）となる。電圧Ｖｉｎが上昇しても出力端子Ｔｑ２の電圧はグランド電位０Ｖである。

[0068] 時刻ｔ１２において、電圧ＶＧ－ＶｉｎがＰＦＥＴＭ１１ａの閾値電圧Ｖｔｈとなると、ＰＦＥＴＭ１１ａはオンする。時刻ｔ１２以降において、電圧Ｖｏｕｔが上昇する。時刻ｔ１４において電圧Ｖｏｕｔが参照電圧Ｖｒｅｆ２以上となると、制御回路１６はラッチ回路１８のリセット端子Ｔｒｓｔにリセット電圧Ｖｒｓｔとしてスパイク信号３０を出力する。ラッチ回路１８は、出力端子Ｔｑ２に電圧ＶＧとして電源端子Ｔｐの電圧である電圧Ｖｉｎを出力する。これにより、電圧ＶＧ－Ｖｉｎはほぼ０Ｖとなる。よって、ＰＦＥＴＭ１１ａはオフする。

[0069] 時刻ｔ１７において、電圧Ｖｏｕｔが参照電圧Ｖｒｅｆ１より低くなると、制御回路１６はラッチ回路１８のセット端子Ｔｓｅｔにセット電圧Ｖｓｅｔとしてスパイク信号３２を出力する。ラッチ回路１８は、出力端子Ｔｑ２に電圧ＶＧとして基準電位端子Ｔｇの電圧であるグランド電位０Ｖを出力する。これにより、電圧ＶＧ－Ｖｉｎは－Ｖｉｎとなり、ＰＦＥＴＭ１１ａはオンする。その他の構成および動作は実施例１と同じであり説明を省略する。

[0070] 実施例１およびその変形例１では、入力電圧Ｖｉｎはグランド電位より高い。このとき、実施例１のように、コールドスタートスイッチＣＳＷにＮＦＥＴＭ１１を用いるとき、ＮＦＥＴＭ１１をオンさせる第１電圧は入力電圧Ｖｉｎである。実施例１の変形例１のように、コールドスタートスイッチＣＳＷにＰＦＥＴＭ１１ａを用いるとき、ＰＦＥＴＭ１１ａをオンさせる第１電圧はグランド電位の電圧である。これにより、ＮＦＥＴＭ１１およびＰＦＥＴＭ１１ａを安定にオンさせることができる。

[0071] 実施例１のように、コールドスタートスイッチＣＳＷにＮＦＥＴＭ１１を用いるとき、ＮＦＥＴＭ１１をオフさせる第２電圧はグランド電位の電圧である。実施例１の変形例１のように、コールドスタートスイッチＣＳＷにＰＦＥＴＭ１１ａを用いるとき、ＰＦＥＴＭ１１ａをオフさせる第２電圧は電圧Ｖｉｎである。これにより、実施例１の変形例２および３において用いられる－αまたは＋αを生成するための余分な回路が不要となる。

[0072] 実施例１では、図７の時刻ｔ１４とｔ１７との間において電圧Ｖｏｕｔが電圧Ｖｉｎより高くなった場合、電圧ＶＧはグランド電位０Ｖであり、電圧ＶｏｕｔおよびＶｉｎのいずれよりも低い。このため、ＮＦＥＴＭ１１のゲート電圧はソース電圧より低い。よって、ＮＦＥＴＭ１１はオフである。実施例１の変形例１では、図１１の時刻ｔ１４とｔ１７との間において、電圧Ｖｏｕｔが電圧Ｖｉｎより高くなった場合、電圧ＶＧは電圧Ｖｉｎであり、電圧Ｖｏｕｔより低い。このため、電圧Ｖｉｎ－ＶｏｕｔがＰＦＥＴＭ１１ａの閾値電圧より低くなるとＰＦＥＴＭ１１ａがオンし、端子Ｔｏｕｔから端子Ｔｉｎに電流が逆流してしまう。よって、コールドスタートスイッチＣＳＷは実施例１のようにＮＦＥＴＭ１１であることが好ましい。

[0073] ［実施例１の変形例２］

実施例１の変形例２は、コールドスタートスイッチとして、デプリッションモード（ノーマリーオンモード）を用いる例である。図１２（ａ）および図１２（ｂ）は、実施例１の変形例２に係るスイッチ回路の回路図である。図１２（ａ）に示すように、実施例１の変形例２では、コールドスタートス

イッチＣＳＷとしてデプリッションモードのＮＦＥＴＭ１１ｂを用いる。ＮＦＥＴＭ１１ｂの閾値電圧は負である。ＮＦＥＴＭ１１ｂのソースは出力端子Ｔｏｕｔに接続され、ドレインは入力端子Ｔｉｎに接続されている。電圧Ｖｏｕｔが参照電圧Ｖｒｅｆ以下のとき、ＮＦＥＴＭ１１ｂのゲートは無電源でグランドに接続される。これにより、ＮＦＥＴＭ１１ｂはオンする。図１２（ｂ）に示すように、電圧Ｖｏｕｔが参照電圧Ｖｒｅｆより高いとき、ＮＦＥＴＭ１１ｂのゲートに電圧Ｖｏｕｔ－α（αは正）が印加される。－αがＮＦＥＴＭ１１ｂの閾値電圧以下であればＮＦＥＴＭ１１ｂはオフする。

[0074] コールドスタートスイッチＣＳＷとしてデプリッションモードのＮＦＥＴを用いる実施例１の変形例２では、図１２（ｂ）において、－αが閾値電圧より充分に低くないとＮＦＥＴＭ１１ｂのリーク電流が大きくなってしまう。コールドスタートスイッチＣＳＷとしてデプリッションモードのＰＦＥＴを用いる場合、ＰＦＥＴの閾値電圧は正である。ＰＦＥＴがオフのとき、ＰＦＥＴのリーク電流を小さくするためには、ＰＦＥＴのゲートに閾値電圧より十分に高い＋αを加える。しかし、十分に低い－αまたは十分に高い＋αを生成するには余分な回路を必要とし、それによって余分な電力も消費してしまう。実施例１およびその変形例１では、エンハンスメント型のトランジスタを用いることにより、－αまたは＋αを生成するには余分な回路が不要となる。これにより、余分な電力を抑制できる。

[0075] なお、ラッチ回路１８がＮＦＥＴＭ１１およびＰＦＥＴＭ１１ａのゲートに出力する電圧Ｖｉｎは、出力端子Ｔｏｕｔの電圧Ｖｉｎからラッチ回路１８の寄生抵抗分電圧降下した電圧であってもよい。また、ラッチ回路１８がＮＦＥＴＭ１１およびＰＦＥＴＭ１１ａのゲートに出力するグランド電位０Ｖの電圧は、グランド電位からラッチ回路１８の寄生抵抗分電圧上昇した電圧であってもよい。

実施例 2

[0076] 実施例２およびその変形例は、入力電圧Ｖｉｎがグランドに対し低い場合

の例であり、発電素子１０の出力がグランドに対し負であり、キャパシタＣ２の電圧Ｖ２は負である。実施例２では、コールドスタートスイッチＣＳＷとしてエンハンスメントモードのＰＦＥＴＭ１１ａを用いる。回路構成は実施例１の変形例１の図９と同様であり説明を省略する。

[0077] 図１３は、実施例２に係るスイッチ回路の各電圧、電流およびＦＥＴのオン／オフの時間変化を示す図である。図１３に示すように、電圧Ｖｉｎ、Ｖｏｕｔ、Ｖ０１、Ｖ０２、リセット電圧Ｖｒｓｔ、セット電圧Ｖｓｅｔおよび電圧ＶＧは負である。ＰＦＥＴＭ１１ａの閾値電圧Ｖｔｈは負である。参照電圧Ｖｒｅｆ１およびＶｒｅｆ２は負である。時刻ｔ１２とｔ１４との間および時刻ｔ１７とｔ１８の間において、電圧ＶＧは閾値電圧Ｖｔｈ以下となるためＰＦＥＴＭ１１ａはオンする。時刻ｔ１４とｔ１７の間において、電圧ＶＧは閾値電圧Ｖｔｈより高いため、ＰＦＥＴＭ１１ａはオフする。その他は実施例１の図７と同じであり説明を省略する。

[0078] ［実施例２の変形例１］

実施例２の変形例１では、コールドスタートスイッチＣＳＷとしてエンハンスメントモードのＮＦＥＴＭ１１を用いる。回路構成は実施例１の図４と同様であり説明を省略する。図１４は、実施例２の変形例１に係るスイッチ回路の各電圧、電流およびＦＥＴのオン／オフの時間変化を示す図である。図１４に示すように、ＮＦＥＴＭ１１の閾値電圧Ｖｔｈは正である。参照電圧Ｖｒｅｆ１およびＶｒｅｆ２は負である。時刻ｔ１２とｔ１４との間および時刻ｔ１７とｔ１８の間において、電圧ＶＧ－Ｖｉｎは閾値電圧Ｖｔｈ以上となるためＮＦＥＴＭ１１はオンする。時刻ｔ１４とｔ１７の間において、電圧ＶＧ－Ｖｉｎはほぼ０Ｖであり閾値電圧Ｖｔｈより低いため、ＮＦＥＴＭ１１はオフする。その他は実施例２の図１３と同じであり説明を省略する。

[0079] 実施例２およびその変形例１では、入力電圧Ｖｉｎはグランド電位より低い。このとき、実施例２のように、コールドスタートスイッチＣＳＷにＰＦＥＴＭ１１ａを用いるとき、ＰＦＥＴＭ１１ａをオンさせる第１電圧はグラ

ンド電位である。実施例２の変形例１のように、コールドスタートスイッチＣＳＷにＮＦＥＴＭ１１を用いるとき、ＮＦＥＴＭ１１をオンさせる第１電圧は電圧Ｖｉｎである。これにより、ＮＦＥＴＭ１１およびＰＦＥＴＭ１１ａを安定にオンさせることができる。

[0080] 実施例２のように、コールドスタートスイッチＣＳＷにＰＦＥＴＭ１１ａを用いるとき、ＰＦＥＴＭ１１ａをオフさせる第２電圧は電圧Ｖｉｎである。実施例２の変形例１のように、コールドスタートスイッチＣＳＷにＮＦＥＴＭ１１を用いるとき、ＮＦＥＴＭ１１をオフさせる第２電圧はグランド電位である。これにより、－αまたは＋αを生成するための余分な回路が不要となる。

[0081] 実施例２では、図１３の時刻ｔ１４とｔ１７との間において電圧Ｖｏｕｔが電圧Ｖｉｎより高くなった場合、電圧ＶＧはグランド電位０Ｖであり、電圧ＶｏｕｔおよびＶｉｎのいずれよりも高い。このため、ＰＦＥＴＭ１１ａのゲート電圧はソース電圧より高い。よって、ＰＦＥＴＭ１１ａはオフである。実施例２の変形例１では、図１４の時刻ｔ１４とｔ１７との間において電圧Ｖｏｕｔが電圧Ｖｉｎより低くなった場合、電圧ＶＧは電圧Ｖｉｎであり、電圧Ｖｏｕｔより高い。このため、電圧Ｖｉｎ－ＶｏｕｔがＮＦＥＴＭ１１の閾値電圧より高くなるとＮＦＥＴＭ１１がオンし、端子Ｔｉｎから端子Ｔｏｕｔに電流が逆流してしまう。よって、コールドスタートスイッチＣＳＷは実施例２のようにＰＦＥＴＭ１１ａであることが好ましい。

実施例 3

[0082] 実施例１では、ＮＦＥＴＭ１１がオンのとき、ＮＦＥＴＭ１１はダイオード接続されているため、電圧降下が生じる。そこで、実施例１の変形例１のように、ＮＦＥＴＭ１１の代わりにＰＦＥＴＭ１１ａを用いる場合がある。しかし、実施例１の変形例１では、電圧Ｖｏｕｔが電圧Ｖｉｎより高くなった場合、端子Ｔｏｕｔから端子Ｔｉｎへの電流が逆流してしまう。これにより、電力損失が発生するおそれがある。実施例３は、電圧Ｖｏｕｔが電圧Ｖｉｎより高くなった場合でも、端子Ｔｏｕｔから端子Ｔｉｎへの電流が逆流

を抑制するスイッチ回路の例である。

[0083] 図１５は、実施例３に係るスイッチ回路の回路図である。実施例１の変形例１の図１０に比べ、スイッチ回路２０は、ＰＦＥＴＭ２とラッチ回路１８ｃを更に備えている。ＰＦＥＴＭ２のソースはＰＦＥＴＭ１１ａのドレインに接続され、ドレインは出力端子Ｔｏｕｔに接続されている。ラッチ回路１８ｃの電源端子ＴｐはＰＦＥＴＭ２のドレインに接続されている。ラッチ回路１８ｃの基準電位端子Ｔｇはグランドに接続されている。ラッチ回路１８ｃの出力端子Ｔｑ２はＰＦＥＴＭ２のゲートに接続されている。ラッチ回路１８ｃのセット端子Ｔｓｅｔおよびリセット端子Ｔｒｓｔには、それぞれ制御回路１６から電圧ＶｓｅｔおよびＶｒｓｔが入力する。その他の回路構成は実施例１の変形例１の図１０と同じであり説明を省略する。

[0084] 図１１を参照し、実施例３におけるスイッチ回路の動作を説明する。なお、説明を簡単にするため、ＰＦＥＴＭ１１ｂおよびＭ２の閾値電圧はほぼ０Ｖであり、時刻ｔ１１とｔ１２とはほぼ同じ時刻と仮定する。図１１において、時刻ｔ１１～ｔ１４およびｔ１７～ｔ１８では、ＰＦＥＴＭ１１ｂのゲートに印加される電圧ＶＧおよびＰＦＥＴＭ２のゲートに印加される電圧ＶＧ２は０Ｖであり、時刻ｔ１４～ｔ１７では、電圧ＶＧおよびＶＧ２はＶｏｕｔである。このため、ＰＦＥＴＭ２は、ＰＦＥＴＭ１１ａがオンおよびオフのときそれぞれオンおよびオフする。よって、実施例１の変形例１のスイッチ回路２０、図１１とほぼ同じ動作を行う。

[0085] このように、実施例３では、ＰＦＥＴＭ２（第２スイッチング素子）は、ゲート（第２制御端子）に与えられる電圧に応じてＰＦＥＴＭ１１ａ（第１スイッチング素子）とキャパシタＣ２との接続状態が制御される。回路１７は、キャパシタＣ２の両端間の電圧差Ｖｏｕｔ－０Ｖが参照電圧Ｖｒｅｆ２になるまでＰＦＥＴＭ２のゲートにＰＦＥＴＭ２をオンさせつづける０Ｖ（第１電圧）を出力する。回路１７は、電圧差Ｖｏｕｔ－０Ｖが参照電圧Ｖｒｅｆ２を超えると、電圧差Ｖｏｕｔ－０Ｖが参照電圧Ｖｒｅｆ１を下回るまでＰＦＥＴＭ２のゲートにＰＦＥＴＭ２をオフさせつづけるＶｏｕｔ（第２

電圧）を出力する。これにより、ＰＦＥＴＭ１１ａおよびＰＦＥＴＭ２がオフのときに、電圧Ｖｏｕｔが電圧Ｖｉｎより高くなったとしても、ＰＦＥＴＭ２のゲート電圧ＶＧ２はＶｏｕｔであり、ＰＦＥＴＭ２のオフは維持される。よって、端子Ｔｏｕｔから端子Ｔｉｎに電流が逆流することを抑制できる。したがって、電力損失を防ぎ、電力効率が下がることを抑制できる。

[0086] 実施例３では、入力電圧Ｖｉｎがグランド電位より高い場合に、ＰＦＥＴＭ１１ａおよびＰＦＥＴＭ２としてエンハンスメント型ＰＦＥＴを用いる例を説明したが、入力電圧Ｖｉｎがグランド電位より低い場合には、ＰＦＥＴＭ１１ａおよびＰＦＥＴＭ２の代わりに、エンハンスメント型ＮＦＥＴを用いてもよい。

実施例 ４

[0087] 実施例４は、発電素子１０の出力電圧（すなわち入力電圧Ｖｉｎ）が高い場合の例である。例えば発電素子として、有機ピエゾ素子またはエレクトレットを用いたＭＥＭＳ（Micro Electro Mechanical Systems）素子のような容量成分が小さな素子を用いる場合、発電素子１０の出力電圧が高くなり、例えば３５Ｖとなる。このような場合に、実施例１のＮＦＥＴＭ１１として高耐圧ＦＥＴを用いる。高耐圧ＦＥＴは、ドレイン耐圧（ソースに対するドレインの耐圧）が高いＦＥＴであり、ＮＦＥＴＭ１１として、例えばドレイン耐圧が３５Ｖ以上のＦＥＴを用いる。しかし、実施例１では、ラッチ回路１８の電源端子Ｔｐに高電圧が加わる。一般的なＭＯＳＦＥＴの耐圧は５Ｖ程度であり、電源端子Ｔｐに５Ｖ以上の電圧が加わると、ラッチ回路１８が破壊されてしまう。実施例４は、電圧Ｖｉｎの電圧が高くなった場合でも、ラッチ回路１８の破壊が抑制できる例である。

[0088] 図１６は、実施例４に係るスイッチ回路の回路図である。図１６に示すように、ＮＦＥＴＭ１１のゲートはノードＮＧに接続されている。ノードＮＧと入力端子Ｔｉｎとの間にキャパシタＣ３が接続されている。ＮＦＥＴＭ１１とキャパシタＣ３は高耐圧素子であり、耐圧は例えば３５Ｖ以上である。ＮＦＥＴＭ３のソースおよびドレインはそれぞれグランドおよびノードＮＧ

に接続されている。ＮＦＥＴＭ３は、エンハンスメント型ＦＥＴである。ラッチ回路１８ｂの電源端子Ｔｐは出力端子Ｔｏｕｔに接続されている。基準電位端子Ｔｇはグランドに接続されている。出力端子Ｔｑ２はＮＦＥＴＭ３のゲートに接続されている。ラッチ回路１８ｂのセット端子Ｔｓｅｔおよびリセット端子Ｔｒｓｔには、それぞれ制御回路１６から電圧ＶｓｅｔおよびＶｒｓｔが入力する。

[0089] 図７において、時刻ｔ１１～ｔ１４およびｔ１７～ｔ１８では、ＮＦＥＴＭ３のゲートに印加される電圧ＶＧ３は０Ｖであり、時刻ｔ１４～ｔ１７では、電圧ＶＧ３はＶｏｕｔである。キャパシタＣ３のキャパシタンスをＮＦＥＴＭ１１のゲート容量およびＮＦＥＴＭ３のドレイン容量に対し十分に大きくすれば、時刻ｔ１１以降、Ｖｉｎが増加すると、入力端子Ｔｉｎに容量結合したＮＦＥＴＭ１１のゲートの電圧ＶＧはほぼＶｏｕｔと同じ電圧で増加する。時刻ｔ１４において、電圧ＶＧ３がＶｏｕｔとなり、ＮＦＥＴＭ３がオンすると、電圧ＶＧは０ＶとなりＮＦＥＴＭ１１はオフする。時刻ｔ１７において、電圧ＶＧ３が０Ｖとなり、ＮＦＥＴＭ３がオフすると、電圧ＶＧはほぼＶｉｎとなりＮＦＥＴＭ１１はオンする。その他のスイッチ回路２０の動作は、実施例１の図７と同じであり説明を省略する。

[0090] 実施例４によれば、ＮＦＥＴＭ３（第３スイッチング素子）は、ゲート（第３制御端子）に与えられる電圧ＶＧ３に応じてノードＮＧと基準電位との間の接続状態を制御する。ラッチ回路１８ｂは、キャパシタＣ２の両端の電圧差Ｖｏｕｔ－０Ｖが参照電圧Ｖｒｅｆ１になるまでＮＦＥＴＭ３のゲートに基準電位を出力しつづけ、電圧差Ｖｏｕｔ－０Ｖが参照電圧Ｖｒｅｆ１を超えると、電圧差Ｖｏｕｔ－０Ｖが参照電圧Ｖｒｅｆ２を下回るまでＮＦＥＴＭ３のゲートにＶｏｕｔを出力する。このように、ラッチ回路１８ｂの電源端子Ｔｐは出力端子Ｔｏｕｔに接続されるため、電圧Ｖｉｎが高電圧となってもラッチ回路１８ｂが破壊されることを抑制できる。

[0091] ［実施例４の変形例１］

実施例４において、ＮＦＥＴＭ１１がオフのときに、入力電圧Ｖｉｎが高

くなると、ＮＦＥＴＭ１１にリーク電流が流れ、入力端子Ｔｉｎから出力端子Ｔｏｕｔに電流が流れることがある。特に、ＮＦＥＴＭ１１が高耐圧ＦＥＴの場合、オフ抵抗が低くリーク電流が大きくなることがある。実施例４の変形例１は、ＮＦＥＴＭ１１のリーク電流を抑制する例である。

[0092] 図１７は、実施例４の変形例１に係るスイッチ回路の回路図である。図１７に示すように、実施例４の図１６に比べ、スイッチ回路２０は、ＮＦＥＴＭ４とツェナーダイオードＺｄをさらに更に備えている。ＮＦＥＴＭ４のソースは出力端子Ｔｏｕｔに接続され、ドレインはＮＦＥＴＭ１１のソースに接続され、ゲートはノードＮＧに接続されている。ＮＦＥＴＭ４はエンハンスメント型ＦＥＴであり、ＮＦＥＴＭ４の閾値電圧はＮＦＥＴＭ１１の閾値電圧とほぼ同じである。ＮＦＥＴＭ４に、高耐圧ＦＥＴを用いず、ＮＦＥＴＭ４よりドレイン耐圧の低いＦＥＴを用いることで、ＮＦＥＴＭ４のオフ抵抗をＮＦＥＴＭ１１より高くできる。ツェナーダイオードＺｄのアノードはグランドに接続され、カソードはＮＦＥＴＭ１１とＭ４との間のノードＮ４に接続されている。ツェナーダイオードＺｄの降伏電圧は、例えば５．５Ｖである。その他の回路構成は実施例４の図１６と同じであり説明を省略する。

[0093] 図７において、ＰＦＥＴＭ２は、ＮＦＥＴＭ１１がオンおよびオフときそれぞれオンおよびオフする。入力端子Ｔｉｎと出力端子Ｔｏｕｔとの間にＮＦＥＴＭ１１およびＭ４が直列接続されているため、ＮＦＥＴＭ１１およびＭ４がオフのとき、入力端子Ｔｉｎから出力端子Ｔｏｕｔに流れるリーク電流を抑制できる。しかし、ＮＦＥＴＭ４のオフ抵抗が高い場合、ノードＮ４の電圧が高くなる。出力電圧Ｖｏｕｔに対するノードＮ４の電圧が、ＮＦＥＴＭ４のドレイン耐圧を超えると、ＮＦＥＴＭ４が破壊される可能性がある。そこで、ツェナーダイオードＺｄの降伏電圧を、（ＮＦＥＴＭ４のドレイン耐圧－Ｖｏｕｔの最大値）以下とする。これにより、ノードＮ４の電圧－ＶｏｕｔがＮＦＥＴＭ４のドレイン耐圧より高くなることが抑制され。ＮＦＥＴＭ４の破壊を抑制できる。

[0094] 実施例４の変形例１によれば、ＮＦＥＴＭ４（第４スイッチング素子）は、ＮＦＥＴＭ１１よりドレイン耐圧が低く、ノードＮＧに与えられる電圧に応じてＮＦＥＴＭ１１と出力端子Ｔｏｕｔとの間の接続状態を制御する。ツェナーダイオードＺｄ（制限素子）はノードＮ４の電圧が降伏電圧（第３所定値）を超えないように制限する。このように、ＮＦＥＴＭ４を設けることで、入力端子Ｔｉｎから出力端子Ｔｏｕｔに流れるリーク電流を抑制できる。ツェナーダイオードＺｄを設けることで、ＮＦＥＴＭ４に高電圧が印加されＮＦＥＴＭ４が破壊されることを抑制できる。

[0095] なお、ツェナーダイオードＺｄをＮＦＥＴＭ１１より入力端子Ｔｉｎ側に設けることで、ＮＦＥＴＭ１１に加わる入力電圧Ｖｉｎが高くなることを抑制できる。しかし、コールドスタートスイッチＣＳＷがオフのときに、図１の整流回路１０ｂとは別の整流回路（例えば後述する図１８の整流回路６２）において、発電ユニット１０ａの出力電力を整流する場合がある。この場合、入力端子Ｔｉｎの電圧Ｖｉｎを制限してしまうと、別の整流回路に高電圧が加わらなくなってしまう。そこで、実施例４の変形例１のように、ツェナーダイオードＺｄはノードＮ４の設けることが好ましい。

[0096] 実施例４およびその変形例１では、入力電圧Ｖｉｎがグランド電位より高い場合に、ＮＦＥＴＭ１１およびＭ４としてエンハンスメント型ＮＦＥＴを用いる例を説明したが、入力電圧Ｖｉｎがグランド電位より低い場合には、ＮＦＥＴＭ１１およびＭ４の代わりに、エンハンスメント型ＰＦＥＴを用いればよい。

[0097] 実施例１から４およびその変形例において、トランジスタがエンハンスメント型のとき、ＮＦＥＴＭ１１、Ｍ１１ｂ、Ｍ３およびＭ４は、ゲート電圧がグランド電位０Ｖのときオフであり、ゲート電圧が正の閾値電圧より高くなるとオンする。ＰＦＥＴＭ１１ａ、Ｍ１１ｃおよびＭ２は、ゲート電圧（ソースに対するゲートの電圧）がグランド電位０Ｖのときオフであり、ゲート電圧が負の閾値電圧より低くなるとオンする。ＮＦＥＴＭ１１、Ｍ１１ｂ、Ｍ３、Ｍ４ＰＦＥＴＭ１１ａ、Ｍ１１ｃおよびＭ２は、例えばシリコンを

用いたＭＯＳ（Metal Oxide Semiconductor）ＦＥＴである。

[0098] 実施例１から４およびその変形例のスイッチ回路を図１の電圧変換回路１２のコールドスタートスイッチＣＳＷとして用いる。電圧変換回路１２（電力変換回路）は、リセット電圧Ｖｒｓｔが出力されると、発電素子１０の出力電力の変換を開始する。すなわち、回路１７は、リセット電圧Ｖｒｓｔを出力するとき、電圧変換回路１２を起動する。図１では、電源回路として降圧昇圧型の電圧変換回路の例を説明したが、電源回路は降圧型の電圧変換回路、昇圧型の電圧変換回路および反転型の電圧変換回路でもよい。電力変換回路は、インダクタを備え、発電素子１０から入力する第３電圧（例えば直流電圧）を第４電圧（例えば直流電圧）に変換する電圧変換回路（例えばＤＣ（Direct Current）－ＤＣコンバータ）でもよい。また、電源回路は、交流を直流に変換する電力変換回路等でもよい。

[0099] 図１８は、実施例１から４およびその変形例のスイッチ回路が用いられるシステムを示すブロック図である。図１８に示すように、システムは、発電素子６０、整流回路６１、６２、整合回路６３、電圧変換回路６４、充電管理回路６５、蓄電器６６、コールドスタート回路６７および昇圧回路６８を備えている。

[0100] 発電素子６０は、例えば図１の発電素子１０であり、微小電流の交流電力を発電する。整流回路６１は例えばダイオードブリッジであり、整流回路６２は例えば同期整流回路である。整合回路６３は整流回路６１および６２の出力インピーダンスと電圧変換回路６４の入力インピーダンスとを整合させる。電圧変換回路６４は、例えば図１の電圧変換回路１２であり、ＤＣ－ＤＣコンバータである。充電管理回路６５は複数の蓄電器６６のうち適切な蓄電器６６に蓄電する。蓄電器６６は例えばキャパシタである。充電管理回路６５は複数の蓄電器の両端の電圧をモニターし、適切に蓄電器に発電電力を充電する。コールドスタート回路６７は、実施例１から４およびその変形例のいずれかに示されたスイッチ回路２０であり、蓄電器６６がほとんど充電されていないときに整流回路６１の出力電流を蓄電器６６に充電する。昇圧

回路６８は例えばチャージポンプであり、整流回路６２および電圧変換回路６４等に用いる電圧を生成する。

[0101] システムの動作について説明する。蓄電器６６がほとんど充電されていない状態において、発電素子６０が微小電力を生成すると、整流回路６１が微小電力を整流する。整流回路６１は例えばダイオードブリッジのように外部電源がなくとも整流を行うことができる回路が好ましい。また、ダイオードブリッジに限らず、ゲートと、ソースまたはドレインを短絡させたＦＥＴを組みあわせて構成した整流回路としてもよい。このようなＦＥＴを組みあわせて構成した整流回路では、ダイオードブリッジに比べて電圧降下が少なくできる点で、微小電力発電に好適である。整流回路６１が整流した電流はコールドスタート回路６７を介し充電管理回路６５に至り蓄電器６６に蓄電される。蓄電器６６が十分な電圧まで充電されると、昇圧回路６８は、蓄電器６６の電圧から整流回路６２および電圧変換回路６４に使用する電圧に昇圧する。蓄電器６６の電圧は例えば１Ｖであり、昇圧回路６８の出力電圧は例えば２Ｖである。蓄電器６６の電圧を用い整流回路６２および電圧変換回路６４が動作する場合には昇圧回路６８はなくてもよい。

[0102] 整合回路６３は、発電素子６０の発電量に応じ、整流回路６１および６２の入力電圧を変化させる。入力電圧を発電素子６０の出力電流で除した値が整流回路６１および６２の入力インピーダンスとなる。そこで、整合回路６３は、発電素子６０の出力電流が大きいとき入力電圧を高くし、発電素子６０の出力電流が小さいとき入力電圧を低くする。これにより、発電素子６０の出力インピーダンスと整流回路６１および６２の入力インピーダンスを整合させる。整合回路６３は入力電圧により整流回路６１と６２を切り替える。例えば整流回路６１および６２がそれぞれダイオードブリッジおよび同期整流回路の場合、入力電圧が１Ｖ以下となるとダイオードのオン電圧による損失が大きくなる。このため、整流回路６２を用いる。入力電圧が１Ｖ以上の場合、整流回路６１を用いる。

[0103] 電圧変換回路６４は、整合回路６３が設定した入力電圧を蓄電器６６が充

電する電圧に変換する。蓄電器６６の電圧は例えば１Ｖまたは３．３Ｖである。充電管理回路６５は、複数の蓄電器６６の電圧をモニターし、適切な蓄電器６６に発電電力を充電する。

[0104] このような微小電力を発電する発電素子６０を用いたシステムでは蓄電器６６に電力が蓄積されていないとき、コールドスタート回路６７は無電源でオンし、蓄電器６６に電力が蓄積した後、オフする。実施例１から４およびその変形例のスイッチ回路２０をコールドスタート回路６７に用いることにより、コールドスタートスイッチを安定に制御することができる。

[0105] 以上説明した本実施形態においては、本発明の制御端子に与えられる電圧に応じて発電素子と蓄電器との接続状態が制御されるスイッチング素子として例えば図１のコールドスタートスイッチＣＳＷを用いた。かかるスイッチング素子としてＦＥＴを用いた。消費電力が小さいので、ＦＥＴが好ましいが、本発明スイッチング素子としてはＦＥＴに限らず、他のスイッチング素子、例えばバイポーラトランジスタの素子やＩＧＢＴ（Insulated Gate Bipolar Transistor）でもよい。バイポーラトランジスタの素子では第１端子および第２端子はエミッタおよびコレクタであり、制御端子はベースである。ＩＧＢＴでは、第１端子および第２端子はエミッタおよびコレクタであり、制御端子はゲートである。

[0106] また前記蓄電器の両端間の電圧差が初期状態から時間とともに大きくなると前記電圧差が前記初期状態よりも大きい第１所定値になるまで前記制御端子に前記トランジスタをオンさせつづける第１電圧を出力し、前記電圧差が前記第１所定値を超えると、前記電圧差が前記第１所定値よりも小さい第２所定値を下回るまで前記制御端子に前記スイッチング素子をオフさせつづける第２電圧を出力する回路を例えば図４に示されるラッチ回路１８を含む回路１７とした。かかる図４に示される回路では、蓄電器の両端間の電圧差の通常の初期状態はゼロボルトであるが、本発明はかかるゼロボルトに限らない。例えば蓄電器にわずかに電荷が残っている状態では、その電荷量と蓄電器の容量とに応じた電圧となる本発明はこの構成に限らず、ラッチ回路を含

まないヒステリシス特性を有する回路で構成してもよい。たとえば、入力電圧に対して出力電圧がヒステリシス特性をもつ素子と、その素子の出力電圧に応じて、スイッチＣＳＷのオンオフを制御する制御回路との組みあわせによって構成しても本発明に含まれる。

[0107] 以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

符号の説明

[0108] １０ 発電素子

１２ 電圧変換回路

１４ 制御部

１６ 制御回路

１７ 回路

１８ ラッチ回路

２０ スイッチ回路

請求の範囲

[請求項1] 第１制御端子に与えられる電圧に応じて発電素子と蓄電器との接続状態が制御される第１スイッチング素子と、

前記蓄電器の両端間の電圧差が初期状態から、時間とともに大きくなると前記電圧差が前記初期状態よりも大きい第１所定値になるまで前記第１制御端子に前記第１スイッチング素子をオンさせつづける第１電圧を出力し、前記電圧差が前記第１所定値を超えると、前記電圧差が前記第１所定値よりも小さい第２所定値を下回るまで前記第１制御端子に前記第１スイッチング素子をオフさせつづける第２電圧を出力する制御回路と、

を備えるスイッチ回路。

[請求項2] 前記発電素子は、交流電流を出力する発電部と、前記交流電流を整流する整流回路と、を備える請求項１に記載のスイッチ回路。

[請求項3] 前記蓄電器は、その一端が基準電位に接続され、その他端が前記第１スイッチング素子により、前記発電素子との接続状態が制御され、

前記第１スイッチング素子はエンハンスメント型ＦＥＴであり、前記制御回路は、前記第１電圧として前記第１スイッチング素子の前記発電素子側の端子の電圧を出力し、前記第２電圧として前記基準電位を出力する請求項２に記載のスイッチ回路。

[請求項4] 前記整流回路は前記基準電位に対して正の電圧を発生し、

前記第１スイッチング素子はエンハンスメント型ＮＦＥＴである請求項３に記載のスイッチ回路。

[請求項5] 前記整流回路は前記基準電位に対して負の電圧を発生し、

前記第１スイッチング素子はエンハンスメント型ＰＦＥＴである請求項３に記載のスイッチ回路。

[請求項6] 前記蓄電器は、その一端が基準電位に接続され、その他端が前記第１スイッチング素子により、前記発電素子との接続状態が制御され、

前記第１スイッチング素子はエンハンスメント型ＦＥＴであり、前

記制御回路は、前記第１電圧として前記基準電位を出力し、前記第２電圧として前記第１スイッチング素子の前記発電素子側の端子の電圧を出力する請求項２に記載のスイッチ回路。

[請求項7] 前記整流回路は前記基準電位に対して正の電圧を発生し、

前記第１スイッチング素子はエンハンスメント型ＰＦＥＴである請求項６に記載のスイッチ回路。

[請求項8] 前記整流回路は前記基準電位に対して負の電圧を発生し、

前記第１スイッチング素子はエンハンスメント型ＮＦＥＴである請求項６に記載のスイッチ回路。

[請求項9] エンハンスメント型ＦＥＴであり、第２制御端子に与えられる電圧に応じて前記第１スイッチング素子と前記蓄電器との接続状態が制御される第２スイッチング素子を備え、

前記制御回路は、前記蓄電器の両端間の電圧差が初期状態から、時間とともに大きくなると前記電圧差が前記第１所定値になるまで前記第２制御端子に前記基準電位を出力し、前記電圧差が前記第１所定値を超えると、前記電圧差が前記第２所定値を下回るまで前記第２制御端子に前記第２スイッチング素子の前記蓄電器側の端子の電圧を出力する請求項６から８のいずれか一項に記載のスイッチ回路。

[請求項10] 第３制御端子に与えられる電圧に応じて前記第１制御端子と基準電位との間の接続状態を制御する第３スイッチング素子を備え、

前記蓄電器は、その一端が基準電位に接続され、その他端が前記第１スイッチング素子により、前記発電素子との接続状態が制御され、

前記第１制御端子は前記発電素子と容量結合され、

前記第１スイッチング素子はエンハンスメント型ＦＥＴであり、

前記制御回路は、前記電圧差が前記第１所定値になるまで前記第３制御端子に前記基準電位を出力しつづけ、前記電圧差が前記第１所定値を超えると、前記電圧差が前記第２所定値を下回るまで前記第３制御端子に前記蓄電器の他端の電圧を出力する請求項６に記載のスイッ

チ回路。

[請求項11] 前記第１スイッチング素子より耐圧が低く、前記第１制御端子に与えられる電圧に応じて前記第１スイッチング素子と前記蓄電器との間の接続状態を制御する第４スイッチング素子と、

前記第１スイッチング素子と前記第４スイッチング素子との間の電圧が第３所定値を超えないように制限する制限素子と、

を備える請求項１０に記載のスイッチ回路。

[請求項12] 前記制御回路は、前記蓄電器の両端間の電圧差が前記初期状態から、時間とともに大きくなると前記電圧差が前記第１所定値になるまで前記第１制御端子に前記第１電圧を出力し、前記電圧差が前記第１所定値を超えると、前記第２所定値を下回るまで前記第１制御端子に前記第２電圧を出力するラッチ回路を備える請求項１から１１のいずれか一項に記載のスイッチ回路。

[請求項13] 前記制御回路は、前記電圧差が前記第２所定値を下回ると、前記ラッチ回路のラッチ状態をリセットし、前記第１スイッチング素子の制御端子に前記第１スイッチング素子をオンさせる前記第１電圧を出力する制御回路である請求項１２に記載のスイッチ回路。

[請求項14] 前記初期状態では、前記蓄電器の両端間の電圧差が０Ｖである請求項１から１３のいずれか一項に記載のスイッチ回路。

[請求項15] 請求項１から１４のいずれか一項に記載のスイッチ回路と、

前記発電素子の出力電力を変換する電力変換回路と、

を備え、

前記スイッチ回路は、前記電圧差が前記第１所定値を超えると、前記電力変換回路に前記電力変換回路を起動させる信号を出力する電源回路。

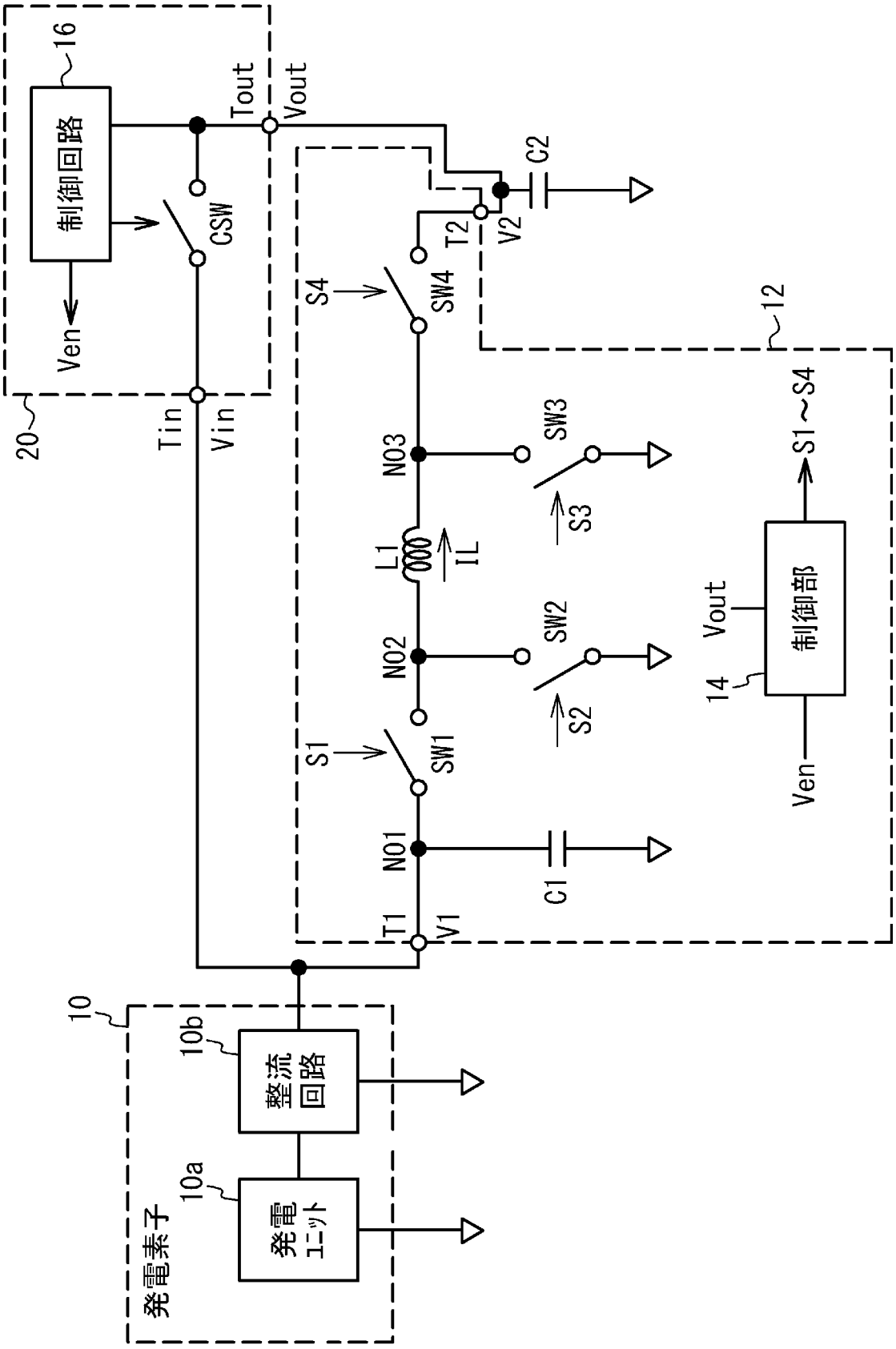
[請求項16] 前記スイッチ回路は、前記電圧差が前記第１所定値を超えると、前記電圧差が前記第２所定値を下回るまでオフしつづける請求項１５に記載の電源回路。

[請求項17] 前記スイッチ回路は、前記電圧差が前記第１所定値を超えると、オフし、かつ前記電力変換回路に前記電力変換回路を起動させる信号を出力する請求項１５または１６に記載の電源回路。

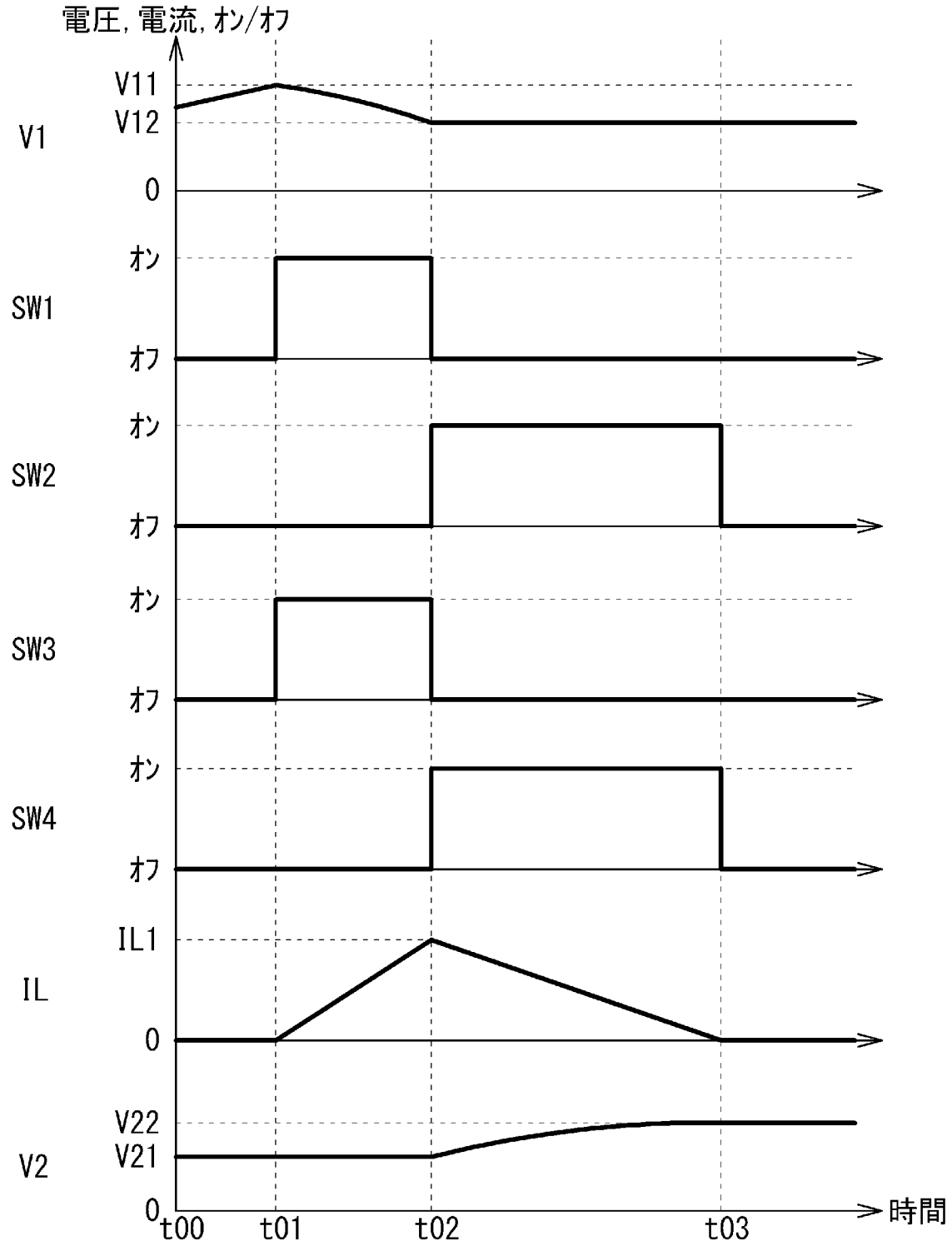
[請求項18] 前記電力変換回路は、インダクタを備え、前記発電素子から入力する第３電圧を第４電圧に変換する電圧変換回路である請求項１５から１７のいずれか一項に記載の電源回路。

[請求項19] 前記スイッチ回路は、前記電圧差が前記第１所定値を超えたか否かを判定する判定回路と、前記判定回路が前記電圧差が前記第１所定値を超えたと判定したとき前記起動させる信号を生成する生成回路と、を備える請求項１５から１８のいずれか一項に記載の電源回路。

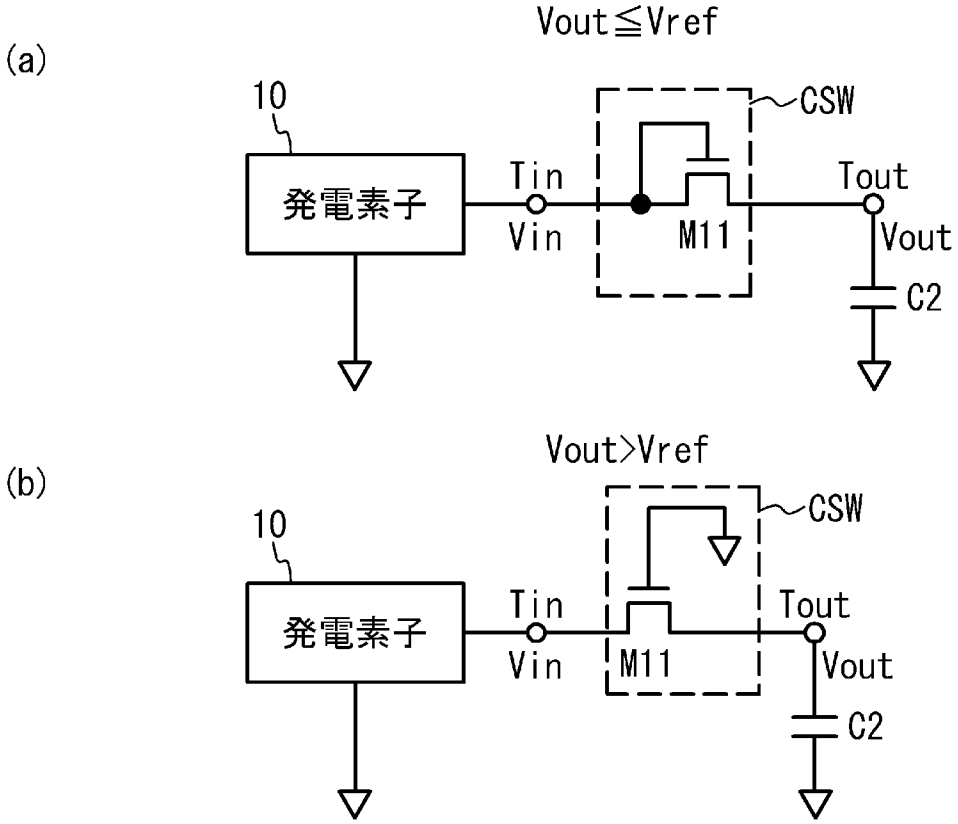
[図1]


16
制御回路
Tout
Vout
CSW
Ven
20
Tin
Vin
C2
T2
V2
S4
SW4
12
NO3
SW3
S3
L1
IL
NO2
SW2
S2
S1
SW1
NO1
C1
T1
V1
S1～S4
制御部
Vout
14
Ven
10
10b
整流回路
10a
発電ユニット
発電素子

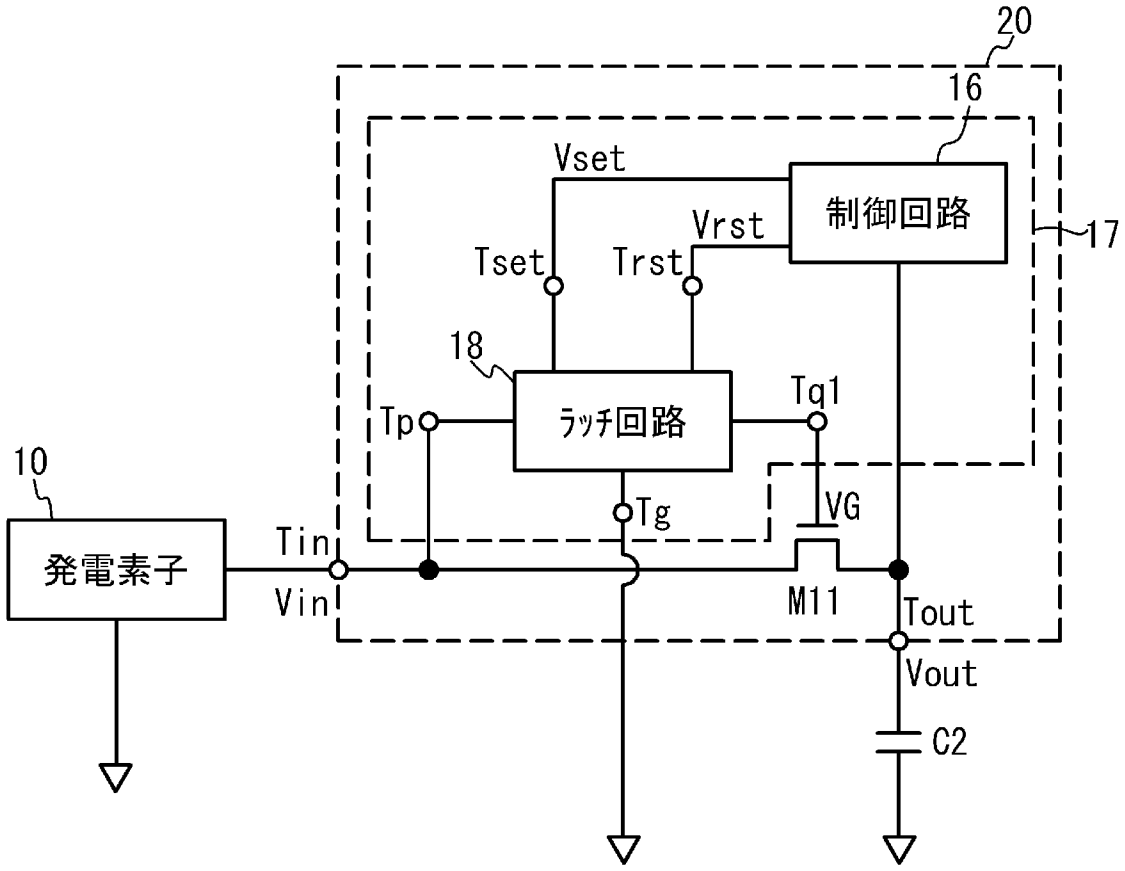
[図2]


電圧，電流，オン/オフ
V11
V12
V1
0
オン
SW1
オフ
オン
SW2
オフ
オン
SW3
オフ
オン
SW4
オフ
IL1
IL
0
V22
V21
V2
0
t00
t01
t02
t03
時間

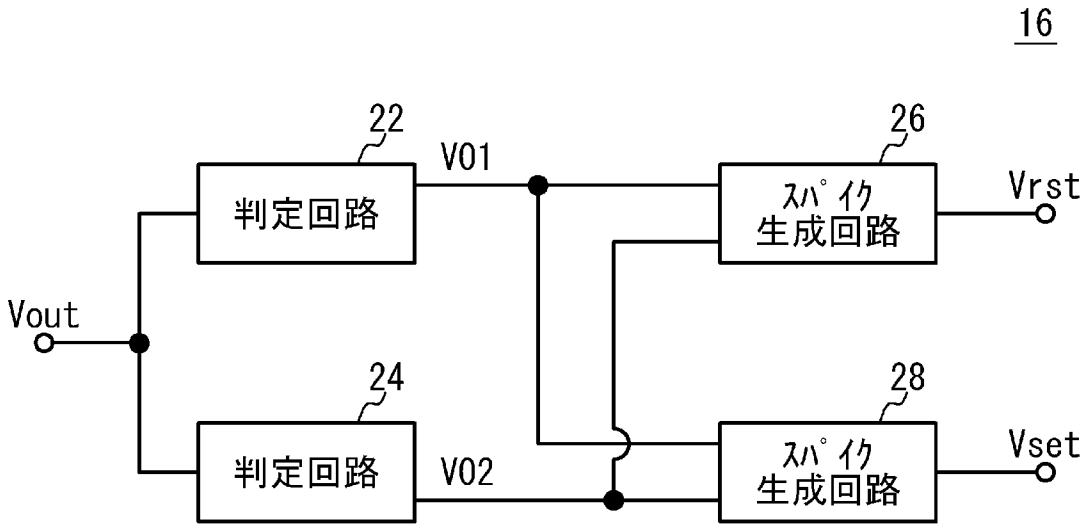
[図3]


(a)
Vout≦Vref
10
発電素子
Tin
Vin
CSW
M11
Tout
Vout
C2
(b)
Vout>Vref
10
発電素子
Tin
Vin
CSW
M11
Tout
Vout
C2

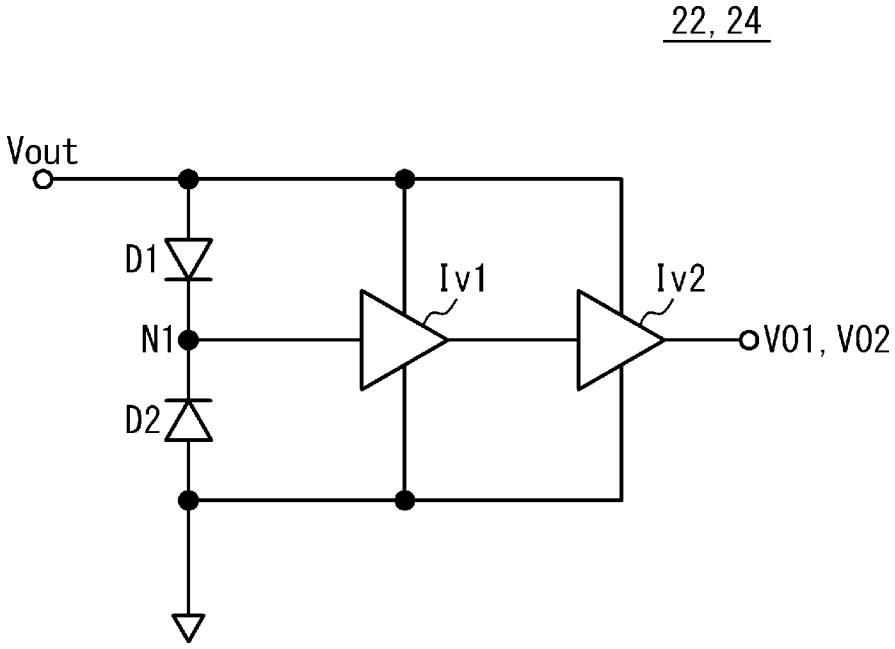
[図4]


20
16
Vset
Vrst
制御回路
17
Tset
Trst
18
Tp
ラッチ回路
Tg1
VG
Tg
10
発電素子
Tin
Vin
M11
Tout
Vout
C2

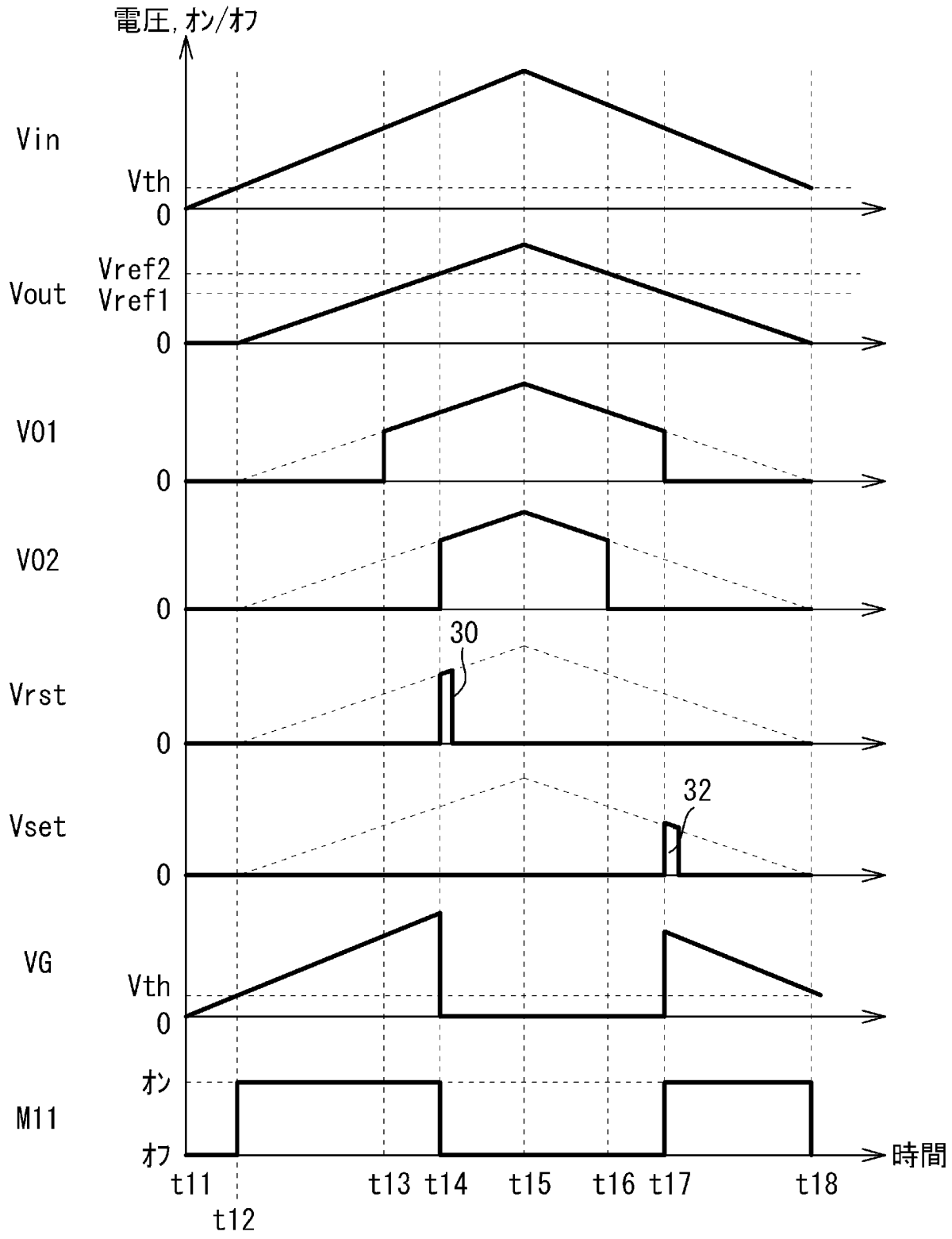
[図5]


16
22
V01
26
判定回路
スパイク
生成回路
Vrst
Vout
24
28
判定回路
V02
スパイク
生成回路
Vset

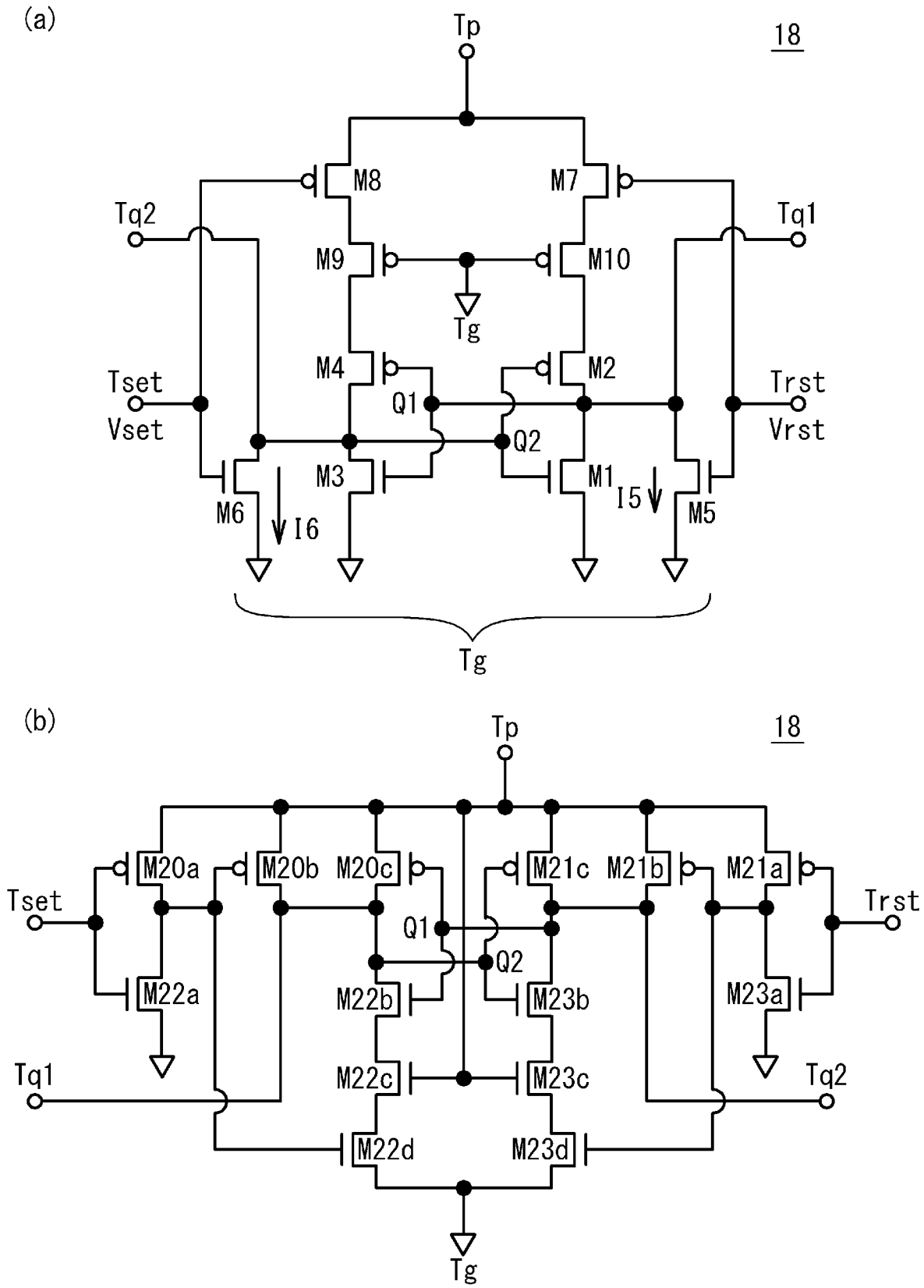
[図6]


22, 24
Vout
D1
Iv1
Iv2
N1
V01, V02
D2

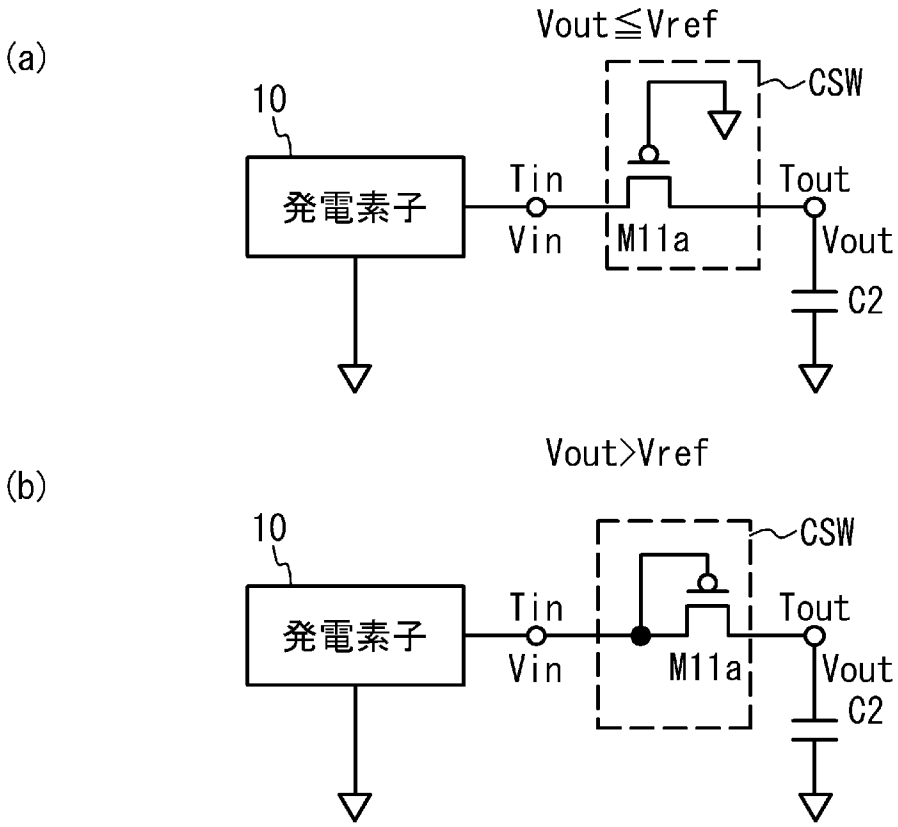
[図7]


電圧,オン/オフ
Vin
Vth
0
Vout
Vref2
Vref1
0
V01
0
V02
0
30
Vrst
0
32
Vset
0
VG
Vth
0
M11
オン
オフ
時間
t11
t12
t13
t14
t15
t16
t17
t18

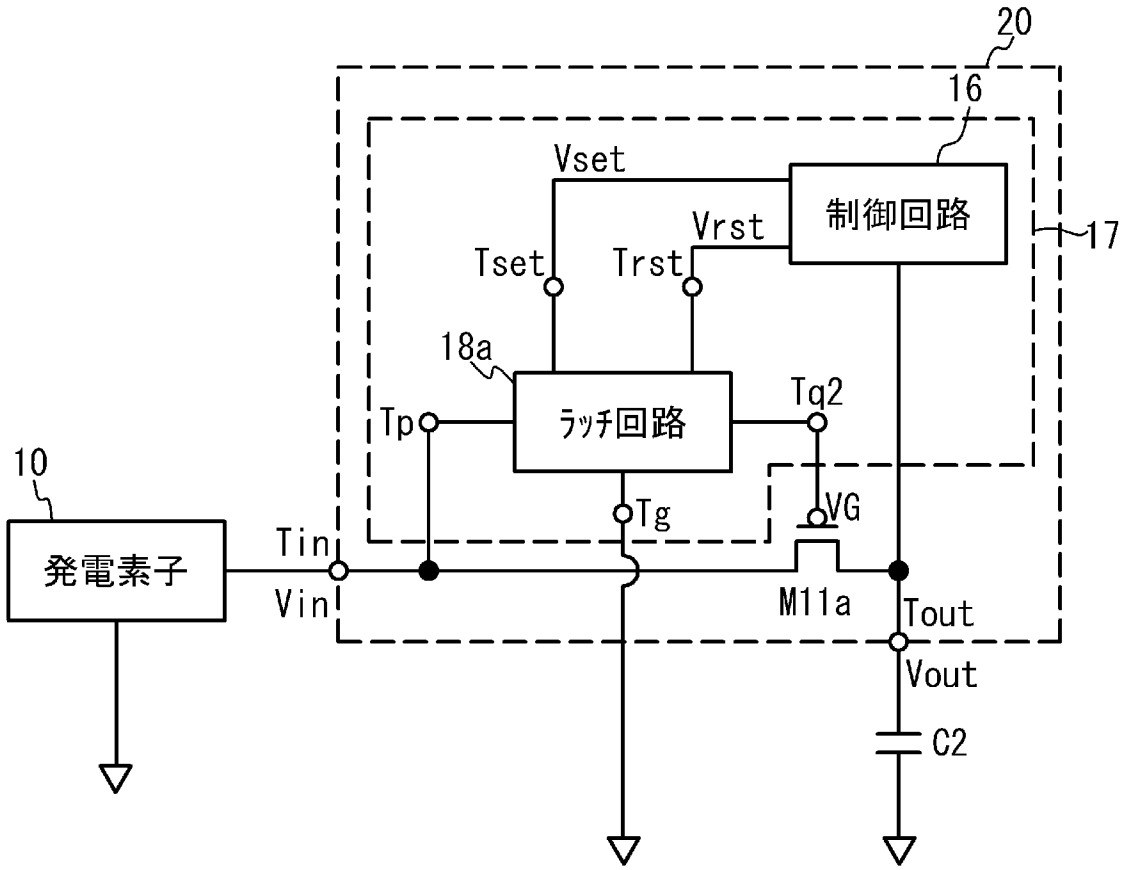
[図8]


(a)
Tp
18
M8
M7
Tq2
Tq1
M9
M10
Tg
M4
M2
Tset
Q1
Trst
Vset
Vrst
Q2
M3
M1
I5
M6
I6
M5
Tg
(b)
Tp
18
M20a
M20b
M20c
M21c
M21b
M21a
Tset
Trst
Q1
Q2
M22a
M22b
M23b
M23a
Tq1
M22c
M23c
Tq2
M22d
M23d
Tg

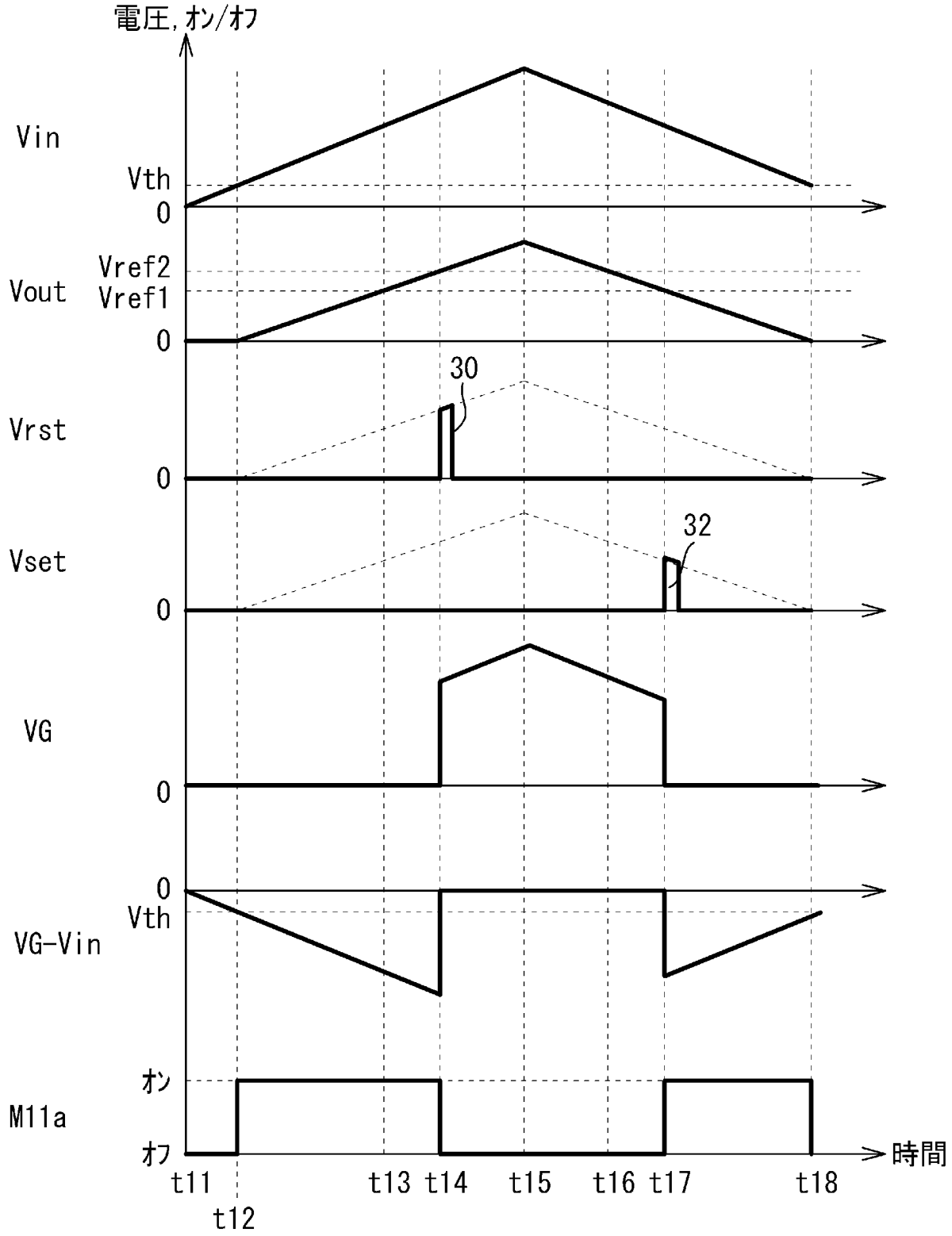
[図9]


(a)
Vout≦Vref
CSW
10
発電素子
Tin
Vin
M11a
Tout
Vout
C2
(b)
Vout>Vref
CSW
10
発電素子
Tin
Vin
M11a
Tout
Vout
C2

[図10]

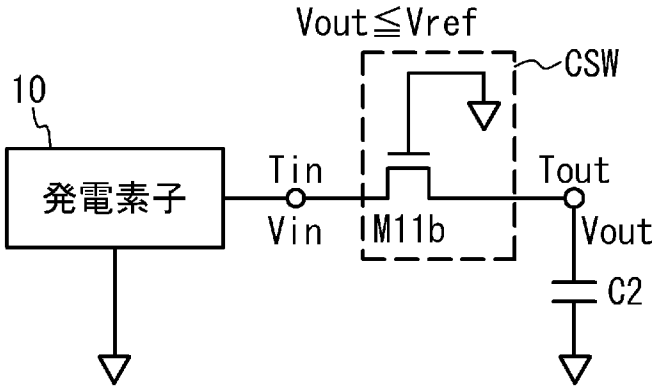

20
16
Vset
制御回路
Vrst
17
Tset
Trst
18a
ラッチ回路
Tq2
Tp
10
発電素子
Tin
Vin
Tg
VG
M11a
Tout
Vout
C2

[図11]

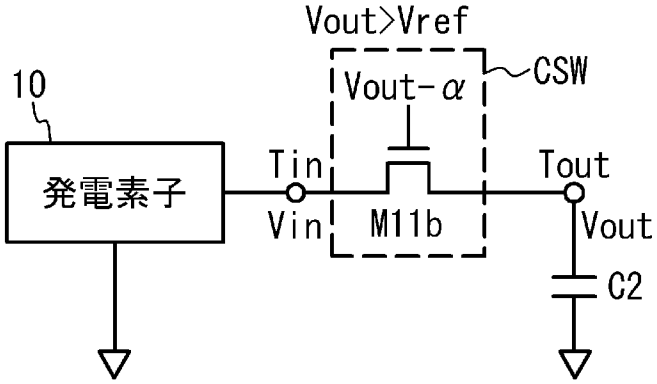

電圧,オン/オフ
Vin
Vth
0
Vout
Vref2
Vref1
0
30
Vrst
0
32
Vset
0
VG
0
0
Vth
VG-Vin
オン
M11a
オフ
時間
t11
t12
t13
t14
t15
t16
t17
t18

[図12]

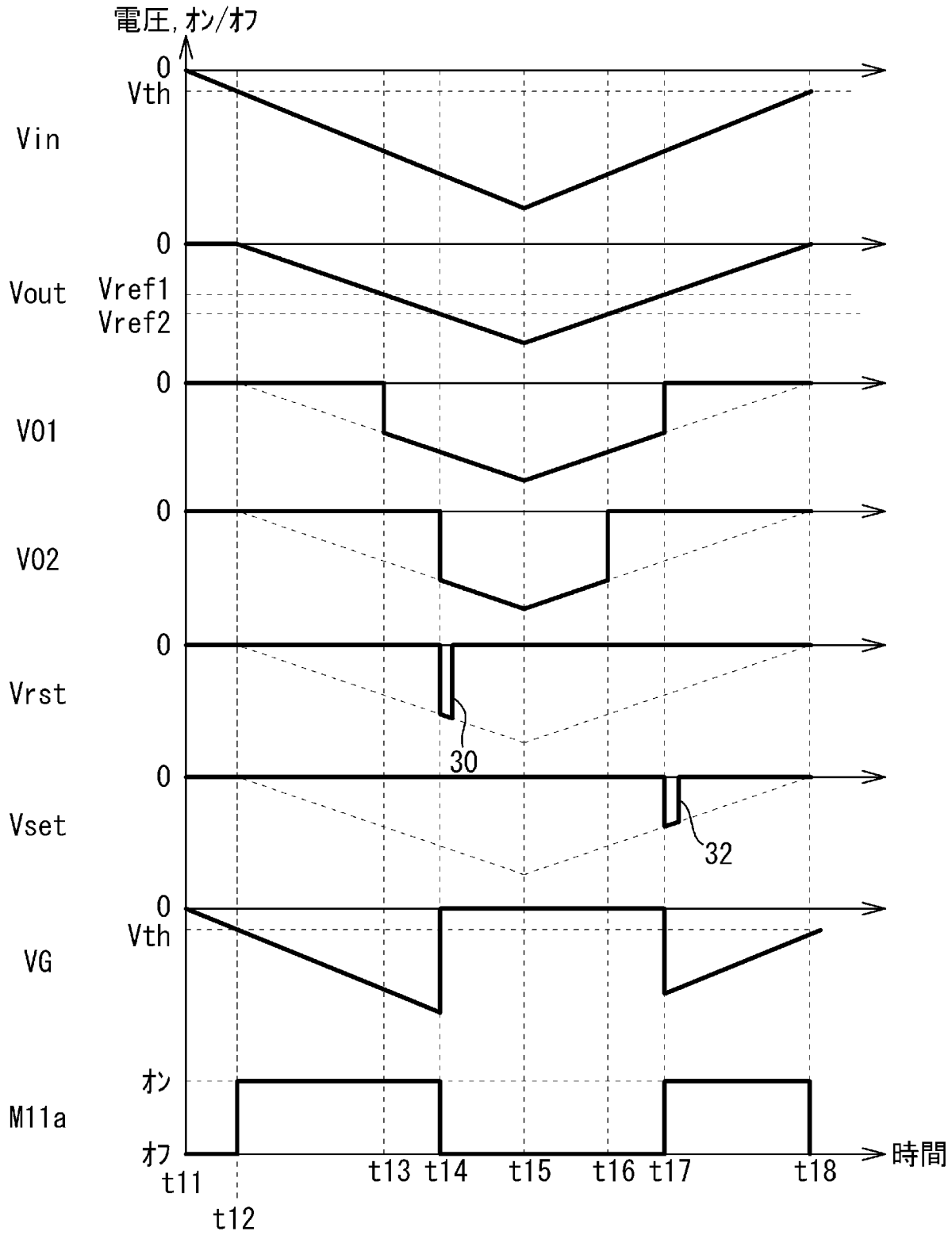
(a)


Vout≦Vref
CSW
10
発電素子
Tin
Vin
M11b
Tout
Vout
C2

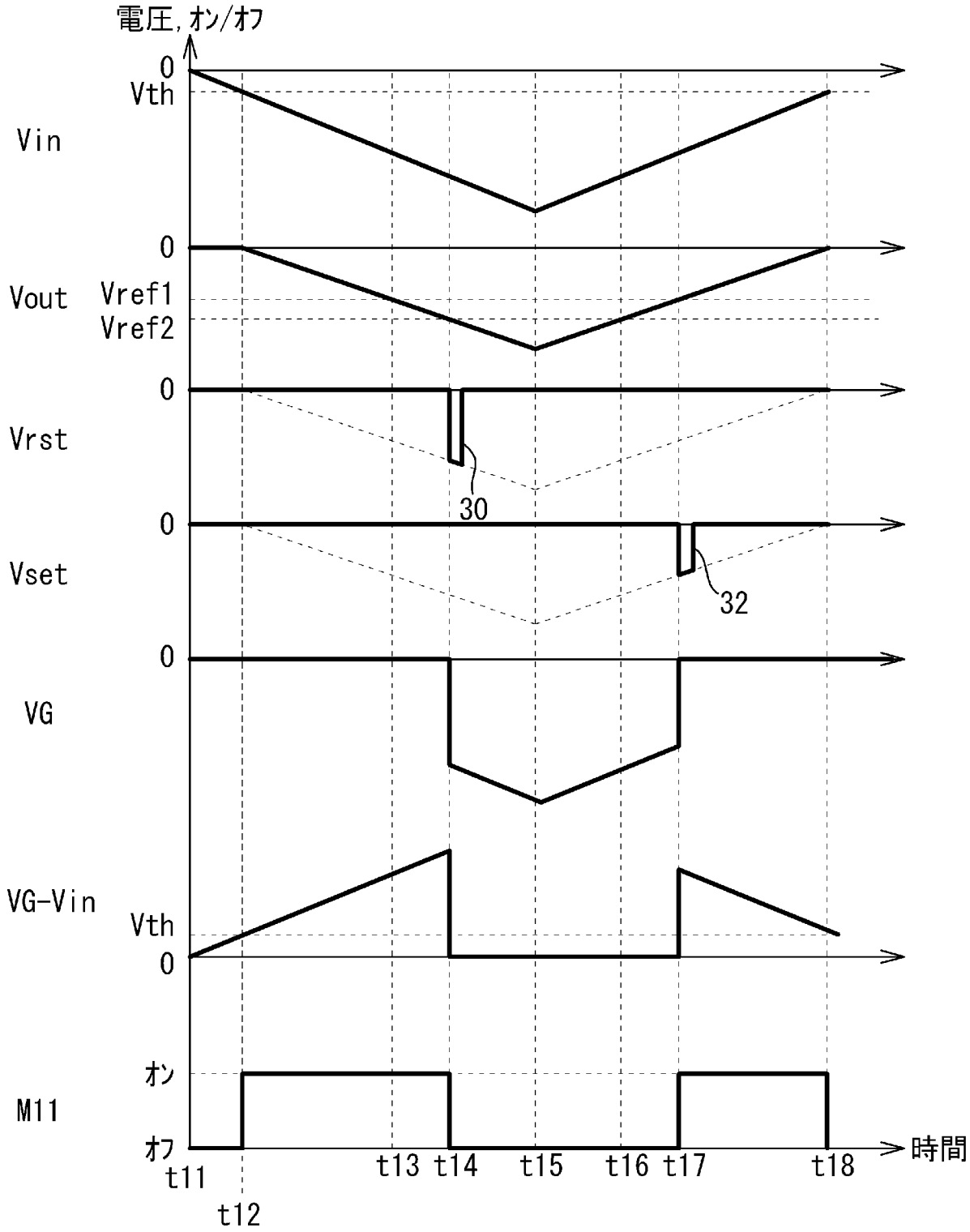
(b)


Vout>Vref
Vout-α
CSW
10
発電素子
Tin
Vin
M11b
Tout
Vout
C2

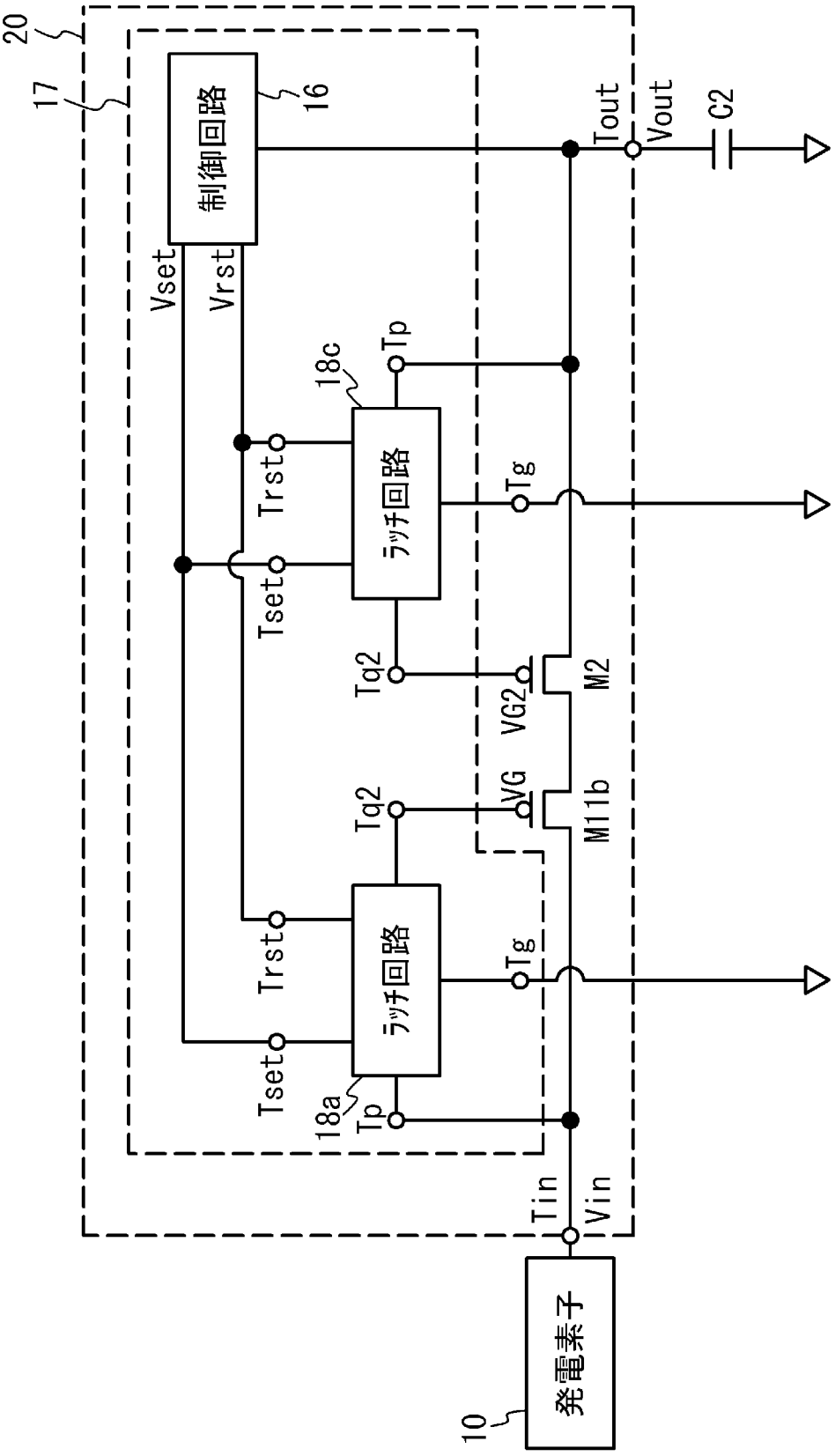
[図13]


電圧,オン/オフ
0
Vth
Vin
0
Vout
Vref1
Vref2
0
V01
0
V02
0
Vrst
30
0
Vset
32
0
Vth
VG
オン
M11a
オフ
時間
t11
t12
t13
t14
t15
t16
t17
t18

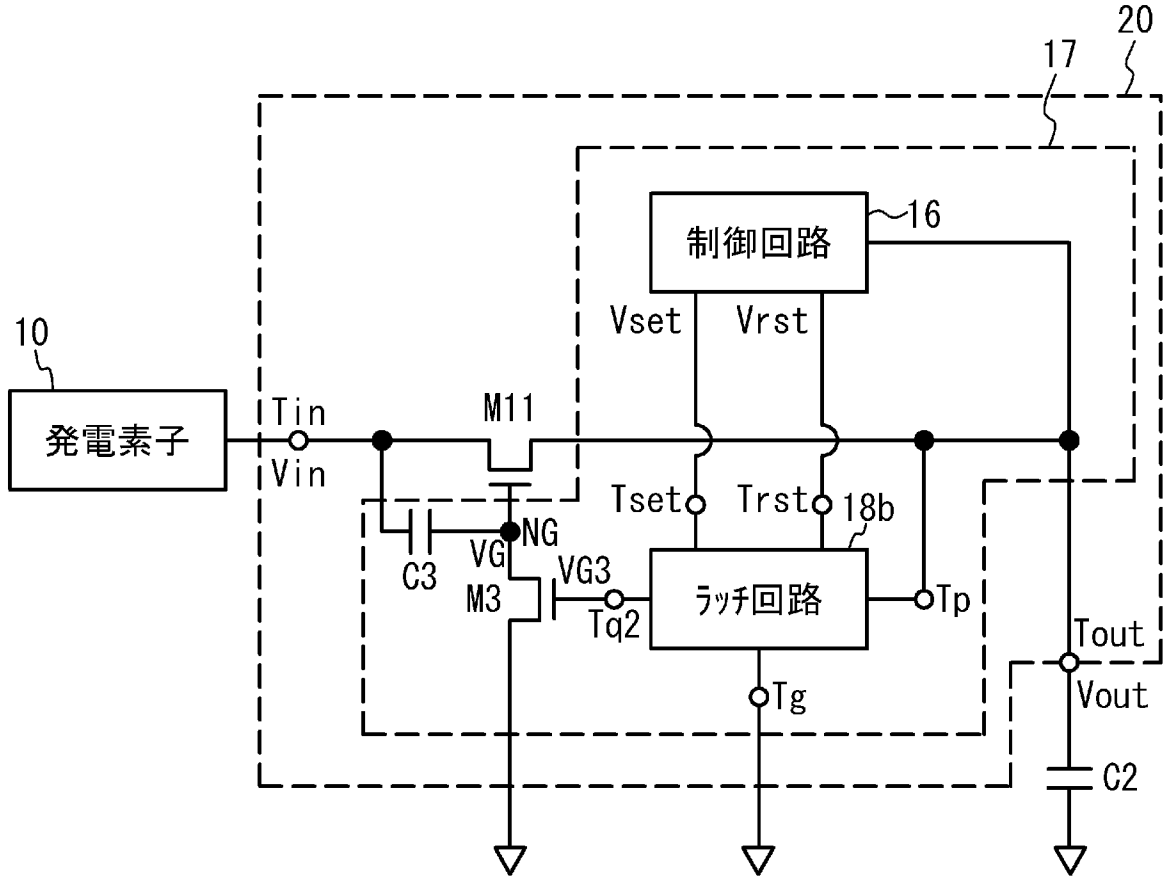
[図14]


電圧,オン/オフ
0
Vth
Vin
0
Vout
Vref1
Vref2
0
Vrst
30
0
Vset
32
0
VG
VG-Vin
Vth
0
オン
M11
オフ
時間
t11
t12
t13
t14
t15
t16
t17
t18

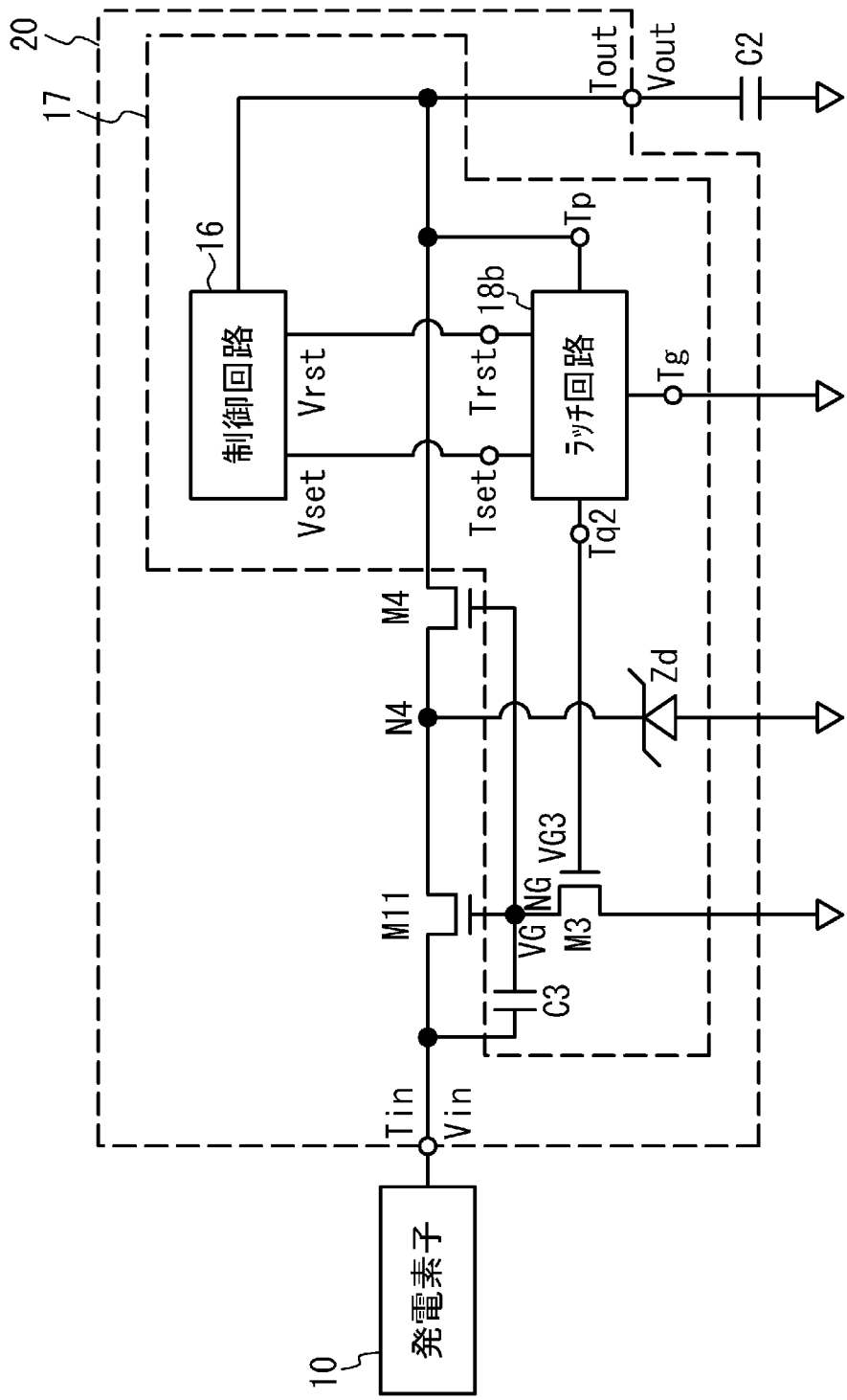
[図15]


20
17
制御回路
16
Tout
Vout
C2
Vset
Vrst
Tp
18c
Trst
ラッチ回路
Tg
Tset
Tq2
VG2
M2
VG
M11b
Tq2
Trst
ラッチ回路
Tg
Tset
18a
Tp
Tin
Vin
10
発電素子

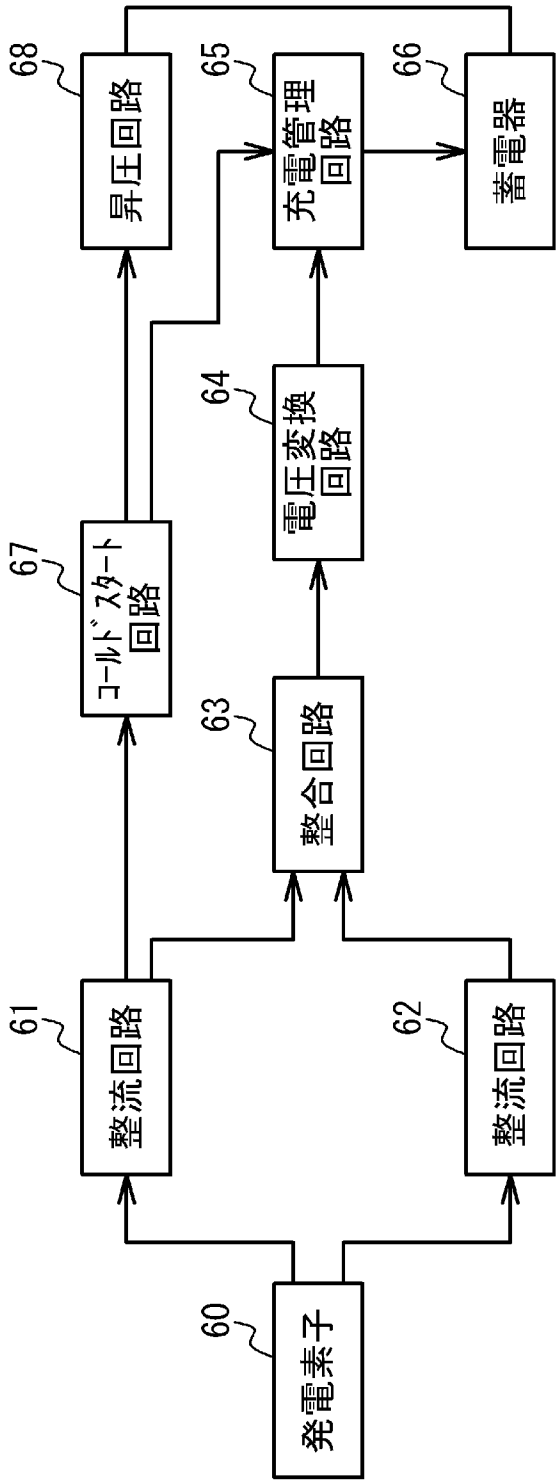
[図16]


20
17
制御回路
16
Vset
Vrst
10
発電素子
Tin
Vin
M11
Tset
Trst
18b
NG
VG
C3
M3
VG3
Tq2
ラッチ回路
Tp
Tout
Vout
Tg
C2

[図17]


20
17
16
制御回路
Vrst
Vset
18b
Trst
Tset
ラッチ回路
Tp
Tout
Vout
C2
Tg
Tq2
M4
N4
Zd
VG3
M11
NG
VG
M3
C3
Tin
Vin
10
発電素子

[図18]


68
昇圧回路
65
充電管理回路
66
蓄電器
64
電圧変換回路
67
コールドスタート回路
63
整合回路
61
整流回路
62
整流回路
60
発電素子

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/014036

A. CLASSIFICATION OF SUBJECT MATTER

H03K 17/687(2006.01)i; ***H02M 1/08***(2006.01)i; ***H02M 3/155***(2006.01)i
FI: H02M3/155 B; H03K17/687 G; H02M1/08 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/687; H02M1/08; H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2015-171266 A (ASAHI KASEI ELECTRONICS CO., LTD.) 28 September 2015 (2015-09-28) paragraphs [0008]-[0016], [0018], [0026], [0044], fig. 1-6	1, 14
Y		2-9
A		10-13, 15-19
Y	JP 2021-15323 A (FUJI ELECTRIC CO., LTD.) 12 February 2021 (2021-02-12) paragraphs [0014]-[0017], fig. 1	2-9
A	JP 2017-184304 A (FUJITSU LTD.) 05 October 2017 (2017-10-05) paragraphs [0073]-[0092], fig. 10-12	1-19
A	JP 2018-107963 A (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 05 July 2018 (2018-07-05) entire text, all drawings	1-19
A	US 2020/0321948 A1 (OREGON STATE UNIVERSITY) 08 October 2020 (2020-10-08) entire text, all drawings	1-19

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 June 2022	**21 June 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/014036

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2015-171266 A	28 September 2015	(Family: none)	
JP 2021-15323 A	12 February 2021	(Family: none)	
JP 2017-184304 A	05 October 2017	US 2017/0279297 A1 paragraphs [0109]-[0136], fig. 10-12	
JP 2018-107963 A	05 July 2018	US 2018/0183256 A1 JP 6152919 B1	
US 2020/0321948 A1	08 October 2020	US 2020/0321862 A1	

国際調査報告

国際出願番号
PCT/JP2022/014036

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H03K 17/687(2006.01)i; H02M 1/08(2006.01)i; H02M 3/155(2006.01)i
FI: H02M3/155 B; H03K17/687 G; H02M1/08 A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H03K17/687; H02M1/08; H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2015-171266 A (旭化成エレクトロニクス株式会社) 28.09.2015 (2015-09-28) 【０００８】－【００１６】，【００１８】，【００２６】，【００４４】，図１－６	1,14
Y		2-9
A		10-13,15-19
Y	JP 2021-15323 A (富士電機株式会社) 12.02.2021 (2021-02-12) 【００１４】－【００１７】，図１	2-9
A	JP 2017-184304 A (富士通株式会社) 05.10.2017 (2017-10-05) 【００７３】－【００９２】，図１０－１２	1-19
A	JP 2018-107963 A (パナソニックＩＰマネジメント株式会社) 05.07.2018 (2018-07-05) 全文，全図	1-19
A	US 2020/0321948 A1 (OREGON STATE UNIVERSITY) 08.10.2020 (2020-10-08) 全文，全図	1-19

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
10.06.2022	21.06.2022

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
栗栖　正和 5G 3987
電話番号 03-3581-1101 内線 3526

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/014036

引用文献	公表日	パテントファミリー文献	公表日
JP 2015-171266 A	28.09.2015	（ファミリーなし）	
JP 2021-15323 A	12.02.2021	（ファミリーなし）	
JP 2017-184304 A	05.10.2017	US 2017/0279297 A1 [0109]-[0136],図10-12	
JP 2018-107963 A	05.07.2018	US 2018/0183256 A1 JP 6152919 B1	
US 2020/0321948 A1	08.10.2020	US 2020/0321862 A1	