

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 21/304

(45) 공고일자 1995년04월06일  
(11) 공고번호 특1995-0003227

(21) 출원번호	특1991-0008057	(65) 공개번호	특1991-0020806
(22) 출원일자	1991년05월17일	(43) 공개일자	1991년12월20일
(30) 우선권주장	2-129725 1990년05월18일 일본(JP) 2-237775 1990년09월07일 일본(JP)		
(71) 출원인	후지쓰 가부시끼가이샤 세끼자와 다다시 일본국 가나가와켄 가와사끼시 나가하라구 가미고다나까 1015반찌		
(72) 발명자	키시이 사다히로 일본국 가나가와켄 이세히라시 이시다 591-9 하이쓰 이시즈까 101		
(74) 대리인	문기상, 조기호		

**심사관 : 박형식 (책자공보 제3925호)**

**(54) 반도체기판의 제조방법 및 그 기판으로 구성된 반도체장치의 제조방법**

**요약**

내용 없음.

**대표도**

**도1**

**명세서**

[발명의 명칭]

반도체기판의 제조방법 및 그 기판으로 구성된 반도체장치의 제조방법

[도면의 간단한 설명]

제 1 도는 반도체 웨이퍼를 제조하는 종래의 방법을 설명하는 차트.

제 2 도는 본 발명에 의한 반도체 웨이퍼를 제조하는 방법의 실시시예를 나타내는 차트.

제 3 도는 표면연삭 연마원리를 설명하는 개략도.

제 4 도는 표면연삭 연마를 사용하여 반도체 웨이퍼의 평탄성의 개선을 설명하는 그래프.

제 5 도는 화학-기계적 광택연마공정에 의해 반도체 웨이퍼의 평탄성의 열화를 설명하는 그래프.

제 6 도는 화학-기계적 광택연마공정에 의해 OF없이 반도체 웨이퍼의 평탄성의 변화를 나타내는 그래프.

제 7 도는 OF의 존재에 의해 반도체 웨이퍼의 열화된 평탄성의 일예를 나타내는 개략사시도.

제 8 도는 OF의 존재에 의해 반도체 웨이퍼의 평탄성을 열화시키는 메카니즘을 설명하는 개략평면도.

제 9 도는 반도체 결정과의 측면상에 제공된 표식의 일예를 나타내는 개략사시도.

제10도는 본 발명에 의해 SOI 기판을 제조하는 방법을 설명하는 개략횡단면도.

제11도는 본 발명에 의해 반도체 웨이퍼로 구성된 반도체 장치를 제조하는 방법을 설명하는 개략횡단면도.

[발명의 상세한 설명]

본 발명은 일명 오리엔테이션플랫(orientation flat : OF) 또는 홈(notch)과 같은 위치설정수단을 갖는 반도체기판에 관한 것이며 또한 그러한 기판을 사용하여 만든 반도체 장치에 관한 것이다.

반도체 장치는 더욱 집적화되고, 더욱 고속화되고 또한 더욱 소형화되는 경향이 있으며 그에 따라 반도체 장치를 구성하는 소자의 패턴 사이즈가 감소되어야하고 웨이퍼가 1 $\mu$ m 이하의 균일한 두께의 평탄한 표면을 가질 필요가 있다. 또한 일명 실리콘온인슐레이터구조(SOI) 기술에 의하여 고성능의 반도체 장치를 제공하기 위해 절연층을 통해 접속시킨 2실리콘웨이퍼들로 구성된 기판을 사용하는 방안이 현재 가장 유력하다. 여기서 기판을 구성하는 하나의 실리콘웨이퍼의 두께는 수  $\mu$ m 정도로 얇

아야 한다.

상술한 바와같이 배치된 반도체웨이퍼는 통상적으로 제 1 도에 보인 다음과 같은 공정에 의해 제조된다.

(a) 소정의 조성을 갖는 반도체 단결정괴를 초크랄스키법(Czochralski method)에 의해 끌어올리고, (b) 그 결정괴를 적당한 길이로 대충 절단하고, (c) 결정괴의 측면을 원통형상으로 가공한 다음 원통형의 축과 평행한 평면(이하 OF로 약칭함)을 그의 측면상에 형성하고, (d) 상기 결정괴를 로타리 블레이드(rotary blade)형 슬라이서(slicer)에 의해 다수의 디스크로 자르고, (e) 상기 디스크의 원주에 사면을 내고, (f) 적어도 반도체 장치가 형성된 표면을 랩핑(lapping)하고, (g) 디스크를 화학 용액으로 식각하고, (h) 일명 화학-기계적 광택연마로 광택마감 처리하고, (i) 세정처리 한다.

최종 광택마감처리된 표면은 반도체 장치를 형성하기에 적합하도록 평탄성과 결정성을 갖는다. 상기 공정에 의해 제조된 반도체 웨이퍼는 그의 원주의 일부를 따라 한정된 OF 또는 직선절취부를 갖는 디스크이다.

단계(5)에서 랩핑공정에 의해 웨이퍼 표면상에 생긴 결정결함을 제거하기 위해 단계(g)에서 식각공정을 행하지만, 이때 식각용액의 불균일한 순환과 그의 온도분포 때문에 표면상에서 식각속도가 달라지므로 디스크의 평탄성이 오히려 열화된다. 그러나, 평탄성은 단계(h)의 연마공정에 의해 회복된다.

그럼에도 불구하고, 상술한 공정에 의해 만든 반도체 웨이퍼의 평탄성은 웨이퍼 표면두께의 최대치와 최소치간의 차이인 총두께변동(TTV)치에 의해 약 2 $\mu$ m로 제한된다. 따라서, 상술한 바와같이 1 $\mu$ m 이하의 평탄성의 요구조건을 만족시키는 웨이퍼 수율이 아주 낮다. 이는 접속된 웨이퍼들중 하나를 SOI 구조를 갖는 상기 기판을 제조하는 공정에서 수 $\mu$ m 이하로 균일하게 얇게하는 것이 어려움을 뜻한다.

본 발명의 목적은 고평탄성 구체적으로, 1 $\mu$ m 이하의 TTV치를 갖는 반도체 웨이퍼가 양호한 수율로 제조될 수 있는 실용적인 방법을 제공하는데 있다.

본 발명의 또다른 목적은 절연층을 통해 접속된 반도체 기판들로 구성되는 SOI 구조를 갖는 기판에서 웨이퍼들중 하나가 수  $\mu$ m 이하의 균일한 두께로 형성될 수 있는 방법을 제공하는데 있다.

이들 목적을 성취하기 위해, 우선 본 발명은 반도체 웨이퍼의 결정방향을 나타내도록 구비한 OF 또는 홈등의 비대칭 형상을 상기 평탄화공정이 수행된후 형성하는 것을 특징으로 한다. 그러므로, OF 등과 같은 비대칭형상은 반도체 장치가 형성된 웨이퍼를 평탄화공정 또는 광택마감공정을 행한후 SOI 기판을 갖는 상기 기판내의 웨이퍼들의 하나 또는 둘다에 구성된다. 둘째로 본 발명은 반도체 결정괴를 슬라이스하여 만든 디스크를 평탄화하도록 종래에는 랩핑공정후 식각했으나 표면광택연마를 사용하는 것을 특징으로 한다.

본 발명자들은 반도체 웨이퍼의 평탄성을 개선하기 위한 예비연구에서 다음과 같은 정보를 얻었다.

i) 상술한 종래공정의 랩핑단계(f) 대신에 연마석을 사용하여 실리콘웨이퍼를 표면연삭 하면 양호한 평탄성이 얻어질 수 있고 또한 연마석은 입도크기가 작을수록 랩핑에 의해 얻은 것에 비해 잔여결정의 율이 작은 표면이 얻어질 수 있다.

ii) OF에 의해 그리고 OF의 양단과 반도체 웨이퍼의 중심을 연결하여 형성되는 삼각형 영역을 비교적 얇아지는 경향이 있다.

상술한 정보는 상기 종래의 공정중 단계(g)의 식각공정을 수행하는 시간을 줄이거나 식각단계자체를 생략할 수도 있고 또한 단계(h)의 연삭연마공정에 의해 얇아진 두께량을 표면연마를 사용함으로써 더 줄일 수 있음을 암시한다. 또한 OF와 같은 비대칭형상은 반도체 웨이퍼를 평탄화공정 또는 마감광택 연마공정에서 웨이퍼표면의 평탄성을 열화시키는 작용을 할 수도 있음을 암시한다.

그러므로, 본 발명자들은 반도체 웨이퍼를 제조하는 공정은 제 2 도의 차트에 보인 공정으로 변경했다. 즉, 단계(g)의 결정괴를 끌어올리는 공정내지 단계(c)의 결정괴를 원통형 형상으로 처리하는 공정은 단계(c)에서 OF로서 사용될 평면의 형상을 제외하고 제 1 도의 것들과 동일하다. 순서는 다음과 같다. 즉,

(d) 반도체 결정괴를 디스크들로 자르고, (e) 디스크의 원주위에 사면을 내고, (f) 연마석에 의해 디스크의 표면을 연마하고, (g) 화학-기계연마에 의해 연마표면을 광택내고, (h) OF등의 비대칭형상을 디스크에 구성하고, (i) OF부에 사면을 내고, (j) 디스크를 세정한다.

상술한 바와같이, 본 발명에 의한 방법은 상기 종래의 방법과 주로 제 1 도의 단계(g)의 식각공정과 단계(f)의 랩핑공정대신 제 2 도의 단계(f)에서 표면연마공정을 수행하고, 제 2 도에서 단계(f)의 표면연마공정과 단계(g)의 광택공정수행후 OF를 형성하는 점이 다르다.

본 발명에 의하면, 슬라이스된 반도체 결정 디스크의 표면을 연마석등의 수단을 사용하여 소정 두께와 평탄성으로 연삭연마한다.

제 3 도는 표면연마를 설명하는 개략평면도(제3a도)와 측면도(제3b도)로서 시계회전방향으로 회전하는 스테이지(3)상에 고정된 반도체 결정디스크(웨이퍼)(2)를 시계회전반대방향으로 회전하는 연마석(4)에 의해 연마한다.

제 4 도는 종래의 랩핑과 식각처리된 반도체 웨이퍼의 평탄성에 비해 상기 표면연마에 의해 실현된 평탄성의 개선을 나타내는 그래프로서 여기서, 횡축은 평탄성을 TTV로 나타내며, 종축은 반도체 웨이퍼들의 수의 비(%)를 나타낸다. 상기 표면연마는 시바야마기카이 KK(일본 오사까)사제품인 고정밀 표면연마기를 사용하여 수행되었다. 사용된 연마석은 직경이 150cm이고, 연마용 메쉬기 약 8 $\mu$ m 이었다. 제 4 도는 스텝이한 직후, 직경이 6인치이고 두께가 약 800 $\mu$ m인 실리콘 웨이퍼를 40 $\mu$ m의 두께

로 연마하여 얻은 결과를 나타낸다. 종래의 공정에 의해 처리된 표본들은 상기와 동일한 칫수를 갖는 실리콘 웨이퍼들이었으며 그의 양면은 약 40 $\mu$ m의 두께로 랩핑되었다. 그의 양면은 약 40 $\mu$ m의 두께로 랩핑되었다. 2그룹의 웨이퍼들은 55.5mm의 길이를 갖는 0F를 갖고 있었다.

도면에 표시된 바와같이, 랩핑된 웨이퍼 표면들의 평탄성은 1.5~2.2 $\mu$ m의 범위내로 분포되어 있는 반면 표면연마된 웨이퍼의 평탄성은 0.5~0.8 $\mu$ m의 범위내로 분포되어 있다. 보다 구체적으로, 보다 양호한 평탄성은 표면연마에 의해 얻어질 수 있고 또한 각 웨이퍼들간에 평탄성이 덜 분포되어 있음을 밝혀냈다.

그러나, 상기 표면연마된 웨이퍼들은 제 2 도의 단계(f)에서 화학-기계적 광택처리하면 그의 평탄성이 제 5 도에 보인 바와같이 열화된다. 제5a도는 표면연마된 직후의 반도체 웨이퍼의 평탄성의 분포를 나타내는 그래프이며, 제5b도는 표면연마한다음 광택연마처리후 평탄성의 분포를 나타내는 도면으로서, 횡축은 평탄성을 TTV로 나타내며, 종축은 반도체 웨이퍼의 수의 비(%)를 나타낸다. 제 5a도 및 제5b도는 직경이 6인치이고 두께를 40~50 $\mu$ m까지 각각 연마한 192개의 실리콘 웨이퍼들로 부터 얻은 결과를 나타낸다.

이들 2도면에서 볼 수 바와같이, 표면 광택처리후의 웨이퍼들의 TTV는 0.4~0.8 $\mu$ m의 범위내로서 0.58 $\mu$ m의 평균치를 갖는 반면 광택처리된 웨이퍼들의 TTV는 0.6~2.3 $\mu$ m의 범위내로 분포되어 있고 1.21 $\mu$ m의 평균치를 갖고 있다. 후자의 경우 1 $\mu$ m 이하의 TTV를 갖는 웨이퍼들의 수는 전체수의 42%뿐이다.

그러나, 표면연마에 의해 성취된 개선은 통상 광택마감처리한 웨이퍼들이 2.0~3.0 $\mu$ m의 TTV의 분포를 갖는다는 사실과 대조적임이 뚜렷하다.

상기와 같은 결과에 의해 반도체 웨이퍼가 평탄화 또는 광택연마될때 0F등의 비대칭이 평탄성을 열화시키는 작용을 함을 알 수 있다. 그러므로, 본 발명자는 상술한 바와 같이 0F를 구성하기 위해 그의 측면에 평면을 형성함이 없이 결정괴를 슬라이스하여 얻은 직경이 6인치이고 두께가 800 $\mu$ m인 실리콘 디스크들을 제조했다. 디스크들은 표면연마한 다음 화학-기계적 광택연마처리된다. 제 6 도는 이들 디스크들(웨이퍼들)의 평탄성을 나타내는 것으로 제6a도는 광택연마처리전의 표면연마된 반도체 웨이퍼 192개의 TTV 분포를 나타내며, 제6b도는 두께를 40~50 $\mu$ m까지 광택연마처리한 후의 이들 반도체 웨이퍼들의 TTV 분포를 나타낸다.

도면에서 볼 수 있는 바와같이, 광택연마 처리전의 웨이퍼의 TTV는 0.4~0.9 $\mu$ m의 범위내로 분포되며 0.61 $\mu$ m의 평균치를 갖는 반면, 광택연마처리후의 웨이퍼들의 TTV는 0.5~1.3 $\mu$ m의 범위내로 분포되며 또한 0.80 $\mu$ m의 평균치를 갖는다. 그러나, 광택연마 처리된 웨이퍼의 92%가 1 $\mu$ m 이하의 TTV를 갖고 있다. 0F를 갖지 않는 표면연마된 웨이퍼의 평탄성은 또한 광택연마처리에 의해 열화되지만 제5b도와 제6b도의 비교로 부터 명백한 바와같이 0F를 갖지 않은 웨이퍼들을 표면연마할 경우 광택연마처리에 의해 원인이 되는 평탄성의 열화가 크게 줄어든다는 것을 알 수 있다.

제 7 도는 표면연마된 직후 웨이퍼표면의 측정 높이분포의 일례를 나타내는 개략사시도로서 제7a도는 0F를 갖지 않는 웨이퍼를 나타내며(비록 웨이퍼는 0F를 갖고 있지 않지만 측정기구의 편의를 위해 0F를 도시했음) 제7b도는 0F를 갖는 웨이퍼를 나타낸다.

웨이퍼표면들은 제각기 0.54 $\mu$ m와 0.58 $\mu$ m의 TTV를 가지며 그들간에 차이는 허용되지 않는다. 그러나 0F가 없는 제7a도에서는 표면상에 독특한 비평탄성이 보이지 않는 반면 0F가 있는 제7b도에서는 웨이퍼의 중심으로부터 0F를 향해 연장하는 요철들의 존재가 명백히 관측된다. 따라서 0F의 효과가 TTV에 대해 현저히 나타나지 않지만 평탄성에 영향을 주는 것으로 밝혀졌다.

웨이퍼의 평탄성과 0F간의 상술한 관계는 다음과 같이 이해될 수 있다. 즉, 연마석(4)과 접촉하는 웨이퍼(12)의 영역은 제8a도~제8c도에 보인 바와같이 표면연마석(4)을 0F(12a)가 겹치는 기간과 제8b도에 보인 바와같이 표면연마석(4)을 0F(12a)가 겹치지 않는 기간사이에서 다른 것으로 추측된다.

따라서, 웨이퍼(12)에 불균일한 압력이 가해지므로 0F(2a)와 웨이퍼(12)의 중심과 0F(12a)의 양단부를 연결하는 라인들에 의해 한정되는 삼각영역이 비교적 좁아지는 경향이 있다. 광택천과 연마입자들을 웨이퍼 표면에 대고 누르는 상기 화학-기계적 광택연마 처리시에도 동일한 문제점이 발생된다.

제 6 도에 보인 바와같이, 0F가 없으면 웨이퍼의 소정면적이 항상 연마석 또는 표면판과 접촉되게 되므로 두께의 균일성이 개선됨과 더불어 TTV가 더욱 작아지게 된다. 현재 0F의 존재가 표면연마된 웨이퍼에 영향을 덜주는 이유와 광택처리된 웨이퍼에 영향을 크게 주는 이유가 명백하지 않다.

상기 결과로부터, 대부분의 반도체 웨이퍼들의 표면평탄성이 표면연마에 의해 TTV에 의해 1 $\mu$ m 이하로 만들 수 있다. 또한 덜거친 표면연마석을 사용하면 웨이퍼 표면에 생기는 결정괴의 왜곡을 감소시킬 수 있다. 그러므로 웨이퍼 표면으로부터 결정괴의 왜곡을 제거하기에 충분할 정도로 차기 화학-기계적 광택연마 공정을 최소량으로 수행할 수 있다. 또한 종래의 랩핑공정과 식각제를 사용하는 식각공정은 생략될 수 있다.

제 2 도는 상술한 바와같이 표면연마와 광택연마공정후 웨이퍼상에 0F가 형성되는 과정을 나타낸다. 양호한 평탄성을 갖는 표면은 표면연마에 의해 형성되기 때문에 광택연마공정에서 손실되는 양만큼 두께가 줄어든다. 이는 표면연마후 0F를 형성한 다음 광택연마공정을 행하더라도 평탄성의 열화가 저레벨로 충분히 제한될 수 있음을 뜻한다. 저레벨로 충분히 제한될 수 있음을 뜻한다. 다른 방법으로, 0F형성 이전에 약 10 $\mu$ m 두께의 예비 광택연마공정을 시행한 후 0F형성 후 약 0.5 $\mu$ m 두께의 최종 광택연마공정을 수행하는 방법을 사용할 수도 있다.

0F는 상기 표면연마 또는 광택연마 공정을 받은 반도체 웨이퍼에 후술되는 바와같은 방법으로 형성된다. 보다 구체적으로, 접착테이프를 웨이퍼의 뒷면에 붙인다음, 진공에 의해 접착테이프를 통해 다이서(dicer)의 스테이지에 고정하고, 그다음 웨이퍼를 칩으로 자르는 다이싱공정(dicing process)과 마찬가지로 둥근웨이퍼의 연부를 다이서의 커터를 사용하여 약 55mm/분의 속도로 완전히

절단한다. 웨이퍼당 절단시간은 약 1분이다.

상기 0F를 형성하기 위한 절단을 용이하게 하도록 디스크로 자르기전에 절단위치를 나타내는 표식을 반도체 결정체의 측면에 형성할 수 있다. 제 9 도에 보인 바와같이, 그러한 표식은 원통형으로 처리된 결정괴(1)의 측면상에 예를들어 그의 축과 평행하게 직선의 얇은 홈으로된 표식(11)이다. 표식(11)은 결정괴(1)의 결정방향과 관련되도록 정해야함은 말할 필요도 없다. 또한 홈 형상의 표식(11)은 반도체 웨이퍼의 측면을 주후 사면처리할때 사라지지 않고 웨이퍼의 유효표면에 그대로 남아있는 한 가능한한 얇게 형성해야 한다. 따라서, 표식은 상기 표면연삭연마와 광택연마공정에서 표면평탄성에 영향을 주지 않는다. 그홈은 레이저비임으로 형성될 수 있다. 표식을 방수인크로 그릴 수도 있다. 또한 상기 홈(11)등의 선으로 각각 구성되는 2 표식들을 결정괴(1)의 측면상에 형성할 때, 반도체웨이퍼의 연부상에 남아 있는 이들 2표식들을 연결하는 라인을 따라 웨이퍼를 절단하는 식으로 0F를 쉽게 형성할 수 있다.

2점속된 반도체 웨이퍼들로 구성된 S01 기판을 제조하는 방법을 제10도를 참조하여 설명한다. 제 2도의 단계들(a)-(g)에 따라 화학-기계적으로 광택연마처리된 적어도 하나의 표면을 갖는 2웨이퍼들을 제조한다. 상술한 바와같이 사전에 이들 웨이퍼들 각각의 측면상에 결정방향을 나타내는 표식을 형성한다.

그다음, 제10a도에 보인 바와같이, 약  $1\mu\text{m}$ 의 두께를 갖는 산화막(22)을 예를들어 공지된 열산화법으로 상기 2웨이퍼들(20, 21)중 적어도 하나의 표면에 형성한다. 그다음 상기 광택 처리된 웨이퍼의 표면들을 서로 마주보도록 웨이퍼들(20, 21)을 겹쳐서  $1100^{\circ}\text{C}$ 의 질소가스 분위기중에서 열처리한다. 접착력을 증가시키기 위해 열처리이전에 실리콘웨이퍼들(20, 21)간에 펄스전압을 걸어주는 방법도 또한 알려져 있다. 따라서, 실리콘웨이퍼(20)는 산화막(22)을 통해 실리콘웨이퍼(21)과 강하게 접촉된다. 실리콘웨이퍼(20, 21)를 겹칠때 각 측면상에 있는 상기 표식을 근거로 서로 결정방향을 관계한다. 제10b도는 겹쳐진 실리콘웨이퍼(20, 21)의 평면도로서 원형의 평탄면과 그들레의 사면영역이 도시되어 있다.

그다음, 예를들어, 실리콘웨이퍼(21)를  $3\sim 4\mu\text{m}$ 의 두께로 표면연삭연마한 다음 화학-기계적으로 광택연마처리하여 제10c도에 보인 바와같이  $2\mu\text{m}$ 로 균일하게 얇아진다. 그후, 제10d도와 제10e도에 보인 바와같이, 웨이퍼(20)의 측면에 남은 상기 표식을 기준하여 실리콘웨이퍼(20, 21)를 컷하여 0F(21a)를 형성한다. 실리콘웨이퍼(21)의 측면상의 표식은 상술한 바와같이 웨이퍼를 표면연삭연마 또는 광택연마처리하는 단계와 산화막(22)을 형성하는 단계에서 사라진다.

그러므로, 상술한 바와같이, 실리콘웨이퍼들(20, 21)의 결정방향을 중점단계에서 서로 관련시킬때, 실리콘 웨이퍼(21)의 결정방향을 0F(21a)에 의해 찾을 수 있다. 이러한 배치로서 절연층을 통해 수  $100\mu\text{m}$  두께의 반도체 웨이퍼에 의해  $2\mu\text{m}$  두께의 실리콘 단결정층을 지지해서 구성된 S01기판이 완성된다.

반도체장치는 제 2 도에 보인 방법에 따라 제조된 반도체 웨이퍼 또는 제10도를 참조한 방법에 따라 제조된 S01기판상에 형성된다.

상기 S01기판을 사용하는 경우의 일실시예를 설명하겠다. 제11a도는 제10d도에 보인 S01기판의 부분 확대도이다. 분리영역(25)은 기판내에  $2\mu\text{m}$ 의 두께로 제조된 실리콘웨이퍼(21)의 표면에 한정된 장치영역 둘레에 형성된다. 분리영역(25)은 공지된 실리콘의 국부산화(LOCOS)법 또는 산화막(22)에 도달하는 트렌치(trench)에 의해 형성되는 필드산화물 등의 어떠한 구조라도 좋다.

그다음, 각 장치영역에 노출된 실리콘 웨이퍼(21)의 표면을 열산화하여 제11b도에 보인 바와같이 약  $200\text{Å}$  두께의 게이트절연막(26)을 형성한다. 그다음, 예를들어 폴리실리콘막으로 구성된 게이트전극(27)을 공지된 화학증기증착(CVD)과 사진식판술을 사용하여 형성한다. 또한, S01기판의 표면에 레지스트마스크(28)를 형성하여 소정의 장치영역을 노출시키고 비소(As)등의 불순물을 게이트전극(27)과 레지스트마스크(28)로부터 노출된 실리콘웨이퍼(21)로 이온주입하여 소오스/드레인영역(29)을 형성한다.

그다음, 제11c도에 보인 바와같이, 예를들어 포스포실리케이트글라스(PSG)로 구성된 절연막(30)을 S01 기판의 표면에 형성하고 절연막(30)의 소정위치에 접촉구멍을 형성한다. 그후 절연막(30)상에 알미늄막을 증착한 후 공지된 사진식판술로 패턴형성하여 도면에 도시한 바와같이 게이트배선(31)과 소오스/드레인전극(32)을 형성하므로써, S01기판의 금속절연 반도체전계효과 트랜지스터(MISFET)가 완성된다.

상기 S01기판에 한정된 상기 0F(21a)는 상기 사진식판단계에서 S01기판과 마스크를 정렬시키는데 없어서는 안되는 것임은 말할 필요도 없다.

상술한 바와같이, 본 발명의 반도체 웨이퍼를 제조하는 방법에 의하면, 큰 면적을 갖는 표면은 처리한 부재의 두께와 비슷한 두께를 갖는 더미부재들을 주변에 배치한 후 광택 연마공정을 수행하는 종래의 공지된 방법에 의해 좀더 쉽게 평탄화될 수 있다. 보다 구체적으로, 상기 종래의 방법에서는, 더미부재들이 처리할 부재의 것들과 비슷한 두께와 재료를 가져야 하고 또한 처리할 부재둘레에 모든 더미부재들을 분산시키는데 많은 사람과 시간이 필요하다. 또한 이들 더미부재들을 재사용될 수 없다. 그러므로 본 발명은 코스트와 대량생산성면에서 우수하다.

상술한 설명으로부터 명백한 바와같이 본 발명에 의한 반도체 웨이퍼를 제조하는 방법은 웨이퍼의 사이즈와 재료와 무관하게 효과적이다. 또한 본 발명에 의한 S01기판이 상기 실시예에서와 같이 MISFET의 제조뿐만 아니라 바이폴라 트랜지스터, MISFET와 바이폴라트랜지스터가 혼합구비된 일명 Bi-MOS구조를 갖는 반도체장치, 그들로 구성된 집적회로의 제조에도 적용될 수 있음은 말할 필요도 없다.

## (57) 청구의 범위

**청구항 1**

(a)반도체결정으로 구성되며 또한 원통형상을 갖는 결정괴를 형성하는 단계와, (b) 상기 결정괴를 양표면을 갖는 디스크로 자르는 단계와, (c) 상기 디스크의 양표면의 적어도 하나의 표면을 표면연삭 연마하여 평탄화하는 단계와, (d) 상기 단계(c)후, 상기 디스크 표면에 수직한 중심축에 대해 상기 디스크가 회전상비대칭이 되도록 상기 디스크의 원주의 일부를 절취하는 단계를 포함하는 것이 특징인 반도체 기판의 제조 방법.

**청구항 2**

제 1 항에 있어서, 상기 단계(c)는 적어도 하나의 표면을 회전연마수단으로 평탄화하는 것이 특징인 반도체 기판의 제조방법.

**청구항 3**

제 1 항에 있어서, 상기 단계(d)는 상기 디스크의 원주상의 2점들을 연결하는 직선을 따라 상기 디스크를 절취제거하는 것이 특징인 반도체 기판의 제조방법.

**청구항 4**

제 1 항에 있어서, 상기 결정괴는 상기 표면의 회전상 대칭축을 가지며, 상기 단계(b)에서 상기 결정괴를 자르기전에 상기 표면상에 상기 결정괴의 회전상 대칭축과 평행하게 직선표식을 형성하는 단계(e)를 더 포함하며, 상기 단계(d)는 상기 단계(b)에서 상기 결정괴를 자를때 상기 직선표식으로 부터 형성되는 상기 디스크의 원주상의 표식을 기준하여 행해지는 것이 특징인 반도체 기판의 제조 방법.

**청구항 5**

제 1 항에 있어서, 상기 결정괴는 상기 표면의 회전상 대칭축을 가지며, 상기 단계(b)에서 상기 결정괴를 자르기전에 상기 표면상에 상기 결정괴의 회전상 대칭축과 평행하게 직선표식을 형성하는 단계(e)를 더 포함하며, 상기 단계(d)는 상기 단계(b)에서 상기 결정괴를 자를때 2개의 상기 직선표식으로 부터 형성되는 상기 디스크의 원주상의 2개의 표식을 기준하여 행해지는 것이 특징인 반도체 기판의 제조방법.

**청구항 6**

제 1 항에 있어서, 상기 단계(c)이전에 상기 디스크의 원주면을 사면처리하는 단계(e)를 더 포함하는 것이 특징인 반도체 기판의 제조방법.

**청구항 7**

제 4 항에 있어서, 상기 직선표식은 상기 결정괴의 원주면에 레이저비임을 주사하여 형성하는 것이 특징인 반도체 기판의 제조방법.

**청구항 8**

제 1 항에 있어서, 상기 평탄화 된 표면을 광택마감하는 단계(e)를 더 포함하는 것이 특징인 반도체 기판의 제조방법.

**청구항 9**

제 8 항에 있어서, 상기 광택마감하는 단계(e)는 화학기계적 광택연마에 의해 행하는 것이 특징인 반도체 기판의 제조방법.

**청구항 10**

(a) 반도체 결정으로 구성되며, 또한 원통형 형상을 갖는 결정괴를 형성하는 단계와, (b) 상기 결정괴를 양표면들을 갖는 복수의 디스크들로 자르는 단계와, (c) 상기 복수의 디스크들중 제 1 및 제 2 디스크들 각각의 표면들중 적어도 하나를 회전식 연마수단에 의해 평탄화하는 단계와, (d) 상기 제 1 및 제 2 디스크들 각각의 상기 평탄화된 표면을 광택마감처리하는 단계와, (e) 상기 제 1 및 제 2 디스크들중 적어도 하나의 상기 광택마감처리된 표면상에 절연막을 형성하는 단계와, (f) 상기 절연막을 사이에 개재시켜 상기 제 1 및 제 2 디스크들의 상기 광택마감처리된 가공표면들을 접촉하는 단계와, (g) 상기 제 1 디스크의 광택마감처리된 가공표면을 노출시키도록 상기 단계(f)후 상기 제 1 디스크를 얇게 표면연삭 연마하는 단계와, (h) 상기 얇아진 디스크의 가공 표면을 광택마감처리하는 단계와, (i) 상기 얇아진 디스크의 광택마감처리된 가공표면의 소정영역에 불순물을 주입하는 단계를 포함하는 것이 특징인 반도체 기판의 제조방법.

**청구항 11**

(a) 반도체 결정으로 구성되며, 또한 원통형 형상을 갖는 결정괴를 형성하는 단계와, (b) 상기 결정괴를 양표면들을 갖는 복수의 디스크들로 자르는 단계와, (c) 상기 복수의 디스크들중 제 1 및 제 2 디스크들 각각의 표면들중 적어도 하나를 회전식 연마수단에 의해 평탄화하는 단계와, (d) 상기 제 1 및 제 2 디스크들 각각의 상기 평탄화된 표면을 광택마감처리하는 단계와, (e) 상기 제 1 및 제 2 디스크들중 적어도 하나의 상기 광택마감처리된 표면상에 절연막을 형성하는 단계와, (f) 상기 절연막을 사이에 개재시켜 상기 제 1 및 제 2 디스크들의 상기 광택마감처리된 가공표면들을 접촉하는 단계와, (g) 상기 제 1 디스크의 광택마감처리된 가공표면을 노출시키도록 상기 단계(f)후 상기 제 1 디스크를 얇게 표면연삭 연마하는 단계와, (h) 상기 제 1 디스크의 가공표면에 수직한 중심축에 대해 상기 제 1 및 제 2 디스크들의 회전상 비대칭이 되도록 상기 제 1 및 제 2 디스크들중 하나를

얇게하는 단계(g)후, 상기 제 1 및 제 2 디스크들 각각의 원주의 일부를 절취하는 단계와, (i) 상기 얇아진 디스크의 가공표면을 광택마감 처리하는 단계와, (j) 상기 제 1 디스크의 광택마감처리된 가공표면의 소정영역에 불순물을 주입하는 단계를 포함하는 것이 특징인 반도체 기판의 제조 방법.

#### 청구항 12

제 5 항에 있어서, 상기 2직선표식의 형성은 상기 결정괴의 원통표면상에 레이저 비임을 주사하게 되는 것이 특징인 반도체 기판의 제조방법.

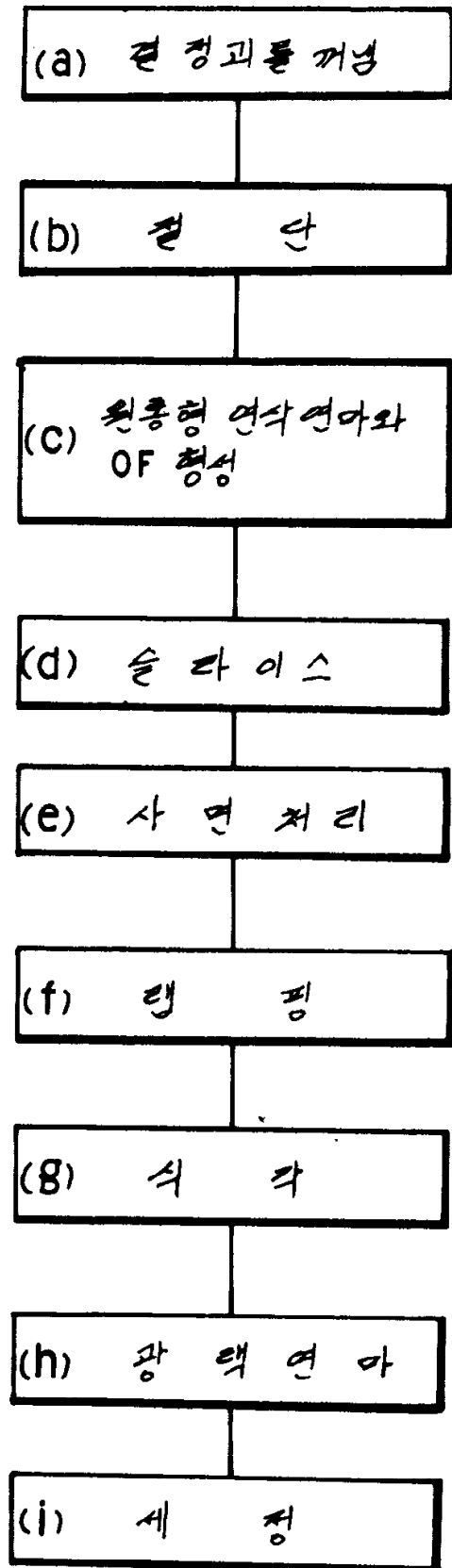
#### 청구항 13

(a) 반도체 결정으로 구성되며, 원통형상을 갖는 결정괴를 형성하는 단계와, (b) 상기 결정괴를 양면을 갖는 복수의 디스크들로 자르는 단계와, (c) 상기 표면들중 적어도 한표면을 연삭연마하여 평탄화하는 단계와, (d) 상기 평탄화된 표면을 갖는 디스크의 적어도 일부를 절취하는 단계를 포함하는 것이 특징인 반도체 기판의 제조방법.

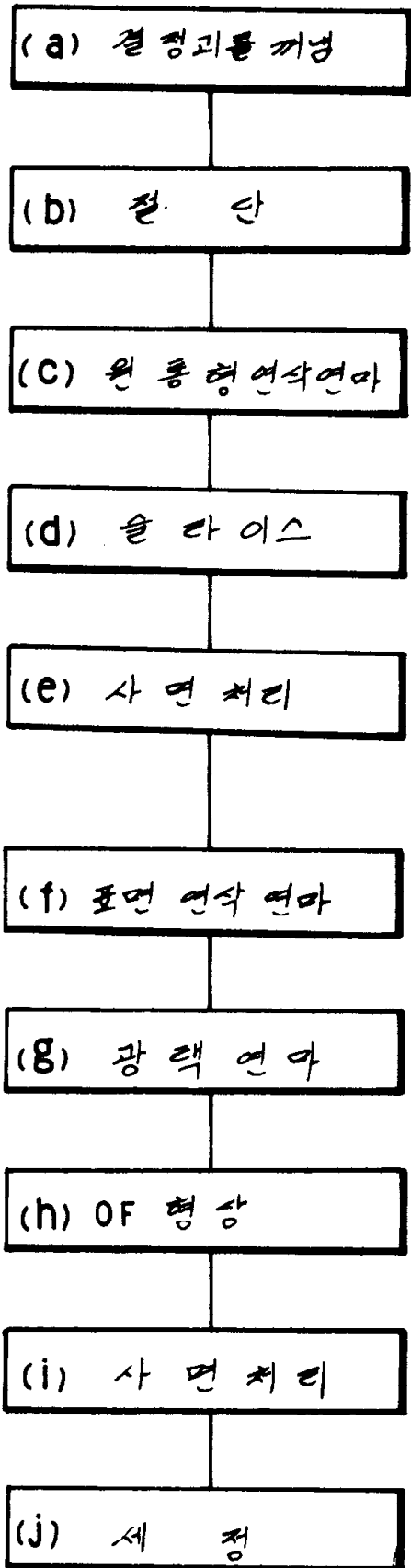
도면

도면1

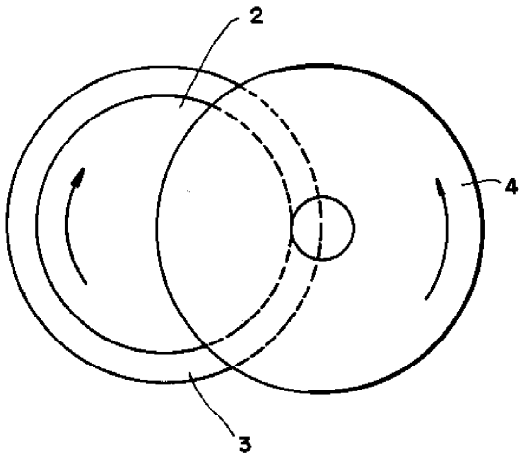
<종래 기술>



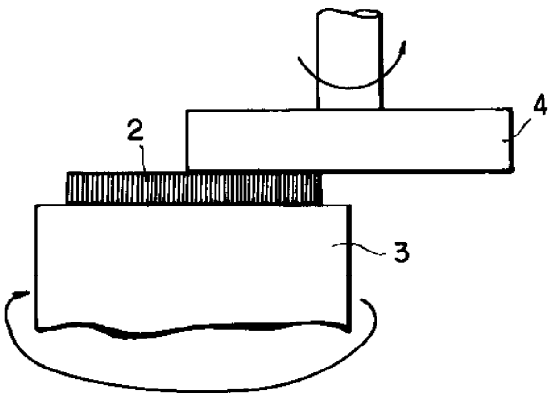
도면2



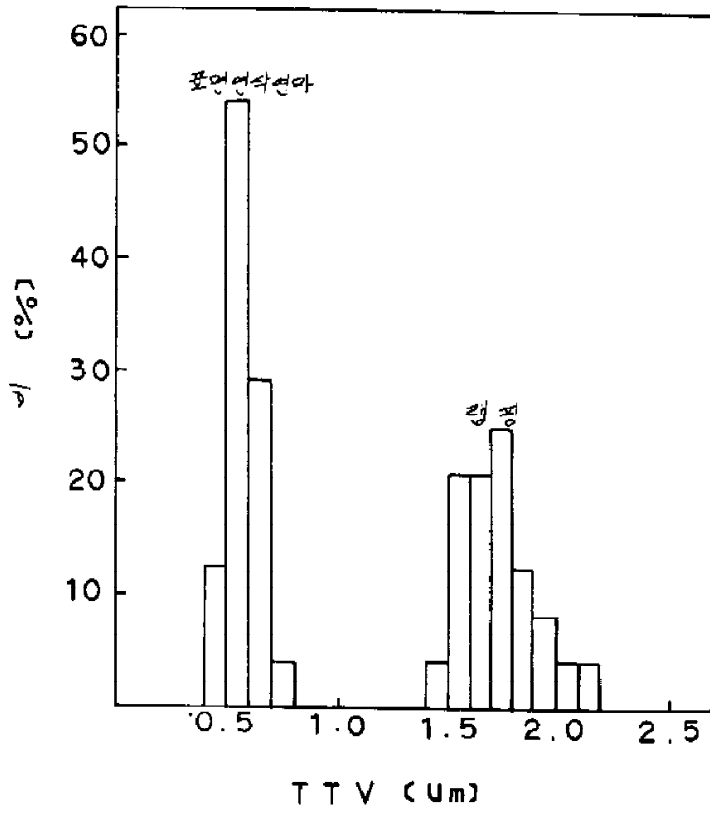
도면3A



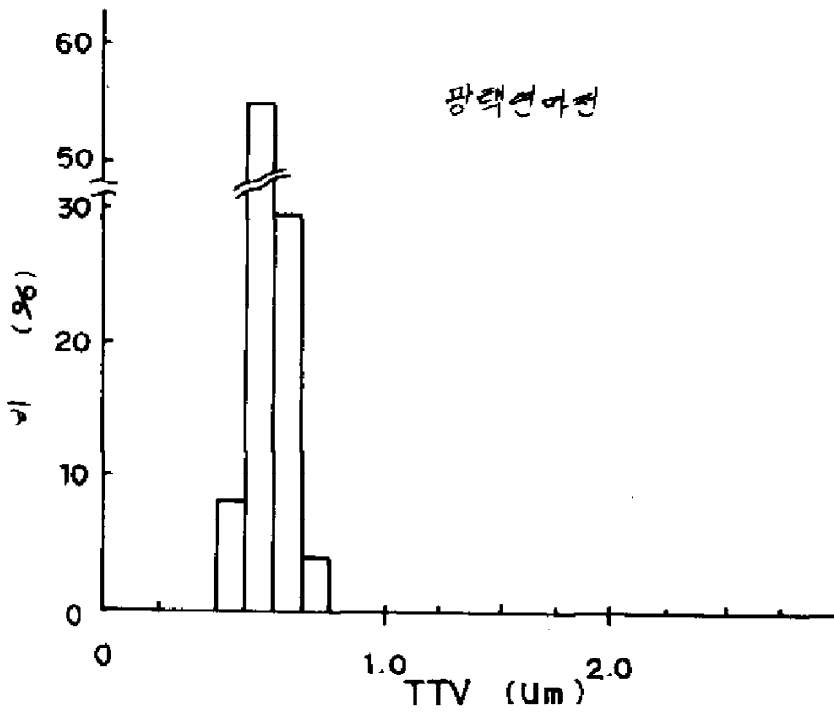
도면3B



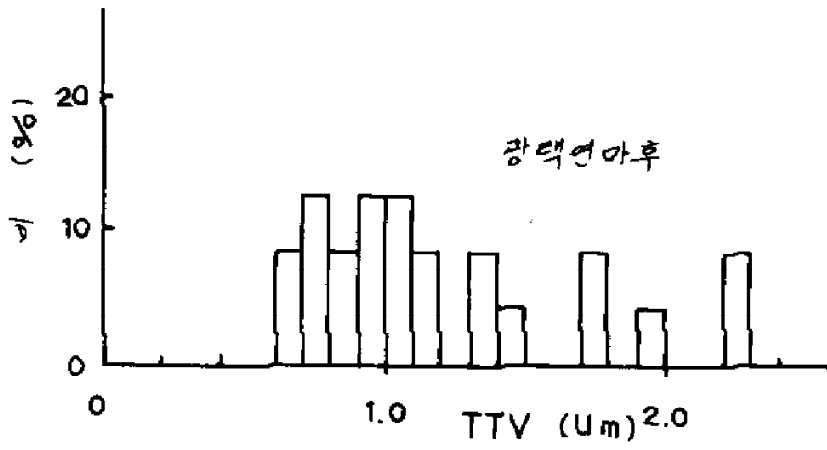
도면4



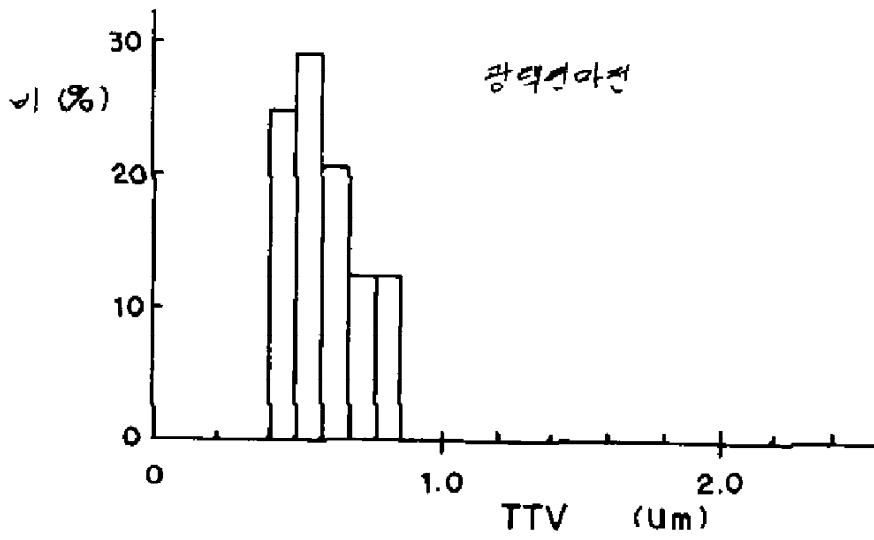
도면5A



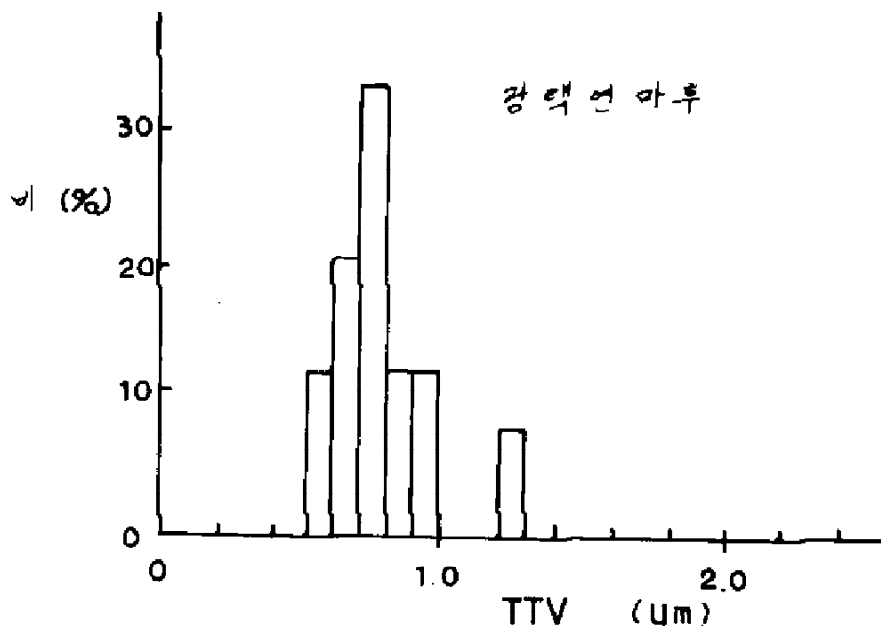
도면5B



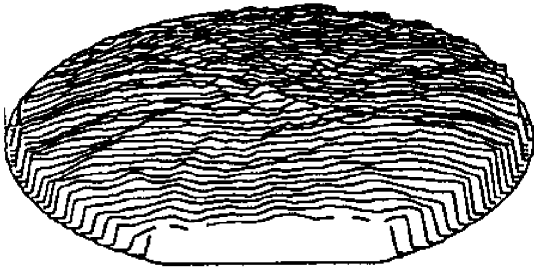
도면6A



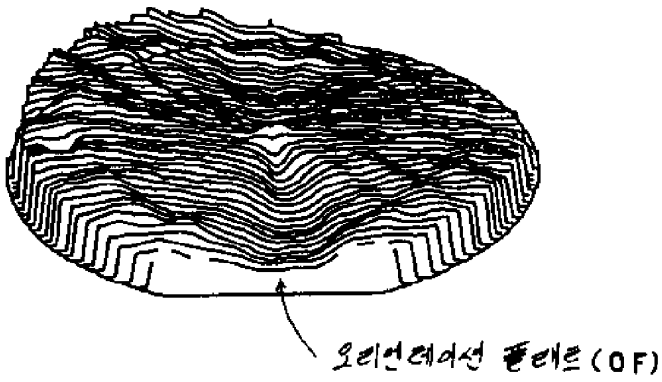
도면6B



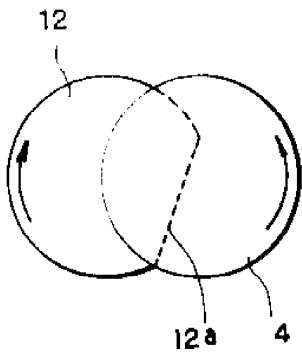
도면7A



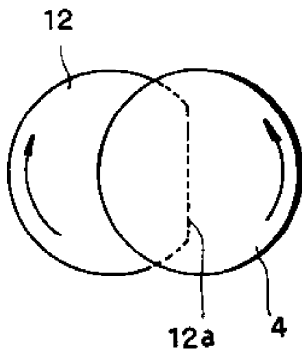
도면7B



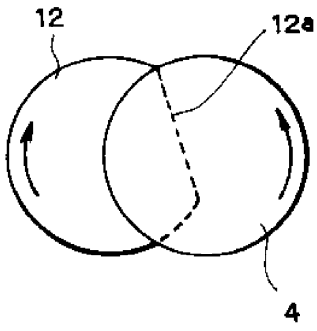
도면8A



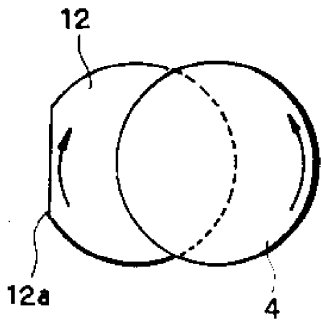
도면8B



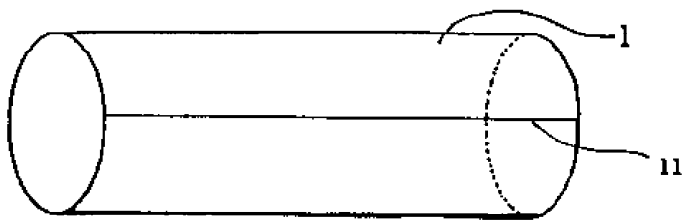
도면8C



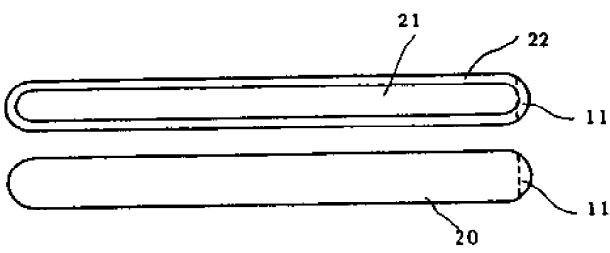
도면8D



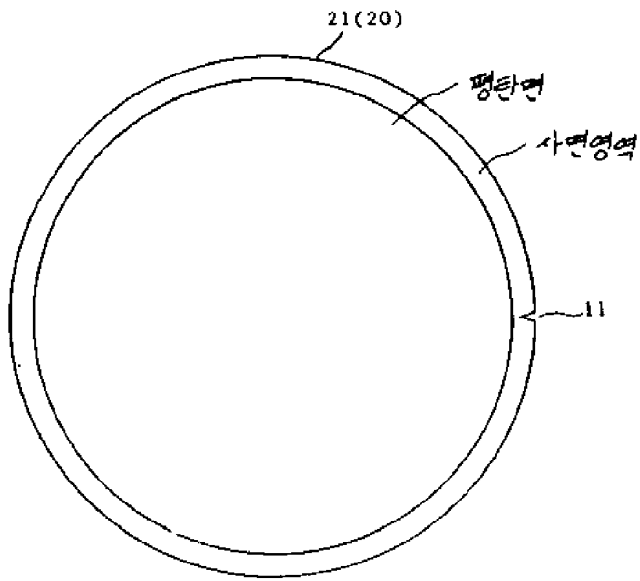
도면9



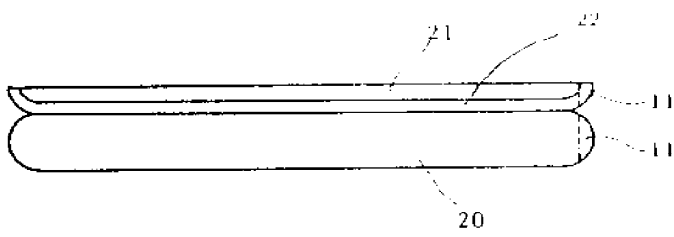
도면10A



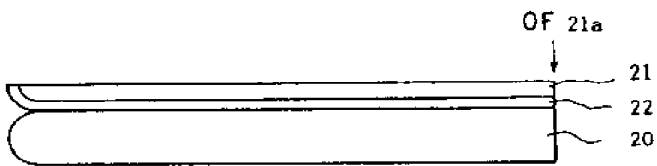
도면 10B



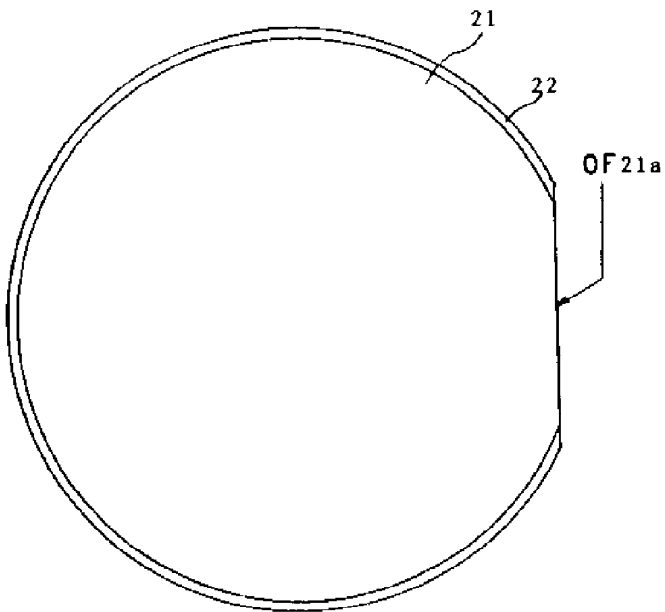
도면 10C



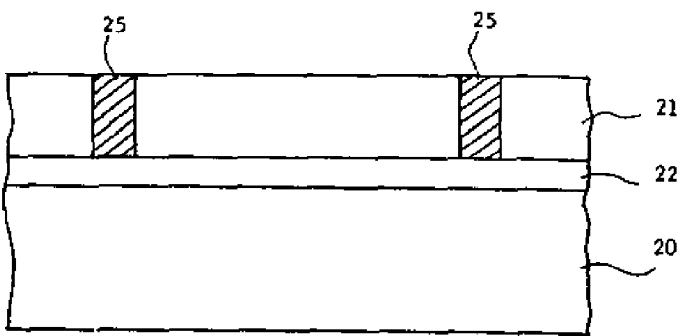
도면 10D



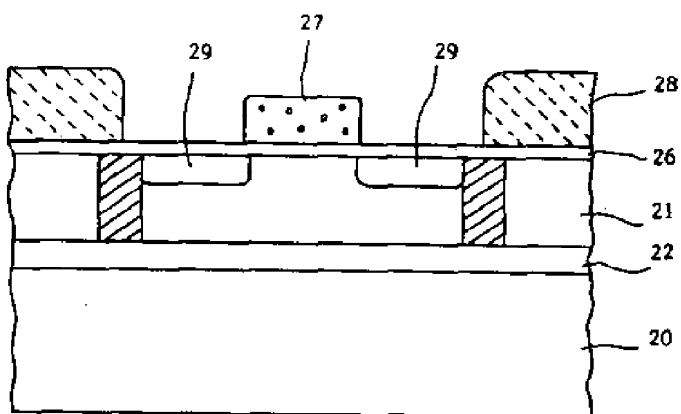
도면 10E



도면 11A



도면 11B



도면11C

