公告本

申請日期	90.6.27
案號	90115597
類別	H01L 27/04

（以上各欄由本局填註）

A4
C4

492180

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體記憶體及其驅動方法
	英文	SEMICONDUCTOR MEMORY AND METHOD FOR DRIVING THE SAME
二、發明 ~~創作~~ 人	姓名	1.嶋田 恭博 YASUHIRO SHIMADA 2.加藤 剛久 YOSHIHISA KATO
	國籍	1.2.皆日本
	住、居所	1.日本國京都府向日市寺戶町南垣內10-1-410 2.日本國滋賀縣大津市仰木里1-27-3
三、申請人	姓名（名稱）	日商松下電器產業股份有限公司 MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
	國籍	日本
	住、居所（事務所）	日本國大阪府門真市大字門真1006番地
	代表人姓名	中村 邦夫 KUNIO NAKAMURA

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

裝 訂 線

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本　　2000年06月27日　特願2000-192467 ☑有 □無 主張優先權

有關微生物已寄存於：　　寄存日期：　　，寄存號碼：

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（1　　）

發明背景

本發明與一非揮發性半導體記憶體及其驅動方法有關。更特別言之，係與一半導體記憶體及其驅動方法有關，該半導體記憶體包含一用於儲存資料儲存電晶體，此電晶體由一個包含一第一場效電晶體(具有在鐵電膜上形成的閘極電極)的MFS電晶體、一個包含一場效電晶體(具有在由鐵電膜和介電膜構成之多層膜上形成的閘極電極)的MFIS電晶體，以及一個包含一鐵電電容器(在一場效電晶體的閘極電極上方形成)的MFMIS電晶體所組成。

已知的單電晶體型，且具有一鐵電膜的非揮發性半導體記憶體有三類電晶體，亦即MFS電晶體、一MFIS電晶體及一MFMIS電晶體。

一MFS電晶體具有一金屬/鐵電材料/半導體多層結構，且包含一由鐵電膜構成，在半導體基材之通道區域上直接形成的閘極絕緣膜。

一MFIS電晶體具有一金屬/鐵電材料/半導體多層結構，且包含一作為緩衝層，在由鐵電膜組成的閘極絕緣膜與半導體基材之間形成的介電膜。與MFS電晶體比較起來，MFIS的表面特性已有所改進。

一MFMIS電晶體具有一金屬/鐵電材料/半導體多層結構，且包含一鐵電電容器，此電容器在一具有MOS結構之場效電晶體的閘極電極上方形成。MFMIS電晶體係於下列兩種已知結構其中之一內形成：在第一種結構中，鐵電電容器是在場效電晶體的閘極電極上方形成，其間夾有一絕緣

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 2 ）

膜；在第二種結構中，場效電晶體的閘極電極也充當鐵電電容器的下層電極。

在一使用具有鐵電膜之單電晶體型非揮發性半導體記憶體做為料儲存電晶體的記憶體單元中(亦即一非揮發性記憶體)，吾人將一閘極選擇用的電晶體，以及一源極選擇用的電晶體連接到一MFS電晶體的資料儲存電晶體，以建造記憶體單元，如日本專利2921812號中所揭示。

圖14顯示日本專利2921812號中所描述之單電晶體型非揮發性半導體記憶體的電路配置。在圖14中，WL代表用於寫入的字組線，RL代表用於讀取的自組線，GL代表操作電壓供應線，BL代表位元線，Q_1代表資料儲存電晶體，Q_2代表寫入電晶體，且Q_3代表讀取電晶體。

資料儲存電晶體Q_1的閘極經由寫入電晶體Q_2連接至操作電壓供應線GL，資料儲存電晶體Q_1的汲極經由讀取電晶體Q_3連接至位元線BL，且資料儲存電晶體Q_1的源極接地。吾人在一矽基材上排列許多個各自具有此種電路配置的記憶體單元，形成一記憶體單元陣列。

現在吾人將參考圖15，說明具有此種電路配置之記憶體單元的資料抹除操作、資料寫入操作和資料讀取操作。

在資料抹除操作中，吾人將一負電位施加於半導體基材的阱區域，俾於每一資料儲存電晶體Q_1的閘極與基材之間施加一電壓。因此，鐵電膜的極化轉變成沿著同一方向。這樣一來，儲存於所有記憶體單元內的資料即被抹除。

在資料寫入操作中，吾人在基材與記憶體單元(位於寫入

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（3　　）

電晶體Q_2所選取的位址)上的資料儲存電晶體Q_1的閘極之間施加電壓，以反轉此電晶體之鐵電膜的極化方向(將其置於開啟狀態)，或保持電晶體之鐵電膜極化方向(將其置於關閉狀態)，而不在閘極與基材之間施加電壓。更明確言之，吾人根據輸入資料，形成兩種極化狀態的其中之一，亦即將極化狀態反轉(對應於開啟狀態)或保持極化狀態(對應於關閉狀態)。由於鐵電膜的極化狀態被保留，且未施加電壓，記憶體單元可發揮非揮發性半導體記憶體的功能。

在資料讀取操作中，讀取電晶體Q_3被開啟，以偵測伴隨從位元線BL經由資料儲存電晶體Q_1的通道流到一接地線的電流(亦即汲極—源極電流)而產生的電壓降。由於通道電阻會隨資料儲存電晶體Q_1之鐵電膜的極化狀態而改變，因此吾人可以讀取寫入資料儲存電晶體Q_1內的資料。

日本專利特許公開申請案第5-205487號描述一非揮發性半導體記憶體，其中每一記憶體單元之資料儲存電晶體的阱區域均被絕緣。此半導體記憶體的電路配置基本上與前述半導體記憶體相同，且充當資料儲存電晶體的第一場效電晶體，其阱區域為一用於選擇儲存電晶體的選擇電晶體所共用。

前述的傳統半導體記憶體具有以下問題：吾人對充當儲存電晶體之場效電晶體的阱區域施加一電壓，使場效電晶體的極化狀態轉變成沿著某一方向，而以整批方式將共用阱區域的儲存電晶體中儲存的所有資料抹除後，再將資料寫入每一儲存電晶體，因此重新寫入(覆寫)資料要花費很長

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（ 4 ）

的時間。

再者，由於吾人對許多個儲存電晶體所共用，且具有高負載電容的阱區域施加一電壓，以抹除許多個儲存電晶體中儲存的資料，故資料抹除操作的速率相當低，此點很不理想。

發明總結

有鑒於前述的傳統問題，本發明的目標之一為減少資料重新寫入(覆寫)所需的時間，其方法為重新寫入資料，但不抹除已寫入儲存電晶體內的資料。

為達成此目標，本發明的半導體記憶體包含一用於儲存資料儲存電晶體，此電晶體由任何一個包含一第一場效電晶體(具有在鐵電膜上形成的閘極電極)的MFS電晶體、一個包含一場效電晶體(具有在由鐵電膜和介電膜構成之多層膜上形成的閘極電極)的MFIS電晶體，以及一個包含一鐵電電容器(在一第一場效電晶體的閘極電極上方形成，該第一場效電晶體具有一第一阱區域)的MFMIS電晶體所組成；一用於選擇的儲存電晶體的選擇電晶體，此電晶體由第二場效電晶體組成，該第二場效電晶體的第二阱區域與第一場效電晶體的第一阱區域互相絕緣；一第一電壓供應線，用於將一直流電壓供應至第一場效電晶體的第一阱區域；以及一與第一電壓供應線獨立的第二電壓供應線，用於將一直流電壓供應至第二場效電晶體的第二阱區域。

在本發明的半導體記憶體中，包含於儲存電晶體之第一場效電晶體的第一阱區域，與包含於選擇電晶體之第二場

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（5　）

效電晶體的第二阱區域互相絕緣，而供應直流電壓至第一場效電晶體之第一阱區域的第一電壓供應線，以及供應直流電壓至第二場效電晶體之第二阱區域第二電壓供應線係獨立提供。因此，當吾人獨立於選擇電晶體之第二場效電晶體的第二阱區域，而將第一直流電壓施加於儲存電晶體之第一場效電晶體的第一阱區域時，可將第二直流電壓(相對於施加於第一阱區域的第一直流電壓而言，其極性為正或負)施加於儲存電晶體之第一場效電晶體的控制閘極，俾於半導體記憶體內寫入資料。因此，吾人可將資料寫入所需的儲存電晶體，而不需執行操作，以抹除儲存電晶體內儲存的資料。換句話說，吾人可寫入資料，但不進行抹除儲存電晶體之資料的操作，其方法為對許多個電晶體所共用，且具有高負載電容的阱區域施加一電壓。結果，資料重新寫入所需的時間可以縮短。

在半導體記憶體中，第二場效電晶體的崩潰電壓最好較第一場效電晶體為高。

在此種情況下，雖然被施加大電壓的第二場效電晶體，其操作速率相對而言降低了，但其崩潰電壓可以增加，且未被施加大電壓的第一場效電晶體，其操作速率可以增加。

在半導體記憶體中，儲存電晶體最好由MFMIS電晶體組成，且第二場效電晶體最好包含一閘極絕緣膜，其厚度較第一場效電晶體的閘極絕緣膜為大。

這樣一來，第二場效電晶體必然可達到較第一場效電晶

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 6 ）

體為高的崩潰電壓。在半導體記憶體中，儲存電晶體最好由MFMIS電晶體組成，第一場效電晶體和第二場效電晶體最好具有一LDD結構，且第二場效電晶體最好包含一淡摻雜層，其長度較第一場效電晶體淡摻雜層為大。

這樣一來，第二場效電晶體必然可達到較第一場效電晶體為高的崩潰電壓。

在半導體記憶體中，儲存電晶體最好由MFMIS電晶體組成，且第二場效電晶體最好包含一閘極電極，其閘極長度較第一場效電晶體的閘極電極為大。

這樣一來，第二場效電晶體必然可達到較第一場效電晶體為高的崩潰電壓。

在半導體記憶體中，第一場效電晶體、第二場效電晶體及一用於驅動第一和第二場效電晶體的驅動電路最好在一半導體基材上形成，且供應至驅動電路的驅動電壓及供應至第二場效電晶體之第二阱區域的直流電壓，最好從一個電壓源提供。

在此種情況下，就不需要產生供應至第二場效電晶體之第二阱區域的直流電壓，因此，在半導體基材上形成的直流電壓產生電路可予簡化，且其面積可以縮小。

在半導體記憶體中，第一場效電晶體的第一阱區域，和第二場效電晶體的第二阱區域，最好具有不同的導電類型。

這樣一來，吾人可以很容易地從同一個電壓源提供供應至驅動電路的驅動電壓，以及供應至第二場效電晶體之第

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 7 ）

二阱區域的直流電壓。

本發明用於驅動一半導體記憶體的方法，該半導體記憶體包含一個用於儲存資料的儲存電晶體，此電晶體係由任何一個包含一第一場效電晶體(具有在鐵電膜上形成之閘極電極)的MFS電晶體、一個包含一第一場效電晶體(具有一個在鐵電膜和介電膜構成之多層膜上形成的閘極電極)的MFIS電晶體，以及一個包含一鐵電電容器(在一第一場效電晶體的閘極電極上方形成)的MFMIS電晶體所組成，和一個用於選擇儲存電晶體的選擇電晶體，此電晶體由第二場效電晶體組成，第一場效電晶體的第一阱區域，與第二場效電晶體的第二阱區域互相絕緣，此方法包含一在儲存電晶體寫入資料的步驟，其方法為對第一場效電晶體的第一阱區域施加一第一直流電壓，以及對第一場效電晶體的控制閘極施加一第二直流電壓(其極性相對於第一直流電壓為正或負)。

在本發明用於驅動一半導體記憶體的方法中，當吾人對包含於儲存電晶體之第一場效電晶體的第一阱區域施加第一直流電壓時，也對第一場效電晶體的控制閘極施加第二電壓(其極性相對於第一直流電壓為正或負)，俾於半導體記憶體內寫入資料。因此，吾人可將資料寫入所需的儲存電晶體內，而不需執行操作，以抹除儲存電晶體內儲存的資料。因此，吾人可以寫入資料，但不進行抹除儲存電晶體之資料的操作，其方法為對許多個電晶體所共用，且具有高負載電容的阱區域施加一電壓。結果，資料重新寫入所

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 8 ）

需的時間可以縮短。

在驅動一半導體記憶體的方法中，第二場效電晶體崩潰電壓最好較第一場效電晶體為高。

在此種情況下，雖然被施加大電壓的第二場效電晶體，其操作速率相對而言降低了，但其崩潰電壓可以增加，且未被施加大電壓的第一場效電晶體，其操作速率可以增加。

在驅動一半導體記憶體的方法中，供應至驅動電路的驅動電壓，以及供應至第二場效電晶體之第二阱區域的直流電壓，最好從一個電壓源提供。

在此種情況下，因為吾人不需要產生供應至第二場效電晶體之第二阱區域的直流電壓，在半導體基材上形成的直流電壓產生電路可予簡化，且其面積可以縮小。

在驅動一半導體記憶體的方法中，第一場效電晶體第一阱區域，和第二場效電晶體的第二阱區域，最好具有不同的導電類型。

這樣一來，吾人可以很容易地從同一個電壓源提供供應至驅動電路的驅動電壓，以及供應至第二場效電晶體之第二阱區域的直流電壓。因此，在半導體基材上形成的直流電壓產生電路必然可以簡化。

圖示簡述

圖1為一記憶體單元的平面圖，其中各自包含根據具體實施例1之半導體記憶體的記憶體單元被排列成矩陣的形式；

圖2為包含於記憶體單元陣列之記憶體單元，其寫入操作

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 9 ）

與讀取操作中施加之電壓的圖表，其中各自包含根據具體實施例1之記憶體單元被排列成矩陣的形式；

圖3為包含於一MFMIS電晶體中之MIS晶體及一MFMIS電晶體的I_{ds}-V_G特性圖，其中吾人對一鐵電膜的控制閘極施加一+8 V或-8 V電壓，使該鐵電膜的極化狀態反轉。

圖4為嵌有記憶體單元列之半導體晶片的平面圖，該陣列包含由具體實施例1的半導體記憶體所組成的各記憶體單元；

圖5為具體實施例1之半導體記憶體的橫截面圖；

圖6A和6B為橫截面圖，用於顯示具體實施例1之半導體記憶體的製造程序；

圖7A和7B為橫截面圖，用於顯示具體實施例1之半導體記憶體的其他製造程序；

圖8A和8B為橫截面圖，用於顯示具體實施例1之半導體記憶體的其他製造程序；

圖9為橫截面圖，用於顯示具體實施例1之半導體記憶體的另一製造程序；

圖10為橫截面圖，用於顯示具體實施例1之半導體記憶體的另一製造程序；

圖11為一記憶體單元陣列的平面圖，其中各自包含根據具體實施例2之半導體記憶體的記憶體單元被排列成矩陣的形式；

圖12為包含於記憶體單元陣列之記憶體單元，其寫入操作與讀取操作中施加之電壓的圖表，其中各自包含根據具

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 10 ）

體實施例2之半導體記憶體的記憶體單元被排列成矩陣的形式；

圖13為嵌有記憶體單元陣列之半導體晶片的平面圖，該陣列包含由具體實施例2的半導體記憶體所組成的各記憶體單元；

圖14為一傳統非揮發性半導體記憶體的電路圖，以及

圖15為傳統非揮發性半導體記憶體之寫入和讀取操作中施加之電壓的圖表。

發明之詳細說明

具體實施例1

現在將參照圖1到4，描述根據本發明的實施例1之半導體記憶體及其驅動方法。雖然具體實施例1的半導體記憶體使用MFMIS電晶體做為儲存資料的儲存電晶體，吾人亦可用MFS電晶體或MFIS電晶體。

圖1顯示一記憶體單元陣列的平面結構，其中各自包含具體實施例1之半導體記憶體的記憶體單元被排列成一2×2矩陣的形式。在圖1，中WL_1和WL_2代表字組線，SL_1和SL_2代表來源線，GL_1和GL_2代表操作電壓供應線，BL_1和BL_2代表位元線，Q_{11}、Q_{12}、Q_{21}和Q_{22}代表用於資料儲存的場效電晶體(以下簡稱為儲存電晶體)，C_{11}、C_{12}、C_{21}和C_{22}代表鐵電電容器，且P_{11}、P_{12}、P_{21}和P_{22}代表用於選擇Q_{11}、Q_{12}、Q_{21}和Q_{22}的場效電晶體(以下簡稱為選擇電晶體)。置於同一記憶體單元的儲存電晶體Q_{11}、Q_{12}、Q_{21}或Q_{22}，以及鐵電電容器C_{11}、C_{12}、C_{21}或C_{22}，一同構成一MFMIS電晶體。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 11 ）

如圖1所示，吾人沿著列方向，交替地提供沿著記憶體單元陣列的行方向延伸的p型第一阱區域W_1和W_2，以及p型第二阱區域V_1和V_2。儲存電晶體Q係於第一阱區域W內形成，且選擇電晶體P係於第二阱區域V內形成。

鐵電電容器C的下層電極連接至儲存電晶體Q的閘極電極(浮動閘極)，鐵電電容器C的上方電極(控制閘極)經由電晶體P連接至操作電壓供應線GL，選擇電晶體P的閘極則連接至字組線WL。因此，選擇電晶體P會被字組線WL開啟/關閉，俾將一信號從操作電壓供應線GL傳送到儲存電晶體的控制閘極。

儲存電晶體Q的汲極連接至位元線BL，且儲存電晶體Q的源極連接至來源線SL，以根據位元線BL和來源線SL的電位差來讀取資料。

現在吾人將參照圖2，描述把資料寫入本具體實施例之半導體記憶體組成的記憶體單元陣列中，在位址11(亦即在第一行和第一列)上的記憶體單元，或從該記憶體單元讀取資料的操作。

(寫入操作)

首先，吾人對選擇電晶體P形成之處的第二阱區域V_1和V_2施加一直流電壓$-V_P$，例如-8 V($V_1 = V_2 = -V_P$)，儲存電晶體Q形成之處的第一阱區域W_1和W_2則接地($W_1 = W_2 = 0$ V)，做為一預備操作。

然後，吾人以下列方式將資料寫入在位址11的記憶體單元：

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 12 ）

將電壓+V_P施加於第一列上的字組線WL_1，並將電壓-V_P施加於第二列上的字組線WL_2，藉此開啟第一列上的選擇電晶體P_{11}和P_{12}。這樣一來，第一列上的位址即被選取。

所有來源線SL_1和SL_2均予接地，且所有位元線BL_1和BL_2均予接地。

吾人將一對應於二進位資料的電壓+V_P或-V_P施加於第一行中的操作電壓供應線GL_1，第二行中的操作電壓供應線GL_2則予接地。這樣一來，第一行的位址即被指定。

吾人以此種方式指定了位址11，並將電壓±V_P(例如±8 V)施加於控制閘極與位於位址11之MFMIS電晶體的阱之間，使得二進位資料可以寫入在位址11的MFMIS電晶體。在此種情況下，由於第二列上的選擇電晶體P_{21}和P_{22}為關閉，故沒有資料會寫入位於第二列上的MFMIS電晶體。而且，由於第二行中的操作電壓供應線GL_2為接地，故位於第二行中的MFMIS電晶體所儲存的資料不會被覆寫。

(讀取操作)

位址11處的記憶體單元內寫入的資料，係以下列方式讀取：

將電壓V_P施加於第一列上的字組線WL_1，並將電壓-V_P施加於第二列上的字組線WL_2，以開啟第一列上的選擇電晶體P_{11}和P_{12}。這樣一來，第一列上的位址即被選取。

將0 V電壓施加於所有的來源線SL_1和SL_2，並將例如0.6 V的電壓V_d施加於第一行中的位元線BL_2，以及將0 V電壓施加於第二行中的位元線BL_2。這樣一來，第一行中的位址

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（13）

即已指定。

吾人將一例如0.7 V的電壓V_r施加於第一行中的操作電壓供應線GL_1，並將一0 V電壓施加於第二行中的操作電壓供應線GL_2。

吾人以此種方式，將電壓V_r施加於在位址11的MFMIS電晶體的控制閘極，並將電壓V_d加於MFMIS電晶體的汲極與源極之間。因此，在位址11的MFMIS電晶體內寫入的二進位資料被偵測到，其形式為汲極與源極之間根據電壓 $\pm V_P$ 而出現的電流變化。在此種況下，由於第二列上的選擇電晶體P_{21}與P_{22}為關閉，故位於第二列上的每一MFMIS電晶體，其汲極與源極之間並無電流流過。而且，既然位於第二行中的每一MFMIS電晶體，其汲極與源極之間並未施加電壓，故其間無電流流過。

圖3顯示包含於MFMIS電晶體中的MIS電晶體，以及MFMIS電晶體的I_{ds}–V_G特性曲線，其中吾人對其控制閘極施加一+8 V或-8 V的電壓，使鐵電膜的極化反轉。當吾人對控制閘極施加例如+8 V的電壓，以寫入資料時，臨界值將朝負的一側偏移，且當吾人對控制閘極施加例如-8 V的電壓，以寫入資料時，臨界值將朝正的一側偏移。因此，當0.7 V的電壓V_r加於控制閘極時，I_{ds}比（亦即開啟/關閉比，是在施加 +8 V和-8 V電壓時所得之值）會大於1×10^3。因此，該寫入MFMIS電晶體之二進位資料可被讀取為出現在汲極與源極間之電流變化，作為一大於1×10^3之開啟/關閉比。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 14 ）

圖4顯示嵌上由具體實施例1之半導體記憶體組成的記憶體單元陣列的半導體晶片1的平面結構。在半導體晶片1上，形成了記憶體單元陣列2、一列驅動器3、一行驅動器4、一I/F電路5，以及一直流－直流轉換器6A。

吾人將一自外面引到半導體晶片1上之VDD端點的電源電壓，及一自外面引到半導體晶片1上之GND端的地電位，分別提供至列驅動器3和行驅動器4（對應於用來驅動記憶體單元陣列2的驅動電路）。

吾人也將被引到VDD的電源電壓供應至直流－直流轉換器6A，而產生直流電壓 $+V_P$、直流電壓 $-V_P$、直流電壓 V_d 和直流電壓 V_r。直流－直流轉換器6A產生的直流電壓 $+V_P$ 被送到列驅動器3和行驅動器4，直流－直流轉換器6A產生的直流電壓 $-V_P$ 被送到行驅動器4，且直流－直流轉換器6A產生的直流電壓 V_d 和直流電壓 V_r 被送到行驅動器4。

準備寫入操作時，直流－直流轉換器6A產生的直流電壓 $-V_P$ 被供應至記憶體單元陣列2的第二阱區域V，且引到GND端點的地電壓直接供應給記憶體單元陣列2的第一阱區域W。

用於將被引到GND端點的地電壓直接供應給記憶體單元陣列2的第一阱區域W，做為0 V直流電壓的電壓供應線，對應於第一電壓供應線，及用於將直流－直流轉換器6A產生的直流電壓 $-V_P$ 供應至記憶體單元陣列2的第二阱區域V的電壓供應線，其作為直流電壓 $-V_P$ 對應於第二電壓供應線。

圖5顯示具體實施例1之半導體記憶體的橫截面結構。絕

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（15）

緣層11在半導體基材10上形成，一寬度相當小的p型第一阱區域12，以及一寬度相當大的p型第二阱區域13，則於被絕緣層11圍繞之半導體基材10的表面部份中形成。

閘極長度為0.6微米的第一閘極電極16，在第一阱區域12上方形成，且有一厚度為26.5奈米的第一閘極絕緣膜14被夾在其間。閘極長度為1.5微米的第二閘極電極17，在第二阱區域13上方形成，且有一厚度為40奈米的第二閘極絕緣膜15被夾在其間。側壁20在第一和第二閘極電極16和17各自的側表面上形成。

長度為0.2微米的n型第一淡摻雜層18，以及n型重摻雜層22在第一阱域區12的表面部份中形成，且長度為1.5微米的n型第二淡摻雜層19，以及n型重摻雜層23在第二阱區域13表面部份中形成。同時，由一p型重摻雜層構成的第一接觸層24，在第一阱區域12的另一表面部份中形成，且由一p型重摻雜層構成的第二接觸層25，則是在第二阱區域13的另一表面部份中形成。

第一淡摻雜層18、第一重摻雜層22、第一閘極絕緣膜14和第一閘極電極16一同構成儲存電晶體Q，且第二淡摻雜層19、第二重摻雜層23、第二閘極絕緣膜15和第二閘極電極17一同構成選擇電晶體P。儲存電晶體Q的操作電壓可設定為5 V，且選擇電晶體P的操作電壓可設定為21 V。

此一半導體記憶體具有下列三個特性：第二閘極絕緣膜15的厚度較第一閘極絕緣膜14為大；第二閘極電極17的閘極長度較第一閘極電極16為大；以及第二淡摻雜層19的長

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 16 ）

度較第一淡摻雜層18為大。由於這三項特性中的至少一項，選擇電晶體P的崩潰電壓較儲存電晶體Q為高。

吾人形成第一層間絕緣膜26，以覆蓋第一和第二閘極電極16和17。由氮化鈦構成的障礙層28、由銥(Ir)膜構成的下層電極29、二氧化銥(IrO_2)膜和鉑(Pt)膜、由$SrBi_2Ta_2O_9$膜構成，且厚度為200奈米的鐵電膜30，以及由鉑(Pt)膜構成的上層電極31形成於該第一中間層絕緣膜26之上，該下層電極29,鐵電膜30及該上層電極一同構成鐵電電容器C。鐵電電容器C的上層電極31經由第一接觸栓27連接至儲存電晶體Q的第一閘極電極16。

吾人形成第二層間絕緣膜32，以覆蓋鐵電電容器C。鋁膜構成的下層互連點36A、36B、36C、36D、36E、36F和36G，在第二層間絕緣膜32上方形成，並有一由氮化鈦膜構成的障礙層35夾在其間。下層互連點36A經由一第二接觸栓33連接至第一接觸層24，下層互連點36B經由另一個第二接觸栓33連接至第一重摻雜層22其中之一，下層互連點36C經由一第三接觸栓34連接至上層電極31，下層互連點36D經由另一個第二接觸栓33連接至第一重摻雜層22的另一個，下層互連點36E經由另一個第二接觸栓33連接至第一重摻雜層23其中之一，下層互連點36F經由另一個第二接觸栓33連接至第一重摻雜層23的另一個，下層互連點36G經由另一個第二接觸栓33連接至第二接觸層25。

吾人形成第三層間絕緣膜37，以覆蓋下層互連點36A、36B、36C、36D、36E、36F和36G。鋁膜構成的上層互連點

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 17 ）

40，在第三層間絕緣膜37上方形成，並有一由氮化鈦膜構成的障礙層39夾在其間。下層互連點36D經由一第四接觸栓38連接至上層互連點40。

吾人形成由二氧化矽膜構成的第一保護膜41，以覆蓋上層互連點40，並於第一保護膜41上形成一由SiN_x膜構成的第二保護膜42。

現在，吾人將參照圖6A、6B、7A、7B、8A、8B、9和10，描述具體實施例1之半導體記憶體的製造方法。

首先，如圖6A所示，吾人以LOCOS法，在一由矽製成的半導體基材10上形成由二氧化矽製成的絕緣區域11。吾人將一p型雜質離子佈植於被絕緣區域11包圍之矽基材10的表面部份之內，因而形成一寬度相當小的p型第一阱區域12，以及一寬度相當大的p型第二阱區域13。

其次，吾人對半導體基材10進行熱氧化，俾於第一和第二阱區域12和13上形成厚度為26.5奈米的二氧化矽膜。吾人以蝕刻法選擇性地除去一部份在第一阱區域12上形成的二氧化矽膜。這樣一來，吾人即在第二阱區域13上，從二氧化矽膜形成厚度為26.5奈米的第二閘極絕緣膜15，如圖6B所示。

接著，吾人再對半導體基材10進行熱氧化，俾於第一阱區域12上形成厚度為13.5奈米，由二氧化矽膜構成的閘極絕緣膜14，且使在第二阱區域12上形成的第二閘極絕緣膜15的厚度增加到40奈米，如圖7A所示。

其次，吾人在第一和第二閘極絕緣膜14和15上沈積一厚

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（18）

度為300奈米的多晶矽膜之後，將該多晶矽膜以磷離子摻雜，並在摻雜了磷的多晶矽膜上製作圖案。這樣一來，吾人在第一閘極絕緣膜14上形成了閘極長度為0.6微米的第一閘極電極16，也在第二閘極絕緣膜15上形成了閘極長度為1.5微米的第二閘極電極17，如圖7B所示。之後，吾人使用第一閘極電極16做為光罩，將n型雜質離子佈植於第一阱區域12的表面部份內，藉此形成n型第一淡摻雜層18，並使用第二閘極電極17做為光罩，將n型雜離子佈植於第二阱區域13的表面部份，藉此形成n型第一淡摻雜層19。

其次，在半導體基材10上沈積二氧化矽膜之後，吾人將二氧化矽膜以非等向的方式蝕刻，俾於第一和第二閘極電極16和17的側表面上形成側壁20，如圖8A所示。接著，當吾人在半導體基材10上形成一光阻圖案21(用來形成重摻雜層的區域處有開口)之後，吾人使用光阻圖21做為光罩，摻雜n型雜質離子。因此，第一重摻雜層22在第一阱區域12內形成，且第二重摻雜層23在第二阱區域13內形成。在此種情況下，由於光阻圖案21覆蓋第二閘極電極17，但未覆蓋第一閘極電極16，故第二淡摻雜層19中較靠近第二閘極電極的部份，其長度(1.5微米)較第一淡摻雜層18中較靠近第一閘極電極之部份的長度(0.2微米)為大。

吾人以此種方式，形成了包含第一淡摻雜層18、第一重摻雜層22、第一閘極絕緣膜14和第一閘極電極 16的儲存電晶體Q，也形成了包含第二淡摻雜層19、第二重摻雜層23、第二閘極絕緣膜15和第二閘極電極17的選擇電晶體P。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 19 ）

其次，雖然圖中未顯示，但吾人在半導體基材10上形成一光阻圖案(用來形成接觸層的區域處有開口)，並使用光阻圖案做為光罩，摻雜一p型雜質離子。因此，如圖8B所示，第一阱區域12內形成了第一接觸層24，且第二阱區域13內形成了第二接觸層25。接著，吾人在900°C的溫度下進行退火，由二氧化矽膜構成的第一層間絕緣膜26，在半導體基材10上形成。

然後，如圖9所示，吾人在第一層間絕緣膜26內形成一接觸栓孔，並於第一層間絕緣膜26上沈積一多晶矽膜。之後，吾人除去多晶矽膜沈積於接觸栓孔外面的部份，俾於第一層間絕緣膜26內形成一第一接觸栓27，以連接到第二閘極電極17。

其次，吾人以濺鍍法，在第一層間絕緣膜26上依序沈積氮化鈦膜、鉭膜、二氧化鉭膜及鉑膜，而形成一多層膜，並於多層膜上製作圖案，藉此形成由氮化鈦膜構成的障礙層28，以及由鉭膜、二氧化鉭膜及鉑膜構成的下層電極29。然後，吾人以旋轉塗佈法，在下層電極29上形成厚度為100奈米的第一$SrBi_2Ta_2O_9$膜（以下稱為SBT膜），並於800°C下執行退火，使SBT膜結晶。之後，吾人以旋轉塗佈法，在第一SBT膜上沈積厚度為100奈米的第二SBT膜，並於800°C下執行退火，使第二SBT膜結晶。其次，吾人以濺鍍法，在第二SBT膜沈積一鉑膜，並於鉑膜、第二SBT膜和第一SBT膜上製作圖案，藉此形成由第一和第二SBT膜構成的鐵電膜30，以及由鉑膜構成的上層電極31。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（20　）

吾人以此種方式形成了包含下層電極29、鐵電膜30和上層電極31的鐵電電容器C，且該儲存電晶體Q之第一閘電極16被連接至該鐵電電容器C之上層電極31，經由該第一接觸栓27。

其次，如圖10所示，一二氧化矽膜之第二層間絕緣膜32，被沉積以覆蓋該鐵電電容器C，且第二層間絕緣膜32則以CMP法平坦化。然後，吾人在第二層間絕緣膜32內形成介層孔，並於第二層間絕緣膜32上沈積鎢膜。吾人除去暴露於第二層間絕緣膜32上的鎢膜部份，俾於第一層間絕緣膜26和第二層間絕緣膜32內，從鎢膜形成第二接觸栓。

然後，吾人依序在第二層間絕緣膜32上沈積氮化鈦膜和鋁膜，並在氮化鈦膜和鋁膜上製作圖案，藉此形成由氮化鈦膜構成的障礙層35，以及由鋁膜構成的下層互連點36A、36B、36C、36D、36E、36F和36G。在此種情況下，下層互連點36A經由第二接觸栓33連接到第一接觸層24，下層互連點36B經由第二接觸栓33連接到第一重摻雜層22的中之一，下層互連點36C經由第三接觸栓34連接到上層電極31，下層互連點36D經由第二接觸栓33連接到另一第一重摻雜層22，下層互連點36E經由第二接觸栓33連接到第二重摻雜層23的其中之一，下層互連點36F經由第二接觸栓33連接到另一第二重摻雜層23，且下層互連點36G經由第二接觸栓33連接到第二接觸層25。

其次，吾人沈積由二氧化矽(SiO_2)膜構成的第三層間絕緣膜37，以覆蓋下層互連點36A、36B、36C、36D、36E、36F

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（21）

和36G，並以CMP法平坦化該第三層間絕緣膜37。因此在第三層間絕緣膜37內形成第四接觸栓38，類似第二及第三接觸栓33及34。

接著，吾人在第三層間絕緣膜32上依序沈積氮化鈦膜和鋁膜，並於氮化鈦膜和鋁膜上製作圖案，藉此形成由氮化鈦膜構成的障礙層39，以及由鋁膜成的上層互連點40。在此種情況下，下層互連點36D經由第四接觸栓38連接到上層互連點40。

其次，吾人形成由二氧化矽膜構成的第一保護膜41，以覆蓋上層互連點40，並於第一保護膜41上沈積由SiN_x膜構成的第二保護膜42。這樣一來，即完成圖5所示，具體實施例1的半導體記憶體。

具體實施例2

現在將參照圖11到13，描述根據本發明實施例2的半導體記憶體及其驅動方法。雖然具體實施例2的半導體記憶體使用MFMIS電晶體做為儲存資料的儲存電晶體，吾人亦可用MFS電晶體或MFIS電晶體。

圖11顯示一記憶體單元陣列的平面結構，其中各自包含具體實施例2之半導體記憶體的記憶體單元被排列成一2×2矩陣的形式。在圖11，中WL_1和WL_2代表字組線，SL_1和SL_2代表來源線，GL_1和GL_2代表操作電壓供應線，BL_1和BL_2代表位元線，Q_{11}、Q_{12}、Q_{21}和Q_{22}代表儲存電晶體），C_{11}、C_{12}、C_{21}和C_{22}代表鐵電電容器，且P_{11}、P_{12}、P_{21}和P_{22}代表選擇電晶體）。置於同一記憶體單元的儲存電晶體Q_{11}、Q_{12}、Q_{21}

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 22 ）

或Q_{22}，以及鐵電電容器C_{11}、C_{12}、C_{21}或C_{22}，一同構成一MFMIS電晶體。

吾人沿著列方向，交替地提供沿著記憶體單元陣列的行方向延伸的N型第一阱區域W_1和W_2，以及p型第二阱區域V_1和V_2。儲存電晶體Q係於第一阱區域W內形成，且選擇電晶體P係於第二阱區域V內形成。

鐵電電容器C的下層電極，係以與具體實施例1同樣的方式，連接至儲存電晶體Q的閘極電極(浮動閘極)，鐵電電容器C的上方電極(控制閘極)經由電晶體P連接至操作電壓供應線GL，選擇電晶體P的閘極則連接至字組線WL。

儲存電晶體Q的汲極連接至位元線BL，且儲存電晶體Q的源極連接至來源線SL，以根據位元線BL和來源線SL的電位差來讀取資料。

現在吾人將參照圖12，描述把資料寫入本具體實施例之半導體記憶體組成的記憶體單元陣列中，在位址11(亦即在第一行和第一列)上的記憶體單元，或從該記憶體單元讀取資料的操作。

(讀取操作)

首先，吾人對選擇電晶體P形成之處的第二阱區域V施加一直流電壓V_P，例如+8 V ($V_1 = V_2 = V_P$)，儲存電晶體Q形成之處的第一阱區域W則接地($W_1 = W_2 = 0$ V)，做為一預備操作。

然後，吾人以下列方式將資料寫入在位址11的記憶體單元：

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 23 ）

將電壓-V_P施加於第一列上的字組線WL_1，並將第二列上的字組線WL_2接地，藉此開啟位於第一列上的選擇電晶體P_{11}和P_{12}。這樣一來，第一列上的位址即被選取。

所有來源線SL_1和SL_2均予接地，且所有位元線BL_1和BL_2均予接地。

吾人將一對應於二進位資料的電壓+V_P或-V_P施加於第一行中的操作電壓供應線GL_1，第二行中的操作電壓供應線GL_2則予接地。這樣一來，第一行的位址即被指定。

吾人以此種方式指定了位址11，並將電壓±V_P(例如±8 V)施加於控制閘極與位於位址11之MFMIS電晶體的阱區域之間，使得二進位資料可以寫入在位址11的MFMIS電晶體。在此種情況下，由於第二列上的選擇電晶體P_{21}和P_{22}為關閉，故沒有資料會寫入位於第二列上的MFMIS電晶體。而且，由於第二行中的操作電壓供應線GL_2為接地，故位於第二行中的MFMIS電晶體所儲存的資料不會被覆寫。

(讀取操作)

位址11處的記憶體單元內寫入的資料，係以下列方式讀取：

將電壓-V_P施加於第一列上的字組線WL_1，並將第二列上的字組線WL_2接0 V電壓，以開啟第一列上的選擇電晶體P_{11}和P_{12}。這樣一來，第一列上的位址即被選取。

將0 V電壓施加於所有的來源線SL_1和SL_2，並將例如0.6 V的電壓V_d施加於第一行中的位元線BL_1，以及將0 V電壓施加於第二行中的位元線BL_2。這樣一來，第一行中的位址

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（24）

即已指定。

吾人將一例如0.7 V的電壓V_r施加於第一行中的操作電壓供應線GL_1，並將一0 V電壓施加於第二行中的操作電壓供應線GL_2。

吾人以此種方式，將電壓V_r施加於在位址11的MFMIS電晶體的控制閘極，並將電壓V_d加於MFMIS電晶體的汲極與源極之間。因此，在位址11的MFMIS電晶體內寫入的二進位資料被偵測到，其形式為汲極與源極之間根據電壓 $\pm V_P$ 而出現的電流變化。在此種情況下，由於在第二列上的P_{21}和P_{22}選擇電晶體為關閉，故位於第二列上的每一MFMIS電晶體，其汲極與源極之間並無電流流過。而且，既然位於第二行中的每一MFMIS電晶體，其汲極與源極之間並未施加電壓，故其間無電流流過。

圖13顯示嵌上由具體實施例2之半導體記憶體組成的記憶體單元陣列的半導體晶片1的平面結構。在半導體晶片1上，形成了記憶體單元陣列2、一列驅動器3、一行驅動器4、一I/F電路5，以及一直流-直流轉換器6B。

吾人將一自外面引到半導體晶片1上之VDD端點的電源電壓，及一自外面引到半導體晶片1上之GND端的地電位，分別提供至列驅動器3和行驅動器4（對應於用來驅動記憶體單元陣列2的驅動電路）。

吾人也將被引到VDD的電源電壓供應至直流—直流轉換器6B，而產生直流電壓$-V_P$、直流電壓V_d和直流電壓V_r。直流-直流轉換器6B產生的直流電壓$-V_P$ 被送到列驅動器3和

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 25 ）

行驅動器4，且直流-直流轉換器6B產生的直流電壓V_d和直流電壓V_r被送到行驅動器4。

準備寫入操作時，被引到VDD端點的電源電壓V_P，直接供應給記憶體單元陣列2的第二阱區域V，且被引到GND端點的地電壓，直接供應給記憶體單元陣列2的第一阱區域W。

用於將被引到GND端點的地電壓，供應至記憶體單元陣列2之第一阱區域W的電壓供應線，對應於第一電壓供應線，用於將被引到VDD端點的電源電壓，供應至記憶體單元陣列2之第二阱區域V的電壓供應線，則對應於第二電壓供應線。

在具體實施例2中，由於被引到VDD端點的電源電壓，直接供應給記憶體單元陣列2之第二阱區域V做為直流電壓V_P，故直流-直流轉換器6B不需要產生直流電壓 $+V_P$。因此，具體實施例2的直流-直流轉換器6B，其面積可較具體實施例1的直流-直流轉換器6A為小。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

A5
B5

四、中文發明摘要（發明之名稱：半導體記憶體及其驅動方法）

一半導體記憶體包含一用於儲存資料的儲存電晶體，此電晶體由任何一個MFS電晶體、MFIS電晶體，以及MFMIS電晶體所組成，和一個用於選擇儲存電晶體的選擇電晶體。包含於儲存電晶體之第一場效電晶體的第一阱區域，與包含於選擇電晶體之第二場效電晶體的第二阱區域互相絕緣。此半導體記憶體尚包含一第一電壓供應線，用於將一直流電壓供應至第一場效電晶體的第一阱區域，以及一與第一電壓供應線獨立的第二電壓供應線，用於將一直流電壓供應至第二場效電晶體的第二阱區域。

英文發明摘要（發明之名稱：SEMICONDUCTOR MEMORY AND METHOD FOR DRIVING THE SAME）

A semiconductor memory includes a storing transistor for storing a data composed of any of an MFS transistor, an MFIS transistor and an MFMIS transistor, and a selecting transistor for selecting the storing transistor. A first well region of a first field effect transistor included in the storing transistor is isolated from a second well region of a second field effect transistor included in the selecting transistor. The semiconductor memory further includes a first voltage supply line for supplying a DC voltage to the first well region of the first field effect transistor, and a second voltage supply line independent of the first voltage supply line for supplying a DC voltage to the second well region of the second field effect transistor.

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

A8
B8
C8
D8

六、申請專利範圍

1. 一種半導體記憶體，其包含：

一用於儲存資料的儲存電晶體，此電晶體由任何一個包含一第一場效電晶體(具有在鐵電膜上形成的閘極電極)的MFS電晶體、一個包含一第一場效電晶體(具有在由鐵電膜和介電膜構成之多層膜上形成的閘極電極)的MFIS電晶體，以及一個包含一鐵電電容器(在一第一場效電晶體的閘極電極上方形成，該第一場效電晶體具有一第一阱區域)的MFMIS電晶體所組成；

一用於選擇儲存電晶體的選擇電晶體，由第二場效電晶體組成，該第二場效電晶體具有一第二阱區域與第一場效電晶體之第一阱區域互相絕緣；

一第一電壓供應線，用於將一直流電壓供應至第一場效電晶體的第一阱區域；以及

一與第一電壓供應線獨立的第二電壓供應線，用於將一直流電壓供應至第二場效電晶體的第二阱區域。

2. 如申請專利範圍第1項的半導體記憶體，

其中該第二場效電晶體的崩潰電壓較該第一場效電晶體為高。

3. 如申請專利範圍第2項的半導體記憶體，

其中該儲存電晶體係由該MFMIS電晶體所組成，且

該第二場效電晶體包含一閘極絕緣膜，其厚度較該第一場效電晶體的閘極絕緣膜為大。

4. 如申請專利範圍第2項的半導體記憶體，

其中該儲存電晶體係由該MFMIS電晶體所組成，

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

六、申請專利範圍

該第一場效電晶體和第二場效電晶體具有一LDD結構，且

該第二場效電晶體包含一淡摻雜層，其長度較該第一場效電晶體的淡摻雜層為大。

5. 如申請專利範圍第2項的半導體記憶體，

其中該儲存電晶體係由該MFMIS電晶體所組成，且

該第二場效電晶體包含一閘極電極，其閘極長度較該第一場效電晶體的閘極電極為大。

6. 如申請專利範圍第1項的半導體記憶體，

其中該第一場效電晶體、該第二場效電晶體，以及一驅動該第一和第二場效電晶體的驅動電路係於一半導體基材上形成，且

一供應至該驅動電路的驅動電壓，以及供應至該第二場效電晶體之該第二阱區域的直流電壓係從一個電壓源供應。

7. 如申請專利範圍第1項的半導體記憶體，

其中該第一場效電晶體的該第一阱區域，與該第二場效電晶體的該第二阱區域具有不同的導電類型。

8. 一種用於驅動一半導體記憶體的方法，此記憶體包含一用於儲存資料的儲存電晶體，該電晶體係由任何一個包含一第一場效電晶體(具有在鐵電膜上形成之閘極電極)的MFS電晶體、一個包含一第一場效電晶體(具有一個在鐵電膜和介電膜構成之多層膜上形成的閘極電極)的MFIS電晶體，以及包含一鐵電電容器(在一第一場效電

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

六、申請專利範圍

晶體的閘極電極上方形成)的MFMIS電晶體所組成，和一個用於選擇該儲存電晶體的選擇電晶體，此電晶體由一第二場效電晶體組成，該第一場效電晶體具有一第一阱區域，與該第二場效電晶體的第二阱區域互相絕緣，此方法包含：

將第一直流電壓施加於該第一場效電晶體的該第一阱區域，並將一第二直流電壓(其極性相對於該第一直流電壓為正或負)施加於該第一場效電晶體的控制閘極，而將資料寫入該儲存電晶體的一個步驟。

9. 如申請專利範圍第8項的驅動半導體記憶體的方法，其中該第二場效電晶體的崩潰電壓較該第一場效電晶體為高。

10. 如申請專利範圍第8項的驅動半導體記憶體的方法，其中供應至一之用來驅動該第一和第二場效電晶體驅動電路的驅動電壓，以及供應至該第二場效電晶體之該第二阱區域的一直流電壓，係從一個電壓源供應。

11. 如申請專利範圍第8項的驅動半導體記憶體的方法，其中該第一場效電晶體的該第一阱區域，與該第二場效電晶體的該第二阱區域具有不同的導電類型。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

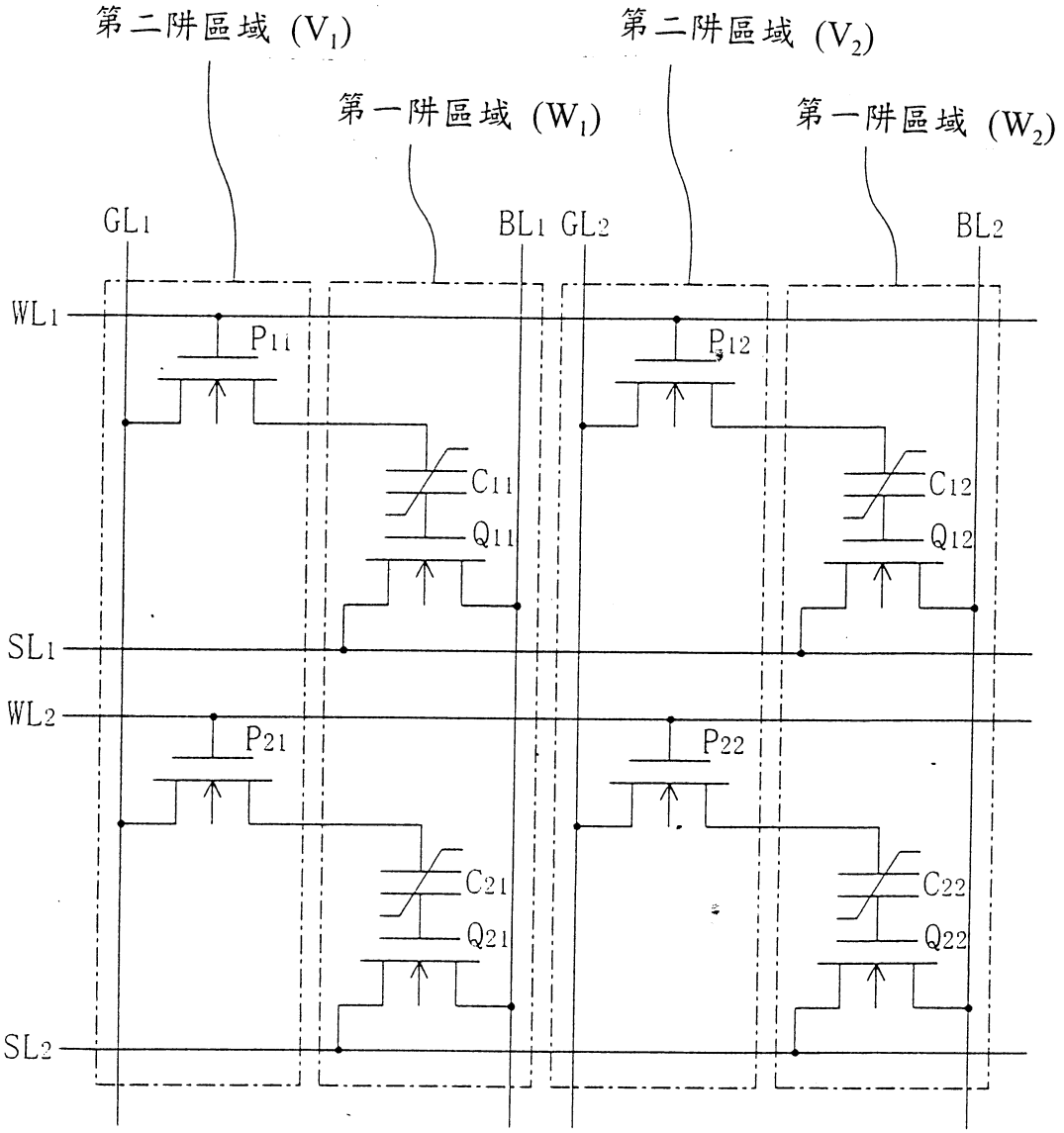

第二阱區域 (V_1)
第二阱區域 (V_2)
第一阱區域 (W_1)
第一阱區域 (W_2)
GL1
BL1
GL2
BL2
WL1
WL2
SL1
SL2
P11
P12
P21
P22
C11
C12
C21
C22
Q11
Q12
Q21
Q22

圖 1

	操作		信號
	寫入	讀取	
WL_1	V_p	V_p	交流
SL_1	0	0	交流
GL_1	$\pm V_p$	V_r	交流
BL_1	0	V_d	交流
V_1	$-V_p$	$-V_p$	直流
W_1	0	0	直流
WL_2	$-V_p$	$-V_p$	交流
SL_2	0	0	交流
GL_2	0	0	交流
BL_2	0	0	交流
V_2	$-V_p$	$-V_p$	直流
W_2	0	0	直流

圖 2

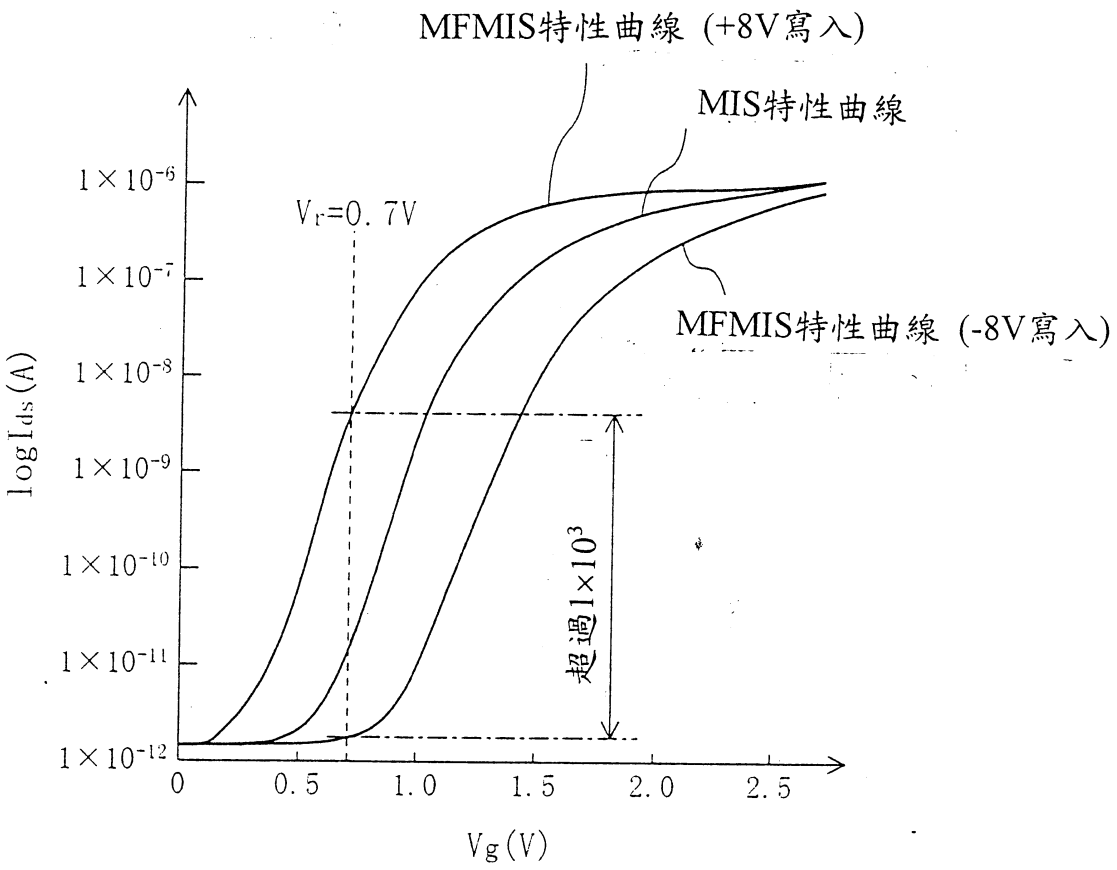

MFMIS特性曲線 (+8V寫入)
MIS特性曲線
MFMIS特性曲線 (-8V寫入)
Vr=0.7V
超過1×10³
log Ids (A)
1×10⁻⁶
1×10⁻⁷
1×10⁻⁸
1×10⁻⁹
1×10⁻¹⁰
1×10⁻¹¹
1×10⁻¹²
0
0.5
1.0
1.5
2.0
2.5
Vg (V)

圖 3

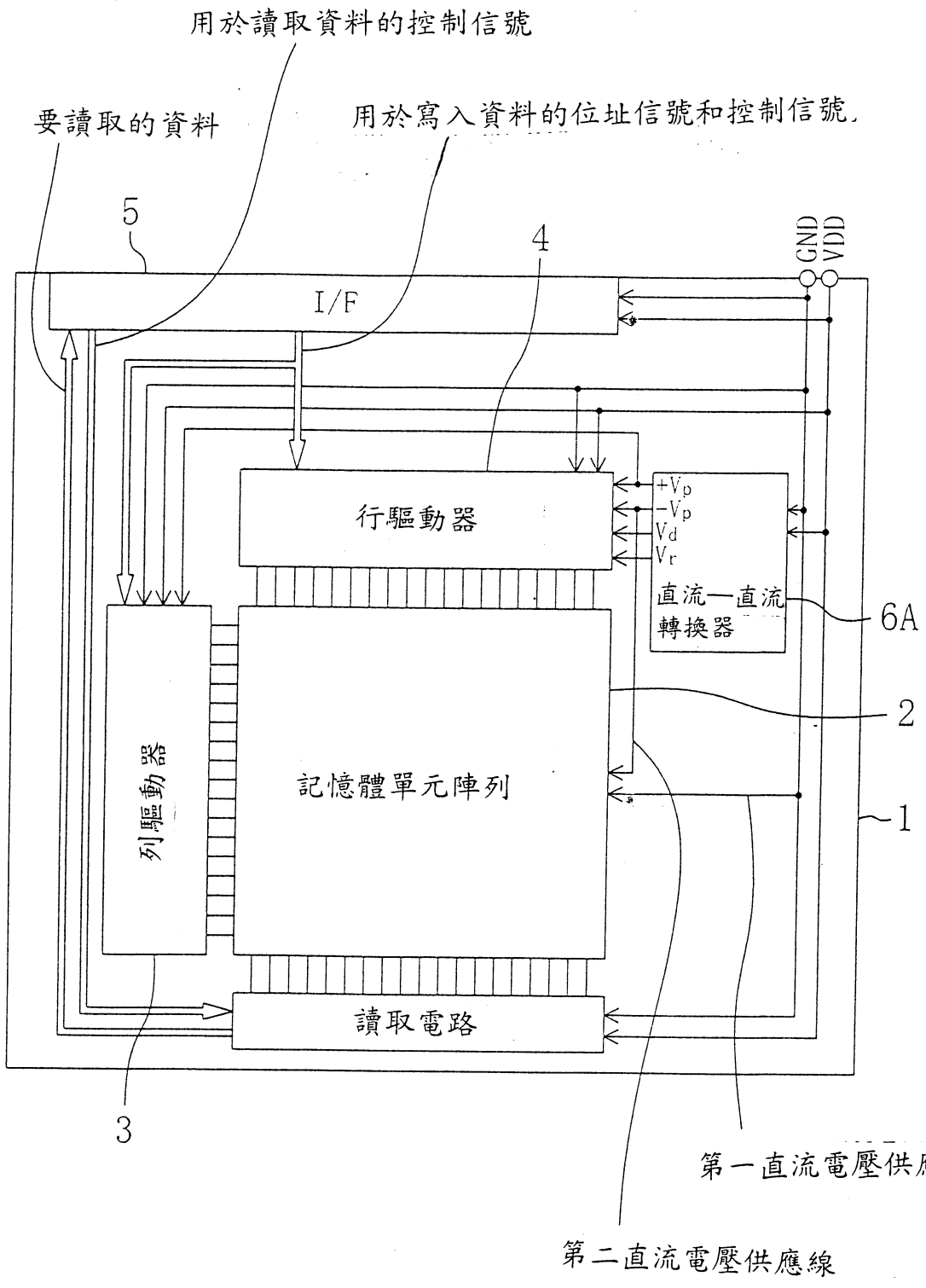

用於讀取資料的控制信號
要讀取的資料
用於寫入資料的位址信號和控制信號
5
4
GND
VDD
I/F
行驅動器
+Vp
-Vp
Vd
Vr
直流—直流
轉換器
6A
2
記憶體單元陣列
列驅動器
1
讀取電路
3
第一直流電壓供應線
第二直流電壓供應線

圖 4

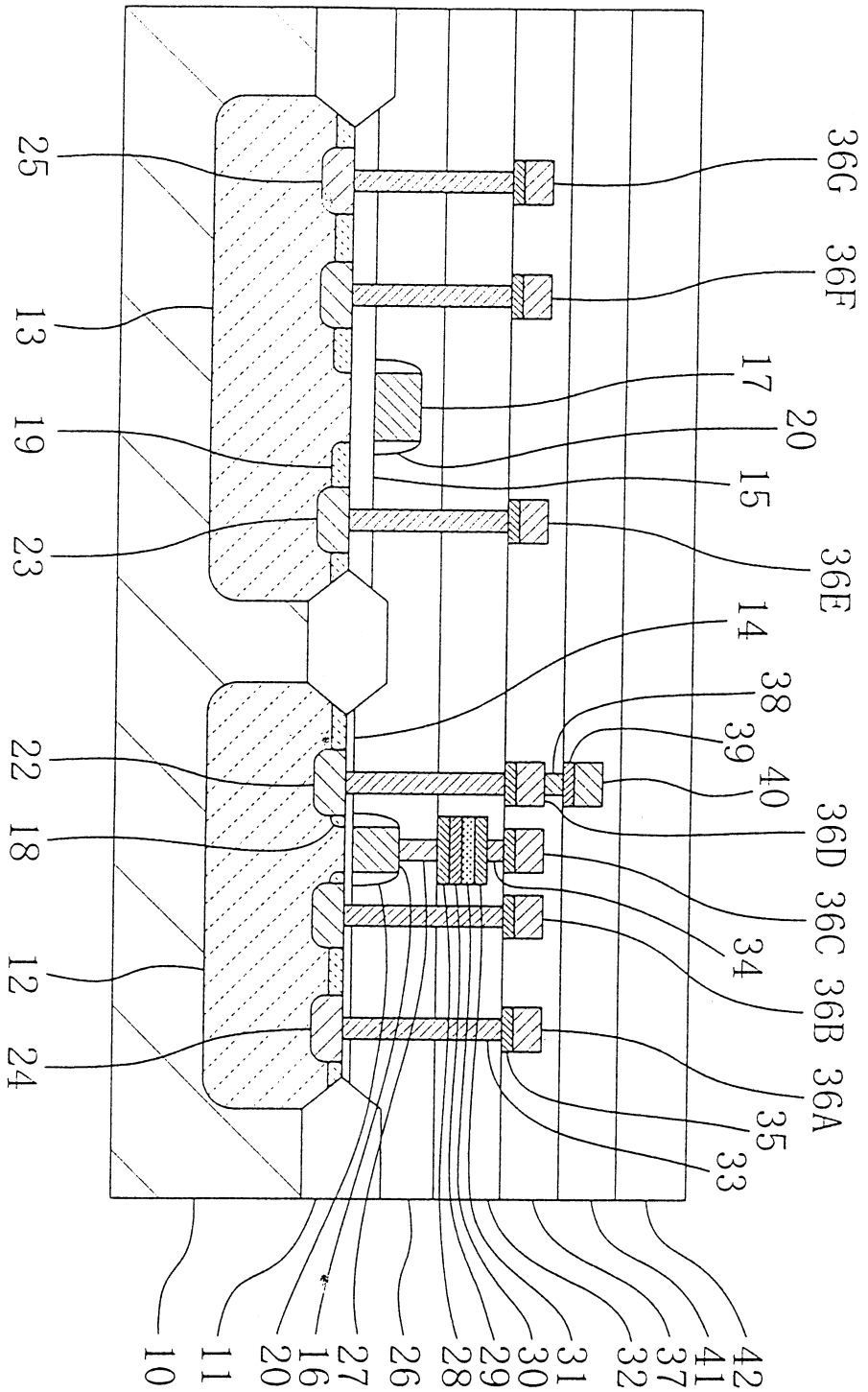

36G
36F
17
20
15
36E
14
38
39
40
36D
36C
34
36B
36A
35
33
25
13
19
23
22
18
12
24
10
11
20
16
27
26
28
29
30
31
32
37
41
42

圖 5

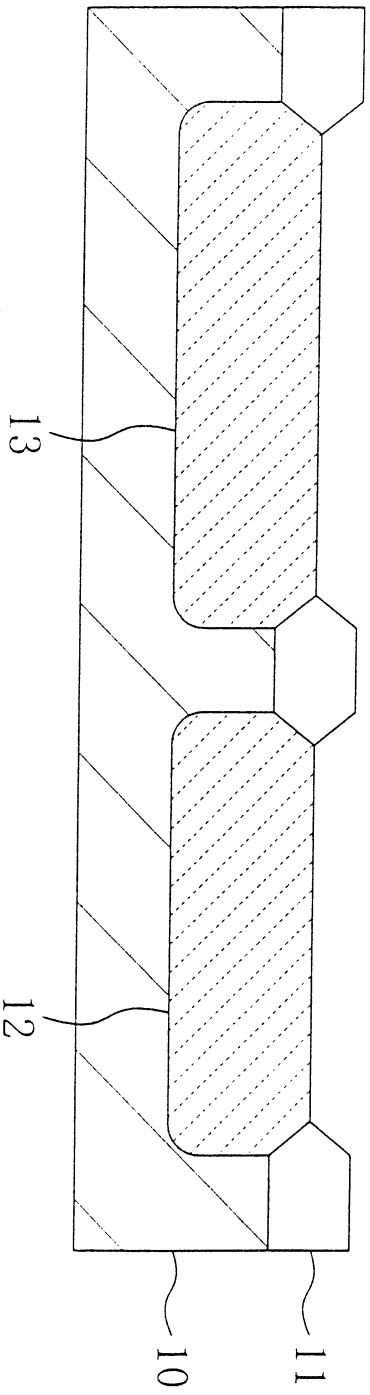


圖 6A

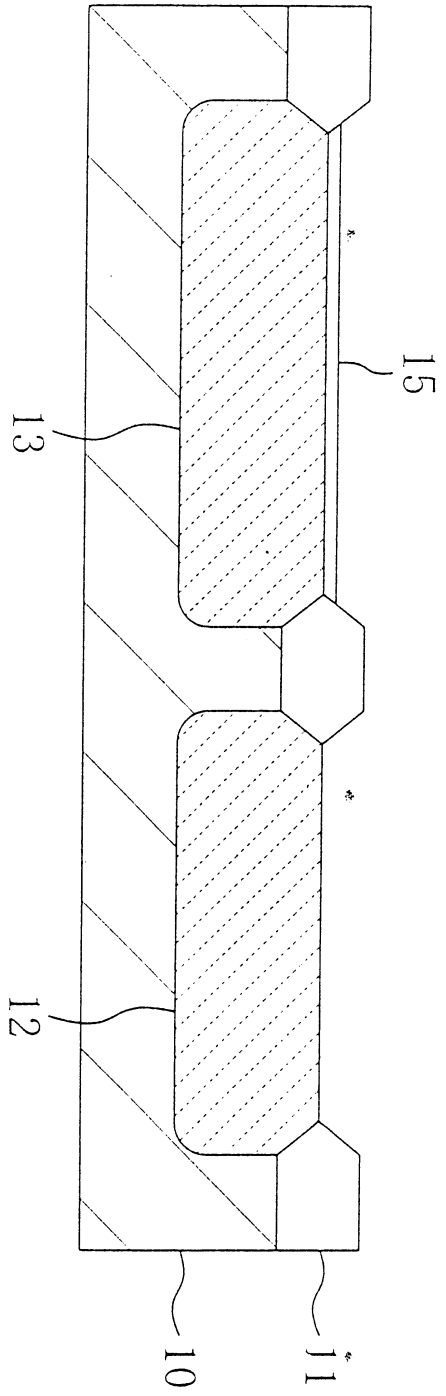


圖 6B

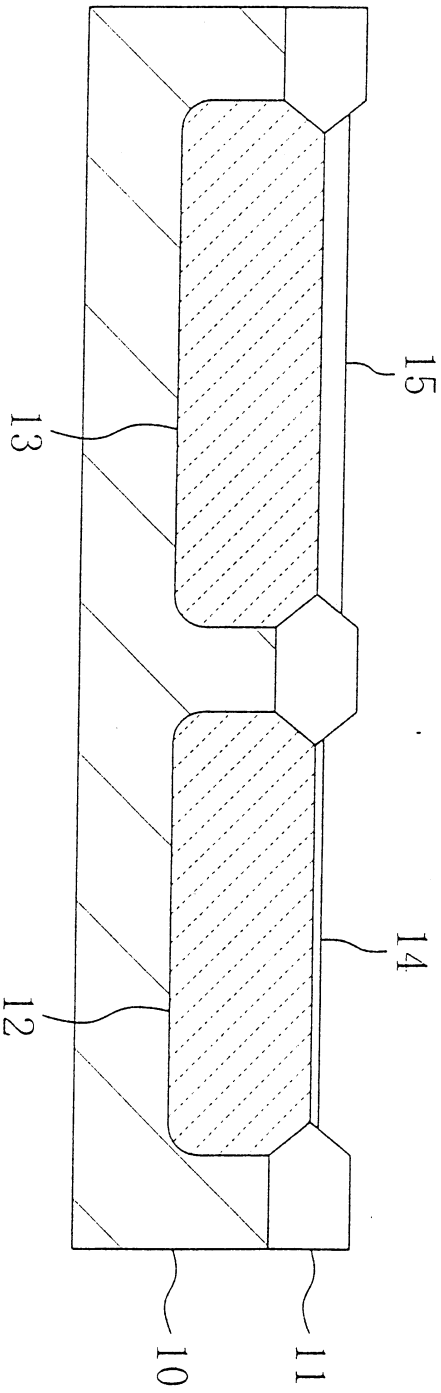


圖 7A

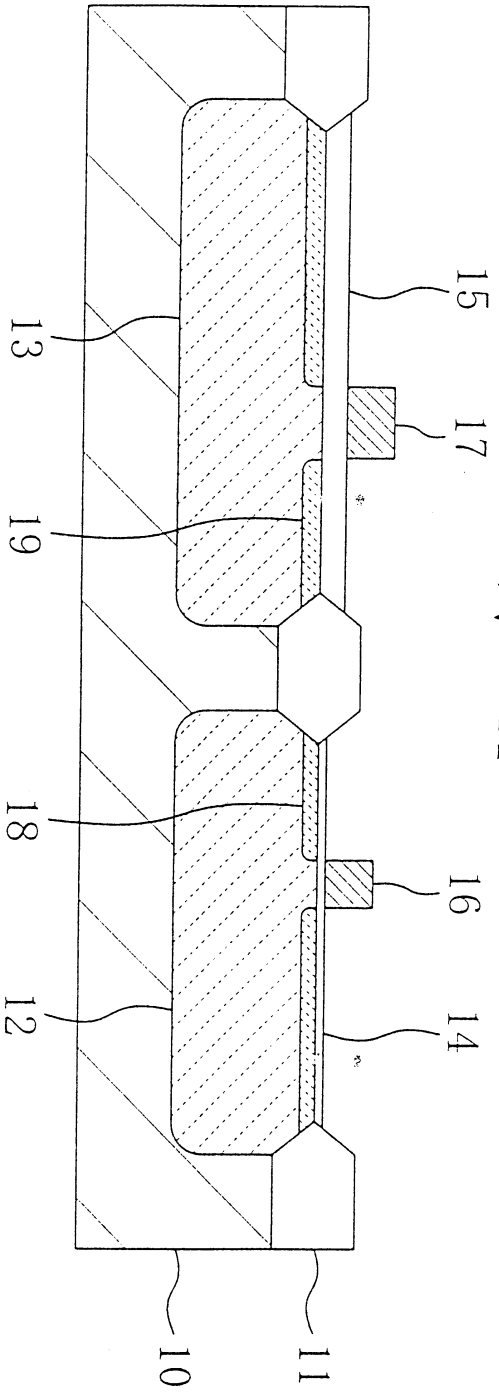


圖 7B

圖 8A

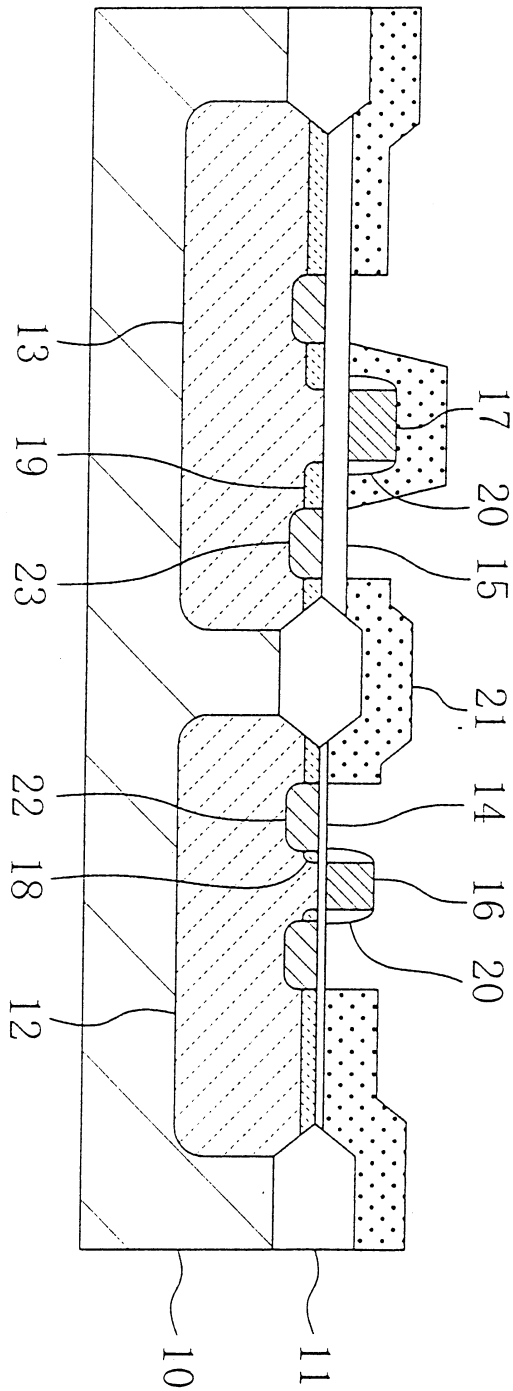
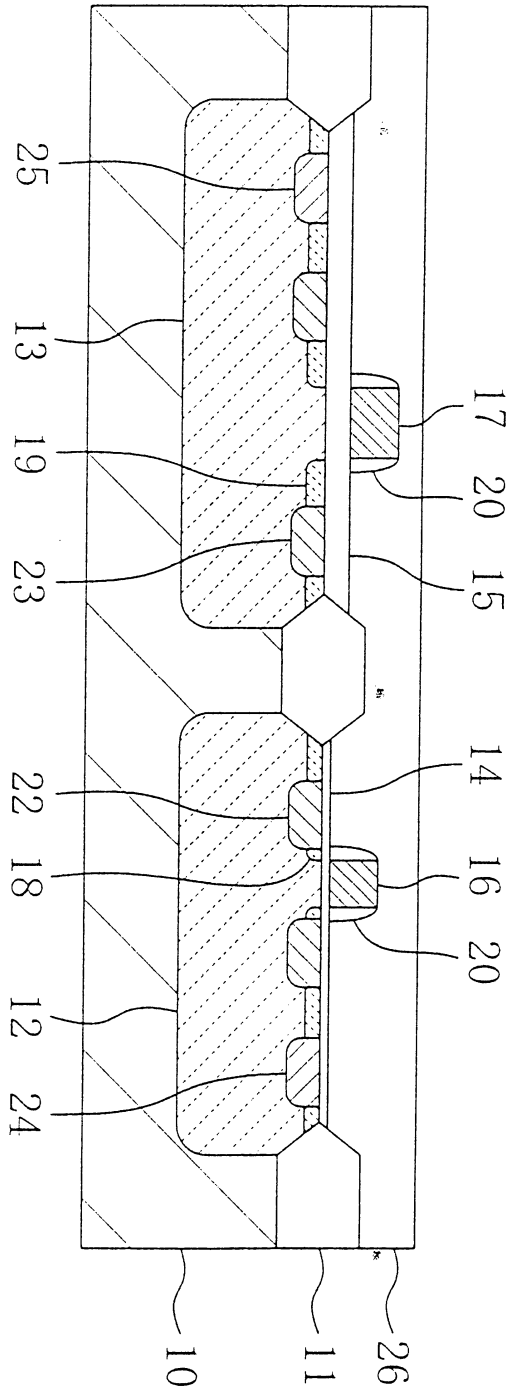

17
20
15
21
14
16
20
13
19
23
22
18
12
10
11

圖 8B


25
13
19
23
17
20
15
14
16
20
22
18
12
24
10
11
26

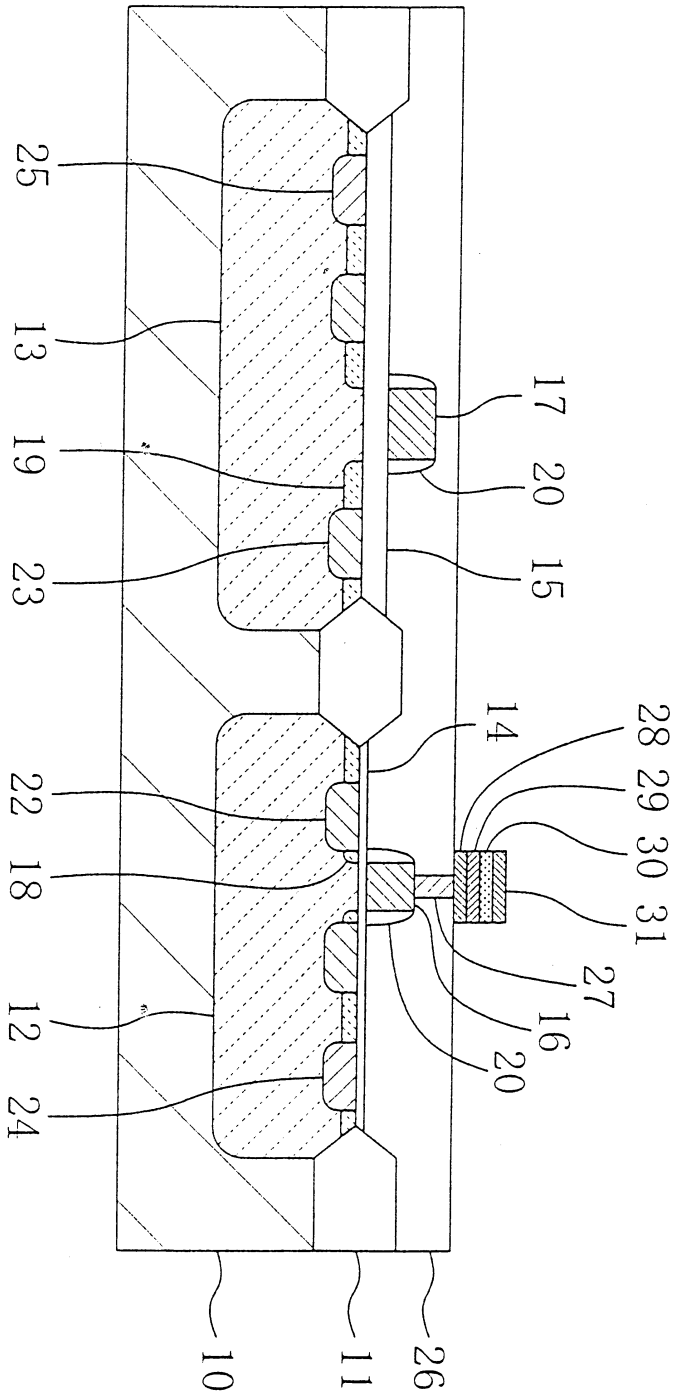


圖 9

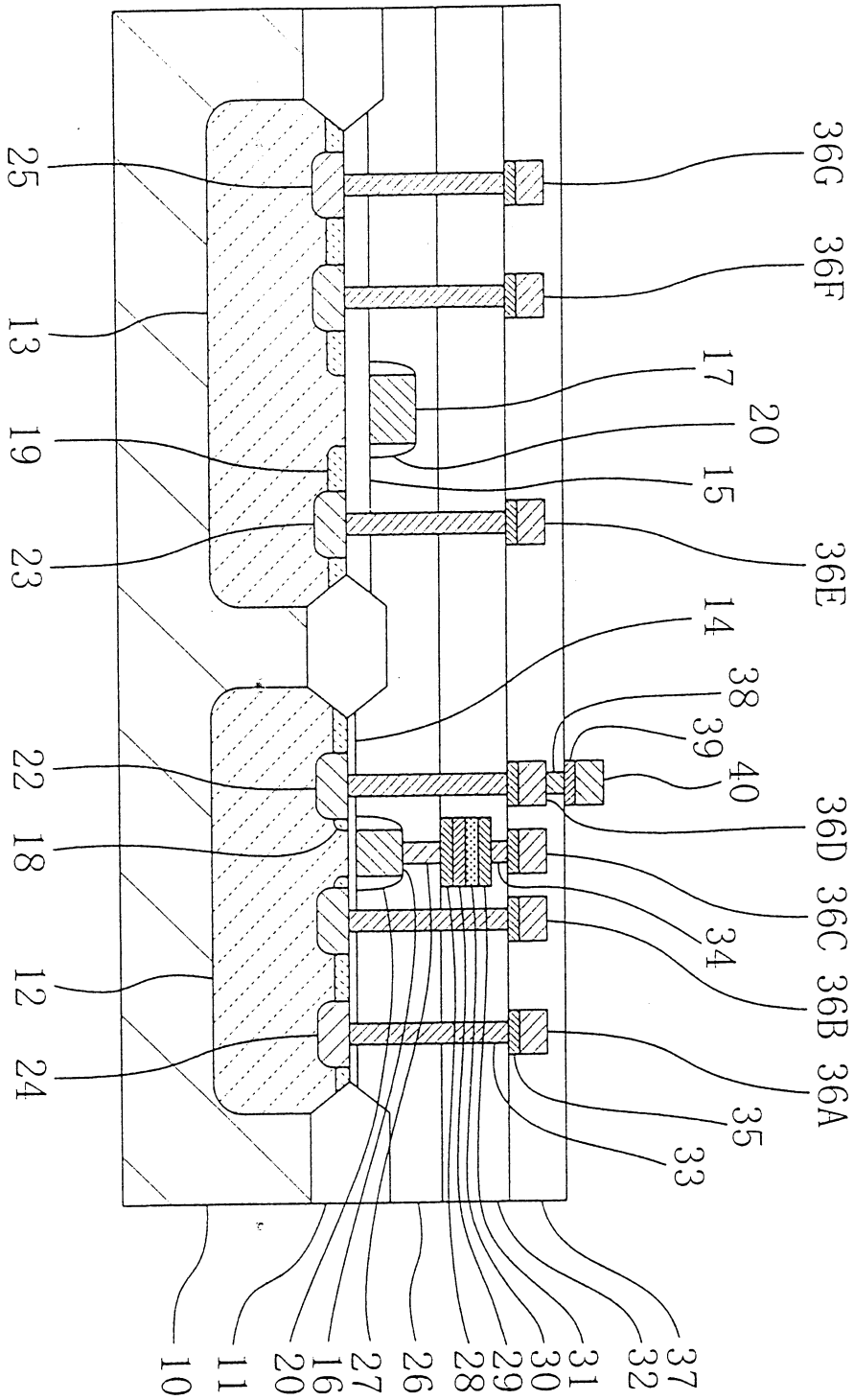

36G
36F
25
13
17
20
19
15
23
36E
14
38
39
40
22
36D
18
36C
34
12
36B
24
36A
35
33
10
11
20
16
27
26
28
29
30
31
32
37

圖 10

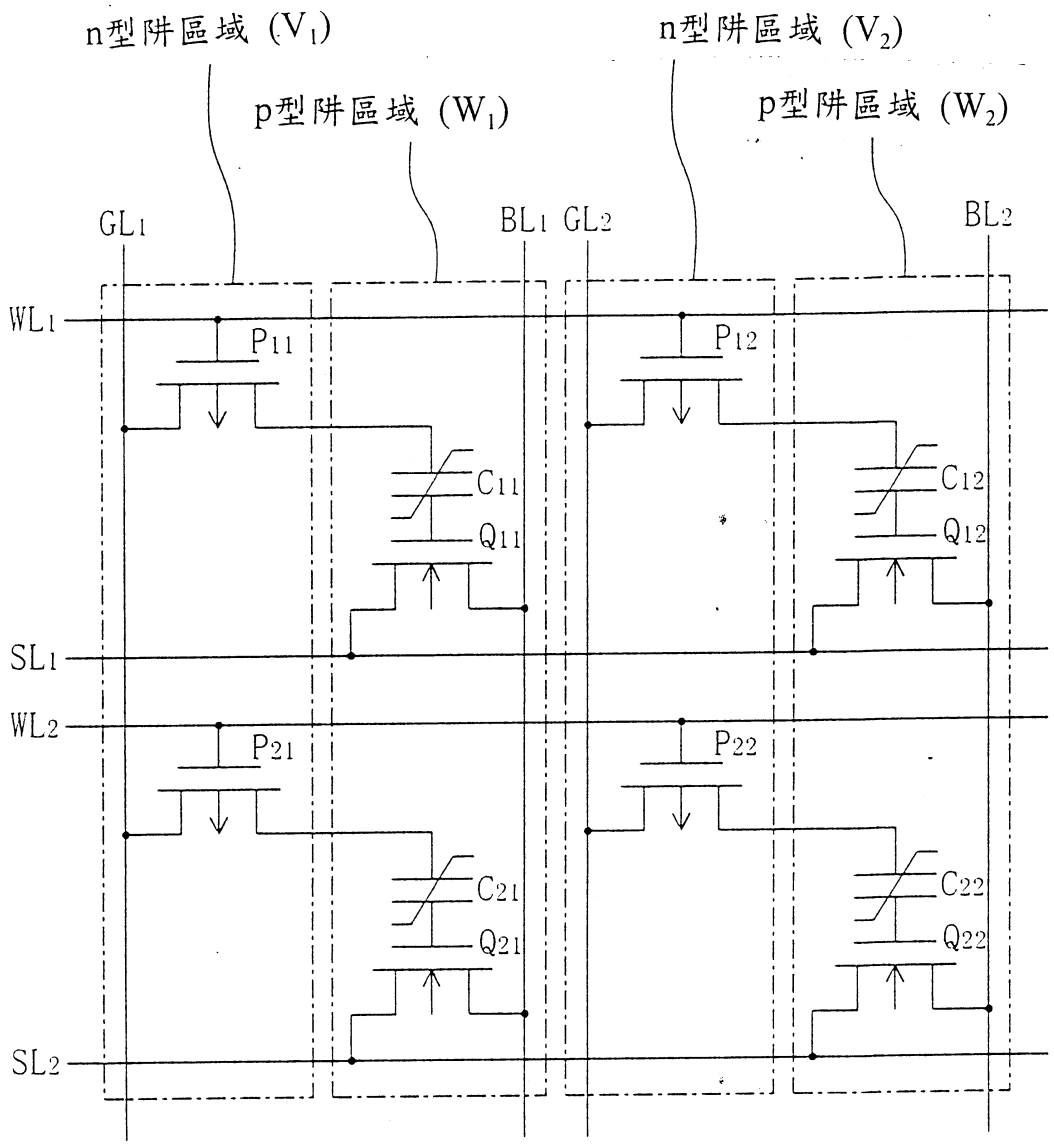

n型阱區域 (V_1)
n型阱區域 (V_2)
p型阱區域 (W_1)
p型阱區域 (W_2)
GL1
BL1
GL2
BL2
WL1
WL2
SL1
SL2
P11
P12
P21
P22
C11
C12
C21
C22
Q11
Q12
Q21
Q22

圖 11

	操作		信號
	寫入	讀取	
WL_1	$-V_p$	$-V_p$	交流
SL_1	0	0	交流
GL_1	$\pm V_p$	V_r	交流
BL_1	0	V_d	交流
V_1	V_p	V_p	直流
W_1	0	0	直流
WL_2	0	0	交流
SL_2	0	0	交流
GL_2	0	0	交流
BL_2	0	0	交流
V_2	V_p	V_p	直流
W_2	0	0	直流

圖 12

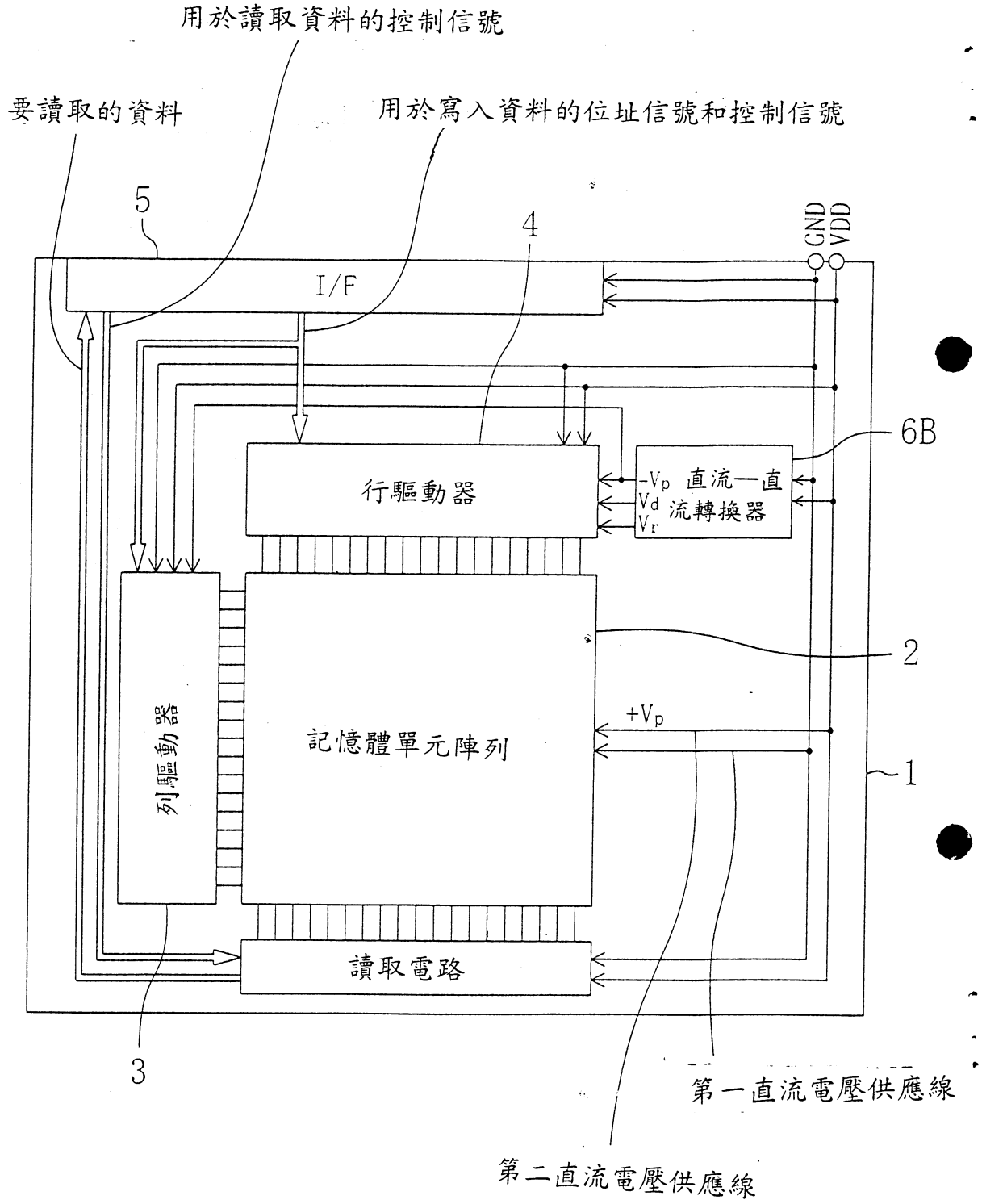

用於讀取資料的控制信號
要讀取的資料
用於寫入資料的位址信號和控制信號
5
4
GND
VDD
I/F
6B
行驅動器
-Vp 直流—直
Vd 流轉換器
Vr
2
列驅動器
記憶體單元陣列
+Vp
1
讀取電路
3
第一直流電壓供應線
第二直流電壓供應線

圖 13

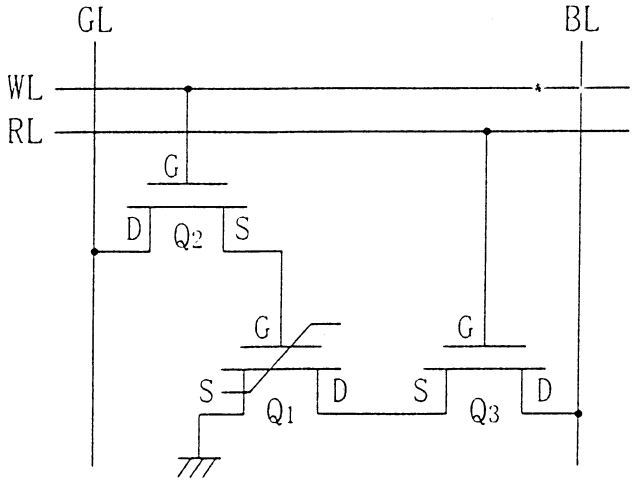


圖 14
以往技藝

	操作			信號
	抹除	寫入	讀取	
WL	V_G	V_G	0	交流
RL	0	0	V_G	交流
GL	0	V_p	0	交流
BL	0	0	V_d	交流
基材	$-V_{GE}$	0	0	直流

圖 15
以往技藝