

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-217558

(P2005-217558A)

(43) 公開日 平成17年8月11日(2005.8.11)

(51) Int. Cl.<sup>7</sup>

H03F 3/189

F I

H03F 3/189

テーマコード(参考)

5J500

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2004-19164(P2004-19164)  
 (22) 出願日 平成16年1月28日(2004.1.28)

(71) 出願人 503121103  
 株式会社ルネサステクノロジ  
 東京都千代田区丸の内二丁目4番1号  
 (71) 出願人 000233295  
 日立ハイブリッドネットワーク株式会社  
 神奈川県横浜市戸塚区戸塚町393番地  
 (74) 代理人 100085811  
 弁理士 大日方 富雄  
 (72) 発明者 関口 仁志  
 神奈川県横浜市戸塚区戸塚町393番地  
 日立ハイブリッドネットワーク株式会社内  
 (72) 発明者 松下 孔一  
 神奈川県横浜市戸塚区戸塚町393番地  
 日立ハイブリッドネットワーク株式会社内

最終頁に続く

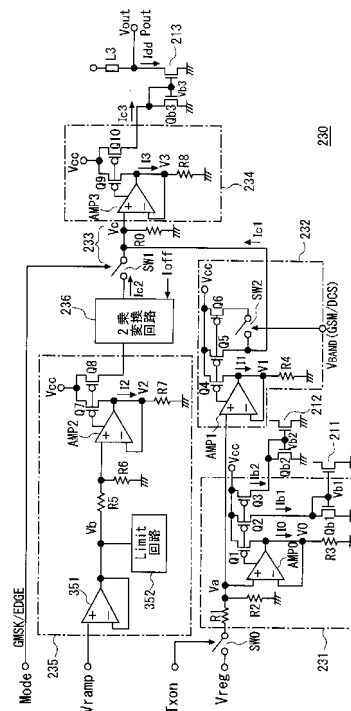
(54) 【発明の名称】 高周波電力増幅回路

(57) 【要約】

【課題】 増幅素子の制御端子に印加されるバイアス電圧を一定にして動作電圧を出力要求レベルに応じて制御して出力電力を制御する高周波電力増幅回路において、ロウパワー時における電力効率の低下を防止する。

【解決手段】 増幅素子(211~213)の制御端子に印加されるバイアス電圧を一定にして動作電圧を出力要求レベルに応じて制御して出力電力を制御する高周波電力増幅回路(210)において、増幅素子のバイアス電圧(Vb3)を出力要求レベル(Vramp)に応じて段階的に切り替えて特にロウパワー時のバイアス電圧をハイパワー時のバイアス電圧よりも低くするようにバイアス回路(230)を構成した。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

増幅素子の制御端子に印加されるバイアス電圧を一定にして動作電圧を出力要求レベルに応じて制御して出力電力を制御する高周波電力増幅回路であって、

前記バイアス電圧を生成するバイアス回路は、出力要求レベルに応じてバイアス電圧を段階的に切り替えてロウパワー時のバイアス電圧をハイパワー時のバイアス電圧よりも低くするように構成されていることを特徴とする高周波電力増幅回路。

**【請求項 2】**

前記高周波電力増幅回路は複数の増幅素子が多段接続されてなり、前記バイアス回路は、各増幅段の増幅素子の制御端子に所定のバイアスを与えるとともに、最終増幅段の増幅素子の制御端子に印加するバイアス電圧を出力要求レベルに応じて段階的に切り替えるように構成されていることを特徴とする請求項 1 に記載の高周波電力増幅回路。

10

**【請求項 3】**

前記バイアス回路は、所定の第 1 基準電流を生成する第 1 基準電流生成回路と、出力レベル指示信号に応じて該出力レベル指示信号が所定のレベル以上のときに所定の第 2 基準電流を出力する第 2 基準電流生成回路と、前記第 1 基準電流生成回路と前記第 2 基準電流生成回路により生成された電流を合成した電流を電圧に変換する電流 - 電圧変換回路とを備えることを特徴とする請求項 1 または 2 に記載の高周波電力増幅回路。

**【請求項 4】**

前記バイアス回路は、出力レベル指示信号に応じた大きさの第 2 基準電流を生成する第 2 基準電流生成回路と、該第 2 基準電流生成回路により生成された電流を 2 乗変換する 2 乗変換回路を備え、該 2 乗変換回路により変換された電流と前記第 1 基準電流生成回路により生成された電流を合成した電流を前記電流 - 電圧変換回路により電圧に変換することを特徴とする請求項 3 に記載の高周波電力増幅回路。

20

**【請求項 5】**

前記バイアス回路は、前記第 2 基準電流生成回路と前記電流 - 電圧変換回路との間に前記第 2 基準電流生成回路により生成された電流を遮断可能なスイッチ手段を備え、動作モードに応じて増幅素子の制御端子に印加するバイアス電圧を段階的に切替え可能に構成されていることを特徴とする請求項 3 または 4 に記載の高周波電力増幅回路。

**【発明の詳細な説明】**

30

**【技術分野】****【0001】**

本発明は、高周波信号を増幅して出力する高周波電力増幅回路さらには増幅用トランジスタの動作電圧（電源電圧）を出力要求レベルに応じて制御して出力電力を制御する高周波電力増幅回路に適用して有効な技術に関し、例えば携帯電話機に使用される高周波電力増幅回路およびそれを組み込んだ電子部品（パワーモジュール）に利用して有効な技術に関する。

**【背景技術】****【0002】**

一般に、携帯電話機等の無線通信装置（移動体通信装置）における送信側出力部には、変調後の送信信号を増幅する高周波電力増幅回路（パワーアンプ）が設けられている。従来の無線通信装置においては、ベースバンド回路もしくはマイクロプロセッサ等の制御回路からの送信要求レベルに応じて高周波電力増幅回路の増幅率を制御するため、高周波電力増幅回路もしくはアンテナの出力電力を検出して検出信号とベースバンド回路等からの送信要求レベルに基づいて送信出力の制御信号を生成する A P C（Automatic Power Control）回路と呼ばれる回路から出力される制御電圧によって通話に必要な出力電力となるように、高周波電力増幅回路のバイアス電圧を制御する構成が採用されている（例えば、特許文献 1 参照）。

40

**【0003】**

ところで、従来、携帯電話機における通信方式の一つに G S M（Global System for Mo

50

bile Communication) と呼ばれる方式がある。この G S M 方式は、変調方式に搬送波の位相を送信データに応じてシフトする G M S K ( Gaussian Minimum Shift Keying ) と呼ばれる位相変調方式が用いられている。G S M 方式の通信システムでは位相変調された信号を要求出力レベルに応じて増幅して出力すれば良い。そこで、この G S M 方式の携帯電話機においては、一般に、入力信号の振幅を固定してバイアス回路で高周波電力増幅回路の各増幅素子のアイドル電流を要求出力レベルに応じて制御して出力電力をフィードバック制御することが行なわれている。このような制御方式は一般にクローズドループ方式と呼ばれている。

#### 【 0 0 0 4 】

しかしながら、上記クローズドループ方式による出力電力の制御方式は、A P C 回路を設ける必要があるため、その分回路規模が大きくなり実装密度を低下させるという問題点がある。そこで、出力レベルを指示する信号に基づいて該信号に比例して出力レベルが変化するように増幅素子 ( パワー F E T ) の動作電圧 ( 電源電圧 ) を制御することによってパワー F E T をリニア動作させ、高周波電力増幅回路の出力のリニアリティを保證するようにした方式がある ( 例えば、特許文献 2 参照 )。この方式は、オープンループ方式と呼ばれ、クローズドループ方式に比べて回路規模を小さくできるという利点がある。

10

【特許文献 1】特開 2 0 0 0 - 1 5 1 3 1 0 号公報

【特許文献 2】特開 2 0 0 3 - 1 8 9 6 0 3 号公報

【発明の開示】

【発明が解決しようとする課題】

20

#### 【 0 0 0 5 】

従来のオープンループ方式の高周波電力増幅回路のバイアス制御においては、増幅素子の制御端子 ( ゲート端子もしくはベース端子 ) に印加されるバイアス電圧は、バイアス回路によってハイパワーのときもロウパワーのときも一定になるようにされている。また、バイアス回路は、所定の大きさ電流を生成する電流生成回路と生成された電流を電圧に変換する回路などからなり、最終的には抵抗分割あるいはカレントミラーで増幅素子の制御端子に印加されるバイアス電圧が生成されている。

#### 【 0 0 0 6 】

ところが、従来のオープンループ方式の高周波電力増幅回路のバイアス制御においては、増幅素子の制御端子に印加されるバイアス電圧が一定であったため、最大出力パワー要求を満たすためにはバイアス電圧を高くしなければならないが、そのようにするとロウパワー時に増幅素子に流れるアイドル電流が多くなってしまい、電力効率が低下するという課題があることが明らかとなった。

30

#### 【 0 0 0 7 】

この発明の目的は、増幅素子の制御端子に印加されるバイアス電圧を一定にして動作電圧 ( 電源電圧 ) を出力要求レベルに応じて制御して出力電力を制御する高周波電力増幅回路において、ロウパワー時における電力効率を向上させることができ、それによって消費電力を低減させることができるバイアス制御技術を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

40

【課題を解決するための手段】

#### 【 0 0 0 8 】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、増幅素子の制御端子に印加されるバイアス電圧を一定にして動作電圧を出力要求レベルに応じて制御して出力電力を制御する高周波電力増幅回路において、バイアス電圧を出力要求レベルに応じて段階的に切り替えて特にロウパワー時のバイアス電圧をハイパワー時のバイアス電圧よりも低くするようにバイアス回路を構成した。ここで、前記バイアス電圧が切り替えられる増幅素子は、高周波電力増幅回路が複数の増幅素子が縦続接続された多段構成を有する場合には最終段の増幅素子とする。

50

## 【0009】

増幅素子の制御端子に印加されるバイアス電圧を切替え可能なバイアス回路は、例えば所定の電流を流す第1電流源と、出力レベルを指示する信号が所定のレベル以上のときに電流を流す第2電流源と、上記第1電流源と第2電流源からの電流を重畳した電流を電圧に変換する電流-電圧変換回路とから構成することができる。

## 【0010】

上記した手段によれば、増幅素子の制御端子に印加されるバイアス電圧がロウパワー時にはハイパワー時よりも低い電圧に切り替えられるため、ハイパワー時における最大出力パワー要求を満たすことができるとともに、ロウパワー時には増幅素子に流れるアイドル電流を抑えることができ、それによって電力効率を向上させることができるようになる。

10

## 【発明の効果】

## 【0011】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、増幅素子の制御端子に印加されるバイアス電圧を一定にして動作電圧を出力要求レベルに応じて制御して出力電力を制御する高周波電力増幅回路において、ロウパワー時における電力効率を向上させることができ、それによって消費電力を低減させることができ、電池で動作する携帯電話機においては最大通話時間や最大待ち受け可能時間を増大させることができるという効果がある。

## 【発明を実施するための最良の形態】

20

## 【0012】

以下、本発明の好適な実施例を図面に基づいて説明する。

図1は、本発明を適用した高周波電力増幅器(パワーモジュール)の実施例を示したものである。本明細書においては、表面や内部にプリント配線が施されたセラミック基板のような絶縁基板に複数の半導体チップとディスクリット部品が実装されて上記プリント配線やボンディングワイヤで各部品が所定の役割を果たすように結合されることであたかも一つの電子部品として扱えるように構成されたものをモジュールと称する。

## 【0013】

この実施例のパワーモジュールは、入力高周波信号RF<sub>in</sub>を増幅する電力増幅用FET(電界効果トランジスタ)を含む高周波電力増幅部210aと、該高周波電力増幅部210aの各段の電力増幅用FETのゲート端子にバイアス電圧を与えて各FETに流すアイドル電流を設定するバイアス回路230と、バッテリー電圧V<sub>batt</sub>に基づいて外部のベースバンド部から供給される出力レベル指示信号V<sub>ramp</sub>に応じた直流電圧を生成し前記高周波電力増幅部210aへ動作電圧ないしは電源電圧V<sub>dd</sub>として与えるDC-DCコンバータなどからなる電源制御回路250とからなる。

30

## 【0014】

図1には詳しい構成は示されていないが、高周波電力増幅部210aと同様な構成を有するもう一つの高周波電力増幅部210bが設けられており、高周波電力増幅部210aは880~915MHz帯の周波数を使用するGSM方式の送信信号を増幅し、高周波電力増幅部210bは1710~1785MHz帯の周波数を使用するDCS方式の送信信号を増幅するようにされる。この実施例では、上記バイアス回路230および電源制御回路250は、高周波電力増幅部210aと高周波電力増幅部210bに共通の回路として設けられている。

40

## 【0015】

特に制限されるものでないが、この実施例の高周波電力増幅部210aは、3個の電力増幅用FET211、212、213を備え、このうち後段のFET212、213はそれぞれ前段のFET211、212のドレイン端子にゲート端子が接続され、全体で3段の増幅回路として構成されている。また、各段のFET211、212、213のゲート端子には、バイアス回路230から供給されるゲートバイアス電圧V<sub>b1</sub>、V<sub>b2</sub>、V<sub>b3</sub>が印加され、これらの電圧に応じたアイドル電流が各FET211、212、213にそれぞれ

50

れ流されるようにされている。

【0016】

各段のFET211, 212, 213のドレイン端子にはそれぞれインダクタL1, L2, L3を介して電源制御回路250からの電源電圧V<sub>dd</sub>が印加されている。初段のFET211のゲート端子と入力端子I<sub>n</sub>との間には、インピーダンス整合回路241および直流カットの容量素子C1が設けられ、これらの回路及び素子を介して高周波信号P<sub>in</sub>がFET211のゲート端子に入力される。

【0017】

初段のFET211のドレイン端子と2段目のFET212のゲート端子との間には、インピーダンス整合回路242および直流カットの容量素子C2が接続されている。また、2段目のFET212のドレイン端子と最終段のFET213のゲート端子との間には、インピーダンス整合回路243および直流カットの容量素子C3が接続されている。そして、最終段のFET213のドレイン端子がインピーダンス整合回路244および容量素子C4を介して出力端子OUTに接続されており、高周波入力信号P<sub>in</sub>の直流成分をカットし交流成分を増幅した信号P<sub>out</sub>を出力する。本実施例においては、電力増幅用FET211~213として、MOSトランジスタが用いられている。

10

【0018】

電源制御回路250はDC-DCコンバータなどからなり、本実施例では図3に示すように、出力レベル指示信号V<sub>ramp</sub>の0.1V~1.8Vの範囲でV<sub>ramp</sub>に比例して0Vから3.4Vまで変化する直流電圧を生成し出力するように構成される。DC-DCコンバータの回路形式としては種々のものが考えられるので、本実施例では具体的な回路の開示は省略する。電源制御回路250を構成する各素子(整流用のインダクタや平滑コンデンサを除く)は、高周波電力増幅部210a, 210bの各素子(インダクタL1~L3を除く)やバイアス回路230を構成する素子とともに1個の半導体チップ上に半導体集積回路として構成することができる。

20

【0019】

そして、この実施例では、この半導体集積回路と、電力増幅部210a, 210bのインダクタL1~L3と、インピーダンス整合回路241~244と、直流カット用の容量素子C4とが、1つのセラミック基板上に実装されてパワーモジュールとして構成されている。インダクタL1~L3は、半導体チップのパッド間に接続されたボンディングワイヤあるいはモジュール基板上に形成されたマイクロストリップラインなどにより形成することができる。

30

【0020】

図2は、バイアス回路230の具体的な回路例を示す。

この実施例のバイアス回路230は、ベースバンド部などから供給される定電圧V<sub>reg</sub>に基づいて1段目と2段目の増幅段に供給するバイアス電流を生成する第1バイアス電流生成部231と、定電圧V<sub>reg</sub>に基づいて基準となる電流を生成する第1基準電流生成部232と、該第1基準電流生成部232により生成された基準電流I<sub>c1</sub>を電圧に変換する電流-電圧変換部233と、変換された電圧に応じて3段目の増幅段に供給するバイアス電流を生成する第2バイアス電流生成部234とを備える。さらに、この実施例のバイアス回路230は、ベースバンド部などから供給される出力レベル指示信号V<sub>ramp</sub>に基づいて基準となる電流を生成する第2基準電流生成部235と、生成された基準電流を2乗変換する2乗変換回路236と、前記第1基準電流生成部232により生成された基準電流I<sub>c1</sub>に該2乗変換回路236により生成された電流I<sub>c2</sub>を加算して前記電流-電圧変換部233の抵抗R<sub>0</sub>に流したり遮断したりするオン/オフ・スイッチSW1を備える。

40

【0021】

このスイッチSW1は、ベースバンド部から供給されるGMSKモードかEDGE(Enhanced Data Rates for GSM Evolution)モードかを示す制御信号Modeによって、GMSKモードの際にオン状態にされ、EDGEモードの際にはオフ状態にされる。EDGEモードは、データ通信を8-PSK(Phase Shift Keying)変調で行なうモードであり

50

、1シンボル当たり1ビットの情報を送るGMSK変調に対し、8-PSK変調では1シンボル当たり3ビットの情報を送ることができるため、高い伝送レートによる通信を行なうことができる。

#### 【0022】

第1バイアス電流生成部231は、定電圧 $V_{reg}$ を抵抗 $R_1$ 、 $R_2$ で抵抗分割した電圧 $V_a$ が非反転入力端子に印加された差動アンプAMP0と、電源電圧 $V_{cc}$ と接地点との間に直列に接続されたMOSトランジスタ $Q_1$ および抵抗 $R_3$ と、MOSトランジスタ $Q_1$ と同一のゲート電圧をゲートに受けて $Q_1$ のドレイン電流に比例した電流を流すMOSトランジスタ $Q_2$ 、 $Q_3$ とからなる。なお、トランジスタ $Q_1$ と抵抗 $R_3$ は、差動アンプAMP0の出力段とみなすことができる。この実施例の第1バイアス電流生成部231は、トランジスタ $Q_1$ と抵抗 $R_3$ との接続ノードの電位 $V_0$ が差動アンプAMP0の反転入力端子にフィードバックされることにより、 $V_0$ を差動アンプAMP0の入力電圧 $V_a$ に一致させるような電流 $I_0$ がMOSトランジスタ $Q_1$ に流される。

10

#### 【0023】

これにより、このトランジスタ $Q_1$ に流れる電流 $I_0$ はベースバンド部から供給される定電圧 $V_{reg}$ に比例した電流（傾きは抵抗 $R_1$ 、 $R_2$ の比で決まる）となる。そして、トランジスタ $Q_1$ と $Q_2$ 、 $Q_3$ のゲート幅が所定のサイズ比となるように形成されることにより、 $Q_2$ 、 $Q_3$ には $Q_1$ の電流に比例した電流 $I_{b1}$ 、 $I_{b2}$ が流され、これが高周波電力増幅部210a、210bの1段目と2段目の増幅用FET211、212とカレントミラー回路を構成するように接続がなされたバイアス用トランジスタ $Q_{b1}$ 、 $Q_{b2}$ に供給され、ドレインに発生した電圧がバイアス電圧 $V_{b1}$ 、 $V_{b2}$ として増幅用FET211、212のゲート端子に印加される。そのため、増幅用FET211、212には、ベースバンド部から供給される定電圧 $V_{reg}$ に応じた所定のアイドル電流が流されるようになる。

20

#### 【0024】

第1基準電流生成部232は、ベースバンド部から供給される定電圧 $V_{reg}$ を前記抵抗 $R_1$ 、 $R_2$ で抵抗分割した電圧 $V_a$ が非反転入力端子に印加された差動アンプAMP1と、電源電圧 $V_{cc}$ と接地点との間に直列に接続されたMOSトランジスタ $Q_4$ および抵抗 $R_4$ と、MOSトランジスタ $Q_4$ と同一のゲート電圧をゲートに受けて $Q_4$ のドレイン電流に比例した電流を流すMOSトランジスタ $Q_5$ 、 $Q_6$ と、 $Q_5$ 、 $Q_6$ のドレイン端子間に設けられたオン/オフ・スイッチSW2とからなる。なお、トランジスタ $Q_4$ と抵抗 $R_4$ は、差動アンプAMP1の出力段とみなすことができる。

30

#### 【0025】

この実施例の基準電流生成部232は、トランジスタ $Q_4$ と抵抗 $R_4$ との接続ノードの電位 $V_1$ が差動アンプAMP1の反転入力端子にフィードバックされることにより、 $V_1$ を差動アンプAMP1の入力電圧 $V_a$ に一致させるような電流 $I_1$ がMOSトランジスタ $Q_1$ に流される。オン/オフ・スイッチSW2は、ベースバンド部から供給される送信信号がGSMの信号かDCSの信号かを示すバンド制御信号VBANDによって制御されるスイッチで、DCSのときにオン状態にされて、 $Q_5$ と $Q_6$ のドレイン電流を合成した電流 $I_{c1}$ を電流-電圧変換部233の抵抗 $R_0$ に流すように制御される。これにより、図4(A)のように、DCSのときにはGSMのときよりも大きな電流 $I_{c1}$ が電流-電圧変換部233の抵抗 $R_0$ に流されるようになる。これに応じて3段目の増幅用FET213のゲート端子にはDCSのときにはGSMのときよりも高いバイアス電圧が印加されるようになる。

40

#### 【0026】

第2バイアス電流生成部234は、電流-電圧変換部233の抵抗 $R_0$ により変換された電圧 $V_c$ が非反転入力端子に印加された差動アンプAMP3と、電源電圧 $V_{cc}$ と接地点との間に直列に接続されたMOSトランジスタ $Q_9$ および抵抗 $R_8$ と、MOSトランジスタ $Q_9$ と同一のゲート電圧をゲートに受けて $Q_9$ のドレイン電流に比例した電流を流すMOSトランジスタ $Q_{10}$ とからなる。なお、トランジスタ $Q_9$ と抵抗 $R_8$ は、差動アンプAMP3の出力段とみなすことができる。

50

## 【0027】

この実施例の第2バイアス電流生成部234は、トランジスタQ9と抵抗R8との接続ノードの電位V3が差動アンプAMP3の反転入力端子にフィードバックされることにより、V3を差動アンプAMP3の入力電圧Vcに一致させるような電流I3がMOSトランジスタQ9に流される。そして、この電流I3に比例した電流Ib3がMOSトランジスタQ10に流され、これが3段目の増幅用FET213とカレントミラー回路を構成するように接続がなされたバイアス用トランジスタQb3に供給され、そのドレインに発生した電圧がバイアス電圧Vb3として増幅用FET213のゲート端子に印加される。

## 【0028】

第2基準電流生成部235は、ベースバンド部から供給される出力レベル指示信号Vram<sub>mp</sub>をインピーダンス変換するボルテージフォロワ351と、変換された電圧を抵抗R5、R6で抵抗分割した電圧Vbが非反転入力端子に印加された差動アンプAMP2と、該差動アンプAMP2の入力電圧Vbの上限を制限するリミッタ352と、電源電圧Vccと接地点との間に直列に接続されたMOSトランジスタQ7および抵抗R7と、MOSトランジスタQ7と同一のゲート電圧をゲートに受けてQ7のドレイン電流に比例した電流を流すMOSトランジスタQ8とからなる。なお、トランジスタQ7と抵抗R7は、差動アンプAMP2の出力段とみなすことができる。

## 【0029】

この実施例の基準電流生成部235は、トランジスタQ7と抵抗R7との接続ノードの電位V2が差動アンプAMP2の反転入力端子にフィードバックされることにより、V2を差動アンプAMP1の入力電圧Vbに一致させるような電流I2がMOSトランジスタQ7に流される。これによって、トランジスタQ7とQ8に流れる電流は、出力レベル指示信号V<sub>ramp</sub>に比例した電流となる。そして、この実施例では、Q8に流れる電流が2乗変換回路236で2乗変換される。

## 【0030】

さらに、2乗変換回路236には、オフセット電流I<sub>off</sub>が与えられており、2乗変換回路236から出力される電流I<sub>c2</sub>は、図4(B)に示すように、出力レベル指示信号V<sub>ramp</sub>が所定の電圧V<sub>off</sub>よりも高くされたときに指数関数的に増加する電流となる。2乗変換回路236を設けているのは、MOSFETの特性から増幅用トランジスタ213のドレイン電流I<sub>dd</sub>はゲート電圧V<sub>b3</sub>の2乗に比例するので、2乗変換された電流をバイアス用トランジスタQ<sub>b3</sub>に流すことで、出力レベル指示信号V<sub>ramp</sub>とゲート電圧V<sub>b3</sub>とが比例関係になるためである。

## 【0031】

なお、2乗変換回路236から出力される電流I<sub>c2</sub>が、図4(B)に示すように、ある電流値以上では一定になるのは、差動アンプAMP2の入力端子にリミッタ352が接続され、入力信号を制限しているためである。スイッチSW1がオンされていると、この電流I<sub>c2</sub>が第1基準電流生成部232からの電流I<sub>c1</sub>に重畳されて電流-電圧変換部233の抵抗R0に流され、電圧に変換される。これにより、増幅用FET213のゲートバイアス電圧V<sub>b3</sub>は、図5に示すように、従来は出力レベル指示信号V<sub>ramp</sub>にかかわらず一定であったものが、1.6Vのような所定のレベルまでは従来よりも低い一定電圧とされ、1.6Vを超えると急に上昇し、さらに所定のレベルを超えると従来よりも高い一定の電圧となるように制御される。

## 【0032】

その結果、本実施例のバイアス回路230を適用した高周波電力増幅回路においては、図6に示すように、ハイパワーの領域において増幅用FET213に流れるアイドル電流I<sub>dd</sub>は従来とほぼ同じで、ロウパワーの領域において増幅用FET213に流れるアイドル電流I<sub>dd</sub>を少なくすることができる。

## 【0033】

さらに、図7には、本実施例のバイアス回路230を適用した場合と、ゲートバイアスを一定にして電源電圧V<sub>dd</sub>を出力レベル指示信号V<sub>ramp</sub>に応じて制御した場合におけるG

10

20

30

40

50

M S K 変調モードでの出力レベル指示信号  $V_{ramp}$  と出力電圧  $V_{out}$  との関係を示す。また図 8 には、本実施例のバイアス回路 230 を適用した場合と、ゲートバイアスを一定にして電源電圧  $V_{dd}$  を出力レベル指示信号  $V_{ramp}$  に応じて制御した場合における G M S K 変調モードでの出力レベル指示信号  $V_{ramp}$  と出力電力  $P_{out}$  との関係を示す。図 7 および図 8 より、本実施例のバイアス回路 230 を適用することで、ロウパワーの領域における電力効率が向上することが分かる。

#### 【0034】

なお、上記実施例では、第 1 バイアス電流生成部 231 および第 2 バイアス電流生成部 234 で生成した電流  $I_{b1}$ ,  $I_{b2}$ ,  $I_{b3}$  を、増幅用 M O S トランジスタ 211 ~ 213 とカレントミラー接続された M O S トランジスタ  $Q_{b1}$  ~  $Q_{b3}$  に流してバイアス電圧を与えるようにした場合を説明したが、第 1 バイアス電流生成部 231 および第 2 バイアス電流生成部 234 で生成した電流を電圧に変換しかつ適当な抵抗比で分圧する抵抗分圧回路を設け、該分圧回路で分圧された電圧を増幅用 M O S トランジスタ 211 ~ 213 のゲート端子にバイアス電圧として印加する抵抗分圧方式のバイアス回路に対しても本発明を適用することができる。

10

#### 【0035】

また、2乗変換回路 236 の後段のスイッチ  $S_{W1}$  は、ベースバンド部から供給される G M S K モードか E D G E モードかを示す制御信号  $Mode$  によって、G M S K モードの際にオン状態にされ、E D G E モードの際にはオフ状態にされるので、E D G E モードの際には、図 6 の一点鎖線で示すような一定のバイアス電圧が増幅用 F E T 213 のゲート端子に与えられる。E D G E モードは G M S K モードに比べて最大要求出力パワーが低いので、ベースバンド部から供給する定電圧  $V_{reg}$  を G M S K モードの際よりも低く設定することができる。それによってロウパワーの領域における電力効率が向上させることができる。

20

#### 【0036】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば前記実施例の高周波電力増幅回路では、バイアス回路 230 が出力レベル指示信号に応じた第 2 基準電流を生成する第 2 基準電流生成回路と、該第 2 基準電流生成回路により生成された第 2 基準電流を 2 乗変換する 2 乗変換回路とを備えるようにしているが、第 2 基準電流生成回路 235 を、出力レベル指示信号  $V_{ramp}$  が所定のレベル以上のときに所定の第 2 基準電流を出力するように構成し、2乗変換回路 236 を省略するようにしても良い。この場合、第 1 基準電流と第 2 基準電流を合成した電流は階段状に急変化することとなるが、実施例に比べて回路を簡略化することができる。

30

#### 【0037】

また、前記実施例の高周波電力増幅回路では、電力増幅素子を 3 段接続しているが、2 段構成としたり、4 段以上の構成としても良い。また、実施例では、電力増幅素子 211 ~ 213 として、M O S トランジスタが使用されているが、バイポーラ・トランジスタ、G a A s M E S F E T、ヘテロ接合バイポーラ・トランジスタ ( H B T )、H E M T ( High Electron Mobility Transistor ) 等他のトランジスタを用いても良い。

40

#### 【産業上の利用可能性】

#### 【0038】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である G S M と D C S の 2 つの通信方式による送受信が可能なデュアルモードの無線通信システムを構成するパワーモジュールに適用した場合を説明したが、本発明はそれに限定されるものでなく、他の通信方式や、G S M と D C S のいずれか一方、あるいは G S M と D C S と P C S ( Personal Communications System ) など 3 以上の通信方式による送受信が可能なマルチモードの携帯電話機や移動電話機などの無線通信システムを構成するパワーモジュールあるいは無線 L A N 用の高周波電力増幅回路およびパワーモジュールに利用することができる。

50



## 【図面の簡単な説明】

【0039】

【図1】本発明に係る高周波電力増幅器（パワーモジュール）の実施例を示す回路構成図である。

【図2】バイアス回路の具体的な回路例を示す回路構成図である。

【図3】出力レベル指示信号  $V_{ramp}$  と電源制御回路により生成される電源電圧  $V_{dd}$  との関係を示すグラフである。

【図4】（A）は出力レベル指示信号  $V_{ramp}$  とバイアス回路内において生成される電流  $I_{c1}$  との関係を示すグラフ、（B）は出力レベル指示信号  $V_{ramp}$  とバイアス回路内において生成される電流  $I_{c2}$  との関係を示すグラフである。

10

【図5】実施例のバイアス回路を適用した高周波電力増幅回路と適用しない高周波電力増幅回路における出力レベル指示信号  $V_{ramp}$  と最終段の増幅用 FET のゲートバイアス電圧  $V_{b3}$  との関係を示すグラフである。

【図6】実施例のバイアス回路を適用した高周波電力増幅回路と適用しない高周波電力増幅回路における出力電力  $P_{out}$  と最終段の増幅用 FET のドレイン電流  $I_{dd}$  との関係を示すグラフである。

【図7】実施例のバイアス回路を適用した高周波電力増幅回路と適用しない高周波電力増幅回路における出力レベル指示信号  $V_{ramp}$  と出力電圧  $V_{out}$  との関係を示すグラフである。

【図8】実施例のバイアス回路を適用した高周波電力増幅回路と適用しない高周波電力増幅回路における出力レベル指示信号  $V_{ramp}$  と出力電力  $P_{out}$  との関係を示すグラフである。

20

## 【符号の説明】

【0040】

200 パワーモジュール

210 a, 210 b 高周波電力増幅回路

211, 212, 213 電力増幅用 FET

230 バイアス回路

231 第1バイアス電流生成部

232 第1基準電流生成部

233 電流 - 電圧変換部

234 第2バイアス電流生成部

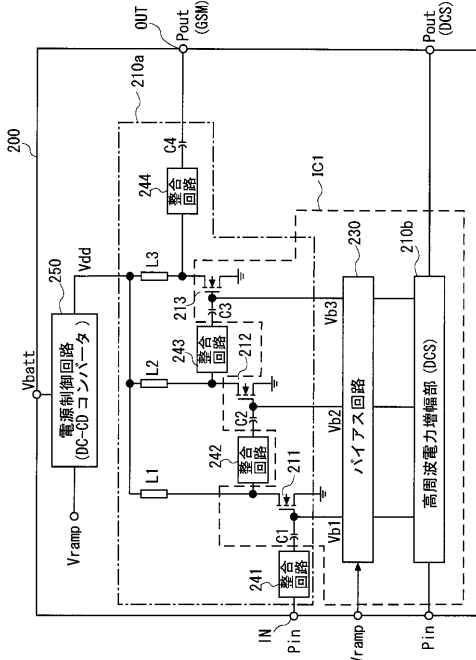
235 第2基準電流生成部

236 2乗変換回路

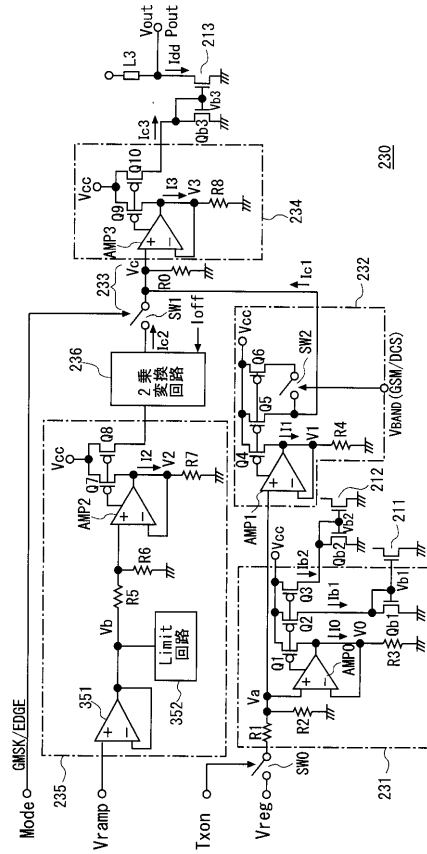
241 ~ 244 インピーダンス整合回路

30

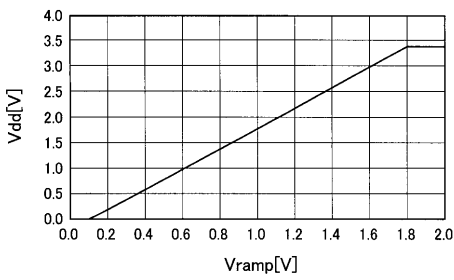
【 図 1 】



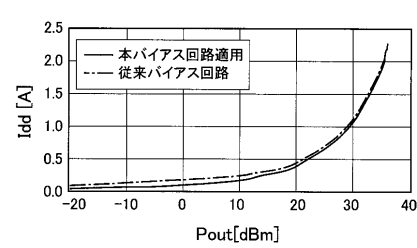
【 図 2 】



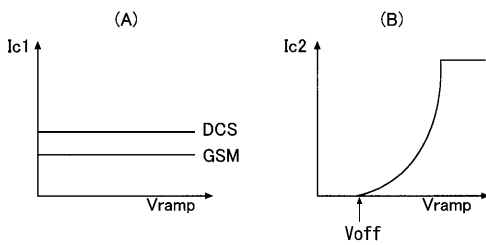
【 図 3 】



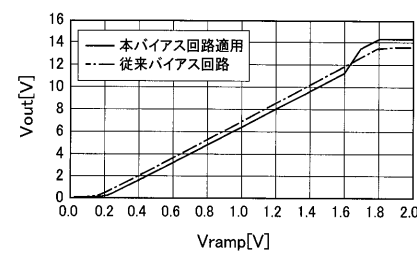
【 図 6 】



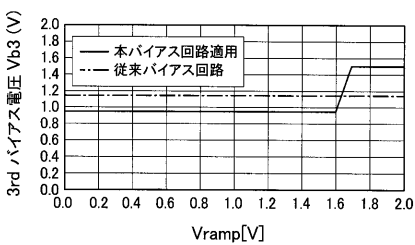
【 図 4 】



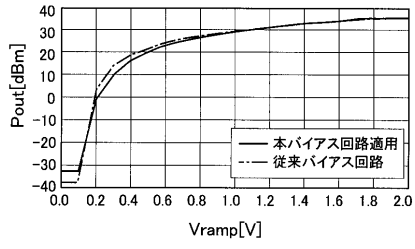
【 図 7 】



【 図 5 】



【 図 8 】



---

フロントページの続き

(72)発明者 石本 一彦

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72)発明者 丸山 昌志

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

Fターム(参考) 5J500 AA01 AA41 AC36 AF10 AH09 AH25 AH29 AH33 AH38 AK01  
AK09 AK29 AK47 AM05 AM08 AM21 AT02