

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-193232
(P2009-193232A)

(43) 公開日 平成21年8月27日(2009.8.27)

(51) Int.Cl. F I テーマコード (参考)
G 0 6 F 1 2 / 0 6 (2006.01) G O 6 F 1 2 / 0 6 5 1 5 K 2 C 0 6 1
B 4 1 J 2 9 / 3 8 (2006.01) B 4 1 J 2 9 / 3 8 Z 5 B 0 6 0

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願2008-31911 (P2008-31911)
 (22) 出願日 平成20年2月13日 (2008.2.13)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100096703
 弁理士 横井 俊之
 (72) 発明者 石川 正
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 Fターム(参考) 2C061 AP07 A005 HK08 HN15
 5B060 MM09 MM15

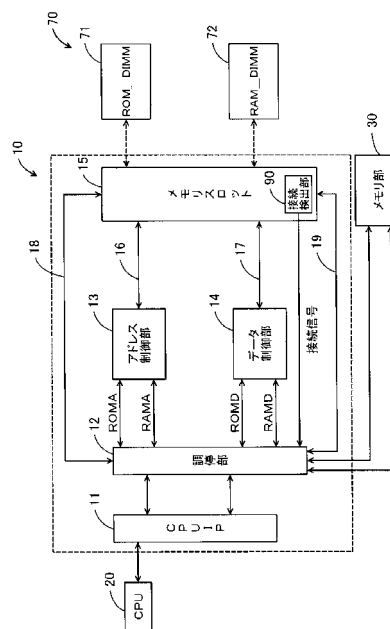
(54) 【発明の名称】 メモリ制御装置、及び印刷装置

(57) 【要約】

【課題】 製品の開発及び製造過程で使用される開発用治具等と接続するために必要なコネクタを抹消しつつ、必要なときにメモリに記憶されたデータにアクセスすることが可能なメモリ制御装置を提供する。

【解決手段】 本印刷装置100では、メモリスロット15にROM_DIMM71が接続されている場合は、メモリ制御部10はCPU10のアクセス先をROM_DIMM71に切り替える。また、メモリスロット15にROM_DIMM71が接続されていない場合は、メモリ制御部10はCPU10のアクセス先をROM31に切り替える。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

メインメモリ及び着脱可能なメモリモジュールへのアクセスを制御するメモリ制御装置であって、

不揮発性の前記メモリモジュール及び揮発性の前記メモリモジュールのいずれとも電氣的に接続可能なコネクタと、

前記コネクタに前記不揮発性のメモリモジュールが接続されている場合は、アクセス先を前記不揮発性のメモリモジュールに切り替え、前記コネクタに前記不揮発性のメモリモジュールが接続されていない場合は、アクセス先を前記メインメモリに切り替えるアクセス切り替え手段とを具備することを特徴とするメモリ制御装置。

10

【請求項 2】

前記アクセス切り替え手段は、前記不揮発性のメモリモジュールと前記コネクタとの導通状態を検出して、前記不揮発性のメモリモジュールが前記コネクタに接続されたことを検出する接続検出手段を有することを特徴とする請求項 1 に記載のメモリ制御装置。

【請求項 3】

前記コネクタは、前記不揮発性のメモリモジュール及び揮発性のメモリモジュールのいずれにも接続可能なメモリスロットであって、

前記接続検出手段は、前記メモリスロットにおける前記揮発性のメモリモジュールの端子部と接続されない未使用端子に前記不揮発性のメモリモジュールが接続されることで前記導通状態を検出することを特徴とする請求項 1 又は請求項 2 のいずれかに記載のメモリ制御装置。

20

【請求項 4】

前記不揮発性のメモリモジュールには、前記メインメモリに記憶されたデータを更新するための更新プログラムが記憶されていることを特徴とする請求項 1 ~ 請求項 3 のいずれか一項に記載のメモリ制御装置。

【請求項 5】

前記不揮発性のメモリモジュールには、本メモリ制御装置が実装された機器のメンテナンスの際実行されるメンテナンスプログラムが記憶されていることを特徴とする請求項 1 ~ 請求項 4 のいずれか一項に記載のメモリ制御装置。

【請求項 6】

前記コネクタは、該コネクタに接続される前記不揮発性のメモリモジュールと前記揮発性のメモリモジュールとにアクセスするための信号配線を共通化した構成とされることを特徴とする請求項 1 ~ 請求項 5 のいずれか一項に記載のメモリ制御装置。

30

【請求項 7】

メインメモリ及び着脱可能なメモリモジュールへのアクセスを制御するメモリ制御部を備える主基板と、前記メインメモリ又はメモリモジュールに記憶された所定のデータに基づいて印刷処理を実行させる制御部とを有する印刷装置であって、

前記メモリ制御部は、

不揮発性の前記メモリモジュール及び揮発性の前記メモリモジュールのいずれとも電氣的に接続可能なコネクタと、

40

前記コネクタに前記不揮発性のメモリモジュールが接続されている場合は、前記制御部のアクセス先を前記不揮発性のメモリモジュールに切り替え、前記コネクタに前記不揮発性のメモリモジュールが接続されていない場合は、前記制御部のアクセス先を前記メインメモリに切り替えるアクセス切り替え手段と、

前記制御部による制御に基づいて印刷処理を実行する印刷処理部とを具備することを特徴とする印刷装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、メインメモリ及び着脱可能なメモリモジュールへのアクセスを制御するメモ

50

り制御装置、及び前記メモリ制御装置を備える印刷装置に関するものである。

【背景技術】

【0002】

従来、印刷装置等の製品は基板に実装されたメモリにアクセスすることで、メモリに記憶されたデータを読み出し、このデータに従ってその駆動を制御している。製品に実装されるメモリの一例としては、基板上に直接実装されるメモリの他、着脱可能なメモリモジュール等が存在する。

例えば、特許文献1には、ROM__DIMM及びRAM__DIMMのいずれにもアクセス可能なメモリ制御用ICが開示されている(例えば、特許文献1参照。)

【0003】

上記した製品における開発段階では、データをコンピュータ等の外部装置で開発した後、このデータを製品に実装するいわゆるクロス開発が主流である。このような開発過程では、開発されたデータは着脱可能なメモリ等の開発用治具に記憶された後、上記開発用治具を製品のコネクタを介して接続させることで、機器のメモリにロードされていた。

【特許文献1】特開2003-196153号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

工場出荷後にユーザ側で製品を開発用治具と接続させる場合は稀であり、上記コネクタは通常の機器の使用では使用されることがなかった。しかしながら、コネクタは製品に実装されたメモリにアクセスするために必要なものであるため、単に、製品のコンパクト化又はコストを削減することを目的として製品からコネクタを抹消してしまうと、製品の故障時等に上記開発用治具に製品を接続させてメモリに記憶されたデータの故障等に対して処理を施すことができなくなる。

【0005】

本発明は、上記課題に鑑みてなされたもので、製品の開発及び製造過程で使用される開発用治具等と接続するために必要なコネクタを抹消しつつ、必要なときにメモリに記憶されたデータにアクセスすることが可能なメモリ制御装置および上記メモリ制御装置を使用した印刷装置を提供する。

【課題を解決するための手段】

【0006】

上記課題を解決するために、本発明の一局面では、メインメモリ及び着脱可能なメモリモジュールへのアクセスを制御するメモリ制御装置であって、不揮発性の前記メモリモジュール及び揮発性の前記メモリモジュールのいずれとも電氣的に接続可能なコネクタと、前記コネクタに前記不揮発性のメモリモジュールが接続されている場合は、アクセス先を前記不揮発性のメモリモジュールに切り替え、前記コネクタに前記揮発性のメモリモジュールが接続されていない場合は、アクセス先を前記メインメモリに切り替えるアクセス切り替え手段とを具備する構成としてある。

【0007】

上記のように構成された発明では、メモリ制御装置は不揮発性及び揮発性のメモリモジュールのいずれにも電氣的に接続可能なコネクタを備えており、このコネクタに不揮発性のメモリモジュールが接続されている場合は、アクセス切り替え手段はアクセス先を不揮発性のメモリモジュールに切り替える。また、接続手段に不揮発性のメモリモジュールが接続されていない場合は、アクセス切り替え手段はアクセス先をメインメモリに切り替える。

このため、不揮発性のメモリモジュールを本メモリ制御装置に接続するためのコネクタを揮発性のメモリモジュールを接続するためのコネクタと共通化することで、不揮発性のメモリモジュールを接続するためだけに使用されるコネクタを抹消して製品をコンパクトにすることができるとともに、製品出荷後でも、コネクタに不揮発性のメモリモジュールを接続すれば、この不揮発性のメモリモジュールに記憶されたデータにアクセスして、所

10

20

30

40

50

定の処理を実行させることが可能となる。

【0008】

ここで、コネクタとは、不揮発性のメモリモジュール及びメモリモジュールをメモリ制御装置に電氣的に接続するための機能を有するものであり、例えばメモリスロット等である。

また、電氣的に接続可能とは、メモリモジュール及び不揮発性のメモリモジュールに対して電氣的にアクセス可能に接続された状態を意味する。

また、メモリモジュールとはコネクタに着脱可能に接続される機能を備えるメモリであり、例えば、D I M M (Dual In-line Memory Module)、S I M M (Single in-line Memory Module)、R I M M (Rambus In-line Memory module)である。

10

【0009】

好ましくは、前記アクセス切り替え手段は、前記不揮発性のメモリモジュールと前記コネクタとの導通状態を検出して、前記不揮発性のメモリモジュールが前記コネクタに接続されたことを検出する接続検出手段を有する。

上記のように構成された発明では、不揮発性のメモリモジュールがコネクタに接続されたことの有無を電氣的な導通により検出するため、より簡易な構成により不揮発性のメモリモジュールの接続の有無を検出することができる。

【0010】

好ましくは、前記コネクタは、前記不揮発性のメモリモジュール及び揮発性のメモリモジュールのいずれにも接続可能なメモリスロットであって、前記接続検出手段は、前記メモリスロットにおける前記揮発性のメモリモジュールの端子部と接続されない未使用端子に前記不揮発性のメモリモジュールが接続されることで前記導通状態を検出する。

20

上記のように構成された発明では、不揮発性のメモリモジュールと揮発性のメモリモジュールとのコネクタへの接続を判別するに当たり、メモリスロットに配置された端子に不揮発性メモリが接続されるかどうかを検出して判別を行なう。そのため、既存のメモリスロットを改造した簡易な構成により不揮発性のメモリモジュールの接続の有無を判別することができる。

【0011】

好ましくは、前記不揮発性のメモリモジュールには、前記メインメモリに記憶されたデータを更新するための更新プログラムが記憶されている。また、好ましくは、前記不揮発性のメモリモジュールには、本メモリ制御装置が実装された機器のメンテナンスの際実行されるメンテナンスプログラムが記憶されている

30

上記のように構成された発明では、機器の通常の使用時には使用されることのないデータを、不揮発性のメモリモジュールに接続しておくことで、メインメモリ側には上記データを記憶しておく必要がなく、メインメモリのメモリ容量を有効に活用することができる。

【0012】

好ましくは、前記コネクタは、該コネクタに接続される前記不揮発性のメモリモジュールと前記揮発性のメモリモジュールとにアクセスするための信号配線を共通化した構成とされる。

40

上記のように構成された発明では、コネクタは、不揮発性及び揮発性のメモリモジュールにアクセスするための信号配線を共通化するため、コネクタの構成をよりコンパクトにすることができる。

【0013】

また、本発明の他の局面として、本メモリ制御装置を印刷装置に使用した場合、本発明の効果に加えて、メモリ制御装置を実装した基板をコンパクトにすることができ、外観をコンパクトにすることができる。

【発明を実施するための最良の形態】

【0014】

以下、下記の順序に従って本発明の実施形態を説明する。

50

1. 実施の形態：
2. 他の実施の形態：

【0015】

1. 実施の形態：

- 1.1. 印刷装置の構成

本発明の実施の形態について図面を参照して詳細に説明する。図1は、一例としての印刷装置の構成を説明するブロック図である。印刷装置100は、所定の印刷媒体に対して印刷処理を実行する機能を備えるものである。なお、印刷装置100は、ページプリンタであってもよいし、インクジェットプリンタであってもよい。また、印刷装置としての機能の他に複写機能を備える複合機であってもよい。

10

【0016】

印刷装置100は、主に印刷装置100の駆動を制御するための機能を備えるCPU(制御部)20と、各種機能を備えたデバイスと、CPU20とデバイスとの間に介在して印刷装置100の駆動を制御するための機能を備えるメインIC40とを備えている。CPU20とメインIC40とは主基板101上に配置されている。また、デバイスは、記憶領域を備えるメモリ部30と、印刷処理を実行するための機能を備える印刷エンジン部50と、操作入力を受け付ける機能を備える操作パネル60とを備えている。CPU20とメインIC40と各デバイスとの間には外部バス80が設けられ、この外部バス80を介してCPU20とメインIC40と各デバイスとは相互に通信可能に接続されている。また、メインIC40には、メモリモジュール70(後述)が着脱可能に接続される。

20

【0017】

メモリ部(メインメモリ)30は、印刷装置100における所定のデータ及び各種プログラムを記憶するための記憶領域としての機能を備えるものである。本実施の形態におけるメモリ部30は、不揮発性のROM(Read Only Memory)31と、揮発性のRAM(Random Access Memory)32とで構成されている。ROM31にはCPU20が印刷装置100の駆動を実行するための所定のプログラム及びデータ等が記憶されている。また、RAM32にはCPU20が所定のデータをロードして実行するためのワークエリアとしての機能を有する。なお、メモリ部30は上記したROM, RAMに限定されず、HDD(Hard Disk Drive)等の磁気記憶媒体であってもよい。

【0018】

メインIC40は、印刷装置100の駆動を制御する機能を備えるものである。本発明に係るメインIC40は、ASIC(Application Specific IC)によりその各部が構成されている。具体的には、メインIC40は、CPU20から送信された命令を受信する機能を備えるCPU制御部41と、メモリ部30及びメモリモジュール70に記憶されたデータ等のアクセスを制御する機能を備えるメモリ制御部10と、読み込んだ印刷データに対して画像処理を実行する機能を備える画像処理部42と、操作パネル60を介して入力された操作入力を受け付ける機能を備えるパネル制御部43とを備えている。メインIC40を構成する各部の間には内部バス45が設けられ、この内部バス45により各部は相互に通信可能に接続されている。

30

【0019】

なお、メインIC40はASICによって構成されるものに限定されず、シングルチップマイコンにより構成されてもよいし、メインICの全てを集積回路により構成するものや、その機能の一部をプログラムにより実現するものであってもよい。

40

【0020】

- 1.2. メモリ制御部：

図2は、一例としての本発明に係るメモリ制御部を説明するためのブロック図である。メモリ制御部10は、前述したようにメモリ部30に対するアクセスを制御する機能の他に、本メモリ制御部10に開発用治具としてのROM__DIMM71(不揮発性のメモリモジュール)が接続された場合は、CPU20にROM__DIMM71に記憶された所定のデータに基づいて各種処理を実行させる機能を有している。

50

なお、メモリモジュール70はメモリ制御部10に対して着脱可能に接続可能なメモリであればよく、D I M M (Dual In-line Memory Module) の他、S I M M (Single in-line Memory Module) や、R I M M (Rambus In-line Memory module) であってもよい。

【0021】

メモリ制御部10は、CPU20から送信された命令の対象アドレスを判断する機能を備えるCPU__IP11と、CPU__IP11が判断したアドレスがメモリ部30又はメモリモジュール70のいずれに対するものであるかを判断する機能を備える調停部12と、メモリモジュール70に送信されたアドレス信号を管理する機能を備えるアドレス制御部13と、メモリモジュール70に送信されたデータ信号を管理する機能を備えるデータ制御部14と、メモリモジュール70と電氣的に接続する機能を備えるメモリスロット(コネクタ)15とを備えている。

10

【0022】

CPU__IP11は、CPU20から入力された命令の対象アドレスがROM領域へのアクセスであるか、RAM領域へのアクセスであるか、あるいはその他の領域、例えば、レジスタ領域、IO領域等へのアクセスであるかを判断する機能を備える。CPU__IP11は、メモリ制御部10が管理するメモリ空間であるシステムアドレスの範囲と、メモリ部30及びメモリモジュール70との領域等とを対応させたアドレスマップを備えている。CPU__IP11は、CPU11からシステムアドレスが入力されると、本アドレスマップを参照することにより、このシステムアドレスのアクセス先を判断する。

【0023】

調停部12は、CPU20から送信されたメモリアクセスがメモリ部30に対するものであるか、メモリモジュール70に対するものであるかを、CPU__IP11から伝送される信号等に基づいて判断する機能を備える。CPU20から送信されたメモリアクセスがメモリモジュール70に対するものである場合は、調停部12はアドレス信号とデータ信号とを、アドレス制御部13とデータ制御部14とにそれぞれ伝送する。また、CPU20からのメモリアクセスがメモリ部30に対するものである場合は、アドレス信号とデータ信号とをメモリ部30に伝送する。

20

【0024】

また、調停部12は、ROM__DIMM71がメモリスロット15に接続されている場合は、ROM__DIMM71の接続により送信される接続信号(後述)を受信し、内部に実装されたレジスタの値を書き換えROM__DIMM71の接続状態を記憶する。

30

【0025】

CPU__IP11と調停部12とは、メモリスロット15に接続されたROM__DIMM71及びRAM__DIMM72へのアクセスを制御するために、ROM__data信号、ROM__address信号、ROM制御信号(ROM__REQ信号・ROM__R/W信号等を含む)、および、RAM__data信号、RAM__address信号、RAM制御信号(RAM__REQ信号・RAM__R/W信号等を含む)を相互に伝送する。

【0026】

それぞれのdata信号は、データを伝送するための信号であり、それぞれのaddress信号は、アドレスを伝送するための信号である。また、それぞれのREQ信号は、ROM__DIMM71またはRAM__DIMM72を有効とするための信号であり、それぞれのR/W信号は、ROM__DIMM71及びRAM__DIMM72に対する処理が読み込みであるか書き込みであるかを示すための信号である。

40

【0027】

アドレス制御部13は、調停部12から送信されたアドレス信号を、メモリスロット15に接続されたROM__DIMM71及びRAM__DIMM72が受信可能な信号形態に変換して、メモリスロット15に送信する機能を備える。また、データ制御部14は、調停部12から送信されたデータ信号を一定のタイミングでメモリスロット15に送信する機能を備える。そのため、上記した調停部12とアドレス制御部13及びデータ制御部14により本発明のアクセス切り替え手段の機能を実現する。

50

【 0 0 2 8 】

調停部 1 2 とアドレス制御部 1 3 との間では、ROM アドレス信号 (ROMA) と、RAM アドレス信号 (RAMA) とが伝送され、調停部 1 2 とデータ制御部 1 4 との間には、ROM データ信号 (ROMD) と、RAM データ信号 (RAMD) とが伝送される。

【 0 0 2 9 】

メモリスロット 1 5 は、ROM__DIMM 7 1 および RAM__DIMM 7 2 の双方と電氣的に接続可能な機能を備えている。また、メモリスロット 1 5 は、ROM__DIMM 7 1 の接続の有無を検出する機能を備える接続検出部 9 0 を有している。なお、ROM__DIMM 7 1 をメモリスロット 1 5 に接続しない場合は、RAM__DIMM 7 2 をメモリスロット 1 5 に接続させることで、この RAM__DIMM 7 2 を RAM 領域を増設するためのメモリとして使用することができる。

10

【 0 0 3 0 】

アドレス制御部 1 3 と、メモリスロット 1 5 との間は共通のアドレスバス 1 6 が設けられ、データ制御部 1 4 とメモリスロット 1 5 との間は共通のデータバス 1 7 が設けられている。このため、メモリスロット 1 5 は、ROM__DIMM 7 1 が接続された場合でも、RAM__DIMM 7 2 が接続された場合でも、共通のアドレスバス信号線と、データバス信号線により上記した各制御信号を送受信するため、バスの配線数を減らして回路をシンプルにすることができる。

【 0 0 3 1 】

また、調停部 1 2 と、メモリスロット 1 5 における ROM__DIMM 7 1 と接続する端子部との間には、ROM 制御バス 1 8 が設けられている。同様に、調停部 1 2 と、メモリスロット 1 5 における RAM__DIMM 7 2 と接続する端子部との間には、RAM 制御バス 1 9 が設けられている。それぞれの制御バスは、例えば、イネーブル信号線、書き込み/読み込み信号線等を含んでいる。

20

また、調停部 1 2 とメモリ部 3 0 との間にも、同様のバスが設けられているが、詳細については従来技術であるため省略する。

【 0 0 3 2 】

図 3 は、ROM__DIMM 7 1 に記憶された各プログラムを説明する図である。ROM__DIMM 7 1 には、印刷装置 1 0 0 の起動時に CPU 2 0 が所定の処理を実行できるように各種プログラムが記憶されている。具体的には、ROM__DIMM 7 1 には、CPU 2 0 に印刷装置 1 0 0 を起動させるための機能を付与する起動プログラム 2 0 0、ROM 3 1 に記憶されたデータを更新するための機能を付与する更新プログラム 3 0 0、印刷装置 1 0 0 の各種メンテナンスを実行させる機能を付与するメンテナンスプログラム 4 0 0、ROM 3 1 に記憶されたプログラム及びデータをデバックする機能を付与するデバックプログラム 5 0 0、及び印刷装置 1 0 0 の各種機能の状態を評価させるための機能を付与する評価プログラム 6 0 0 等が記憶されている。

30

【 0 0 3 3 】

RAM__DIMM 7 2 は、印刷装置 1 0 0 の RAM 領域を増設する機能を有する。RAM__DIMM 7 2 は読み書き自由な記憶装置であり、CPU 2 0 の作業等に用いられる領域である。なお、RAM__DIMM 7 2 は ROM__DIMM 7 1 と比較して、銅箔端子 7 2 a が配置された端部の形状が異なる。具体的には、本実施の形態では、RAM__DIMM 7 2 の端部は、一部に切り欠きが設けられている。

40

【 0 0 3 4 】

1. 3. ROM__DIMM の接続検出：

図 4 は、一例としての本発明の実施の形態に係るメモリスロット 1 5 の一部を破断して示す斜視図である。なお、図 4 (a) は、メモリスロット 1 5 に ROM__DIMM 7 1 を接続させた場合を説明する斜視図である。また、図 4 (b) は、メモリスロット 1 5 に RAM__DIMM 7 2 を接続させた場合を説明する斜視図である。

【 0 0 3 5 】

メモリスロット 1 5 のハウジング部 1 5 a の溝 1 5 b は、ROM__DIMM 7 1 又は R

50

RAM__DIMM72の銅箔端子71a, 72aが形成された端部のいずれもが挿入可能であり、内部には上記銅箔端子と接触する端子部15cが配置されている。この端子部15cは、ROM__DIMM71及びRAM__DIMM72における端部に形成された銅箔端子71a, 72aと電氣的に接続するとともに、ROM__DIMM71の接続を検出する接続検出部(接続検出手段)としての機能を備えている。

【0036】

具体的には、図3(a)に示すように、ROM__DIMM71がメモリスロット15の溝15bに挿入された際、端子部15cの一つである端子AはROM__DIMM71の銅箔端子71aと接触する。また、端子Aは電源部(図示しない)と抵抗を解して接続するとともに、電源部と調停部12との導通状態を切り替えるスイッチとしての機能を備えている。そのため、端子AがROM__DIMM71の銅箔端子71aと接触することで、ROM__DIMM71と調停部12との間を導通し、電源部から電源電圧が接続信号として調停部12に出力される。調停部12は接続信号を受信すると、ROM__DIMM71が接続されていると判断し、内部のレジスタの値を書き換え、ROM__DIMM71の接続状態を記憶する。

10

【0037】

一方、図3(b)に示すように、RAM__DIMM72がメモリスロット15の溝15bに挿入された場合、RAM__DIMM72の銅箔端子72aが形成された端部には切り欠き72bが形成されており、端子AはRAM__DIMM72の銅箔端子72aと接触しない。そのため、RAM__DIMM72と調停部12の間は導通せず、調停部12に対して接続信号が出力されない。従って、調停部12はメモリスロット15にROM__DIMM71が接続されていないと判断し、レジスタの値をROM__DIMM71が接続状態にないものとして更新する。なお、メモリスロット15の構成としてはこれに限定されず、ROM__DIMM71とRAM__DIMM72の接続状態に応じて、調停部12に対して接続状態を知らせるものであればよい。

20

【0038】

1.4.メモリ制御部の作用:

次に、本実施形態におけるメモリ制御部10のメモリアクセスについて説明する。なお、ここでは、CPU20からメモリモジュール70に対するアドレス情報、データ情報のやり取りに注目して説明を行ない、タイミング制御、ACK信号による確認応答制御等については、細かい説明を省略する。さらに、CPU20からメモリ部30に対するアクセス方法は従来技術を使用するため、説明を省略する。なお、以下に説明するメモリアクセス動作は、一例であり、本発明はこれらに限られるものではない。

30

【0039】

図5は、メイン電源の入力時における本印刷装置のメモリに対するアクセスを説明するための流れ図である。なお、この流れ図はCPU20の処理を主に記載を行なったものである。ユーザが操作パネル60を操作して印刷装置100のメイン電源を投入すると、CPU20はROM領域にアクセスするためにメモリ制御部10に命令を出す(ステップS110)。このとき、メモリ制御部10は、メモリスロット15にROM__DIMM71が接続されているかどうか判断する。前述したように、調停部12はROM__DIMM71の接続状態をレジスタに記憶しており、レジスタに記憶された値を参照することでROM__DIMM71の接続の有無を判断する。

40

【0040】

メモリスロット15にROM__DIMM71が接続されていない場合は、CPU20は、ROM31に記憶された起動処理に必要とされるプログラムにアクセスする(ステップS120)。このとき、メモリ制御部10は、ROM31に記憶された起動処理に必要とされるプログラムを読み出し、RAM32にロードする。その後、CPU20は、RAM32にロードされたプログラムに基づいて印刷装置100の起動処理を実行する(ステップS130)。

【0041】

50

ROM__DIMM71がメモリスロット15に接続されている場合、CPU20はROM__DIMM71に記憶された起動プログラム200にアクセスする(ステップS140)。このとき、メモリ制御部10は、ROM__DIMM71に記憶された起動プログラム200を読み出し、RAM32にロードする。その後、CPU20はRAM32にロードされた起動プログラム200に基づいて印刷装置100における起動処理を実行する(ステップS150)。

【0042】

また、CPU20がROM__DIMM71に記憶された起動プログラム200により起動処理を行なった後、ユーザが操作パネル60を用いて所定の操作入力を行なうと、CPU20はROM__DIMM71に記憶された各プログラムをRAM32にロードする(ステップS160)。前述したようにROM__DIMM71には、ROM31に記憶されたデータを更新するための更新プログラム300や、印刷装置100のメンテナンスプログラム400、デバックプログラム500、及び評価プログラム600等が記憶されており、ユーザは操作パネル60を操作して、印刷装置100に上記プログラムに基づいた各処理を実行させることができる。

10

【0043】

なお、ROM__DIMM71に記憶された各プログラムは、印刷装置100の通常の起動時には使用されず、ROM31に常時記憶しておくことは各プログラムの使用頻度の面から考慮して無駄にROM31の記憶容量を使用することになる。例えば、ROM31の記憶容量が少ない場合などは、使用頻度の高いデータ等を記憶しておくことが優先されることが望ましい。そのため、ROM__DIMM71に使用頻度の少ない上記各プログラムを記憶させておき、各プログラムの使用時にROM__DIMM71をメモリスロット15に接続して、印刷装置100に各処理を実行させれば、ROM31の記憶容量を必要なデータ等に割り当てることができ、メモリの記憶容量を有効に使用することができる。

20

また、ROM__DIMM71にCPU20が起動処理に必要な起動プログラム200を記憶させておくことで、ROM31に不具合が発生した場合でも、ユーザはROM__DIMM71をメモリスロット15に接続することで、印刷装置100をROM__DIMM71に記憶された起動プログラム200に基づいて起動させることができる。

【0044】

図6は、メモリスロット15にROM__DIMM71が接続されている場合のメモリ制御部10のアクセス処理を説明する流れ図である。図6に示す流れ図は、図5におけるステップS110、S140、S150の各処理をメモリ制御部10側の処理に基づいて記載したものである。

30

【0045】

CPU20がメモリ制御部10に対してROM領域におけるシステムアドレスの指定、及び読み込み命令を示す信号を指示すると、CPU__IP11は、調停部12に対象領域を指定する(ステップS141)。具体的には、CPU__IP11は、アドレスマップを参照して、受け付けたシステムアドレスが指定する領域を判断する。また、CPU__IP11は、調停部12に対してROM制御信号のROM__REQ信号を有効とするとともに、ROM__address信号を用いて読み込むべきアドレスを送る。さらに、CPU__IP11はROM制御信号を用いて命令が「読み込み」であることを調停部12に通知する。

40

【0046】

調停部12は、CPU__IP11から送信された命令に基づいて、アドレス制御部13、データ制御部14にアドレス信号及びデータ信号を送信する(ステップS142)。具体的には、調停部12はREQ信号が有効になると、受け付けたアドレス信号をラッチし、送信された信号がROM__REQ信号であるか、RAM__REQ信号であるかに基づき、処理対象がROM領域であるかRAM領域であるかを判断する。このとき、送信された信号がROM__REQ信号である場合は、調停部12はレジスタを参照してROM__DIMM71の接続状態を判断し、ROMアドレス信号を用いてアドレス制御部13に対象と

50

するアドレスを送る。また、調停部 12 は、ROM 制御バス 18 を用いて、ROM__DIMM71 に対する ROM イネーブル信号を有効にするとともに、読み込み信号を有効にする。

【0047】

アドレス制御部 13 は、ROM アドレス信号で送られたアドレスを、アクセスすべき ROM__DIMM71 に対応したアドレスに変換し、共通アドレスバス 16 に出力する (S143)。なお、アクセス対象が RAM__DIMM72 の場合には、RAM__DIMM71 に対応したアドレスに変換して出力する。

【0048】

データ制御部 14 は、ROM 制御バス 18 において ROM イネーブル信号および読み込み信号が有効な状態の ROM__DIMM71 に対して、共通アドレスバス 16 で示されたアドレス領域からデータを読み込み、共通データバス 17 に指定されたアドレスのプログラムを読み出す (S144)。

10

【0049】

調停部 12 は、データ制御部 14 から ROM データ信号線を用いて起動プログラム 200 を読み出す (S145)。具体的には、調停部 12 は、読み込んだ起動プログラム 200 を ROM__data 信号を用いて CPU__IP11 に送信する。CPU__IP11 は受信した起動プログラム 200 を RAM32 にロードする (S146)。これにより、CPU20 は、RAM32 にロードされた起動プログラム 200 に基づいて起動処理を実行する (ステップ S150)。

20

【0050】

2. 他の実施の形態:

上述した第一の実施の形態では、メモリスロット 15 に ROM__DIMM15 を接続することで、起動時に ROM__DIMM15 に記憶されたデータを読み出したが、起動時にプログラム等を読み出す対象としては ROM__DIMM 等のメモリモジュールに限定されない。その一例として、メモリスロット 15 を介して印刷装置 100 に ROM エミュレータを接続し、この ROM エミュレータに記憶された各種プログラム等をロードする構成としてもよい。

【0051】

ROM__DIMM15 の接続状態を検出する方法としては、メモリスロット 15 に配置された接続検出部によって検出する以外にも、調停部 12 が ROM__DIMM15 の接続の有無を検出するものでもよい。

30

【0052】

メモリ制御部 10 がアクセス先を ROM__DIMM71 又は ROM31 に変更する手法としては、上記記載の手法に限定されず、例えば、公知のチップセレクト等を流用するものであってもよい。

【0053】

以上説明したように、本印刷装置 100 では、メモリスロット 15 に ROM__DIMM71 が接続されている場合は、メモリ制御部 10 はアクセス先を ROM__DIMM71 に切り替えるため、ROM__DIMM71 をメモリ制御部 10 に接続するためのメモリスロット 15 を RAM__DIMM72 を接続するためのメモリスロット 15 と共通化することで、ROM__DIMM71 を接続するためだけに使用されるコネクタを抹消することができるとともに、製品出荷後でもメモリスロット 15 に ROM__DIMM71 を接続すれば、ROM__DIMM71 に記憶されたデータにアクセスして、所定の処理を実行させることが可能となる。その結果として、主基板 101 をコンパクトにし、結果、印刷装置 100 の外観をコンパクトにすることができる。

40

【0054】

また、本発明は、上述した実施例や変形例に限られず、上述した実施例及び変形例の中で開示した各構成を相互に置換したり組み合わせを変更したりした構成、公知技術並びに上述した実施例及び変形例の中で開示した各構成を相互に置換したり組み合わせを変更し

50

たりした構成、等も含まれる。

【図面の簡単な説明】

【0055】

【図1】一例としての印刷装置の構成を説明するブロック図である。

【図2】一例としての本発明に係るメモリ制御部を説明するためのブロック図である。

【図3】ROM_DIMM 71に記憶された各プログラムを説明する図である。

【図4】一例としての本発明の実施の形態に係るメモリスロット15の一部を破断して示す斜視図である。

【図5】メイン電源の入力時における本印刷装置のメモリに対するアクセスを説明するための流れ図である。

【図6】メモリスロット15にROM_DIMM 71が接続されている場合のメモリ制御部10のアクセス処理を説明する流れ図である。

【符号の説明】

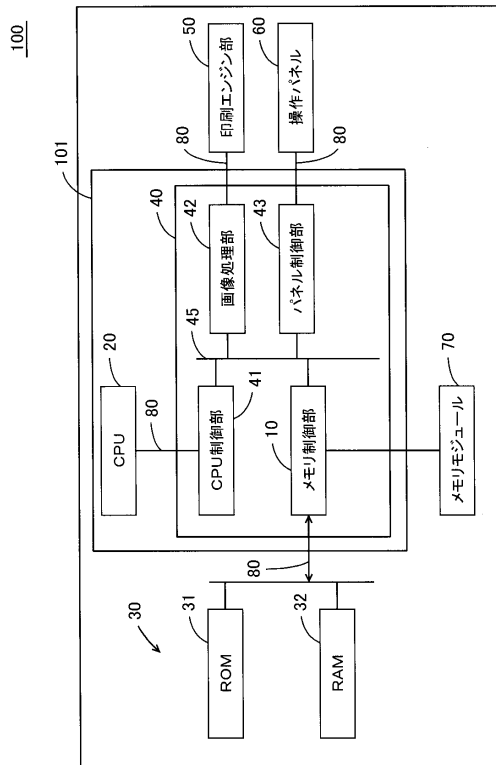
【0056】

10...メモリ制御部、11...CPU_IP、12...調停部、13...アドレス制御部、14...データ制御部、15...メモリスロット、16...アドレスバス、17...データバス、18...ROM制御バス、19...RAM制御バス、20...CPU、30...メモリ部、41...CPU制御部、42...画像処理部、43...パネル制御部、45...内部バス、50...印刷エンジン部、60...操作パネル、70...メモリモジュール、80...外部バス、90...接続検出部、100...印刷装置、101...基板

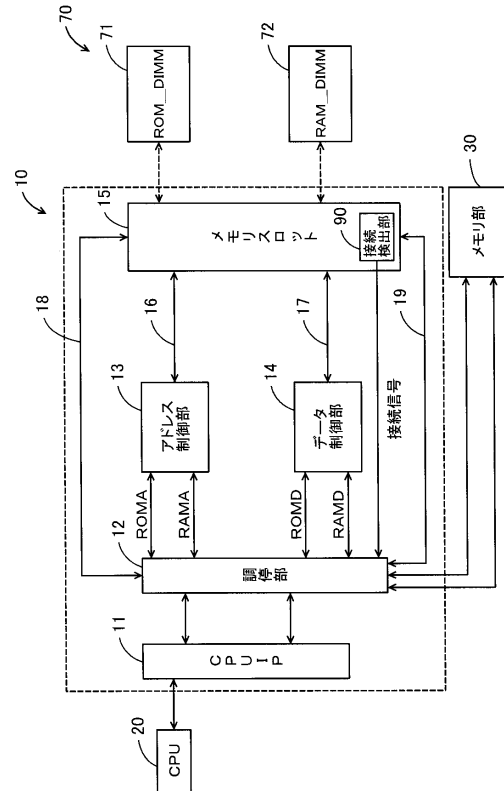
10

20

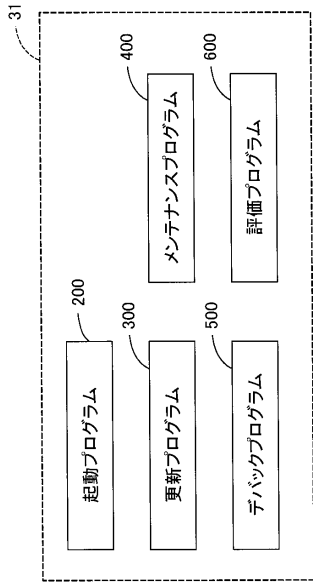
【図1】



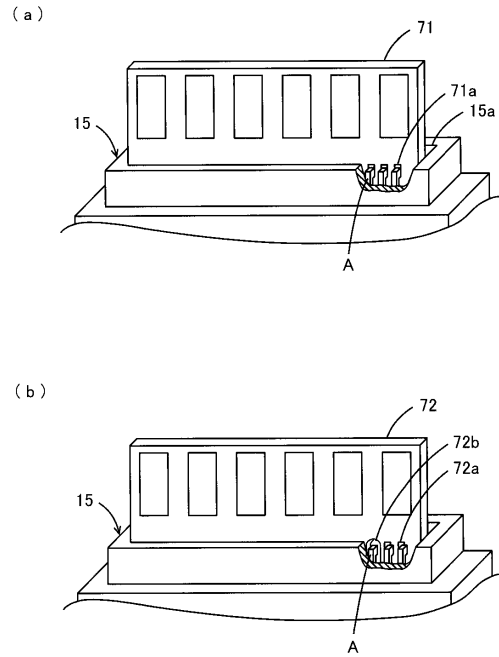
【図2】



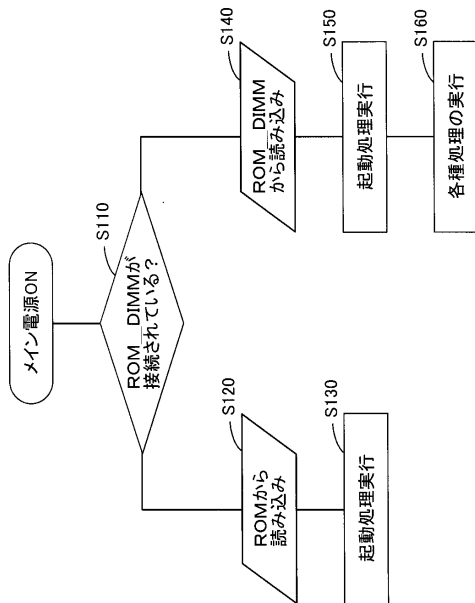
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

