

⑫

BREVET D'INVENTION

B1

⑤④ PROCÉDE DE REALISATION DE TRANSISTORS MOS ET BIPOLAIRES.

②② Date de dépôt : 21.03.16.

③③ Priorité :

④③ Date de mise à la disposition du public
de la demande : 22.09.17 Bulletin 17/38.

④⑤ Date de la mise à disposition du public du
brevet d'invention : 13.04.18 Bulletin 18/15.

⑤⑥ Liste des documents cités dans le rapport de
recherche :

Se reporter à la fin du présent fascicule

⑥① Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

⑦① Demandeur(s) : COMMISSARIAT A L'ENERGIE
ATOMIQUE ET AUX ENERGIES ALTERNATIVES
Etablissement public , STMICROELECTRONICS
(CROLLES 2) SAS Société par actions simplifiée et
STMICROELECTRONICS (ROUSSET) SAS Société
par actions simplifiée — FR.

⑦② Inventeur(s) : WEBER OLIVIER, RICHARD
EMMANUEL et BOIVIN PHILIPPE.

⑦③ Titulaire(s) : COMMISSARIAT A L'ENERGIE
ATOMIQUE ET AUX ENERGIES ALTERNATIVES
Etablissement public, STMICROELECTRONICS
(CROLLES 2) SAS Société par actions simplifiée,
STMICROELECTRONICS (ROUSSET) SAS Société
par actions simplifiée.

⑦④ Mandataire(s) : CABINET BEAUMONT.



PROCEDE DE REALISATION DE TRANSISTORS MOS ET BIPOLAIRESDomaine

La présente demande concerne les procédés de fabrication de puces électroniques, et plus particulièrement un procédé de réalisation en technologie CMOS de transistors bipolaires verticaux.

Exposé de l'art antérieur

Des puces électroniques contiennent à la fois des circuits logiques et des circuits mémoire à changement de phase. Les circuits logiques comportent de nombreux transistors de type MOS. Les circuits mémoire incluent des points mémoire disposés en matrice, et chaque point mémoire est associé à un transistor bipolaire vertical. Ce transistor est utilisé pour programmer, effacer ou lire chaque point mémoire indépendamment. Les transistors bipolaires correspondant aux points mémoire d'une même ligne ou rangée de la matrice ont leur base commune. Les points mémoire d'une même colonne de la matrice sont disposés entre l'émetteur du transistor bipolaire correspondant et une métallisation supérieure commune. Lorsque l'on veut programmer, effacer ou lire un point mémoire, on rend passants les transistors bipolaires de la rangée correspondante et on applique une tension sur la métallisation supérieure de la colonne correspondante. On fait ainsi circuler dans le point

mémoire un courant de programmation, d'effacement ou de lecture du point mémoire.

Des procédés classiques ont été proposés pour réaliser dans une partie d'une puce des transistors MOS complémentaires et, dans une autre partie de la puce, des transistors bipolaires
5 verticaux commandables par une base commune. Ces procédés posent divers problèmes de mise en oeuvre.

Il existe un besoin d'un procédé simple et compatible avec une technologie CMOS classique, permettant de réaliser en
10 même temps des transistors MOS complémentaires et des transistors bipolaires ayant une base commune.

Résumé

Ainsi, un mode de réalisation prévoit un procédé de réalisation de transistors bipolaires verticaux et de
15 transistors MOS, comprenant les étapes suivantes : a) prévoir une couche semiconductrice disposée sur une couche isolante recouvrant un substrat semiconducteur d'un premier type de conductivité ; du côté des transistors bipolaires : b) former une région isolante comprenant ladite couche isolante et
20 s'étendant jusqu'à la face supérieure de l'ensemble ; c) graver des ouvertures atteignant le substrat à travers ladite région isolante, délimitant ainsi des murs isolants ; d) former par épitaxie sélective un semiconducteur jusqu'à remplir les ouvertures par des premières portions épitaxiées ; et e)
25 réaliser un dopage d'un deuxième type de conductivité des premières portions épitaxiées et d'une première région s'étendant en partie supérieure du substrat sous les premières portions épitaxiées et sous les murs isolants ; du côté des transistors bipolaires et du côté des transistors MOS : f)
30 former des structures de grille ; g) former par épitaxie sélective des deuxièmes portions épitaxiées de semiconducteur ; et h) réaliser un dopage du premier type de conductivité des deuxièmes portions épitaxiées recouvrant les premières portions épitaxiées.

Selon un mode de réalisation, à l'étape c) les ouvertures sont gravées à un pas de grille des transistors MOS et à l'étape f) les structures de grille sont formées audit pas de grille.

5 Selon un mode de réalisation, l'étape b) comprend une étape d'oxydation de la couche semiconductrice sur toute son épaisseur.

 Selon un mode de réalisation, l'étape b) comprend une étape d'élimination de la couche semiconductrice sur toute son
10 épaisseur.

 Selon un mode de réalisation, le procédé comprend en outre avant l'étape f) une étape de formation de tranchées d'isolement délimitant la première région.

 Selon un mode de réalisation, l'étape f) comprend une
15 étape de formation d'espaceurs latéraux isolants compris dans les structures de grille.

 Selon un mode de réalisation, le procédé comprend en outre une étape de formation de vias disposés sur les deuxièmes portions épitaxiées, suivie d'une étape de formation de points
20 mémoire à transition de phase disposés sur les vias.

 Selon un mode de réalisation, la couche semiconductrice est en silicium.

 Selon un mode de réalisation, la couche semiconductrice a une épaisseur inférieure à 20 nm.

25 Selon un mode de réalisation, les murs isolants ont une épaisseur comprise entre 25 et 30 nm.

 Selon un mode de réalisation, les murs isolants s'étendent aussi profondément que la couche isolante.

 Selon un mode de réalisation, le pas de grille est
30 compris entre 80 et 150 nm.

 Un autre mode de réalisation prévoit au dispositif comprenant : des transistors bipolaires verticaux ayant une région de collecteur commune recouverte par une région de base commune, et des régions supérieures d'émetteur séparées par des
35 premières structures de grille munies d'espaceurs latéraux, les

structures de grille reposant sur des murs isolants s'étendant verticalement dans une partie supérieure de la région de base ; et des transistors MOS comprenant chacun des régions de drain et de source ayant des parties supérieures épitaxiées séparées par une deuxième structure de grille identique aux premières structures de grille, les premières et deuxièmes structures de grille étant disposées régulièrement, les régions supérieures d'émetteur et les régions de drain et de source ayant des faces supérieures disposées à des niveaux identiques à 10 nm près.

Selon un mode de réalisation, les premières et deuxièmes structures de grille sont disposées selon un même pas de grille.

Selon un mode de réalisation, les transistors MOS sont disposés sur une couche isolante, les murs isolants s'étendant dans le substrat aussi profondément que la couche isolante.

Brève description des dessins

Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1 est une vue en coupe, partielle et schématique, d'une portion d'une puce électronique comprenant des transistors bipolaires ;

les figures 2 à 11 sont des vues en coupe, partielles et schématiques, illustrant des étapes d'un mode de réalisation d'un procédé de fabrication de transistors bipolaires verticaux et de transistors MOS ; et

la figure 12 est une vue de dessus schématique illustrant une étape d'un mode de réalisation d'un procédé de fabrication de transistors bipolaires.

Description détaillée

De mêmes éléments ont été désignés par de mêmes références dans les différentes figures et, de plus, les diverses figures ne sont pas tracées à l'échelle. Par souci de

clarté, seuls les éléments utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés.

Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "gauche", "droite", etc., ou relative, tels que les termes "sur", "sous", "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que le terme "vertical", etc., il est fait référence à l'orientation de l'élément concerné dans les figures concernées. Sauf précision contraire, le terme "isolant" qualifie des éléments électriquement isolants.

La figure 1 est une vue en coupe, partielle et schématique, d'une portion d'une puce électronique 1 comprenant des transistors bipolaires et des points mémoire résistifs, par exemple à changement de phase. La puce 1 comprend un substrat 3 de silicium dopé de type P. Une région 5 dopée de type N est située dans la partie supérieure du substrat 3 et est délimitée, à gauche dans la figure, par une tranchée d'isolement 7. Des régions 9 dopées de type P s'étendent en partie supérieure de la région 5 et sont positionnées régulièrement à un pas D. Les régions P 9 sont séparées par des tranchées superficielles d'isolement 10. Les tranchées d'isolement 10 s'étendent verticalement dans la région N 5 jusqu'à un niveau situé en dessous du niveau inférieur des régions P 9. La région N 5 est munie d'une zone de contact N+ 11 reliée à un noeud d'application d'un potentiel V_B .

Des structures de grille 12 de transistor MOS sont disposées régulièrement sur la surface supérieure des tranchées d'isolement 7 et 10 au même pas D que les tranchées superficielles 10. Chaque structure de grille 12 comporte des espaceurs latéraux 13. Chaque région P 9 est reliée par un via 14 à un point mémoire à changement de phase situé au-dessus du via 14. Chaque point mémoire comprend sous une métallisation supérieure 15 un matériau à changement de phase 16 et un élément résistif 17 entouré d'un isolant 18 et situé entre le matériau

16 et le via 14. Trois points mémoire M1, M2 et M3 sont représentés en figure 1 et correspondent à des points mémoire d'une rangée de points mémoire disposés en matrice. Les métallisations supérieures 15 des points mémoire M1, M2 et M3 sont couplées à des noeuds d'application de potentiels respectifs V1, V2, V3 par des contacts 19.

La partie inférieure du substrat 3 dopé de type P, la région 5 dopée de type N et les régions 9 dopées de type P constituent des transistors bipolaires de type PNP verticaux. Chaque région P 9 constitue une région supérieure d'émetteur d'un transistor bipolaire. La région N 5 est une région de base commune, et la partie inférieure du substrat est un collecteur commun. Ce collecteur commun est connecté à une masse GND.

Pour programmer ou effacer le point mémoire M1, on applique un niveau bas de potentiel V_B sur la région de base commune. L'application d'un niveau haut choisi du potentiel V1 permet de faire circuler un courant de programmation ou d'effacement dans l'élément résistif du point mémoire M1. Il en résulte un échauffement et un changement de la phase du matériau à changement de phase du point mémoire M1. L'utilisation de transistors bipolaires verticaux permet de faire circuler des courants de programmation ou d'effacement élevés, par exemple supérieurs à 100 μA , sur une faible surface, permettant l'intégration de mémoires haute densité. La présence de tranchées superficielles d'isolement permet de limiter la circulation de courants de fuite depuis la région d'émetteur 9 associée au point mémoire M1 vers les points mémoire voisins. Ces courants de fuite sont dus en particulier à la présence de transistors bipolaires parasites constitués par les régions P 9 des transistors voisins séparées par la région de base 5.

On souhaite réaliser simultanément, d'une façon compatible avec la technologie CMOS, des transistors MOS latéraux et des transistors bipolaires verticaux. Les transistors MOS peuvent être des transistors de circuits logiques et les transistors bipolaires peuvent être des transistors de

points de mémoire non volatile que l'on souhaite isoler correctement les uns des autres. On souhaite obtenir des transistors bipolaires ayant une base commune et qui sont séparés les uns des autres par des structures isolantes telles que des tranchées superficielles.

Les figures 2 à 11 sont des vues en coupe, partielles et schématiques, illustrant des étapes d'un mode de réalisation d'un procédé de fabrication simultanée de transistors bipolaires verticaux et de transistors MOS. Chaque figure illustre, côté droit, la réalisation des transistors bipolaires verticaux et, côté gauche, la réalisation des transistors MOS.

A l'étape illustrée en figure 2, on a prévu une structure de type semiconducteur sur isolant SOI, comprenant, sur un substrat 20 semiconducteur, par exemple en silicium dopé du type P, une couche isolante 22 sur laquelle s'étend une couche semiconductrice 24, par exemple en silicium. La structure SOI est recouverte d'une couche 26 d'arrêt de gravure, par exemple en oxyde de silicium. On dépose alors une couche de nitrure de silicium 28. A titre d'exemple, la couche semiconductrice 24 a une épaisseur inférieure à 20 nm. La couche d'arrêt de gravure peut avoir une épaisseur inférieure à 5 nm.

A l'étape illustrée en figure 3, un masque 30 en résine a été formé côté gauche sur la surface supérieure de la couche 28. La partie droite de la couche de nitrure de silicium est ensuite éliminée par une gravure s'arrêtant au niveau de la couche d'arrêt 26.

A l'étape illustrée en figure 4, on a retiré le masque 30. On réalise alors une oxydation thermique de la face supérieure de la structure, de manière à oxyder la partie droite de la couche semiconductrice 24 sur la totalité de son épaisseur. Les parties droites des couches 22 et 26 isolantes et la partie oxydée de la couche 24 constituent une région isolante 40 côté droit. La région 40 s'étend du niveau inférieur de la couche 22 jusqu'à la face supérieure de la structure. La partie gauche de la couche 28 constitue un masque dur 42 qui permet de

conserver intacte la partie gauche de la couche semiconductrice 24.

A titre de variante de l'étape illustrée en figure 4, après avoir retiré le masque 30, on peut éliminer par gravure la
5 couche 26 puis la couche semiconductrice 24 sur la totalité de son épaisseur. On obtient une région isolante 40 qui correspond alors à la partie droite de la couche 22.

A l'étape illustrée en figure 5, on a formé un masque en résine 50 comprenant en partie droite des ouvertures 52
10 disposées au pas de grille régulier D du réseau de grilles de transistors MOS qui sera formé ultérieurement. Par une étape de gravure, les ouvertures 52 sont ensuite prolongées verticalement par des ouvertures 56 au travers de la portion isolante 40 jusque dans la partie supérieure du substrat 20. Les ouvertures
15 56 réalisées délimitent ainsi des murs isolants 58 disposés régulièrement au pas de grille D. A titre d'exemple, le pas de grille D est compris entre 80 nm et 150 nm. A titre d'exemple, la distance séparant deux ouvertures 56 voisines, ou largeur des murs isolants, est comprise entre 20 et 40 nm. A titre
20 d'exemple, l'épaisseur ou hauteur des murs isolants est comprise entre 25 et 30 nm. La couche isolante 22 peut avoir une épaisseur de 25 nm.

A l'étape illustrée en figure 6, le masque 50 a d'abord été retiré. On procède alors à une épitaxie sélective de
25 silicium. Des portions épitaxiées 60 se forment à partir du fond des ouvertures 56, et croissent entre les murs isolants 58. On arrête l'épitaxie lorsque les portions épitaxiées 60 remplissent les ouvertures 56 jusqu'au niveau supérieur des murs isolants 58.

30 A l'étape illustrée en figure 7, le masque dur 42 a été retiré. Un multicouche 70 comprenant une couche d'oxyde de silicium et une couche de nitrure de silicium est ensuite déposé sur la surface supérieure de l'ensemble de la structure.

A l'étape illustrée en figure 8, un masque 80 a été
35 réalisé sur la surface supérieure de l'ensemble de la structure.

Des tranchées sont formées jusqu'à un niveau situé dans le substrat 20. Une tranchée 84 sépare le côté gauche correspondant aux transistors MOS et le côté droit correspondant aux transistors bipolaires. Des tranchées 84 peuvent aussi séparer
5 côté droit des portions correspondant chacune à un groupe de transistors bipolaires ayant une base commune. Des tranchées 86 de séparation des transistors MOS sont situées du côté gauche.

A l'étape illustrée en figure 9, les tranchées 84 et 86 ont été remplies d'oxyde de silicium, formant des tranchées
10 d'isolement respectives 90 et 92. Le masque 80, le multicouche 70 et les portions de tranchées d'isolement 90 et 92 situées au-dessus du niveau inférieur du multicouche 70 ont été éliminées. Côté gauche, les portions restantes de la couche 26 d'arrêt de gravure ont été ensuite retirées. Les portions restantes de la
15 couche semiconductrice 24 constituent des dalles ou zones actives semiconductrices 94 (ou films minces semiconducteurs) reposant sur la couche isolante 22 et séparées par des tranchées d'isolement 92. On procède alors, côté droit, à un dopage de type N par implantation ionique pour former une région dopée 96
20 qui s'étend à partir de la surface supérieure dans les portions épitaxiées 60 et dans le substrat 20, jusqu'à un niveau situé dans le substrat au-dessus du niveau inférieur des tranchées d'isolement. La région 96 dopée de type N s'étend sous les murs isolants 58.

25 A l'étape illustrée en figure 10, on a formé simultanément côté droit et côté gauche un réseau de grilles 100 régulièrement espacées au pas de grille D. Chaque grille 100 est munie sur ses flancs d'espateurs latéraux isolants 102. Les structures de grille 100 ont été positionnées, côté droit, sur
30 les murs isolants 58 pour constituer des éléments de séparation et, côté gauche, en position centrale sur les dalles 94 pour constituer les grilles de transistors MOS.

On réalise ensuite une épitaxie sélective de silicium sur la surface de l'ensemble de la structure, simultanément côté
35 droit et côté gauche. Côté gauche, des portions épitaxiées 104

se forment à partir des parties des dalles semiconductrices 94 situées de part et d'autre des structures de grille 100. Côté droit, des portions épitaxiées 106 croissent entre les espaceurs isolants 102 à partir de la face supérieure des portions 60 de la région N 96. Les portions épitaxiées 106 et les portions épitaxiées 104 ont des faces supérieures situées à des niveaux identiques à 10 nm près.

A l'étape illustrée en figure 11, on a d'abord réalisé un dopage de type N, côté gauche, dans les portions épitaxiées 104 et des portions des dalles 94 situées en dessous de ces portions épitaxiées, et, côté droit, dans l'une 114 des portions épitaxiées 106. On a obtenu ainsi des zones de drain et de source 110 de transistors MOS à canal N, les parties des dalles 94 situées sous les grilles constituant des zones de formation de canal 112 des transistors MOS. On a aussi obtenu une zone de contact 114 associée à la région N 96. On réalise ensuite côté droit un dopage de type P des portions épitaxiées 106. On peut doper également des parties supérieures des portions épitaxiées 60 des régions 96. On obtient ainsi des régions dopées 116 de type P.

On a obtenu, côté droit, des transistors bipolaires de type PNP verticaux. Chaque région P 116 constitue une région supérieure d'émetteur d'un transistor bipolaire. La région N 96 est une région de base commune, et la partie inférieure du substrat P 20 est un collecteur commun. Les régions supérieures d'émetteur 116 des transistors bipolaires sont séparées notamment par les structures de grille 100. Les structures de grille isolent électriquement les régions supérieures d'émetteur 116 grâce à la présence des espaceurs latéraux isolants 102. Chaque structure de grille 100 constitue avec le mur isolant 58 situé sous elle une structure isolante 118 qui sépare des régions d'émetteur 116 voisines et s'étend verticalement dans une partie supérieure de la région de base commune 96. Les structures isolantes 118 permettent ainsi de limiter la circulation de courants de fuite entre transistors bipolaires

voisins. Ces courants de fuite sont dus à la présence notamment d'un transistor bipolaire parasite entre une zone P 116, une zone N 60 adjacente et une autre zone P 116, adjacente à la zone N 60. A une étape ultérieure non représentée, des vias sont
5 formés sur les zones de drain et de source 110 des transistors MOS et les régions d'émetteur 116 des transistors bipolaires. On note que les zones de drain et de source 110 et les régions d'émetteur 116 ont des faces supérieures situées à des niveaux sensiblement identiques, ce qui permet une réalisation
10 particulièrement simple des vias. Des points mémoire résistifs, par exemple à changement de phase, peuvent ensuite être formés sur les vias. Chaque point mémoire est situé sur un via disposé sur une des régions d'émetteur 116 et recouvert d'une métallisation supérieure.

15 On notera que les étapes de formation de tranchées d'isolement illustrées en figures 7, 8 et 9, l'étape d'épitaxie illustrée en figure 10 et les étapes de dopage illustrées en figure 11 sont des étapes de réalisation comprises dans un procédé de fabrication de transistors MOS sur une structure SOI.
20 De plus, un tel procédé de réalisation de transistors MOS peut comprendre une étape de gravure d'ouvertures de la couche isolante de la structure SOI, par exemple pour réaliser des contacts avec le substrat de la structure SOI. Cette gravure peut être réalisée en même temps que l'étape de gravure
25 illustrée en figure 5. Ainsi, les modes de réalisation décrits permettent la fabrication de transistors bipolaires isolés en ajoutant un nombre réduit d'étapes à un procédé de fabrication de transistors MOS sur une structure SOI.

Dans les modes de réalisation décrits, la fabrication
30 d'un seul groupe de transistors bipolaires verticaux ayant une base commune est décrite. D'autres modes de réalisation sont possibles permettant de fabriquer une pluralité de groupes de transistors bipolaires.

La figure 12 est une vue de dessus schématique
35 illustrant un mode de réalisation d'un procédé de fabrication

d'une telle pluralité de groupes 120 de transistors, les transistors de chaque groupe 120 ayant une base commune et correspondant à une rangée d'une matrice de points mémoire résistifs. La figure 12 est une vue à l'étape illustrée en figure 9, avant formation des grilles 100. Les régions de base commune 96 des groupes 120 voisins sont séparées par des tranchées d'isolement 90. On retrouve les murs d'isolement 58 situés dans chaque région de base commune.

Des modes de réalisation particuliers ont été décrits. Diverses variantes et modifications apparaîtront à l'homme de l'art. En particulier, dans les modes de réalisation décrits, le côté gauche de la structure obtenue ne contient que des transistors MOS à canal N. En pratique, on fabriquera également des transistors MOS à canal P. Ces transistors ont des zones de drain et de source qui peuvent être réalisées en même temps que les régions d'émetteur 116 des transistors bipolaires.

Dans les modes de réalisation décrits, les transistors bipolaires sont de type PNP et réalisés à partir d'une structure de type SOI sur un substrat de type P. D'autres modes de réalisation peuvent correspondre aux modes de réalisation décrits dans lesquels les types de conductivité N et P sont inversés.

En outre, bien que, dans les modes de réalisation décrits, une couche semiconductrice de silicium recouvre un isolant d'une structure SOI, la couche semiconductrice peut être en un autre matériau semiconducteur.

Bien que l'on ait décrit des modes de réalisation dans lesquels des transistors MOS sont réalisés, on peut prévoir de réaliser à côté des transistors bipolaires tout autre type de transistor sur structure SOI, par exemple des transistors à double grille, par exemple de type FinFET.

REVENDEICATIONS

1. Procédé de réalisation de transistors bipolaires verticaux et de transistors MOS, comprenant les étapes suivantes :

5 a) prévoir une couche semiconductrice (24) disposée sur une couche isolante (22) recouvrant un substrat (20) semiconducteur d'un premier type de conductivité ;

- du côté des transistors bipolaires :

10 b) former une région isolante (40) comprenant ladite couche isolante et s'étendant jusqu'à la face supérieure de l'ensemble ;

 c) graver des ouvertures (56) atteignant le substrat à travers ladite région isolante, délimitant ainsi des murs isolants (58) ;

15 d) former par épitaxie sélective un semiconducteur jusqu'à remplir les ouvertures par des premières portions épitaxiées (60) ; et

 e) réaliser un dopage d'un deuxième type de conductivité des premières portions épitaxiées et d'une première région (96) s'étendant en partie supérieure du substrat sous les premières portions épitaxiées et sous les murs isolants ;

- du côté des transistors bipolaires et du côté des transistors MOS :

 f) former des structures de grille (100) ;

25 g) former par épitaxie sélective des deuxièmes portions épitaxiées de semiconducteur (104, 106) ; et

 h) réaliser un dopage du premier type de conductivité des deuxièmes portions épitaxiées (106) recouvrant les premières portions épitaxiées.

30 2. Procédé selon la revendication 1, dans lequel à l'étape c) les ouvertures (56) sont gravées à un pas de grille (D) des transistors MOS et à l'étape f) les structures de grille (100) sont formées audit pas de grille.

3. Procédé selon la revendication 1 ou 2, dans lequel l'étape b) comprend une étape d'oxydation de la couche semiconductrice (24) sur toute son épaisseur.

4. Procédé selon l'une quelconque des revendications 1 à 3, dans lequel l'étape b) comprend une étape d'élimination de la couche semiconductrice (24) sur toute son épaisseur.

5. Procédé selon l'une quelconque des revendications 1 à 4, comprenant en outre avant l'étape f) une étape de formation de tranchées d'isolement (90, 92) délimitant la première région.

6. Procédé selon l'une quelconque des revendications 1 à 5, dans lequel l'étape f) comprend une étape de formation d'espaces latéraux isolants (102) compris dans les structures de grille (100).

7. Procédé selon l'une quelconque des revendications 1 à 6, comprenant en outre une étape de formation de vias disposés sur les deuxièmes portions épitaxiées, suivie d'une étape de formation de points mémoire à transition de phase disposés sur les vias.

8. Procédé selon l'une quelconque des revendications 1 à 7, dans lequel la couche semiconductrice (24) est en silicium.

9. Procédé selon l'une quelconque des revendications 1 à 8, dans lequel la couche semiconductrice (24) a une épaisseur inférieure à 20 nm.

10. Procédé selon l'une quelconque des revendications 1 à 9, dans lequel les murs isolants (58) ont une épaisseur comprise entre 25 et 30 nm.

11. Procédé selon l'une quelconque des revendications 1 à 10, dans lequel les murs isolants s'étendent aussi profondément que la couche isolante (22).

12. Procédé selon l'une quelconque des revendications 1 à 11, dans lequel le pas de grille (D) est compris entre 80 et 150 nm.

13. Dispositif comprenant :

des transistors bipolaires verticaux ayant une région de collecteur commune (20) recouverte par une région de base

commune (96), et des régions supérieures d'émetteur (114) séparées par des premières structures de grille (100) munies d'espateurs latéraux (102), les structures de grille reposant sur des murs isolants (58) s'étendant verticalement dans une
5 partie supérieure de la région de base ; et

des transistors MOS comprenant chacun des régions de drain et de source (110) ayant des parties supérieures épitaxiées séparées par une deuxième structure de grille (100) identique aux premières structures de grille,

10 les premières et deuxièmes structures de grille étant disposées régulièrement, les régions supérieures d'émetteur et les régions de drain et de source ayant des faces supérieures disposées à des niveaux identiques à 10 nm près.

14. Dispositif selon la revendication 13, dans lequel
15 les premières et deuxièmes structures de grille sont disposées selon un même pas de grille (D).

15. Dispositif selon la revendication 13 ou 14, dans lequel les transistors MOS sont disposés sur une couche isolante (22), les murs isolants (58) s'étendant dans le substrat aussi
20 profondément que la couche isolante.

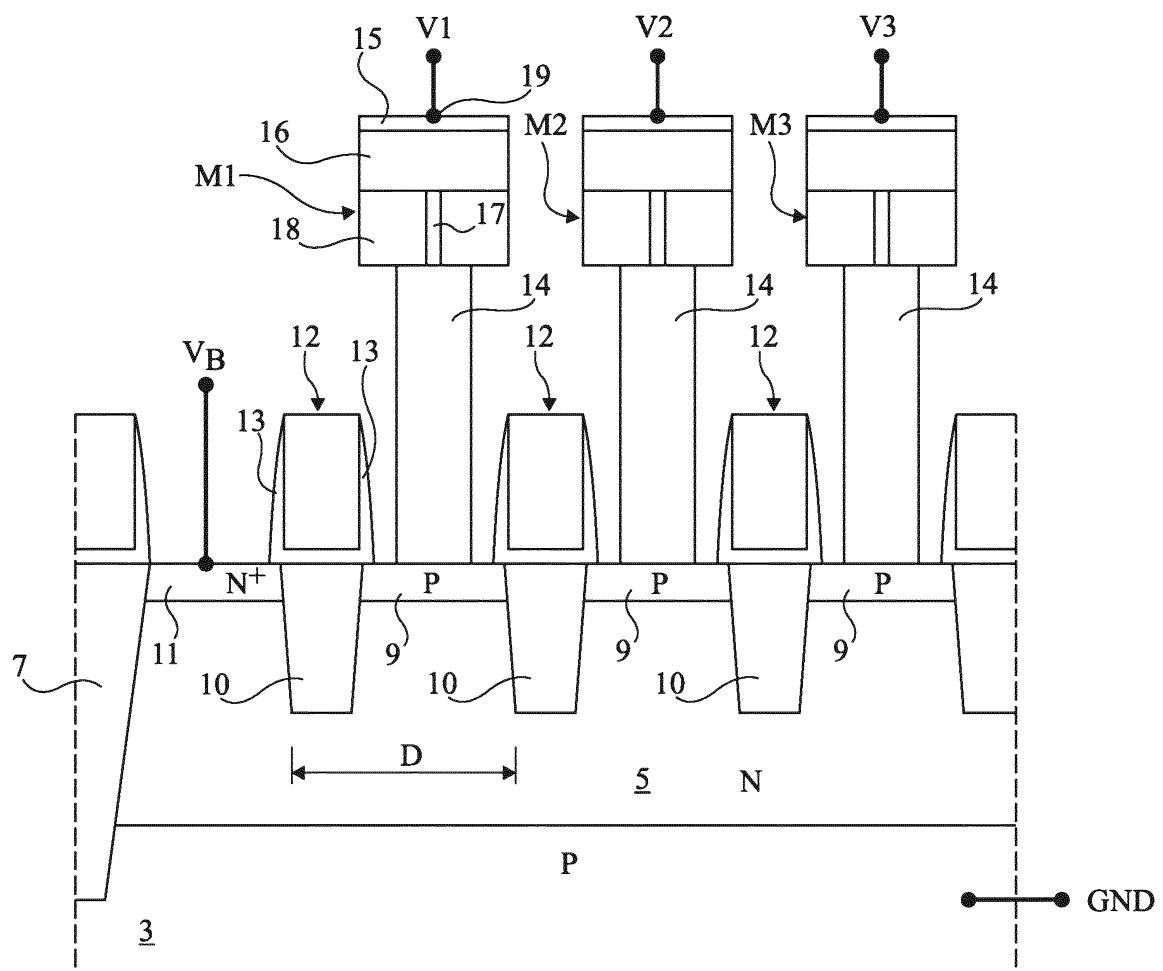


Fig 1

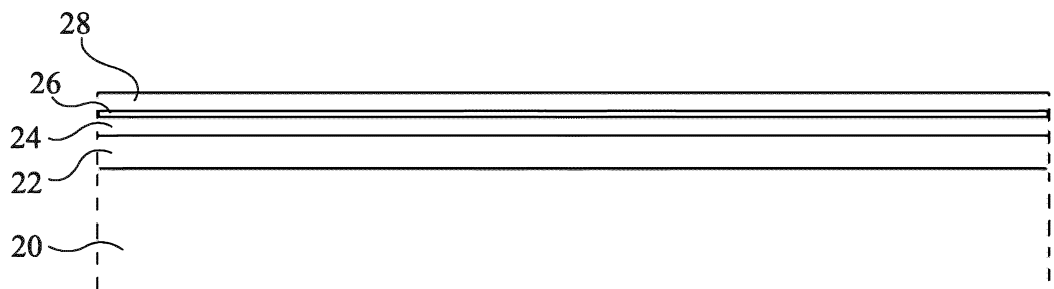


Fig 2

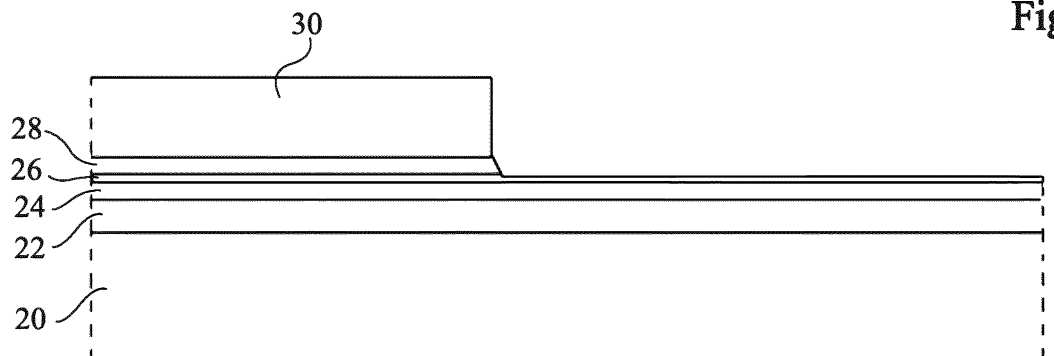


Fig 3

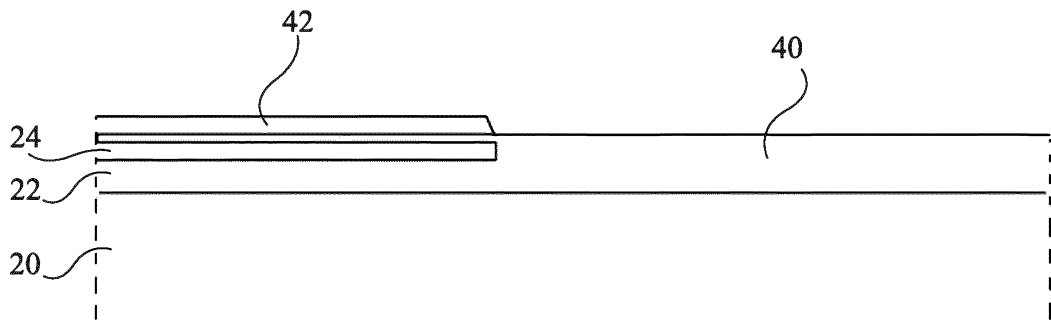


Fig 4

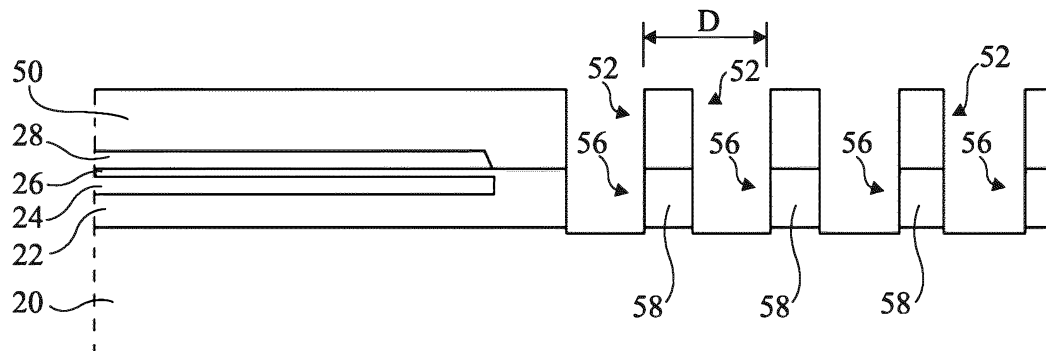


Fig 5

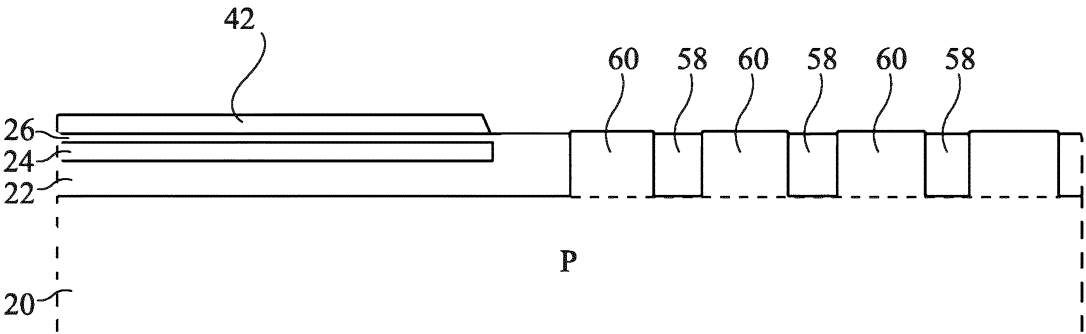


Fig 6

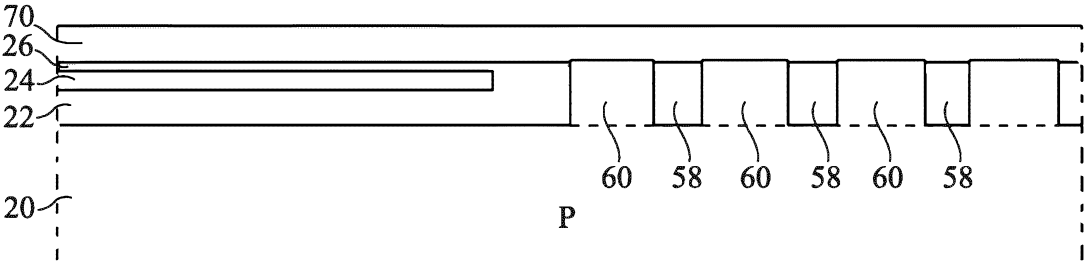


Fig 7

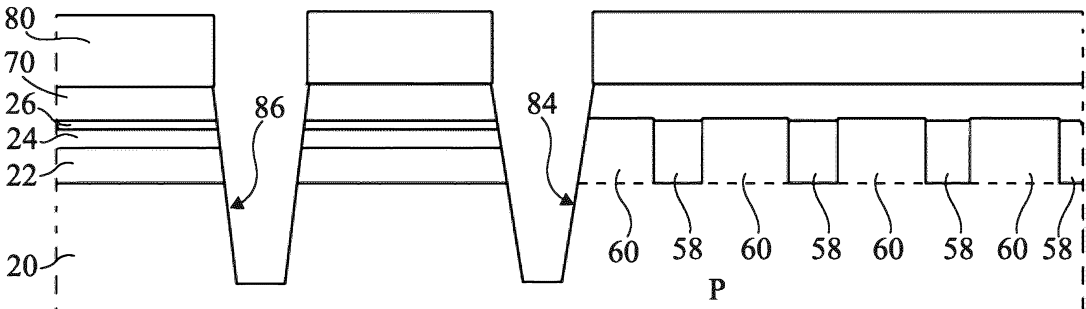


Fig 8

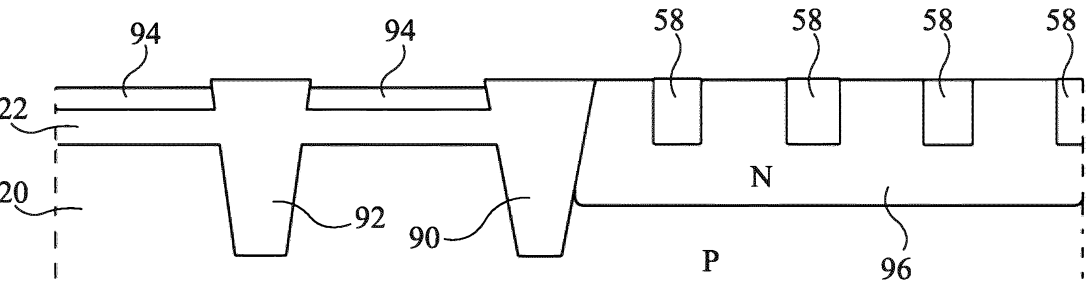


Fig 9

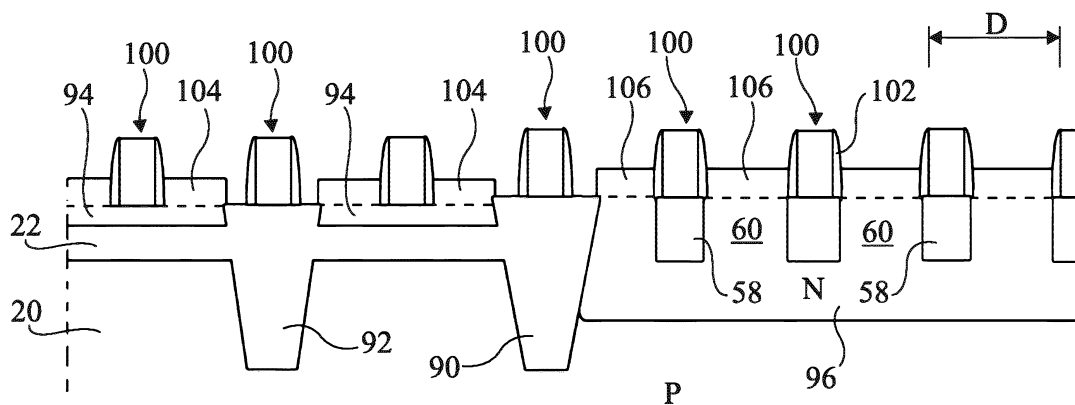


Fig 10

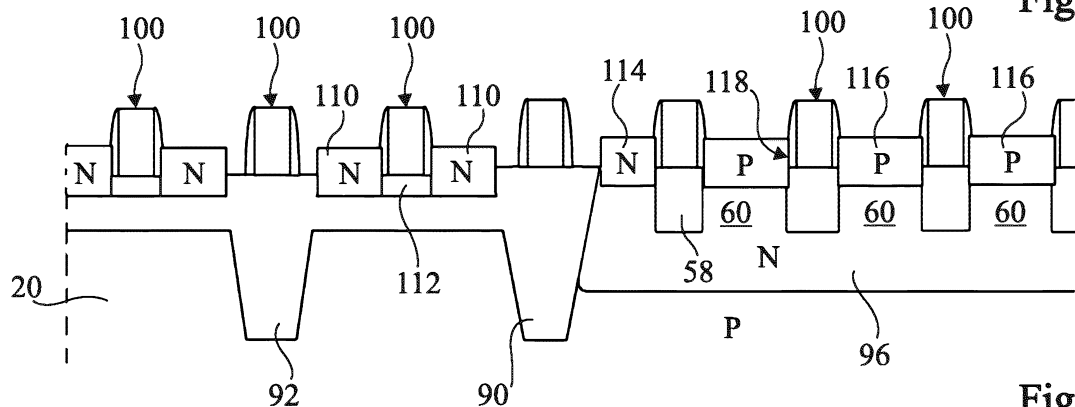


Fig 11

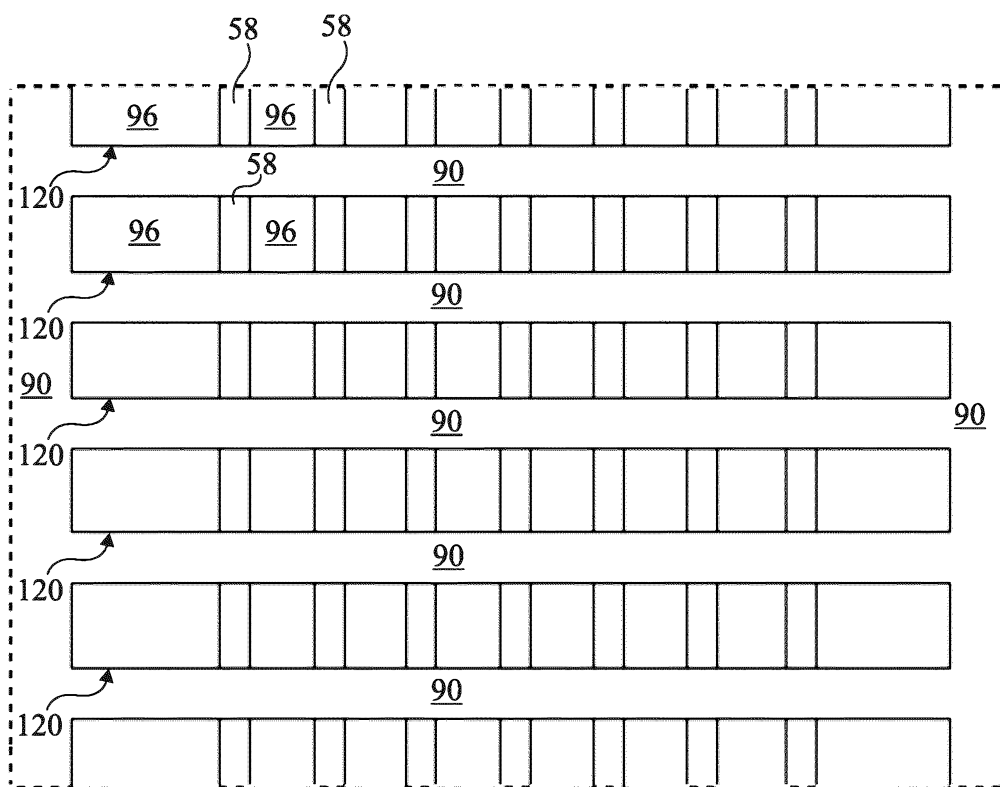


Fig 12

RAPPORT DE RECHERCHE

articles L.612-14, L.612-17 et R.612-53 à 69 du code de la propriété intellectuelle

OBJET DU RAPPORT DE RECHERCHE

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

CONDITIONS D'ÉTABLISSEMENT DU PRÉSENT RAPPORT DE RECHERCHE

- ☐ Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.
- ☒ Le demandeur a maintenu les revendications.
- ☐ Le demandeur a modifié les revendications.
- ☐ Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.
- ☐ Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.
- ☐ Un rapport de recherche préliminaire complémentaire a été établi.

DOCUMENTS CITÉS DANS LE PRÉSENT RAPPORT DE RECHERCHE

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

- ☐ Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.
- ☒ Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.
- ☐ Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.
- ☐ Aucun document n'a été cité en cours de procédure.

**1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN
CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION**

NEANT

**2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN
TECHNOLOGIQUE GENERAL**

US 2007/045767 A1 (ZHU RONGHUA [US] ET AL)
1 mars 2007 (2007-03-01)

US 2008/308837 A1 (GAUTHIER JR ROBERT J [US] ET AL)
18 décembre 2008 (2008-12-18)

US 2007/126064 A1 (PELLIZZER FABIO [IT] ET AL)
7 juin 2007 (2007-06-07)

US 6 790 722 B1 (DIVAKARUNI RAMACHANDRA [US] ET AL)
14 septembre 2004 (2004-09-14)

**3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND
DE LA VALIDITE DES PRIORITES**

NEANT