

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和7年5月19日(2025.5.19)

【国際公開番号】WO2024/053485

【出願番号】特願2024-545597(P2024-545597)

【国際特許分類】

H 1 0 D 8 4 / 8 0 (2 0 2 5 . 0 1)

H 1 0 D 3 0 / 6 6 (2 0 2 5 . 0 1)

【 F I 】

H 1 0 D 8 4 / 8 0 2 0 3 A

H 1 0 D 8 4 / 8 0 2 0 3 G

H 1 0 D 3 0 / 6 6 1 0 1 T

H 1 0 D 8 4 / 8 0 2 0 2 A

H 1 0 D 3 0 / 6 6 1 0 1 F

H 1 0 D 3 0 / 6 6 1 0 3 S

H 1 0 D 3 0 / 6 6 1 0 1 B

H 1 0 D 3 0 / 6 6 2 0 1 C

H 1 0 D 3 0 / 6 6 1 0 2 C

H 1 0 D 3 0 / 6 6 1 0 2 F

H 1 0 D 3 0 / 6 6 1 0 1 L

H 1 0 D 3 0 / 6 6 1 0 2 B

H 1 0 D 3 0 / 6 6 1 0 3 R

H 1 0 D 3 0 / 6 6 1 0 3 Q

H 1 0 D 8 4 / 8 0 2 0 3 E

10

20

【手続補正書】

【提出日】令和7年3月4日(2025.3.4)

【手続補正1】

【補正対象書類名】特許請求の範囲

30

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

主面を有するチップと、
前記主面に設けられた出力領域と、
前記主面に設けられた保護領域と、
前記出力領域において第1間隔を空けて前記主面に形成された複数の第1トレンチゲート構造を有する出力トランジスタと、
前記保護領域において前記第1間隔よりも大きい第2間隔を空けて前記主面に形成された複数の第2トレンチゲート構造を含む保護トランジスタを有し、過電圧の放電経路を形成する保護回路と、を含む、半導体装置。

40

【請求項2】

前記第2間隔は、前記第1間隔の4倍以下である、請求項1に記載の半導体装置。

【請求項3】

前記第1間隔は、0.4 μm以上0.8 μm以下であり、

前記第2間隔は、0.8 μm以上1.6 μm以下である、請求項1に記載の半導体装置

【請求項4】

50

複数の前記第 1 トレンチゲート構造は、 $0.4 \mu\text{m}$ 以上 $2 \mu\text{m}$ 以下の幅を有し、
 複数の前記第 2 トレンチゲート構造は、 $0.4 \mu\text{m}$ 以上 $2 \mu\text{m}$ 以下の幅を有している、
 請求項 1 に記載の半導体装置。

【請求項 5】

前記第 1 間隔は、各前記第 1 トレンチゲート構造の幅未満であり、
 前記第 2 間隔は、各前記第 2 トレンチゲート構造の幅以上である、請求項 1 に記載の半導体装置。

【請求項 6】

複数の前記第 2 トレンチゲート構造は、複数の前記第 1 トレンチゲート構造の幅とほぼ等しい幅を有している、請求項 1 に記載の半導体装置。

10

【請求項 7】

複数の前記第 1 トレンチゲート構造は、 $1 \mu\text{m}$ 以上 $6 \mu\text{m}$ 以下の深さを有し、
 複数の前記第 2 トレンチゲート構造は、 $1 \mu\text{m}$ 以上 $6 \mu\text{m}$ 以下の深さを有している、請求項 1 に記載の半導体装置。

【請求項 8】

複数の前記第 2 トレンチゲート構造は、複数の前記第 1 トレンチゲート構造の深さとほぼ等しい深さを有している、請求項 1 に記載の半導体装置。

【請求項 9】

前記出力領域は、第 1 平面積を有し、
 前記保護領域は、前記第 1 平面積未満の第 2 平面積を有している、請求項 1 に記載の半導体装置。

20

【請求項 10】

前記第 2 平面積は、前記第 1 平面積の $1/10$ 以下である、請求項 9 に記載の半導体装置。

【請求項 11】

前記出力トランジスタは、単位面積当たりにおいて第 1 ブレークダウン電流を有し、
 前記保護トランジスタは、前記単位面積当たりにおいて前記第 1 ブレークダウン電流よりも大きい第 2 ブレークダウン電流を有している、請求項 1 に記載の半導体装置。

【請求項 12】

前記出力トランジスタは、単位面積当たりにおいて第 1 オン抵抗を有し、
 前記保護トランジスタは、前記単位面積当たりにおいて前記第 1 オン抵抗よりも大きい第 2 オン抵抗を有している、請求項 1 に記載の半導体装置。

30

【請求項 13】

複数の前記第 1 トレンチゲート構造は、絶縁体を挟んで第 1 トレンチ内に上下方向に埋設された第 1 上電極および第 1 下電極を含む電極構造をそれぞれ有し、
 複数の前記第 2 トレンチゲート構造は、絶縁体を挟んで第 2 トレンチ内に上下方向に埋設された第 2 上電極および第 2 下電極を含む電極構造をそれぞれ有している、請求項 1 に記載の半導体装置。

【請求項 14】

前記出力領域および前記保護領域の双方において前記主面の表層部に形成された第 1 導電型のドリフト領域と、
 前記出力領域において前記ドリフト領域の表層部に形成され、前記ドリフト領域よりも高い不純物濃度を有する第 1 導電型の高濃度ドリフト領域と、をさらに含み、
 複数の前記第 1 トレンチゲート構造は、前記高濃度ドリフト領域内に位置されるように前記主面に形成され、
 複数の前記第 2 トレンチゲート構造は、前記ドリフト領域内に位置されるように前記主面に形成されている、請求項 1 ~ 13 のいずれか一項に記載の半導体装置。

40

【請求項 15】

前記高濃度ドリフト領域は、前記保護領域には形成されていない、請求項 14 に記載の半導体装置。

50

【請求項 16】

前記高濃度ドリフト領域は、前記ドリフト領域の底部から前記主面側に間隔を空けて形成され、

複数の前記第1トレンチゲート構造は、前記高濃度ドリフト領域の底部から前記主面側に間隔を空けて形成されている、請求項14に記載の半導体装置。

【請求項 17】

主面を有するチップと、

前記主面に設けられた出力領域と、

前記主面に設けられた保護領域と、

前記主面の表層部に形成された第1導電型のドリフト領域と、

前記出力領域において前記ドリフト領域の表層部に形成され、前記ドリフト領域よりも高い不純物濃度を有する第1導電型の高濃度ドリフト領域と、

前記出力領域において前記高濃度ドリフト領域内に位置されるように前記主面に形成された第1トレンチゲート構造を有する出力トランジスタと、

前記保護領域において前記ドリフト領域内に位置されるように前記主面に形成された第2トレンチゲート構造を含む保護トランジスタを有し、過電圧の放電経路を形成する保護回路と、を含む、半導体装置。

10

【請求項 18】

前記高濃度ドリフト領域は、前記保護領域に形成されていない、請求項17に記載の半導体装置。

20

【請求項 19】

前記出力領域は、第1平面積を有し、

前記保護領域は、前記第1平面積未満の第2平面積を有している、請求項17に記載の半導体装置。

【請求項 20】

前記高濃度ドリフト領域は、前記ドリフト領域の底部から前記主面側に間隔を空けて形成され、

前記第1トレンチゲート構造は、前記高濃度ドリフト領域の底部から前記主面側に間隔を空けて形成され、

前記第2トレンチゲート構造は、前記ドリフト領域の底部から前記主面側に間隔を空けて形成されている、請求項17～19のいずれか一項に記載の半導体装置。

30

40

50