(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年9月7日(07.09.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/166666 A1

(51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/739* (2006.01)
H01L 29/06 (2006.01)

(21) 国際出願番号： PCT/JP2022/009146

(22) 国際出願日： 2022年3月3日(03.03.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人:三菱電機株式会社(**MITSUBISHI ELECTRIC CORPORATION**) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

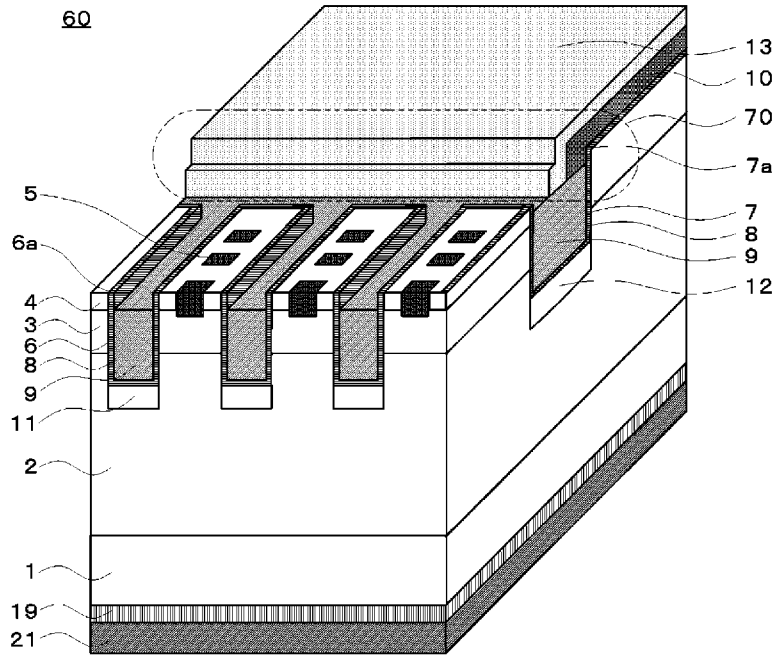
(72) 発明者: 小山 皓洋 (**KOYAMA, Akihiro**); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 岩松 俊明(**IWAMATSU, Toshiaki**); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人:村上 加奈子, 外(**MURAKAMI, Kanako** et al.); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社 知的財産センター内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置および半導体装置の製造方法



(57) **Abstract:** This semiconductor device comprises: a field insulating film (10) that contacts a first gate electrode (9) formed in a termination trench (7) and is formed from the inside to the outside of the termination trench (7) while covering the top of a termination trench top corner (7a) distant from a gate trench (6) in an extending direction of the gate trench (6), the field insulating film having a thickness that is greater than the thickness of a gate insulating film (8); and a second gate electrode (13) that contacts the top of the field insulating film (10) and the top of the first gate electrode (9) formed in the termination trench (7), and rides up on the field insulating film (10) from the inside to the outside of the termination trench (7) in the extending direction of the gate trench (6). With this configuration, it is possible to prevent breakdown

WO 2023/166666 A1

[続葉有]

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

of the gate insulating film (8) formed on the termination trench top corner (7a) distant from an active region (40) in a gate lead-out portion (70).

(57) 要約：半導体装置は、終端トレンチ（７）に形成された第１ゲート電極（９）に接し、ゲートトレンチ（６）の延伸方向においてゲートトレンチ（６）から遠い方の終端トレンチ上端角部（７ａ）の上方を覆って終端トレンチ（７）の内側から外側に渡り形成され、厚さがゲート絶縁膜（８）の厚さよりも厚いフィールド絶縁膜（１０）と、フィールド絶縁膜（１０）の上と終端トレンチ（７）に形成される第１ゲート電極（９）の上とに接し、ゲートトレンチ（６）の延伸方向において終端トレンチ（７）の内側から外側に渡ってフィールド絶縁膜（１０）に乗り上げる第２ゲート電極（１３）とを備える構成により、ゲート引き出し部（７０）において活性領域（４０）から遠い方の終端トレンチ上端角部（７ａ）に形成されたゲート絶縁膜（８）の破壊を防止できる。

明　細　書

発明の名称 ： 半導体装置および半導体装置の製造方法

技術分野

[0001]　本開示は、トレンチゲート型の半導体装置およびその製造方法に関し、特に半導体装置の外周側のゲート電極の構造に関する。

背景技術

[0002]　車載機器、産業機器等の電力制御用途において、トレンチゲート構造を有する、絶縁ゲート型バイポーラトランジスタ（ＩＧＢＴ：Ｉｎｓｕｌａｔｅｄ　Ｇａｔｅ　Ｂｉｐｏｌａｒ　Ｔｒａｎｓｉｓｔｏｒ）、絶縁ゲート型電界効果トランジスタ（ＭＯＳＦＥＴ：Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）等の半導体装置が用いられている。

[0003]　トレンチゲート構造を有する半導体装置には、主電流が流れる活性領域のゲートトレンチを活性領域の外側の終端領域へ延伸して形成したトレンチにおいて、ゲート電極引き出し部が設けられる。特許文献１には、ゲート電極引き出し部に絶縁膜を形成し、トレンチ上の絶縁膜を高精度に開口してゲート電極をゲートパッドへ接続させ、活性領域から遠い方のトレンチ上端角部の絶縁膜の電界集中を緩和させることが開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特表２００６－５２００９１号公報（図７Ｃ参照）

発明の概要

発明が解決しようとする課題

[0005]　しかしながら、特許文献１に示されたゲート引き出し部のトレンチ上の絶縁膜を開口する際、開口位置がずれることまたは垂直に開口されないこと等により、ゲート引き出し部の活性領域から遠い方のトレンチ上端角部の絶縁膜の厚みが薄くなる場合があった。この場合、ゲート電極に閾値以上の電圧

が印加された半導体装置のオン状態において、ゲート引き出し部の活性領域から遠い方のトレンチ上端角部に形成された絶縁膜に電界が集中し、絶縁膜が破壊に至ることがあった。

[0006] 本開示は、上述の課題を解決するためになされたものであり、ゲート引き出し部において活性領域から遠い方のトレンチ上端角部に形成された絶縁膜の破壊を防止した半導体装置を提供することを目的とする。

課題を解決するための手段

[0007] 本開示の半導体装置は、第１導電型のドリフト層と、ドリフト層の表層に設けられる第２導電型のウェル領域と、ウェル領域の表層に設けられる第１導電型の不純物領域と、不純物領域の表面からウェル領域を貫通してドリフト層まで達するゲートトレンチと、平面視でゲートトレンチにつながり、ゲートトレンチの延伸方向における幅が、ゲートトレンチの幅よりも広い終端トレンチと、ゲートトレンチと終端トレンチとの内側に接して形成されるゲート絶縁膜と、ゲートトレンチと終端トレンチとの内側にゲート絶縁膜を介して形成される第１ゲート電極と、終端トレンチに形成された第１ゲート電極に接し、延伸方向においてゲートトレンチから遠い方の終端トレンチの上端角部の上方を覆って終端トレンチの内側から外側に渡り形成され、厚さがゲート絶縁膜の厚さよりも厚いフィールド絶縁膜と、フィールド絶縁膜の上と終端トレンチに形成される第１ゲート電極の上とに接し、延伸方向において終端トレンチの内側から外側に渡ってフィールド絶縁膜に乗り上げる第２ゲート電極とを備える。

[0008] また、本開示の半導体装置の製造方法は、第１導電型のドリフト層を形成する工程と、ドリフト層の表層に第２導電型のウェル領域を設ける工程と、ウェル領域の表層に第１導電型の不純物領域を設ける工程と、不純物領域の表面からウェル領域を貫通してドリフト層まで達するゲートトレンチを設ける工程と、平面視でゲートトレンチにつながり、ゲートトレンチの延伸方向における幅がゲートトレンチの幅よりも広い終端トレンチを設ける工程と、ゲートトレンチと終端トレンチとの内側に接するゲート絶縁膜を形成する工

程と、ゲートトレンチと終端トレンチとの内側にゲート絶縁膜を介して第１ゲート電極を形成する工程と、終端トレンチに形成された第１ゲート電極に接し、延伸方向においてゲートトレンチから遠い方の終端トレンチの上端角部の上方を覆って終端トレンチの内側から外側に渡り、厚さをゲート絶縁膜の厚さよりも厚くしたフィールド絶縁膜を形成する工程と、フィールド絶縁膜の上と終端トレンチに形成される第１ゲート電極の上とに接し、延伸方向において終端トレンチの内側から外側に渡ってフィールド絶縁膜に乗り上げる第２ゲート電極を形成する工程とを備える。

発明の効果

[0009] 本開示によれば、ゲート引き出し部において活性領域から遠い方の終端トレンチ上端角部に形成された絶縁膜の破壊を防止した半導体装置を得ることができる。

図面の簡単な説明

[0010] [図1]実施の形態１における半導体装置の概略構成を示す平面模式図である。

[図2]実施の形態１における半導体装置の概略構成を示す模式図である。

[図3]実施の形態１における半導体装置の概略構成を示す断面模式図である。

[図4]実施の形態１における半導体装置の製造方法の説明図である。

[図5]実施の形態１における半導体装置の製造方法の説明図である。

[図6]実施の形態１における半導体装置の製造方法の説明図である。

[図7]実施の形態１における半導体装置の製造方法の説明図である。

[図8]実施の形態１における半導体装置の製造方法の説明図である。

[図9]実施の形態１における半導体装置の変形例の概略構成を示す平面模式図である。

[図10]実施の形態２における半導体装置の概略構成を示す模式図である。

[図11]実施の形態２における半導体装置の概略構成を示す模式図である。

[図12]実施の形態３における半導体装置の概略構成を示す平面模式図である。

[図13]実施の形態３における半導体装置の概略構成を示す模式図である。

発明を実施するための形態

[0011] 以下に、本開示の実施の形態について、図面に基づいて詳細に説明する。ここで、図面は模式的に示されており、異なる図面にそれぞれ示された図のサイズおよび位置の相互関係は適宜変更され得る。また、図面について簡潔に説明するために、半導体層や電極の詳細が省略される場合がある。また、上、下、側、底、表または裏などの、特定の位置および方向を意味する用語は、便宜上用いられているものであり、実施される際の方向とは関係しない。

[0012] また、本開示の実施の形態では、半導体の第１導電型はｎ型であり、第２導電型はｐ型である場合について説明するが、第１導電型はｐ型であり、第２導電型はｎ型であってもよい。また、半導体装置はＭＯＳＦＥＴである場合について説明するが、ＩＧＢＴであってもよい。また、半導体基板とドリフト層との材料は炭化珪素（ＳｉＣ）である場合について説明するが、シリコンまたは窒化ガリウム、ダイヤモンドなどのシリコンよりもバンドギャップが大きい材料であってもよく、これらの組み合わせであってもよい。

[0013] 実施の形態１．

まず、本実施の形態における半導体装置の構成について説明する。図１は、本実施の形態における半導体装置の概略構成を示す平面模式図である。図１に示すように、半導体装置には半導体装置の動作状態において主電流が流れる領域である活性領域４０およびその外側の領域である終端領域５０が設けられている。ここで、簡潔な説明のために、フィールド絶縁膜１０および表面電極２０などの図示は省略している。

[0014] 活性領域４０にはストライプ状のゲートトレンチ６および第１ゲート電極９が設けられている。終端領域５０にはゲートトレンチ６につながる終端トレンチ７および第１ゲート電極９が設けられ、さらに紙面に垂直な方向において第１ゲート電極９に接続する、第２ゲート電極１３が設けられる。また、終端領域５０には、第２ゲート電極１３に接続するゲートパッド１６が設けられている。ここで、活性領域４０と終端領域５０との境界は、平面視でゲートトレンチ６と終端トレンチ７とが接する位置、およびゲートパッド１

６が配置される位置である。

[0015] 図２は、本実施の形態における半導体装置の概略構成を示す模式図であり、図１の部分領域６０の断面および上面を斜視したものである。また、図３は、実施の形態１における半導体装置の概略構成を示す断面模式図であり、図１のＡ１－Ａ２線における断面を表したものである。

[0016] 図２に示すように、半導体装置には半導体基板１の表側に、ドリフト層２、ウェル領域３、不純物領域４、コンタクト領域５、ゲートトレンチ６、ゲート絶縁膜８および第１ゲート電極９が設けられ、さらに終端トレンチ７、フィールド絶縁膜１０、第１電界緩和領域１１、第２電界緩和領域１２および第２ゲート電極１３が設けられている。また、図２に示すように、半導体装置には半導体基板１の裏側に、裏面オーミック電極１９および裏面電極２１が設けられている。

[0017] ここで、第２ゲート電極１３が形成されるゲート引き出し部７０において、ゲートトレンチ６から遠い方の終端トレンチ上端角部７ａはゲート絶縁膜８よりも厚いフィールド絶縁膜１０で覆われており、第１ゲート電極９の上からフィールド絶縁膜１０に乗り上げた第２ゲート電極１３が形成されている。

[0018] ドリフト層２は、ｎ型の炭化珪素で構成した半導体基板１の上に設けられ、ｎ型の炭化珪素で構成される。ドリフト層２のｎ型不純物は窒素または燐とすればよく、ドリフト層２の不純物濃度は、$1\times10^{14}cm^{-3}$以上、$1\times10^{17}cm^{-3}$以下程度とすればよい。ドリフト層２の厚さは、５μｍ以上、２００μｍ以下程度とすればよい。

[0019] ウェル領域３は、ドリフト層２の表層に設けられるｐ型の領域であり、炭化珪素で構成する。ウェル領域３のｐ型不純物は、アルミニウム、ホウ素またはガリウムとすればよく、ウェル領域３の不純物濃度は、$1\times10^{15}cm^{-3}$以上、$1\times10^{20}cm^{-3}$以下程度とすればよい。ここで、ウェル領域３の不純物濃度は、深さ方向に一定であってもよいし、一定でなくてもよい。ウェル領域３の厚さは、０．３μｍ以上、３μｍ以下程度とすればよい。

[0020] 不純物領域４は、ウェル領域３の表層に設けられるｎ型の領域であり、炭化珪素で構成する。ここで、不純物領域４は、換言するとソース領域である。不純物領域４のｎ型不純物は、窒素または燐とすればよく、不純物領域４の不純物濃度は、１×１０^{18}ｃｍ$^{-3}$以上、１×１０^{21}ｃｍ$^{-3}$以下程度とすればよい。不純物領域４の厚さは、ウェル領域３の厚さ以下であればよい。

[0021] コンタクト領域５は、ウェル領域３の表層に設けられるｐ型の領域であり、炭化珪素で構成する。コンタクト領域５は、不純物領域４と後述する表面オーミック電極１８とに接続される。コンタクト領域５を形成すると、不純物領域４からコンタクト領域５を介して表面オーミック電極１８へと接続される経路が形成され、不純物領域４から表面オーミック電極１８までの経路において電気的接続が良好となる。

[0022] コンタクト領域５のｐ型不純物は、アルミニウム、ホウ素またはガリウムとすればよく、コンタクト領域５の不純物濃度は、１×１０^{18}ｃｍ$^{-3}$以上、１×１０^{22}ｃｍ$^{-3}$で以下程度とすればよい。コンタクト領域５の厚さは、ウェル領域３の厚さ以下であればよい。ここでは、半導体装置にはコンタクト領域５が設けられる例を示しているが、設けないようにしてもよい。

[0023] ゲートトレンチ６は、不純物領域４の表面からウェル領域３を貫通してドリフト層２まで達する溝である。ゲートトレンチ６は、図１に示すように、活性領域４０にストライプ状に、つまり並列に設けられている。ゲートトレンチ６をストライプ状に設けると、本実施の形態における半導体装置を半導体基板１およびドリフト層２に炭化珪素を用いたトレンチゲート型ＭＯＳＦＥＴとする場合に、チャネル移動度の高い（１－１００）面等の面をチャネルとして利用することができ、半導体装置の特性を向上させることができる。また、ゲートトレンチ６は、活性領域４０から終端領域５０に向かう方向に延伸している。以降、この延伸する方向は、ゲートトレンチ６の延伸方向とする場合がある。

[0024] ゲートトレンチ６の幅は、図２の前面側の断面の左右方向の幅を指し、１μｍ以上、１０μｍ以下程度とすればよい。ゲートトレンチ６の形状が断面

視でテーパー状の場合、ゲートトレンチ６の幅は、テーパー形状における最も広い部分の幅を指す。ゲートトレンチ６の深さは、１μｍ以上、６μｍ以下程度とすればよい。

[0025] 終端トレンチ７は、平面視でゲートトレンチ６につながり、ゲートトレンチ６の延伸方向における幅が、ゲートトレンチ６の幅よりも広い溝である。終端トレンチ７は、平面視でゲートトレンチ６を延伸して設けることができる。終端トレンチ７の深さは、ゲートトレンチ６の深さと同じであってもよいし、同じでなくてもよい。ゲートトレンチ６の延伸方向における終端トレンチ７の幅は、ゲートトレンチ６の幅の３倍以下とすればよく、例えば、１μｍを超え、３０μｍ以下とすることができる。

[0026] このように終端トレンチ７の幅を選ぶと、ゲートトレンチ６から遠い方の終端トレンチ上端角部７ａの上方を後述するフィールド絶縁膜１０で容易に覆い、ゲート引き出し部７０を容易に形成できる。つまり、フィールド絶縁膜１０を高精度に開口するプロセスを用いることなく、後述する終端トレンチ７に形成された第１ゲート電極９と第２ゲート電極１３とを接続することができる。また、後述する第１ゲート電極９のエッチバックプロセスにおいて第１ゲート電極９が消失して断線するのを抑制することができる。ここで、終端トレンチ上端角部７ａは、図２または図３に示すように、終端トレンチ７の内側と外側との境界部にあり、終端トレンチ７の角部の一点、および角部近傍のゲート絶縁膜８が形成され得る領域を含む。つまり、終端トレンチ上端角部７ａは、終端トレンチ７の内側の一部と外側の一部とを含む、換言すれば終端トレンチ上端角部７ａ近傍を含む。

[0027] ゲート絶縁膜８は、ゲートトレンチ６と終端トレンチ７との内側の面に接して形成され、二酸化珪素で構成される。ゲート絶縁膜８は、図２に示すように、ゲートトレンチ６と終端トレンチ７との内側において、それぞれゲートトレンチ上端角部６ａと終端トレンチ上端角部７ａとの位置またはその位置よりも低い位置に形成されればよい。ゲート絶縁膜８の厚さは、１０ｎｍ以上、１００ｎｍ以下程度とすることができる。また、ゲート絶縁膜８は、

図２または図３に示すように、ゲートトレンチ６または終端トレンチ７の外側、例えば終端領域５０のウェル領域３の上、または不純物領域４の上に形成してもよい。ゲート絶縁膜８が終端領域５０のウェル領域３の上に形成される場合、ゲート絶縁膜８は終端トレンチ上端角部７ａを覆う。

[0028] 第１ゲート電極９は、ゲートトレンチ６と終端トレンチ７との内側にゲート絶縁膜８を介して形成され、ポリシリコン等の導電性材料で構成される。第１ゲート電極９の上端は、図２に示すように、ゲートトレンチ６と終端トレンチ７との内側において、それぞれゲートトレンチ上端角部６ａと終端トレンチ上端角部７ａとの位置またはその位置よりも低い位置、つまり下方に形成されてもよい。

[0029] 第１ゲート電極９の上端をゲートトレンチ上端角部６ａと終端トレンチ上端角部７ａとよりも下方に位置するように形成すると、半導体装置の動作状態においてゲートトレンチ上端角部６ａと終端トレンチ上端角部７ａとの近傍に形成されるゲート絶縁膜８にかかる電界を緩和し、ゲート絶縁膜８の破壊を防止することができる。

[0030] フィールド絶縁膜１０は、終端トレンチ７に形成された第１ゲート電極９に接し、ゲートトレンチ６の延伸方向においてゲートトレンチ６から遠い方の終端トレンチ上端角部７ａの上方を覆って終端トレンチ７の内側から外側に渡り形成される。つまり、フィールド絶縁膜１０は、第１ゲート電極９の上面の上から終端トレンチ上端角部７ａを覆って終端トレンチ７の外周側の面の上まで連続して形成される。図３には、フィールド絶縁膜１０が、終端領域５０の第１ゲート電極９の上と、終端トレンチ上端角部７ａおよびウェル領域３と重なるゲート絶縁膜８の上とに形成される例を示している。フィールド絶縁膜１０の厚さは、ゲート絶縁膜８の厚さよりも厚ければよく、例えば、０．１μｍ以上、５．０μｍ以下とすることができる。

[0031] ゲート絶縁膜８の厚さよりも厚いフィールド絶縁膜１０がゲートトレンチ６から遠い方の終端トレンチ上端角部７ａの上方を覆う構成にすると、当該終端トレンチ上端角部７ａがゲート絶縁膜８のみで覆われている構成に比べ

、終端トレンチ上端角部７ａの近傍に形成されるゲート絶縁膜８にかかる電界を緩和し、ゲート絶縁膜８の破壊を抑制することができる。ここで、フィールド絶縁膜１０の厚さをゲート絶縁膜８の厚さの２倍以上とすると、ゲート絶縁膜８の破壊をさらに抑制することができる。フィールド絶縁膜１０は、二酸化珪素等の絶縁性の材料で構成することができる。

[0032] 第１電界緩和領域１１は、ゲートトレンチ６の底面の下方に設けられるｐ型の領域であり、炭化珪素で構成される。第１電界緩和領域１１は、ドリフト層２の導電型とは逆の導電型を有し、半導体装置の動作状態においてゲートトレンチ６の底面に形成されたゲート絶縁膜８にかかる電界を緩和し、ゲート絶縁膜８の破壊を防止することができる。第１電界緩和領域１１の深さは、ゲートトレンチ６の底面から下方に０．１μｍ以上、２．０μｍ以下程度とすることができる。ここで、第１電界緩和領域１１は、ゲートトレンチ６の底面に接していてもよい。第１電界緩和領域１１のｐ型不純物は、アルミニウム、ホウ素またはガリウムとすればよく、第１電界緩和領域１１の不純物濃度は、1×10^{15}ｃｍ$^{-3}$以上、1×10^{19}ｃｍ$^{-3}$以下程度とすればよい。

[0033] 第２電界緩和領域１２は、終端トレンチ７の底面の下方に設けられるｐ型の領域であり、炭化珪素で構成される。第２電界緩和領域１２は、ドリフト層２の導電型とは逆の導電型を有し、半導体装置の動作状態において終端トレンチ７の底面に形成されたゲート絶縁膜８にかかる電界を緩和し、ゲート絶縁膜８の破壊を防止することができる。第２電界緩和領域１２の深さは、終端トレンチ７の底面から下方に０．１μｍ以上、２．０μｍ以下程度とすることができる。ここで、第２電界緩和領域１２は、終端トレンチ７の底面に接していてもよい。第２電界緩和領域１２のｐ型不純物は、アルミニウム、ホウ素またはガリウムとすればよく、第１電界緩和領域１１の不純物濃度は、1×10^{15}ｃｍ$^{-3}$以上、1×10^{19}ｃｍ$^{-3}$以下程度とすればよい。

[0034] 第２ゲート電極１３は、フィールド絶縁膜１０の上と終端トレンチ７に形成される第１ゲート電極９の上とに接し、ゲートトレンチ６の延伸方向にお

いて終端トレンチ７の内側から外側に渡ってフィールド絶縁膜１０に乗り上げる。つまり、第２ゲート電極１３は、第１ゲート電極９の上面の上からフィールド絶縁膜１０の端部の段差を超えてフィールド絶縁膜１０の上面の上まで連続して形成され、終端トレンチ７の上のフィールド絶縁膜１０の端部を覆う。第２ゲート電極１３は、第１ゲート電極９と同じ材料、例えばポリシリコンで構成することができるし、第１ゲート電極９とは異なる材料、例えばアルミニウム等の金属材料で構成することもできる。第２ゲート電極１３を第１ゲート電極９と異なる材料で構成すると、第２ゲート電極１３を容易に製造することができる。

[0035] 第２ゲート電極１３は、図３に示すように、終端トレンチ７に形成された第１ゲート電極９をゲートパッド１６へ接続する配線である。ゲートパッド１６は、終端トレンチ７の外側の第２ゲート電極１３の上に形成され、二酸化珪素で構成される層間絶縁膜１４に設けたゲートコンタクトホール１５を介して、第２ゲート電極１３に接続される。ゲートパッド１６は、層間絶縁膜１４の上にも形成される。第２ゲート電極１３とゲートパッド１６とを終端トレンチ７の外側において接続する構成とすると、ゲートコンタクトホール１５の配設位置と寸法とを選ぶ尤度を向上させることができる。

[0036] また、図３に示すように、表面電極２０は、ゲートパッド１６と離隔し、層間絶縁膜１４の上に形成される。表面電極２０は、アルミニウム等の金属材料で構成される。

[0037] 裏面オーミック電極１９は、半導体基板１の裏面に形成され、ニッケルを主成分とする金属膜と半導体基板１との反応生成物、例えばニッケルシリサイドで構成される。裏面電極２１は、裏面オーミック電極１９に接して形成され、チタン、ニッケル、銀、金、アルミニウム等で構成される。

[0038] 以上のようにして、本実施の形態における半導体装置は構成される。

[0039] 次に、本実施の形態における半導体装置の製造方法について、図４から図８を用いて説明する。ここで、図４から図８は、半導体装置の各製造段階の説明図であり、図１のＡ１－Ａ２線における断面に対応している。まずは、

図４の状態に至るまでの半導体装置の製造方法について、図を用いずに説明する。

[0040] ４Ｈのポリタイプを有するｎ型の炭化珪素で構成された半導体基板１を準備し、化学気相成長法（ＣＶＤ：Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）等により、半導体基板１の表側にｎ型のドリフト層２をエピタキシャル成長させる。続いて、フォトリソグラフィによりドリフト層２の上に形成したレジストマスクを用い、アルミニウム、ホウ素またはガリウムをイオン注入して、ドリフト層２の表層にｐ型のウェル領域３を設ける。ここで、ウェル領域３はエピタキシャル成長により設けてもよい。

[0041] 続いて、フォトリソグラフィによりウェル領域３の上に形成したレジストマスクを用い、窒素または燐をイオン注入して、ウェル領域３の表層にｎ型の不純物領域４、換言するとソース領域を設ける。さらに、ウェル領域３および不純物領域４の上に形成したレジストマスクを用い、アルミニウム、ホウ素またはガリウムをイオン注入して、ウェル領域３の表層にｐ型のコンタクト領域５を設ける。ここで、イオン注入における半導体基板１の加熱温度は１５０℃以上とすればよい。加熱温度を１５０℃以上とすると、コンタクト領域５の電気抵抗を低くすることができ、半導体装置の動作状態における抵抗損失を低減できる。

[0042] 続いて、ウェル領域３、不純物領域４およびコンタクト領域５の上に厚さ１μｍから２μｍ程度の二酸化珪素膜を形成し、反応性イオンエッチング（ＲＩＥ：Ｒｅａｃｔｉｖｅ Ｉｏｎ Ｅｔｃｈｉｎｇ）によってゲートトレンチ６および終端トレンチ７に対応する位置が開口したエッチングマスク２２を形成する。そして、ＲＩＥによってゲートトレンチ６、および終端トレンチ７を形成する。このようにして、図４の状態となる。

[0043] 図５は、ゲートトレンチ６と終端トレンチ７との下方に、それぞれ第１電界緩和領域１１と第２電界緩和領域１２とが設けられ、ゲートトレンチ６と終端トレンチ７との内側にゲート絶縁膜８および第１ゲート電極９が形成された状態を示す。

[0044] 図４の状態において、アルミニウム、ホウ素またはガリウムをイオン注入し、ゲートトレンチ６と終端トレンチ７との下方に、それぞれ第１電界緩和領域１１と第２電界緩和領域１２とを設ける。続いて、エッチングマスク２２を除去した後にアニール処理を行い、イオン注入した不純物を活性化させる。アニール処理は、アルゴン等の不活性ガス雰囲気、または真空中において、１５００℃以上、１９００℃以下程度の温度で、３０秒以上、１時間以下程度の時間で行う。ここで、高温加熱による炭化珪素の劣化、つまり表面荒れを防ぐために、アニール処理の前に炭化珪素の上に炭素膜を形成してもよい。

[0045] そして、ゲートトレンチ６と終端トレンチ７との内側を含むドリフト層２の表面、および終端領域５０のウェル領域３の表面に、熱酸化法またはＣＶＤ法等によってゲート絶縁膜８を形成し、続けてＣＶＤ法等によって第１ゲート電極９となるポリシリコンを形成する。さらに、エッチバックプロセスによってポリシリコンをエッチングし、ゲートトレンチ６と終端トレンチ７との内側において、それぞれゲートトレンチ上端角部６ａと終端トレンチ上端角部７ａとの位置以下に第１ゲート電極９を形成する。このようにして、図５の状態となる。

[0046] 図６は、ゲートトレンチ６から遠い方の終端トレンチ上端角部７ａの上方をフィールド絶縁膜１０で覆った状態を示す。

[0047] 図５の状態において、ＣＶＤ法等によりフィールド絶縁膜１０となる二酸化珪素等の絶縁膜を形成し、この絶縁膜上にフォトリソグラフィによってレジストマスクを形成する。そして、この絶縁膜をエッチングおよび開口してフィールド絶縁膜１０を形成し、レジストマスクを除去する。このようにして、図６の状態となる。

[0048] ここで、フィールド絶縁膜１０は、絶縁膜をＲＩＥによってパターニングして形成してもよいし、フッ酸等のウェットエッチングでパターニングして形成してもよく、また、これらを組み合わせて形成してもよい。このようにＲＩＥまたはウェットエッチングを用いてフィールド絶縁膜１０を形成する

と、ドライエッチングで高精度に絶縁膜を開口してフィールド絶縁膜１０を形成する場合に比べ、製造を容易にすること、または精度よく終端トレンチ上端角部７ａを保護するようにフィールド絶縁膜１０を形成することができる。また、選択酸化（ＬＯＣＯＳ：Ｌｏｃａｌ　Ｏｘｉｄａｔｉｏｎ　ｏｆ　Ｓｉｌｉｃｏｎ）によってフィールド絶縁膜１０を形成する場合に比べ、形成時間を短縮でき、製造コストを低減させることができる。

[0049] 図７は、第１ゲート電極９と、終端トレンチ上端角部７ａの上方を覆うフィールド絶縁膜１０との上に、第２ゲート電極１３を形成した状態を示す。

[0050] 図６の状態において、ＣＶＤ法等により第２ゲート電極１３となるポリシリコン等の導電材料を形成し、ポリシリコン上にフォトリソグラフィによってレジストマスクを形成する。続いて、ポリシリコンをエッチングして、第２ゲート電極１３を形成し、レジストマスクを除去する。このようにして、図７の状態となる。

[0051] 図８は、ゲートコンタクトホール１５が設けられた層間絶縁膜１４および裏面オーミック電極１９を形成した状態を示す。

[0052] 図７の状態において、減圧ＣＶＤ法等により第１ゲート電極９と第２ゲート電極１３との上に層間絶縁膜１４を形成し、フォトリソグラフィにより層間絶縁膜１４の上にレジストマスクを形成する。続いて、図示しない活性領域４０において、層間絶縁膜１４をエッチングして後述するソースコンタクトホール１７を設け、不純物領域４とコンタクト領域５とに接するように金属膜を形成し、アニール処理を行って後述する表面オーミック電極１８を形成する。そして、層間絶縁膜１４の上の金属膜をエッチングにより除去し、レジストマスクを除去する。また、半導体基板１の裏面に金属膜を形成し、アニール処理を行って裏面オーミック電極１９を形成する。ここで、各アニール処理の加熱温度は、６００℃以上、１１００℃以下程度とすればよい。

[0053] さらに、層間絶縁膜１４の上にフォトリソグラフィによってレジストマスクを形成する。続いて、終端トレンチ７の外側に位置する層間絶縁膜１４をエッチングして、第２ゲート電極１３に達するゲートコンタクトホール１５

を設け、レジストマスクを除去する。このようにして、図８の状態となる。

[0054] そして、層間絶縁膜１４の上とゲートコンタクトホール１５の内側とに、スパッタ法または蒸着法等によりアルミニウム等の金属膜を形成し、金属膜の上にフォトリソグラフィによってレジストマスクを形成する。続いて、エッチングにより金属膜を離隔させ、ゲートパッド１６と表面電極２０とを形成し、レジストマスクを除去する。最後に、スパッタ法または蒸着法等によって裏面オーミック電極１９の上に裏面電極２１を形成する。

[0055] 以上のようにして、図３の半導体装置が製造される。

[0056] 次に、本実施の形態の半導体装置の動作について説明する。

[0057] ゲートパッド１６と表面電極２０との間に閾値以上の電圧が印加されると、第１ゲート電極９に対向するウェル領域３にはチャネルが形成され、不純物領域４からドリフト層２へ電子が流れる。表面電極２０と裏面電極２１との間に電圧を印加して電界が生じると、電子はドリフト層２および半導体基板１を経由して裏面電極２１に到達する、つまり、裏面電極２１から表面電極２０に向かう電流が生じ、半導体装置はオン状態となる。

[0058] ここで、ゲートトレンチ上端角部６ａと終端トレンチ上端角部７ａとの近傍のゲート絶縁膜８には電界が生じる。しかし、第１ゲート電極９がゲートトレンチ上端角部６ａと終端トレンチ上端角部７ａとの位置またはその位置よりも低い位置に形成され、フィールド絶縁膜１０がゲートトレンチ６から遠い方の終端トレンチ上端角部７ａの上方を覆って形成されており、ゲートトレンチ上端角部６ａと終端トレンチ上端角部７ａとの近傍のゲート絶縁膜８に生じる電界は抑制され、ゲート絶縁膜８の破壊が防止される。特に、ゲートトレンチ６から遠い方の終端トレンチ上端角部７ａの上方においてはゲート絶縁膜８よりも厚いフィールド絶縁膜１０を介して第２ゲート電極１３が形成されており、ゲート引き出し部７０におけるゲート絶縁膜８への電界が抑制され、ゲート絶縁膜８の破壊が防止される。

[0059] 一方、ゲートパッド１６と表面電極２０との間に閾値未満の電圧が印加されると、第１ゲート電極９に対向するウェル領域３にはチャネルが形成され

なくなり、裏面電極２１から表面電極２０に向かう電流は生じず、半導体装置はオフ状態となる。半導体装置のオフ状態において、表面電極２０と裏面電極２１との間には、オン状態における電圧よりも高い電圧が印加され、ウェル領域３からドリフト層２へと空乏層が拡がる。

[0060] ここで、第１電界緩和領域１１と第２電界緩和領域１２とから下方、つまりドリフト層２へも空乏層が拡がる。そして、表面電極２０と裏面電極２１との間に印加された高い電圧によって生じた電界に起因する、ゲートトレンチ６および終端トレンチ７の底面または底面角部のゲート絶縁膜８の破壊が抑制される。

[0061] また、半導体装置がオフ状態からオン状態に移る際には、表面電極２０と裏面電極２１との間に印加される電圧が低下し、ドリフト層２へと拡がっていた空乏層が縮む。

[0062] 以上のようにして、本実施の形態における半導体装置はオン状態とオフ状態とを交互に繰り返して動作する。

[0063] このように、半導体装置を構成することで、ゲート引き出し部７０においてゲートトレンチ６から遠い方の終端トレンチ上端角部７ａに形成されたゲート絶縁膜８の破壊を防止した半導体装置を得ることができる。また、ドライエッチングで高精度に絶縁膜を開口してフィールド絶縁膜１０を形成する場合に比べ、製造を容易にすること、または精度よく終端トレンチ上端角部７ａを保護するようにフィールド絶縁膜１０を形成することができる。また、選択酸化（ＬＯＣＯＳ：Ｌｏｃａｌ Ｏｘｉｄａｔｉｏｎ ｏｆ Ｓｉｌｉｃｏｎ）によってフィールド絶縁膜１０を形成する場合に比べ、形成時間を短縮でき、製造コストを低減させることができる。また、フィールド絶縁膜１０をウェットエッチングでパターニングして形成できるため、フィールド絶縁膜１０をエッチングする際に第１ゲート電極９のオーバーエッチングが抑制される。

[0064] なお、図１に示すように、第２ゲート電極１３は、平面視でゲートトレンチ６を取り囲んで形成してもよい。また、終端トレンチ７またはフィールド

絶縁膜１０は、平面視でゲートトレンチ６を全て取り囲んで形成してもよく、間欠部を有しながら取り囲んで形成してもよい。

[0065] また、図１に示すように、終端トレンチ７は平面視でゲートパッド１６の側方に形成されているが、側方に形成されていなくてもよい。例えば、図９に示すように、図１のゲートパッド１６に対応する位置において終端トレンチ７はゲートトレンチ６を途切れさせることなく、平面視でゲートトレンチ６を連続して取り囲んでもよい。ここで、ゲートパッド１６は、終端トレンチ７の外側の第２ゲート電極１３の上において図示しない層間絶縁膜１４に設けられたゲートコンタクトホール１５を介して、第２ゲート電極１３に接続すればよい。また、図９の部分領域６０のような少なくとも終端領域５０の一部において、図示しない層間絶縁膜１４に設けられたゲートコンタクトホール１５の内側と層間絶縁膜１４の上とに、ゲート配線を形成し、平面視で当該ゲート配線を第２ゲート電極１３または層間絶縁膜１４に沿って延伸させ、ゲートパッド１６に接続させてもよい。この場合、当該ゲート配線は、ゲートパッド１６の形成と同時に、金属膜を成膜およびエッチングして容易に形成することができる。

[0066] また、図１に示すように、終端領域５０には半導体装置の端部への空乏層の拡張を抑制するチャネルストップ領域２３が設けられていてもよい。チャネルストップ領域２３は、終端トレンチ７よりも外周側に設けられるｎ型の領域であり、炭化珪素で構成される。チャネルストップ領域２３のｎ型不純物は、窒素または燐とすればよく、チャネルストップ領域２３の不純物濃度は、$１\times１０^{18}ｃｍ^{-3}$以上、$１\times１０^{21}ｃｍ^{-3}$以下程度とすればよい。チャネルストップ領域２３の厚さは、不純物領域４の厚さと同じにしてもよく、異なっていてもよい。チャネルストップ領域２３はイオン注入により設ければよく、不純物領域４を設けるためのレジストマスクを利用して、不純物領域４と同時に形成してもよいし、不純物領域４の形成よりも前または後に形成してもよい。

[0067] また、図１に示すように、終端領域５０にはＦＬＲ（Ｆｉｅｌｄ　Ｌｉｍ

ｉｔｉｎｇ　Ｒｉｎｇ）等の外周電界緩和領域２４が活性領域４０を取り囲んで連続的に、または断続的に設けられてもよい。例えば、ドリフト層２の表面からドリフト層２を超えない０．２～３μｍ程度の深さまでアルミニウム、ホウ素等をイオン注入し、活性領域４０を取り囲んで連続的にｐ型の外周電界緩和領域２４を設ければよい。外周電界緩和領域２４のｐ型不純物濃度は、ドリフト層２の不純物濃度を超えるようにし、１×１０^{15}ｃｍ$^{-3}$以上、１×１０^{19}ｃｍ$^{-3}$以下とすればよい。

[0068] また、ウェル領域３を形成する工程と不純物領域４を形成する工程とは順序を入れ替えてもよい。ウェル領域３と不純物領域４との形成方法は、ウェル領域３の表層にｎ型不純物をイオン注入して不純物領域４を設けた後、その上にフォトリソグラフィによるレジストマスクを形成し、不純物領域４以外の位置にｐ型不純物をイオン注入してウェル領域３とするものでもよい。

[0069] また、ゲートトレンチ６および終端トレンチ７を形成した後にエッチングマスク２２が残存するよう、エッチングマスク２２の厚さやＲＩＥプロセスを調整したが、エッチングマスク２２を残さずに除去し、フォトリソグラフィによって形成したレジストマスクを用いてイオン注入して、第１電界緩和領域１１および第２電界緩和領域１２を形成しても良い。

[0070] また、第１電界緩和領域１１は、第２電界緩和領域１２と同時に形成してもよいし、第１電界緩和領域１１の形成の前または後に形成してもよい。さらに、ゲートトレンチ６の開口に対して斜め方向からｐ型不純物をイオン注入し、ゲートトレンチ６の側面に接するドリフト層２内にｐ型の半導体層を形成して、第１電界緩和領域１１とウェル領域３とを当該半導体層を介して電気的に接続してもよい。第１電界緩和領域１１とウェル領域３とを電気的に接続すると、第１電界緩和領域１１がフローティングである状態と比べ、半導体装置の周波数特性が向上する。

[0071] また、半導体装置はＭＯＳＦＥＴである例を示したが、ＩＧＢＴである場合、半導体基板１の導電型はｐ型とすればよく、半導体基板１を研磨して厚さを薄くしてもよい。

[0072] 実施の形態２.

実施の形態１では、第１ゲート電極９と第２ゲート電極１３との接続部において、第２ゲート電極１３は分岐しない例を示したが、本実施の形態においては、第２ゲート電極１３が分岐した、つまり互いに離隔する複数の引き出し部を有した例について説明する。これ以外の構成は実施の形態１と同様である。

[0073] 図１０は、本実施の形態における半導体装置の概略構成を示す模式図であり、図１の部分領域６０の断面および上面を斜視したものに対応する。図１０に示すように、第２ゲート電極１３は、第２ゲート電極引き出し部１３ａと第２ゲート電極外周部１３ｂとを有しており、第２ゲート電極外周部１３ｂから分岐する第２ゲート電極引き出し部１３ａが第１ゲート電極９に接続されている。

[0074] 第２ゲート電極引き出し部１３ａは、互いに離隔して複数形成され、フィールド絶縁膜１０の上と終端トレンチ７に形成される第１ゲート電極９の上とに接し、ゲートトレンチ６の延伸方向において終端トレンチ７の内側から外側に渡ってフィールド絶縁膜１０に乗り上げる。つまり、第２ゲート電極引き出し部１３ａは、第１ゲート電極９の上面の上からフィールド絶縁膜１０の端部の段差を超えてフィールド絶縁膜１０の上面の上まで連続して形成され、終端トレンチ７の上のフィールド絶縁膜１０の端部を覆う。また、図１０に示すように、複数の第２ゲート電極引き出し部１３ａの離隔している領域ではフィールド絶縁膜１０の端部は露出している。

[0075] 第２ゲート電極外周部１３ｂは、フィールド絶縁膜１０の上に形成され、第２ゲート電極引き出し部１３ａに接する。第２ゲート電極外周部１３ｂは、終端トレンチ７に形成された第１ゲート電極９を、第２ゲート電極引き出し部１３ａを介して、ゲートパッド１６へ接続する配線である。第２ゲート電極外周部１３ｂは、終端トレンチ７の外側の層間絶縁膜１４に設けた第２ゲート電極１３に達するゲートコンタクトホール１５を介して、ゲートパッド１６に接続される。ゲートパッド１６は、層間絶縁膜１４の上にも形成さ

れる。ここで、ゲートコンタクトホール１５は、第２ゲート電極引き出し部１３ａの上の層間絶縁膜に設けられてもよい。

[0076] このように、半導体装置を構成しても実施の形態１と同様の効果が得られる。また、互いに離隔する複数の第２ゲート電極引き出し部１３ａを形成する構成とすると、図１の部分領域６０の断面および上面を斜視したものに対応する図１１に示すように、終端トレンチ７を分割して形成できる。つまり、ゲートトレンチ６が形成された活性領域４０を取り囲んで断続的に終端トレンチ７を設けることができる。このようにすると、エッチバックにより終端トレンチ７の内側に第１ゲート電極９を形成する際に、分割された終端トレンチ７に繋がったゲートトレンチ６と同様にエッチバックを進めることができ、エッチバックによる第１ゲート電極９の消失を抑制できる。

[0077] 実施の形態３.

実施の形態１では、平面視でゲートトレンチ６はストライプ状に設けられる例を示したが、本実施の形態においては、平面視でゲートトレンチ６は格子状に設けられる例について説明する。これ以外の構成は実施の形態１と同様である。

[0078] 図１２は、本実施の形態における半導体装置の概略構成を示す平面模式図である。図１２に示すように、活性領域４０にはゲートトレンチ６が格子状に設けられ、ゲートトレンチ６の内側に第１ゲート電極９が形成されている。ここで、複数のゲートトレンチ６は活性領域４０全域において直交した格子状に設けられているが、直交しない部分を有する、つまり千鳥状に設けられていてもよい。

[0079] 図１３は、本実施の形態における半導体装置の概略構成を示す模式図であり、図１２のＢ１－Ｂ２線における断面を表す。ゲートトレンチ６を格子状に設ける場合でも、図１３に示すように、ゲートトレンチ６の深さは終端トレンチ７の深さと同じ、または同じ程度に形成することが好ましい。図１３には、活性領域４０において、層間絶縁膜１４にソースコンタクトホール１７が設けられ、コンタクト領域５と、コンタクト領域５の上に接する表面オ

ーミック電極１８とが形成される例を示しているが、コンタクト領域５と表面オーミック電極１８とは形成されなくてもよい。ここで、表面オーミック電極１８は、ニッケルを主成分とする金属膜と半導体基板１との反応生成物、例えばニッケルシリサイドで構成される。

[0080] このように、半導体装置を構成しても実施の形態１と同様の効果が得られる。また、ゲートトレンチ６を格子状に設ける構成とすると、ゲートトレンチ６をストライプ状に設ける構成に比べて、半導体装置のスイッチング動作における第１ゲート電極９の抵抗による電力損失を抑制することができる。

[0081] 本開示の各実施の形態では、各構成要素の材質、材料、寸法、形状、相対的配置関係、または実施の条件等について記載している場合があるが、これらは例示であって、各実施の形態の記載に限られない。

[0082] また、各実施の形態の範囲内において、例示されていない無数の変形例が想定される。例えば、任意の構成要素を変形する場合、追加する場合、または省略する場合が含まれる。さらに、各実施の形態における構成要素を抽出し、組み合わせる場合も含まれる。

[0083] また、発明の構成要素は、矛盾が生じない限り、各実施の形態において１つ備えられていても１つ以上備えられていてもよい。さらに、発明の構成要素は、概念的な単位であって、複数の構造物からなるもの、および構造物の一部に対応するものである場合がある。

符号の説明

[0084] １ 半導体基板、 ２ ドリフト層、 ３ ウェル領域、 ４ 不純物領域、 ５ コンタクト領域、 ６ ゲートトレンチ、 ６ａ ゲートトレンチ上端角部 ７ 終端トレンチ、 ７ａ 終端トレンチ上端角部、 ８ ゲート絶縁膜、 ９ 第１ゲート電極、 １０ フィールド絶縁膜、 １１ 第１電界緩和領域、 １２ 第２電界緩和領域、 １３ 第２ゲート電極、 １３ａ 第２ゲート電極引き出し部、 １３ｂ 第２ゲート電極外周部、 １４ 層間絶縁膜、 １５ ゲートコンタクトホール、 １６ ゲートパッド、 １７ ソースコンタクトホール、 １８ 表面オーミック電極、

１９　裏面オーミック電極、　２０　表面電極、　２１　裏面電極、　２２　エッチングマスク、　２３　チャネルストップ領域、　２４　外周電界緩和領域、　４０　活性領域、　５０　終端領域、　６０　部分領域、　７０　ゲート引き出し部。

請求の範囲

[請求項1] 第１導電型のドリフト層と、

前記ドリフト層の表層に設けられる第２導電型のウェル領域と、

前記ウェル領域の表層に設けられる第１導電型の不純物領域と、

前記不純物領域の表面から前記ウェル領域を貫通して前記ドリフト層まで達するゲートトレンチと、

平面視で前記ゲートトレンチにつながり、前記ゲートトレンチの延伸方向における幅が、前記ゲートトレンチの幅よりも広い終端トレンチと、

前記ゲートトレンチと前記終端トレンチとの内側の面に接して形成されるゲート絶縁膜と、

前記ゲートトレンチと前記終端トレンチとの内壁および底面に前記ゲート絶縁膜を介して形成される第１ゲート電極と、

前記終端トレンチに形成された前記第１ゲート電極に接し、前記延伸方向において前記ゲートトレンチから遠い方の前記終端トレンチの上端角部の上方を覆って前記終端トレンチの内側から外側に渡り形成され、厚さが前記ゲート絶縁膜の厚さよりも厚いフィールド絶縁膜と、

前記フィールド絶縁膜の上と前記終端トレンチに形成される前記第１ゲート電極の上とに接し、前記延伸方向において前記終端トレンチの内側から外側に渡って前記フィールド絶縁膜に乗り上げる第２ゲート電極と

を備える、半導体装置。

[請求項2] 前記第２ゲート電極は、

互いに離隔して複数形成され、前記フィールド絶縁膜の上と前記終端トレンチに形成される前記第１ゲート電極の上とに接し、前記延伸方向において前記終端トレンチの内側から外側に渡って前記フィールド絶縁膜に乗り上げる、第２ゲート電極引き出し部と、

前記フィールド絶縁膜の上に形成され、前記第２ゲート電極引き出し部に接する第２ゲート電極外周部と

を有することを特徴とする、請求項１に記載の半導体装置。

[請求項3] 前記終端トレンチの外側の層間絶縁膜に設けた前記第２ゲート電極に達するゲートコンタクトホールを介して、前記第２ゲート電極に接続されるゲートパッドをさらに備えることを特徴とする、請求項１または請求項２に記載の半導体装置。

[請求項4] 前記第２ゲート電極は、平面視で前記ゲートトレンチを取り囲むことを特徴とする、請求項１から請求項３のいずれか一項に記載の半導体装置。

[請求項5] 前記終端トレンチの前記延伸方向における幅は、前記ゲートトレンチの幅の３倍以下であることを特徴とする、請求項１から請求項４のいずれか一項に記載の半導体装置。

[請求項6] 前記フィールド絶縁膜の厚さは、前記ゲート絶縁膜の厚さの２倍以上であることを特徴とする、請求項１から請求項５のいずれか一項に記載の半導体装置。

[請求項7] 断面視で前記終端トレンチに形成される前記第１ゲート電極の上端は前記終端トレンチの上端よりも下方に位置することを特徴とする、請求項１から請求項６のいずれか一項に記載の半導体装置。

[請求項8] 前記第１ゲート電極と前記第２ゲート電極とはそれぞれ異なる材料で構成されることを特徴とする、請求項１から請求項７のいずれか一項に記載の半導体装置。

[請求項9] 前記ゲートトレンチはストライプ状または格子状に設けられることを特徴とする、請求項１から請求項８のいずれか一項に記載の半導体装置。

[請求項10] 前記ゲートトレンチの底面と前記終端トレンチの底面との下方の少なくとも一方に、第２導電型の電界緩和領域が設けられることを特徴とする、請求項１から請求項９のいずれか一項に記載の半導体装置。

[請求項11] 第１導電型のドリフト層を形成する工程と、

前記ドリフト層の表層に第２導電型のウェル領域を設ける工程と、

前記ウェル領域の表層に第１導電型の不純物領域を設ける工程と、

前記不純物領域の表面から前記ウェル領域を貫通して前記ドリフト層まで達するゲートトレンチを設ける工程と、

平面視で前記ゲートトレンチにつながり、前記ゲートトレンチの延伸方向における幅が前記ゲートトレンチの幅よりも広い終端トレンチを設ける工程と、

前記ゲートトレンチと前記終端トレンチとの内壁および底面に接するゲート絶縁膜を形成する工程と、

前記ゲートトレンチと前記終端トレンチとの内側に前記ゲート絶縁膜を介して第１ゲート電極を形成する工程と、

前記終端トレンチに形成された前記第１ゲート電極に接し、前記延伸方向において前記ゲートトレンチから遠い方の前記終端トレンチの上端角部の上方を覆って前記終端トレンチの内側から外側に渡り、厚さを前記ゲート絶縁膜の厚さよりも厚くしたフィールド絶縁膜を形成する工程と、

前記フィールド絶縁膜の上と前記終端トレンチに形成される前記第１ゲート電極の上とに接し、前記延伸方向において前記終端トレンチの内側から外側に渡って前記フィールド絶縁膜に乗り上げる第２ゲート電極を形成する工程と

を備えた、半導体装置の製造方法。

[請求項12] 前記フィールド絶縁膜は、反応性イオンエッチングまたはウェットエッチングによりパターニングされて形成されることを特徴とする、請求項１１に記載の半導体装置の製造方法。

[請求項13] 前記フィールド絶縁膜は、ＣＶＤ法により形成されることを特徴とする、請求項１１または請求項１２に記載の半導体装置の製造方法。

[請求項14] 前記第１ゲート電極は、断面視で前記終端トレンチの上端よりも下

方に位置するように、エッチバックにより形成されることを特徴とする、請求項１１から請求項１３のいずれか一項に記載の半導体装置の製造方法。

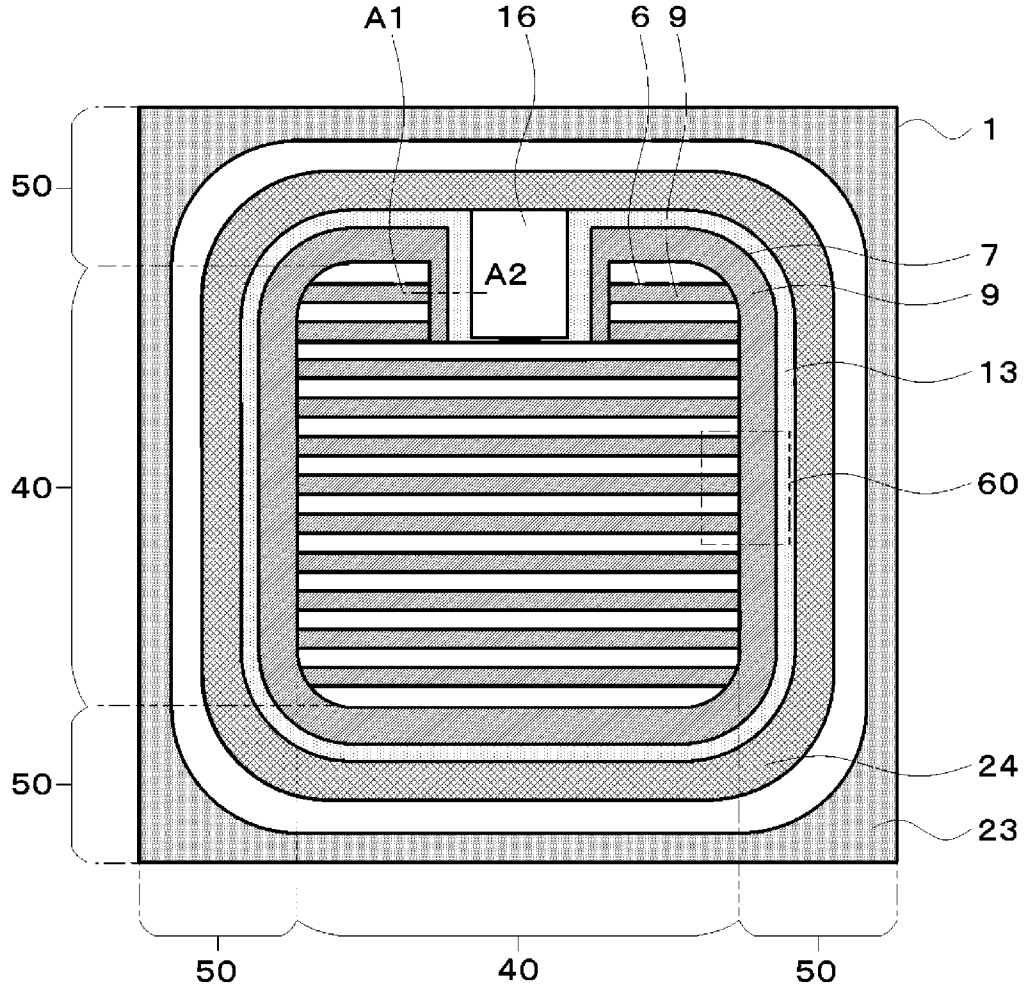
[請求項15] 前記第２ゲート電極と前記終端トレンチに形成された前記第１ゲート電極との上に層間絶縁膜を形成する工程と、

前記終端トレンチの外側の前記層間絶縁膜に、前記第２ゲート電極に達するゲートコンタクトホールを設ける工程と、

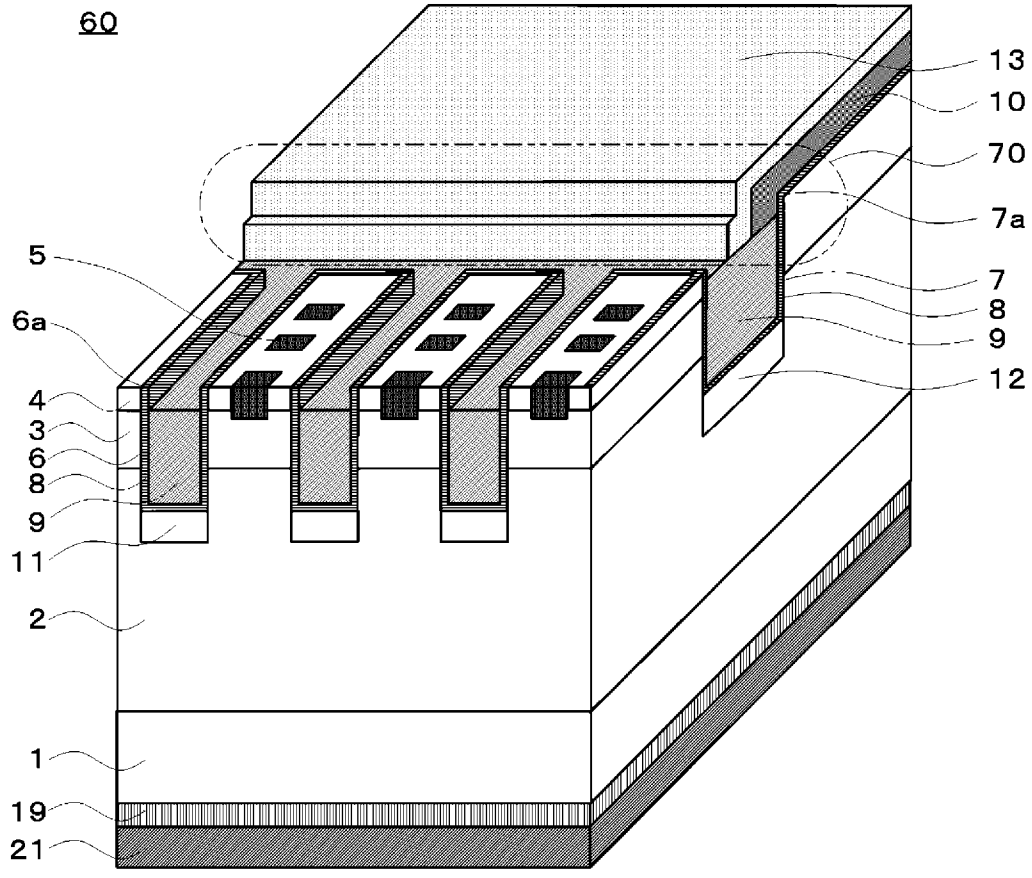
前記ゲートコンタクトホールを介して前記第２ゲート電極の上に、ゲートパッドを形成する工程と

をさらに備えることを特徴とする、請求項１１から請求項１４のいずれか一項に記載の半導体装置の製造方法。

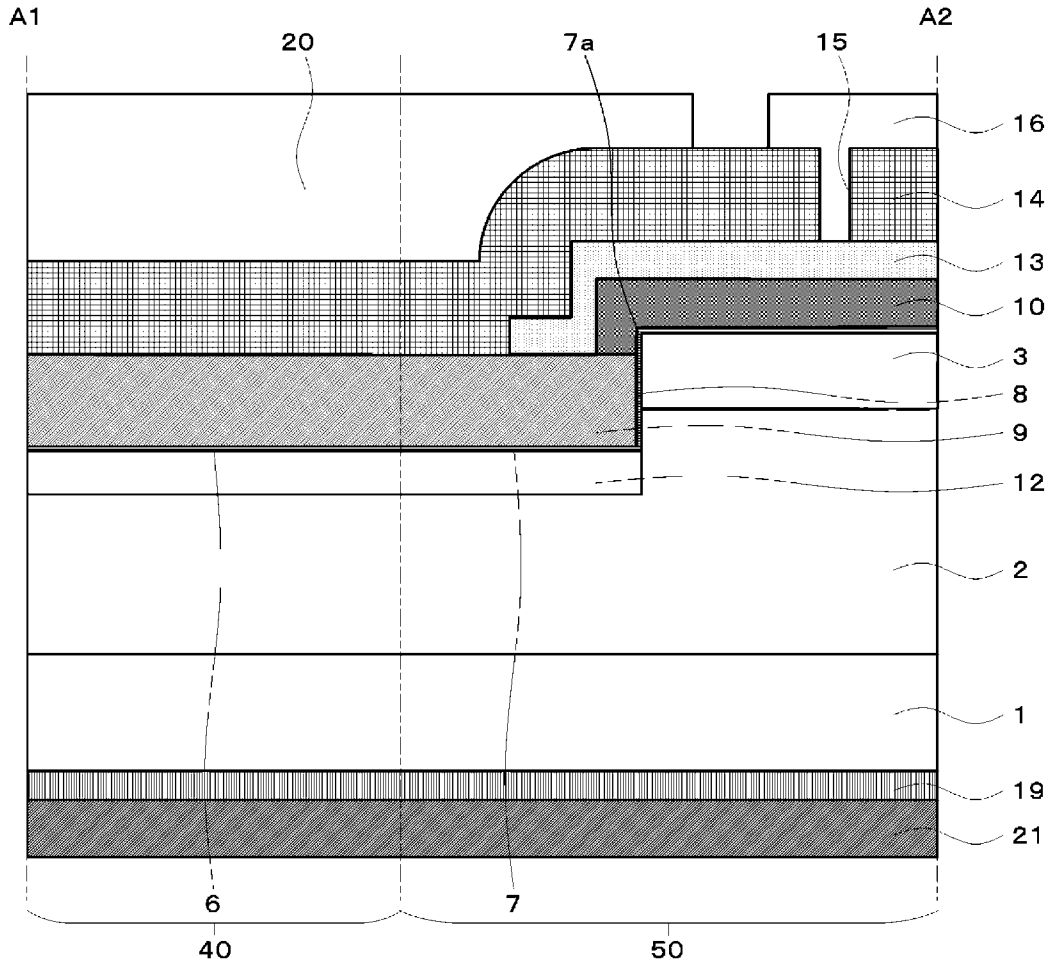
[図1]


A1
16
6
9
1
50
7
A2
9
13
40
60
50
24
23
50
40
50

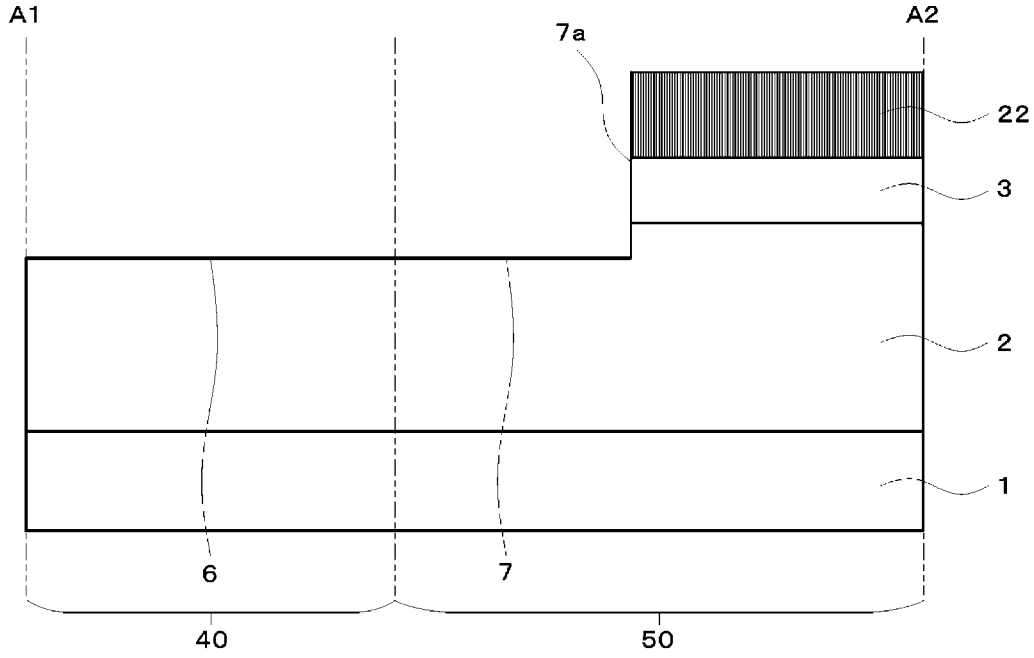
[図2]


60
13
10
70
7a
5
7
6a
8
9
4
12
3
6
8
9
11
2
1
19
21

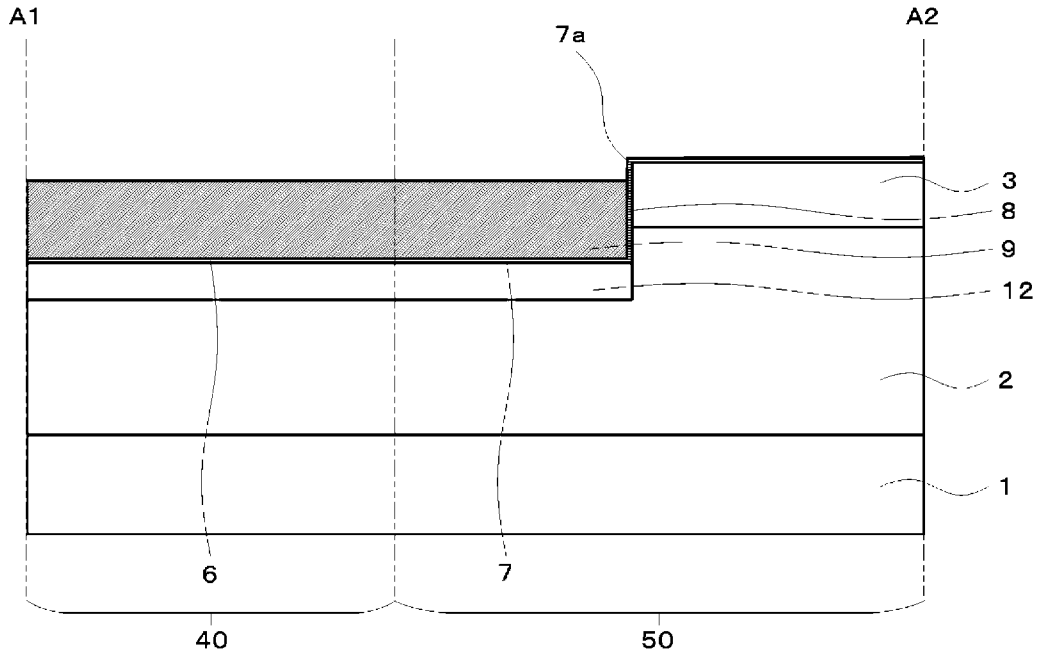
[図3]


A1
A2
20
7a
15
16
14
13
10
3
8
9
12
2
1
19
21
6
7
40
50

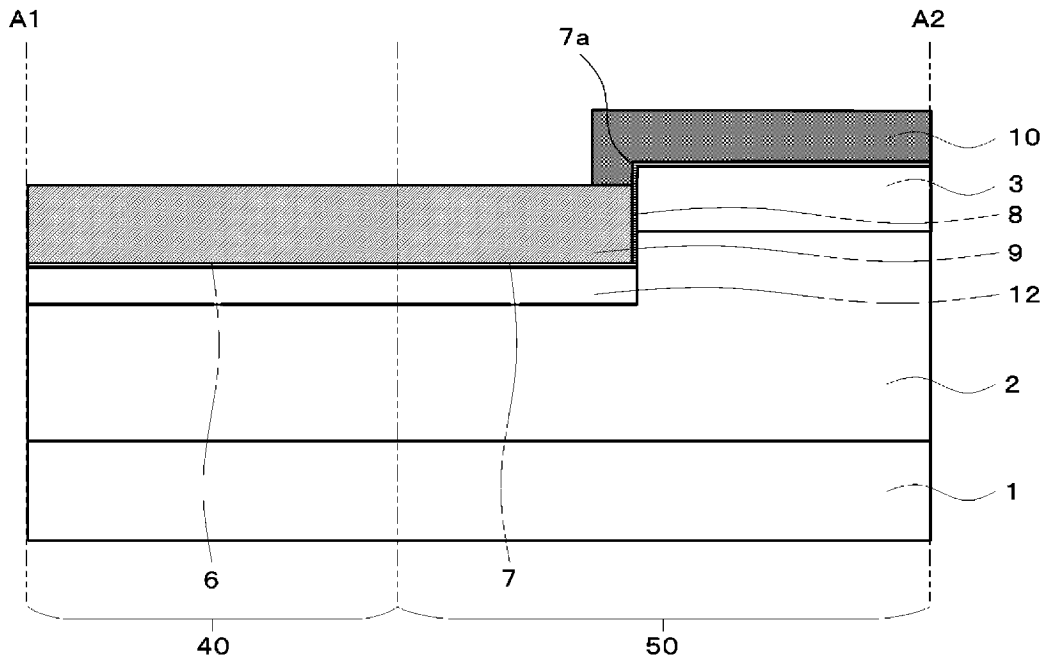
[図4]


A1
A2
7a
22
3
2
1
6
7
40
50

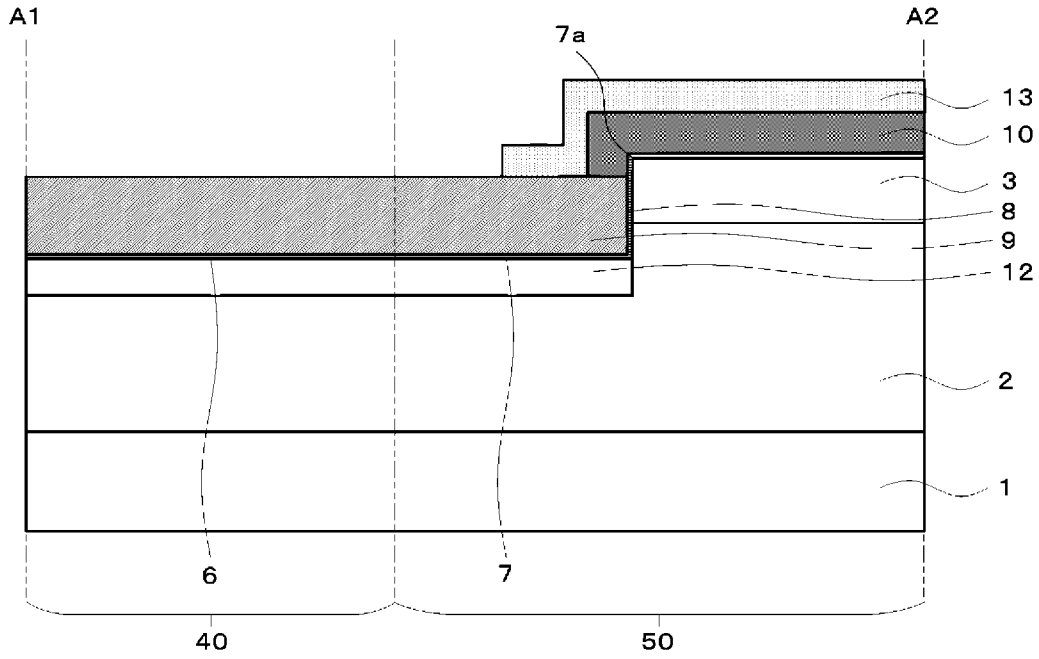
[図5]



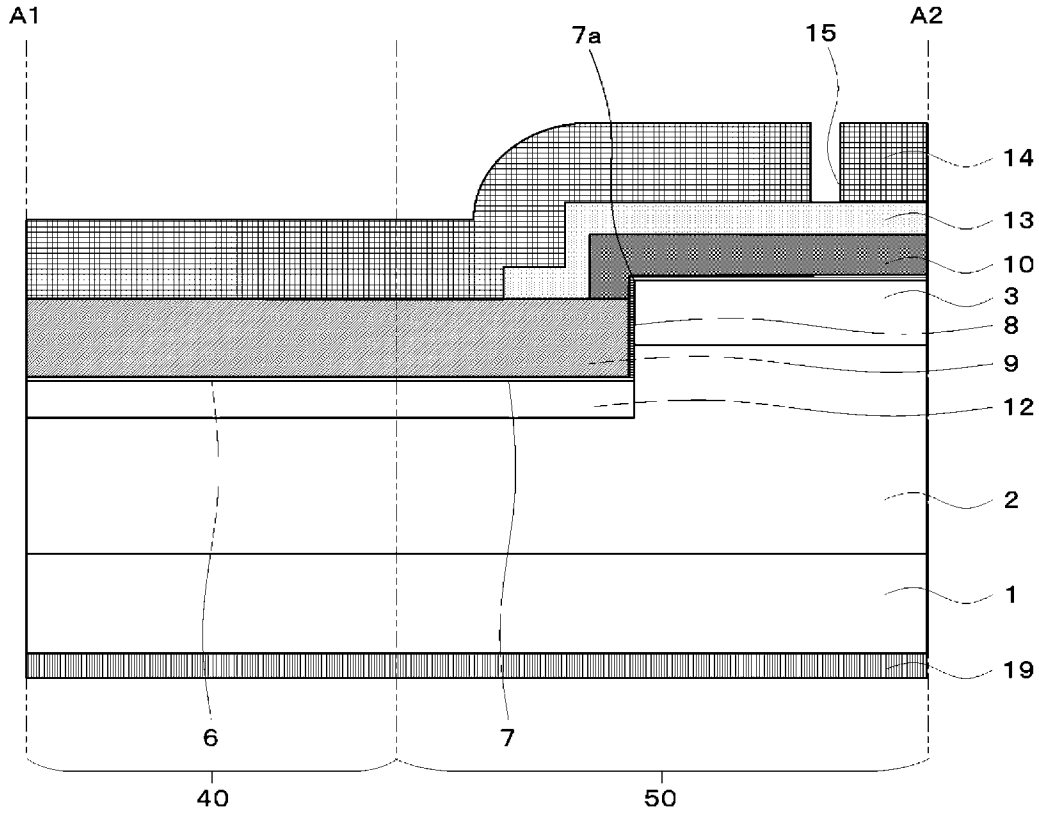
[図6]



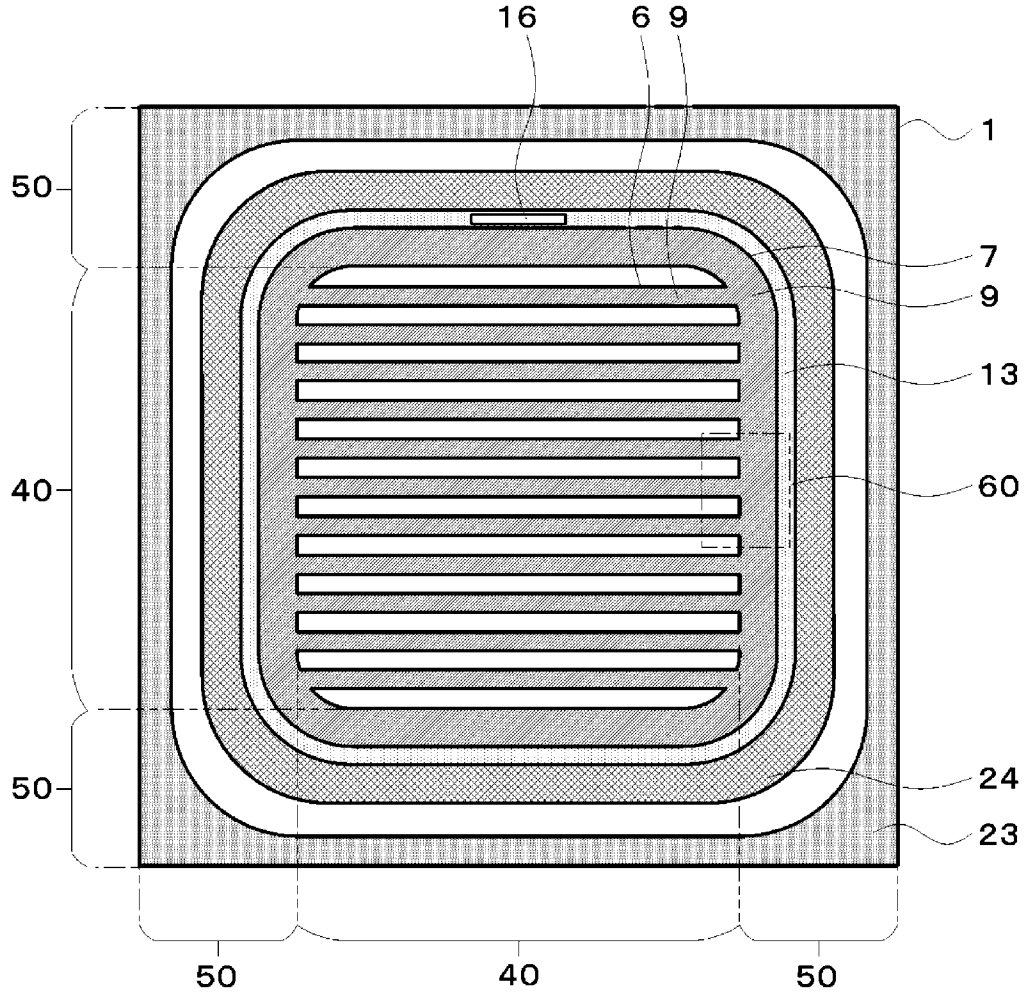
[図7]


A1
A2
7a
13
10
3
8
9
12
2
1
6
7
40
50

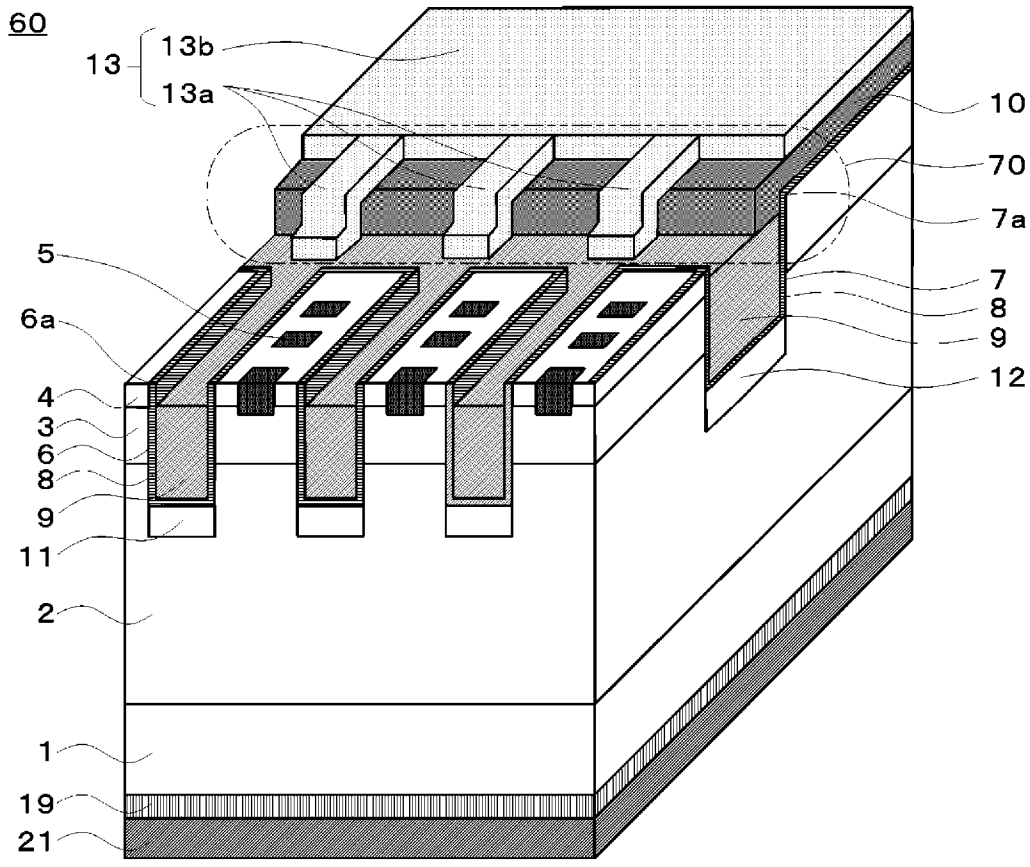
[図8]


A1
A2
7a
15
14
13
10
3
8
9
12
2
1
19
6
7
40
50

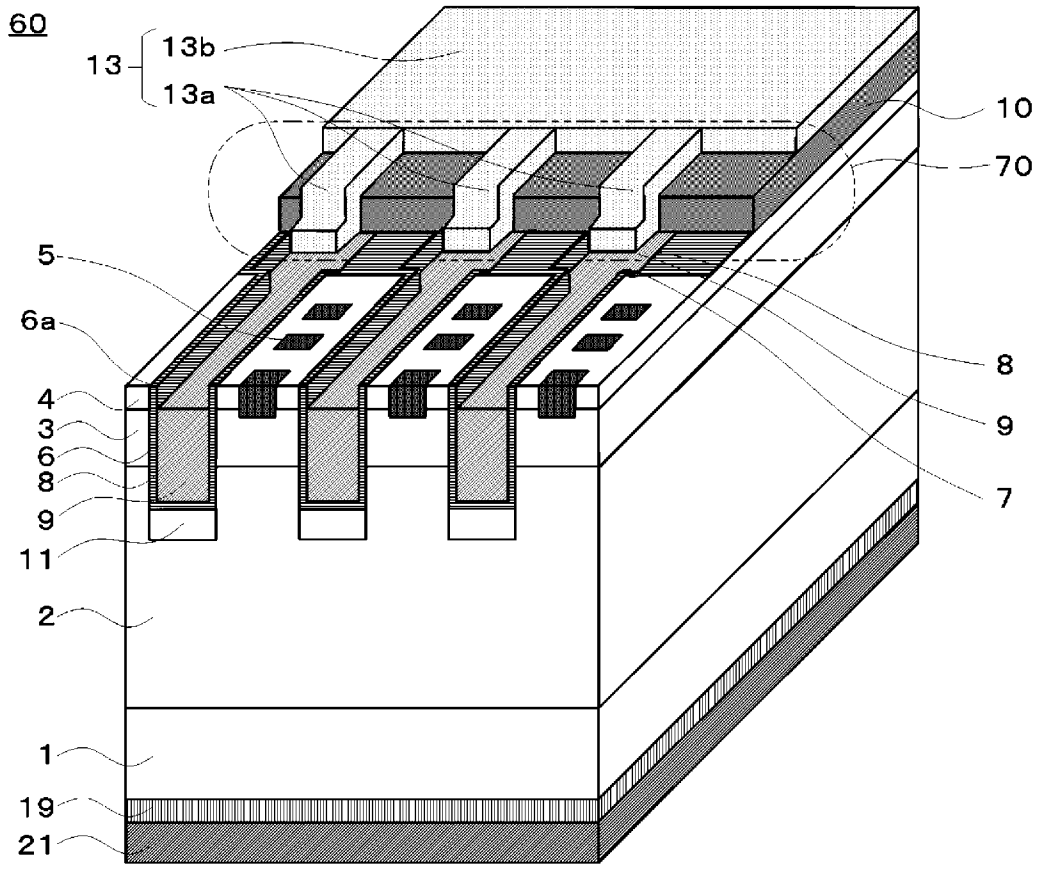
[図9]


16
6
9
1
50
7
9
13
40
60
50
24
23
50
40
50

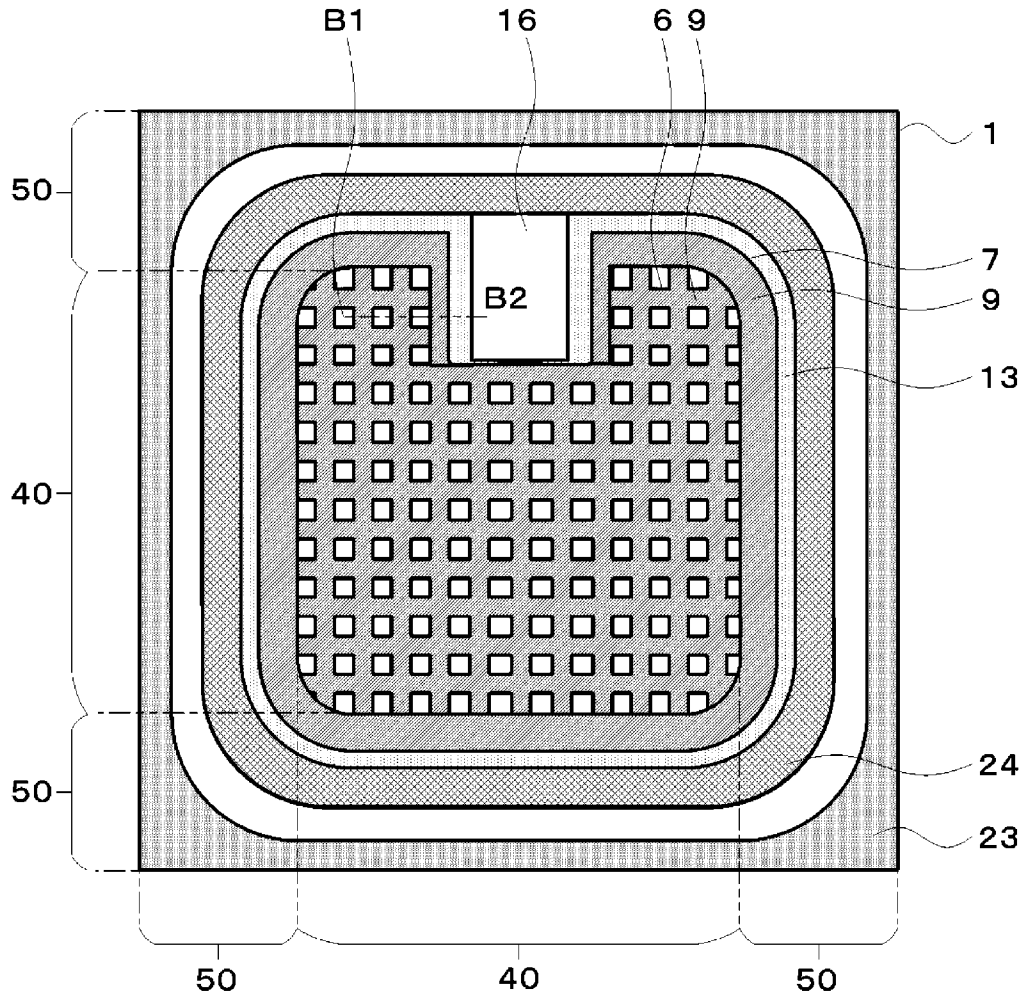
[図10]


60
13
13b
13a
10
70
7a
5
7
8
6a
9
12
4
3
6
8
9
11
2
1
19
21

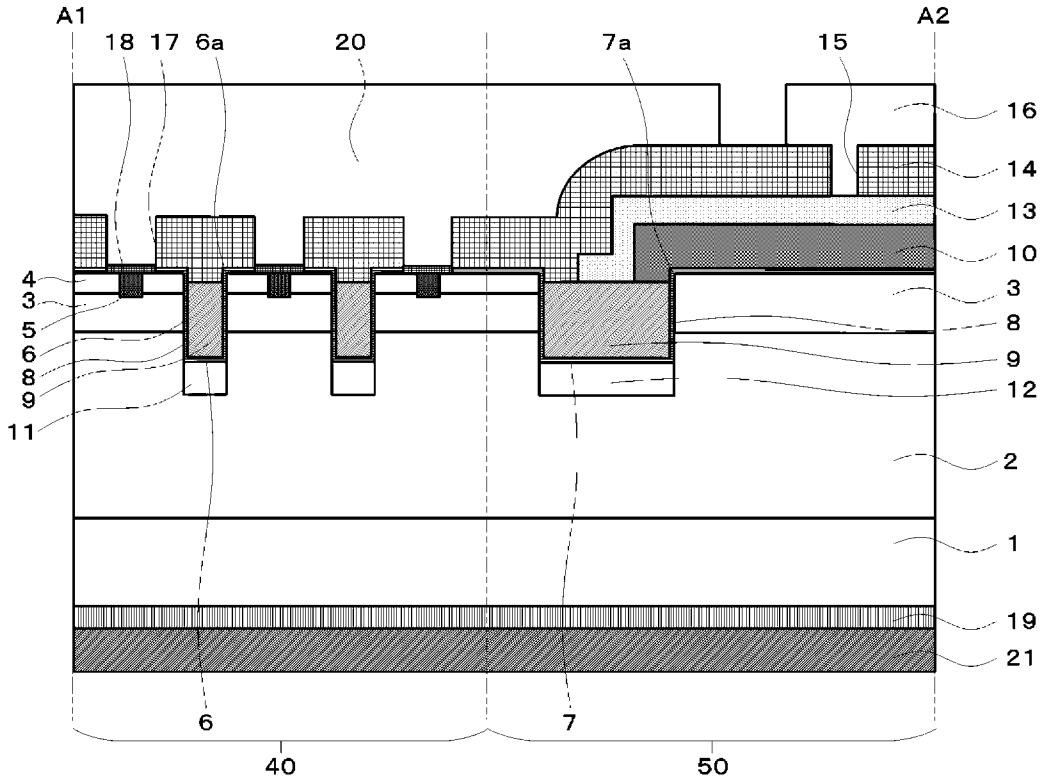
[図11]


60
13
13b
13a
10
70
5
6a
8
9
7
4
3
6
8
9
11
2
1
19
21

[図12]


B1
16
6 9
1
50
7
B2
9
13
40
24
50
23
50
40
50

[図13]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/009146

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; ***H01L 29/06***(2006.01)i; ***H01L 29/739***(2006.01)i
FI: H01L29/78 653C; H01L29/78 652F; H01L29/78 652P; H01L29/78 652S; H01L29/78 653A; H01L29/78 655A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L29/06; H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2009-505433 A (INTERNATIONAL RECTIFIER CORP.) 05 February 2009 (2009-02-05) paragraphs [0007]-[0011], [0021]-[0035], fig. 4-8	1, 4-9, 11-14
Y		2-3, 10, 15
Y	JP 2001-177093 A (KABUSHIKI KAISHA TOYOTA CHUO KENKYUSHO) 29 June 2001 (2001-06-29) paragraphs [0015], [0016], [0051], fig. 1, 3	2
Y	WO 2016/047438 A1 (MITSUBISHI ELECTRIC CORP.) 31 March 2016 (2016-03-31) paragraphs [0015]-[0028], fig. 1, 2	3, 10, 15

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 May 2022	**07 June 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/009146

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2009-505433 A	05 February 2009	US 2007/0040215 A1 paragraphs [0007]-[0011], [0030]-[0040], fig. 4-8 WO 2007/022316 A2 EP 1917683 A2 CN 101288175 A TW 200713430 A	
JP 2001-177093 A	29 June 2001	(Family: none)	
WO 2016/047438 A1	31 March 2016	US 2017/0301788 A1 paragraphs [0031]-[0044], fig. 1, 2 DE 112015004374 T5 CN 107078159 A	

国際調査報告

国際出願番号
PCT/JP2022/009146

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/78(2006.01)i; H01L 29/06(2006.01)i; H01L 29/739(2006.01)i
FI: H01L29/78 653C; H01L29/78 652F; H01L29/78 652P; H01L29/78 652S; H01L29/78 653A; H01L29/78 655A

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/78; H01L29/06; H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2009-505433 A (インターナショナル レクティファイアー コーポレイション) 05.02.2009 (2009-02-05) [0007]-[0011],[0021]-[0035], 図4-8	1,4-9,11-14
Y		2-3,10,15
Y	JP 2001-177093 A (株式会社豊田中央研究所) 29.06.2001 (2001-06-29) [0015]-[0016],[0051], 図1, 3	2
Y	WO 2016/047438 A1 (三菱電機株式会社) 31.03.2016 (2016-03-31) [0015]-[0028], 図1-2	3,10,15

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
26.05.2022	07.06.2022

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
岩本　勉 5F 2576
電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/009146

引用文献	公表日	パテントファミリー文献	公表日
JP 2009-505433 A	05.02.2009	US 2007/0040215 A1 [0007]-[0011],[0030]-[0040], 図4-8 WO 2007/022316 A2 EP 1917683 A2 CN 101288175 A TW 200713430 A	
JP 2001-177093 A	29.06.2001	（ファミリーなし）	
WO 2016/047438 A1	31.03.2016	US 2017/0301788 A1 [0031]-[0044], 図1-2 DE 112015004374 T5 CN 107078159 A	