

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4583654号
(P4583654)

(45) 発行日 平成22年11月17日 (2010.11.17)

(24) 登録日 平成22年9月10日 (2010.9.10)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 6 A

H O 1 L 29/786 (2006.01)

H O 1 L 21/28 3 0 1 R

H O 1 L 21/28 (2006.01)

H O 1 L 21/302 1 0 1 C

H O 1 L 21/3065 (2006.01)

H O 1 L 29/78 6 1 7 K

H O 1 L 29/78 6 1 7 L

請求項の数 5 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2001-135770 (P2001-135770)
 (22) 出願日 平成13年5月7日 (2001.5.7)
 (65) 公開番号 特開2002-43329 (P2002-43329A)
 (43) 公開日 平成14年2月8日 (2002.2.8)
 審査請求日 平成20年4月3日 (2008.4.3)
 (31) 優先権主張番号 特願2000-180550 (P2000-180550)
 (32) 優先日 平成12年5月13日 (2000.5.13)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 高山 徹
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 秋元 健吾
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 綿引 隆

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

半導体層上にゲート絶縁膜を形成し、
 前記ゲート絶縁膜上にT a の窒化物またはT i の窒化物からなる第一の層を形成し、
 前記第一の層上にT a、T i、Wから選ばれた一つの元素から成る第二の層を形成し、
 前記第二の層上にレジスト層を形成し、
 前記レジスト層をマスクとして、酸素ガスを含む第1のエッチング用ガスを用いて前記
 第二の層を選択的にエッチングし、
 第2のエッチング用ガスを用いて前記第一の層及び前記第二の層をエッチングし、
 前記半導体層に一導電型の不純物元素を添加することによって第三の不純物領域を形成
 し、
 酸素ガスを含む第3のエッチング用ガスを用いて前記第二の層を選択的にエッチングし

、
 前記半導体層に、前記一導電型の不純物元素を添加することによって、第一の不純物領
 域及び第二の不純物領域を形成し、

第4のエッチング用ガスを用いて前記第一の層及び前記第二の層をエッチングする半導
 体装置の作製方法であって、

前記第一の不純物領域は前記第一の層と重なる位置に形成され、

前記第二の不純物領域は前記第一の不純物領域と前記第三の不純物領域との間に形成さ
 れることを特徴とする半導体装置の作製方法。

10

20

【請求項 2】

半導体層上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上に T a の窒化物または T i の窒化物からなる第一の層を形成し、
前記第一の層上に T a、T i、W から選ばれた一つの元素から成る第二の層を形成し、
前記第二の層上にレジスト層を形成し、
前記レジスト層をマスクとして、酸素ガスを含む第 1 のエッチング用ガスを用いて前記第二の層を選択的にエッチングし、
第 2 のエッチング用ガスを用いて前記第一の層及び前記第二の層をエッチングし、
酸素ガスを含む第 3 のエッチング用ガスを用いて前記第二の層を選択的にエッチングし、
前記半導体層に、前記一導電型の不純物元素を添加することによって、第一の不純物領域及び第二の不純物領域を形成し、
第 4 のエッチング用ガスを用いて前記第一の層及び前記第二の層をエッチングし、
前記半導体層の前記第二の不純物領域の外側に、一導電型の不純物元素を添加することによって、第三の不純物領域を形成する半導体装置の作製方法であって、
前記第一の不純物領域は前記第一の層と重なる位置に形成され、
前記第二の不純物領域は前記第一の不純物領域と前記第三の不純物領域との間に形成されることを特徴とする半導体装置の作製方法。

10

【請求項 3】

請求項 1 または 2 において、
前記第 3 のエッチング用ガスを用いるエッチング処理及び前記第 4 のエッチング用ガスを用いるエッチング処理のバイアス電圧は、前記第 1 のエッチング用ガスを用いるエッチング処理及び前記第 2 のエッチング用ガスを用いるエッチング処理のバイアス電圧よりも低く、
前記第 2 のエッチング用ガスを用いるエッチング処理における前記第二の層と前記第一の層の選択比は、前記第 1 のエッチング用ガスを用いるエッチング処理における前記第二の層と前記第一の層の選択比よりも小さく、
前記第 3 のエッチング用ガスを用いるエッチング処理における前記第二の層と前記第一の層の選択比は、前記第 2 のエッチング用ガスを用いるエッチング処理における前記第二の層と前記第一の層の選択比よりも大きく、
前記第 4 のエッチング用ガスを用いるエッチング処理における前記第二の層と前記第一の層の選択比は、前記第 3 のエッチング用ガスを用いるエッチング処理における前記第二の層と前記第一の層の選択比よりも小さいことを特徴とする半導体装置の作製方法。

20

30

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、
前記エッチングは誘導結合型プラズマエッチング法を用いて行うことを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、
前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、電子遊技機器、またはプロジェクターであることを特徴とする半導体装置の作製方法。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は基板上に薄膜トランジスタ（以下、T F T と記す）で構成された回路を有する半導体装置およびその作製方法に関する。特に本発明は上記 T F T において、ホットキャリアによるオン電流値の劣化を防ぐための手段として、L D D 領域を、ゲート絶縁膜を介してゲート絶縁膜と一部重ねて配置させた、G O L D（Gate-drain Over Lapped LDD）構造を好適に作成できる技術を提供する。尚、本明細書において半導体装置とは、半導体特性

50

を利用することで機能する装置全般を指し、アクティブマトリクス型液晶表示装置を代表する電気光学装置及びその電気光学装置を搭載した電子機器をその範疇に含んでいる。

【 0 0 0 2 】

【従来の技術】

T F Tのオフ電流値を低減するための構造として、低濃度ドレイン（L D D : Lightly Doped Drain）構造が知られている。この構造はチャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域をL D D領域と呼んでいる。また、ホットキャリアによるオン電流値の劣化を防ぐための手段として、L D D領域を上記に加え、ゲート絶縁膜を介してゲート電極と重ねてL D Dを配置した、いわゆるG O L D（Gate-drain Overlapped LDD）構造が知られている。このような構造とすることで、ドレイン近傍の高電界が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効であることが知られている。

10

【 0 0 0 3 】

アクティブマトリクス型の液晶表示装置に代表される電気光学装置において、スイッチング素子や能動回路をT F Tを用いて構成する技術が開発されている。

T F Tはガラスなどの基板の上に気相成長法などにより半導体膜を形成し、その半導体膜を活性層として形成する。近年活性層の半導体膜を結晶化させる技術が進み、結晶構造を含む半導体（以下、結晶質半導体と記す）膜（代表的には、結晶質シリコン或いは多結晶シリコン）を活性層としたT F Tでは、高い電界効果移動度が得られることから各種の機能回路を同一のガラス基板上に形成することが可能となった。そして画素部のスイッチング用T F Tの他に駆動回路においてシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などを実現することができた。このような回路は、nチャネル型T F Tとpチャネル型T F Tとから成るC M O S回路を基本として形成されていた。このような駆動回路の実装技術が根拠となり、液晶表示装置において軽量化および薄型化を推進するためには、画素部の他に駆動回路を同一基板上に一体形成できる結晶質半導体層を活性層とするT F Tが適していることが明らかとなってきた。

20

【 0 0 0 4 】

ここで、例えば、駆動回路のバッファ回路などは高い駆動電圧が印加されるため、高電圧が印加されても壊れないように耐圧を高めておく必要がある。また電流駆動能力を高めるために、オン電流値（T F Tがオン動作時に流れるドレイン電流）を十分確保する必要がある。従って上記駆動回路には特に劣化に耐性のあるG O L D構造を用いるのが望ましい。

30

【 0 0 0 5 】

また、アクティブマトリクス型の液晶表示装置に用いられる電気光学装置において、ゲート電極は光透過性の低い構造が望ましい。

【 0 0 0 6 】

アクティブマトリクス型液晶表示装置を駆動させて画像表示を行うに際して、配線とT F Tの上方には遮光性を有する遮蔽膜（B M）を配置するのが一般的である。この事は、T F Tの電気特性が活性層（半導体層）の光誘起現象により劣化することを防ぐ効果と、画素電極端部で電界が乱れた場合に生じる表示画像の乱れを視認させない様にする効果とを持つ。特に、1 0 0万ルクス程度の光が照射されるプロジェクター用のアクティブマトリクス型液晶表示装置は、光による活性層の劣化と、光励起によりオフ電流が増大しスイッチオフ時の電荷保持が出来なくなることが大きな問題となっているため、遮蔽膜の配置が不可欠である。

40

しかしながら、開口率を上げるためには、遮蔽膜の面積は狭く設計されることが望ましい。また活性層に直に光はあたらずとも、散乱して活性層に到達する光も考えられる。従って、活性層の直上にあるゲート電極が光を遮蔽する構造が望まれる。

【 0 0 0 7 】

【発明が解決しようとする課題】

50

本発明は劣化に耐性のある、GOLD構造の外側にLDD領域を有するTFTを、少ない工程で作製する技術を提供するものである。アクティブマトリクス型の液晶表示装置等の電気光学装置に代表されるような、光照射によるオフ電流の低減が求められる半導体装置において、TFTの特性を改善し、半導体装置の動作特性および信頼性の向上を実現させることを目的としている。

【0008】

【課題を解決するための手段】

本発明では、上記GOLD構造の外側にLDD領域を有するTFTにおけるプロセス簡略化のため、耐熱性導電性材料からなる第一の層、及び同一エッチング雰囲気中で第一の層よりエッチング速度が大きくすることができる耐熱性導電性材料からなる第二の層から成り、前記第一の層の上に前記第二の層が積層された、2層からなるゲート電極を形成し、前記2層からなるゲート電極をマスクとしてソース及びドレイン領域、第一の不純物領域、第二の不純物領域を形成する方法を提供する。特に2層からなるゲート電極のうち、第一の層の材料において、膜中に酸素を添加することを特徴とする。

10

【0009】

本発明で最終的に完成されるGOLD構造の外側にLDD領域を有するTFTを、図1に示す。図1に示す形状は、第一の層1603、第二の層1601にそれぞれTa-NにOが添加されたもの、及びWを用いている。図1中ではn型の不純物が添加されており、第一の不純物領域1604、第二の不純物領域1605、第三の不純物領域1606、として示されている。また、ゲート絶縁膜1602は、エッチング工程を経ることにより、異なる不純物領域に対し、異なる膜厚で形成される。この形状は、第二の層1601の端部をテーパ形状に加工する工程を経て、形成される。

20

【0010】

タングステンのような耐熱性導電性材料を高速でかつ精度良くエッチングして、さらに端部をテーパ形状とするためには、高密度プラズマを用いたドライエッチング法を適用する。高密度プラズマを得る手法にはマイクロ波や誘導結合プラズマ(Inductively Coupled Plasma: ICP)を用いたエッチング装置が適している。特に、ICPエッチング装置はプラズマの制御が容易であり、処理基板の面積化にも対応できる。テーパ部の角度は基板側にかかるバイアス電力によって大きく変化を示し、バイアス電力をさらに高め、また、圧力を変化させることによりテーパ部の角度を変化させることができる。

30

【0011】

本発明ではこのテーパ形状を形成する方法を適用して上記構造のTFTを作製する。具体的には図2に示すように、ゲート電極の形状を段階を経て変化させ、その過程でドーピングを行う。図2においては、nチャネル型TFTの例を示している。図2の説明では、前記第一の層及び第二の層が成膜された後、ゲート電極が形成されるプロセスを順に示している。

【0012】

まず、バイアス電圧が高く、第二の層のエッチレートと第一の層のエッチレートとの比(以下選択比と記す)が大きいエッチング雰囲気中で、前記2層からなるゲート電極を異方性エッチする。すると図2(a)のごとく第二の層608がテーパ形状となり第一の層604が残るゲート電極が形成される。

40

【0013】

次にバイアス電圧を変えずに、選択比が、図2(a)の場合より小さくなるエッチング雰囲気中で、エッチングを行う。すると図2(b)のごとく第一の層605が第二の層609の端部よりテーパ形状を成したゲート電極が形成される。

【0014】

このときイオン化した導電型制御用の不純物元素を、電界で加速してゲート絶縁膜(ゲート電極と半導体層とに密接してその両者の間に設けられるゲート絶縁膜と、該ゲート絶縁膜からその周辺の領域に延在する絶縁膜を含めてゲート絶縁膜と称する)を通過させて、半導体層にリンを添加しソース及びドレイン領域615を形成する。本明細書中において、

50

この不純物元素の添加方法を便宜上「スルードープ法」と呼ぶ。

【 0 0 1 5 】

その後、バイアス電圧が図 2 (a)、図 2 (b) の形成時に比べて低く、選択比が、図 2 (b) の場合より大きくなるエッチング雰囲気中で、エッチングを行う。すると図 2 (c) のごとく第一の層 607 が露出したゲート電極が形成される。

【 0 0 1 6 】

このときイオン化した導電型制御用の不純物元素を、第一の層より成るゲート電極とゲート絶縁膜を通過させ、スルードープを行う。このときの不純物元素は、図 2 (b) の場合に比べて低濃度で添加し、これにより第一の不純物領域と、第二の不純物領域となる領域 613 を形成する。

【 0 0 1 7 】

その後、バイアス電圧が図 2 (a)、図 2 (b) の形成時に比べて低く、選択比が、図 2 (c) の場合より小さくなるエッチング雰囲気中で、エッチングを行う。すると図 2 (d) のごとくテーパ形状となり後退した第一の層 614 を有する、ゲート電極が形成される。

【 0 0 1 8 】

不純物領域 6 1 3 は、第一の層 607 によって決定する。第一の層 607 は、テーパ形状となっているので、第二の層から外側に向かうに従い高い濃度となる。図 2 (d) の段階で形成される、第一の不純物領域 617 は、第二の不純物領域 618 より、低い不純物濃度となる。

【 0 0 1 9 】

さらに本発明では、第一の層の膜に、TaN、もしくはTiNを用いることを特徴とする。特に光の透過率を低減するような膜厚とする。図 1 に本発明の構造の TFT を示す断面図を示すが、液晶表示装置としてプロジェクターなどに使用された場合、光 1607 は、基板 1608 の裏面などに乱反射し活性層に到達する。このとき第一の不純物領域 1604 の上方のゲート電極が光を遮蔽した場合、光照射をしてもオフ電流を小さくすることができる。

【 0 0 2 0 】

光照射とゲート電極の光学特性について調べるため、テーパ形状を持たない単層のゲート電極を有し、GOLD 構造と LDD 構造を併せ持つ TFT を作製した。その構造を図 8 に示す。2501 は単層のゲート電極、2502 は第一の不純物領域、2503 は第二の不純物領域、2503 はソース及びドレイン領域、である。これらはフォトリソを用いて形成している。第二の不純物領域の上にはゲート電極はないため、基板に光が照射されれば、第二の不純物領域は直に照射された光が当たることになる。また、TFT のサイズは $L \times W = 8 \times 200 \mu m$ とした。図 8 の構成の TFT における、 $V_g - I_d$ 特性の、TFT への光照射量依存性を調べた結果を表 1 に示す。

【 0 0 2 1 】

【表 1】

光照射なし

(a)		TaN	Al	
	Ion(A)	8.1E-03	7.8E-03	
	Ioff(A)	3.6E-10	1.7E-10	
	Ion/Ioff	2.3E+07	4.7E+07	← I

光照射あり

(b)		TaN	Al	
	Ion(A)	7.7E-03	8.1E-03	
	Ioff(A)	4.6E-10	3.0E-10	
	Ion/Ioff	1.7E+07	2.7E+07	← II

(c) I / II

	TaN	Al
	1.4E+00	1.8E+00

10

20

30

40

50

【 0 0 2 2 】

表 1 -(a)に、T F T への光照射がない時の $V_g - I_d$ 特性を、ゲート電極に A l を用いた場合と、ゲート電極に T a N を用いた場合とをそれぞれ示している。これに対し基板表面から、T F T へ白熱電球の光照射をした時の $V_g - I_d$ 特性を、表 1 -(b)に示している。表 1 -(a)の I_{on}/I_{off} 値より、表 1 -(b)の I_{on}/I_{off} の値の方が、小さくなっている。これはすなわち光照射により、オン電流に比べてオフ電流が上がったことを示している。また、表 1 -(c)には、ゲート電極材料ごとに、上記の 2 つの比が示されている。ゲート電極に T a N を用いた場合の方が、ゲート電極に A l を用いた場合に比べ値が小さいことがわかる。これは、ゲート電極に T a N を用いた場合、光照射による効果が小さいことを示している。可視光においての反射率は、平均すると、A l が 9 0 %、T a N が 4 0 % である。表面から入射した光は基板裏面等を乱反射して、活性層にたどりつくため、ゲート電極の反射率が高い場合は活性層を通過する光が大きくなり表 1 -(c)の差が発生したと考えられる。

10

【 0 0 2 3 】

すなわち、ゲート電極は、反射率が低い材料が望ましい。前記のように、T a N は可視光平均反射率が 4 0 % であり、T i N は 2 5 % であるため、A l より好適な材料と考えられる。

【 0 0 2 4 】

図 3 は、T i N 及び T a N の可視光における透過率の膜厚依存性を示す。T i N 及び T a N は、アクティブマトリクス T F T プロセスの熱処理を考慮し、5 5 0 、4 h r s で熱処理している。横軸は測定波長であり、縦軸は透過率である。透過率は、膜厚が増加するに従い、小さくなる傾向がある。

20

【 0 0 2 5 】

オフ電流（以下 I_{off} とともに記述する）はシリコン中のキャリアの移動度 μ と、キャリアの電荷 e と、キャリア密度 N と、オフ電流が流れる領域の断面積 A と、電界 E と、を用い、 $I_{off} = \mu e N A E$ と表される。前記表された I_{off} の式中にある因子の中で、移動度は温度と電圧に依存し、キャリア電荷及び半導体断面積と電界 E は固定されていることより、 I_{off} はキャリア密度 N に起因している。 I_{off} はキャリア密度で変化するが、これは半導体に吸収される光により発生する。

【 0 0 2 6 】

図 3 においては膜厚の増大に伴い、波長に対し一様に透過率が減少する。また膜厚 3 0 n m において T i N では 5 0 % 以下、T a N では 1 5 % 以下と低くなっている。仮に吸収した光がすべてキャリアを励起した場合、光吸収が起因する I_{off} 増加も、上記割合で減少することが期待できる。すなわち第一の層の膜厚は、可能な限り厚いことが望ましい。

30

【 0 0 2 7 】

一方、ゲート電極における第一の層の膜厚は、スルードープ法を用いた場合、第一の不純物領域における不純物濃度と、第二の不純物領域における不純物濃度とを決める。これは、第一の層が、半導体層への不純物の注入を阻止するためである。

【 0 0 2 8 】

図 4 は、図 2 で示された様に作成された T F T 構造において、ゲート電極の第一の層に T a N を用いたときの、S i 中における不純物濃度分布をシミュレーションした結果を示している。膜厚においては、図 2 -(C) の段階で第一の膜はテーパ形状となるが、計算の簡単のため図 2 1 のごとく 3 0 n m 以下で形成されたものとした。

40

【 0 0 2 9 】

図 4 のグラフ中、縦軸は不純物濃度を示してあり、横軸は T F T 中の S i の位置を示している。横軸の単位は μm であり、第二の膜を 0 μm の位置とし、第一の不純物領域が 0 . 5 μm 、第二の不純物領域が 0 . 5 μm で形成されている。すなわち 0 から 1 まだが第一の不純物領域および第二の不純物領域であり、前記第一の不純物領域と前記第二の不純物領域の境界は 0 . 5 μm である。

図 4 におけるスルードープ条件は、現状の作成工程のものをを用いた。すなわち前記条件は

50

リンをドーズ量において 1.4×10^{13} atoms/cm²、加速電圧において120 keVでスルードープするものとした。このとき、不純物濃度は 1.0×10^{17} atoms/cm³ ~ 3.0×10^{19} atoms/cm³の間で収まっている。

【0030】

一方、周辺回路のホットキャリア劣化特性には、最適な不純物濃度が存在する。

図5は劣化率に対する、第一の不純物領域と第二の不純物領域に添加されるリンの量の依存性を示している。図5中の横軸はドーパ量であり、縦軸は劣化率である。この図より、前記添加される不純物量は 2×10^{17} atoms/cm³ ~ 3.0×10^{18} atoms/cm³であることが算出される。

【0031】

スルードープ可能な厚さは、加速電圧を上げたとしても200nm程度である。

ゲート絶縁膜の厚さを考慮すると、第一の層の厚さは最大でも100nmまでと考えられる。このことより、第一の層の膜厚は、Ta₂N₅を用いた場合、図2-(a)の段階で30nm程度で、望ましい不純物量が第一の不純物領域と第二の不純物領域に添加されると判断できる。なおTiNを用いた場合、阻止能がTa₂N₅より小さいため、50nm以下が可能であるが、エッチングの選択比を考慮すれば30nmが実用的である。

【0032】

以上より、第一の層は、第二の層の端部に近い領域での膜厚において、Ta₂N₅であれば30nm、TiNであれば30nmあれば、オフ電流が小さく、電界による劣化の低減を達成するTFETを作成することができる。

【0033】

尚、図3のサンプルを作成したときと同じ装置でTiN膜を150nm成膜し、550℃、4hrsで熱処理した後、SIMS分析を行った結果を図6に示す。また同様にTa₂N₅膜を150nm成膜し、550℃、4hrsで熱処理した後、SIMS分析を行った結果を図7に示す。表面30nmに注目すれば、TiN膜においては酸素が 2×10^{21} atoms/cm³含まれ、Ta₂N₅膜においても酸素が 2×10^{21} atoms/cm³含まれていた。

【0034】

第二の層として好適な材料には、Wが挙げられる。Wは耐熱性に優れ、抵抗率の低いWとエッチレートとを低く設定でき、図2に述べる形状を形成しやすい。WはCF₄及びCl₂をエッチングガスとして用い、ドライエッチングできる。

【0035】

図2(d)のエッチング条件で、第一の層の形状、及び第二の層の形状、及び第一の不純物領域613の長さが決まる。具体的には、選択比が小さいとき、第一の層の膜厚が大きくなる。この加工性とプロセス温度より、第二の層の材料を選ぶべきである。

【0036】

従って、上記問題点を解決するための本発明の構成は、半導体層と、ゲート絶縁膜と、ゲート電極を有し、前記ゲート電極は、前記ゲート絶縁膜に接して形成された第一の層と、前記第一の層の内側に形成されたTa、Ti、Wから選ばれた一つの元素から成る第二の層とからなり、前記半導体層は、チャネル形成領域と、前記チャネル形成領域に接し、かつ前記第一の層と重なるように形成される第一の不純物領域と、前記ゲート電極の外側に形成された第三の不純物領域と、前記第一の不純物領域と前記第三の不純物領域の間に形成された第二の不純物領域とを有し、前記第一の層は、Taの窒化物からなり、膜厚が30 ~ 50nmで形成されることを特徴としている。

【0037】

また、他の発明の構成は、半導体層と、ゲート絶縁膜と、ゲート電極を有し、前記ゲート電極は、前記ゲート絶縁膜に接して形成された第一の層と、前記第一の層の内側に形成されたTa、Ti、Wから選ばれた一つの元素から成る第二の層とからなり、前記半導体層は、チャネル形成領域と、前記チャネル形成領域に接し、かつ前記第一の層と重なるように形成される第一の不純物領域と、前記ゲート電極の外側に形成された第三の不純物領域と、前記第一の不純物領域と前記第三の不純物領域の間に形成された第二の不純物領域と

10

20

30

40

50

を有し、前記第一の層は、 Ti の窒化物からなり、テーパ形状を成し、膜厚が $30 \sim 50 \text{ nm}$ で形成されることを特徴としている。

【0038】

また、他の発明の構成は、半導体上にゲート絶縁膜を形成する第1の工程と、 Ta の窒化物、または Ti の窒化物、からなる第一の層を形成する第2の工程と、 Ta 、 Ti 、 W から選ばれた一つの元素から成る第二の層を形成する第3の工程と、前記第二の層を選択的にエッチングし、前記第一の層の内側に前記第二の層を形成する第4の工程と、前記第一の層と前記第二の層をエッチングする第5の工程と、前記第二の層の外側に、一導電型の不純物元素を添加し、第三の不純物領域を形成する第6の工程と、前記第一の層と前記第二の層をエッチングし、前記第一の層の内側に前記第二の層を形成する第7の工程と、前記半導体に、前記一導電型の不純物元素を添加し、前記第一の層と重なるように形成される第一の不純物領域と、前記第一の不純物領域と前記第三の不純物領域の間に第二の不純物領域を形成する第8の工程と、前記第一の層と前記第二の層をエッチングする第9の工程とを有することを特徴としている。

10

【0039】

また、他の発明の構成は、半導体上にゲート絶縁膜を形成する第1の工程と、 Ta の窒化物、または Ti の窒化物、からなる第一の層を形成する第2の工程と、 Ta 、 Ti 、 W から選ばれた一つの元素から成る第二の層を形成する第3の工程と、前記第二の層を選択的にエッチングし、前記第一の層の内側に前記第二の層を形成する第4の工程と、前記第一の層と前記第二の層をエッチングする第5の工程と、前記第一の層と前記第二の層をエッチングし、前記第一の層の内側に前記第二の層を形成する第6の工程と、前記半導体に、前記一導電型の不純物元素を添加し、前記第一の層と重なるように形成される第一の不純物領域と、前記第一の不純物領域の外側に第二の不純物領域を形成する第7の工程と、前記第一の層と前記第二の層をエッチングする第8の工程と、前記第二の不純物領域の外側に、一導電型の不純物元素を添加し、第三の不純物領域を形成する第9の工程とを有することを特徴としている。

20

【0040】

【発明の実施の形態】

[実施形態1]

本発明の実施例を、図9～図12を用いて説明する。ここでは、画素部の画素 TFT および保持容量と、画素部の周辺に設けられる駆動回路の TFT を同時に作製する方法について工程に従って詳細に説明する。

30

【0041】

図9(A)において、基板101にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板の他に、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)など光学的異方性を有しないプラスチック基板を用いることができる。

【0042】

そして、基板101の TFT を形成する表面に、基板101からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜102を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜102aを $10 \sim 200 \text{ nm}$ (好ましくは $50 \sim 100 \text{ nm}$)、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜102bを $50 \sim 200 \text{ nm}$ (好ましくは $100 \sim 150 \text{ nm}$)の厚さに積層形成する。ここでは下地膜102を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させて形成しても良い。

40

【0043】

酸化窒化シリコン膜は従来の平行平板型のプラズマCVD法を用いて形成する。酸化窒化シリコン膜102aは、 SiH_4 を 10 SCCM 、 NH_3 を 100 SCCM 、 N_2O を 20 SCCM として反応室に導入し、基板温度 325 、反応圧力 40 Pa 、放電電力密度 0.41 W/cm^2 、

50

放電周波数 60 MHzとした。一方、酸化窒化水素化シリコン膜 102b は、 SiH_4 を 5 SCCM、 N_2O を 120 SCCM、 H_2 を 125 SCCM として反応室に導入し、基板温度 400、反応圧力 20 Pa、放電電力密度 0.41 W/cm²、放電周波数 60 MHzとした。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することもできる。

【0044】

次に、25 ~ 80 nm (好ましくは 30 ~ 60 nm) の厚さで非晶質構造を有する半導体層 103a を、プラズマ CVD 法やスパッタ法などの公知の方法で形成する。例えば、プラズマ CVD 法で非晶質シリコン膜を 55 nm の厚さに形成する。非晶質構造を有する半導体膜には、非晶質半導体層や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜 102 と非晶質半導体層 103a とは両者を連続形成することも可能である。例えば、前述のように酸化窒化シリコン膜 102a と酸化窒化水素化シリコン膜 102b をプラズマ CVD 法で連続して成膜後、反応ガスを SiH_4 、 N_2O 、 H_2 から SiH_4 と H_2 或いは SiH_4 のみに切り替えれば、一旦大気雰囲気気に晒すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜 102b の表面の汚染を防ぐことが可能となり、作製する TFT の特性バラツキやしきい値電圧の変動を低減させることができる。

【0045】

そして、結晶化の工程を行い非晶質半導体層 103a から結晶質半導体層 103b を作製する。その方法としてレーザーアニール法や熱アニール法 (固相成長法)、またはラビットサーマルアニール法 (RTA 法) を適用することができる。前述のようなガラス基板や耐熱性の劣るプラスチック基板を用いる場合には、特にレーザーアニール法を適用することが好ましい。RTA 法では、赤外線ランプ、ハロゲンランプ、メタルハライドランプ、キセノンランプなどを光源に用いる。或いは特開平 7-130652 号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体層 103b を形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する水素を放出させておくことが好ましく、400 ~ 500 で 1 時間程度の熱処理を行い含有する水素量を 5 atomic% 以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。

【0046】

また、プラズマ CVD 法で非晶質シリコン膜の形成工程において、反応ガスに SiH_4 とアルゴン (Ar) を用い、成膜時の基板温度を 400 ~ 450 として形成すると、非晶質シリコン膜の含有水素濃度を 5 atomic% 以下にすることもできる。このような場合において水素を放出させるための熱処理は不要となる。

【0047】

結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、レーザーパルス発振周波数 30 Hz とし、レーザーエネルギー密度を 100 ~ 500 mJ/cm² (代表的には 300 ~ 400 mJ/cm²) とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率 (オーバーラップ率) を 80 ~ 98 % として行う。このようにして図 9 (B) に示すように結晶質半導体層 103b を得ることができる。

【0048】

そして、結晶質半導体層 103b 上に第 1 のフォトリソグラフィの技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体層を島状に分割し、図 9 (C) に示すように島状半導体層 104 ~ 108 を形成する。結晶質シリコン膜のドライエッチングには CF_4 と O_2 の混合ガスを用いる。

【0049】

このような島状半導体層に対し、TFT のしきい値電圧 (V_{th}) を制御する目的で p 型を付与する不純物元素を $1 \times 10^{16} \sim 5 \times 10^{17}$ atomic/cm³ 程度の濃度で島状半導体層の全面に添加しても良い。半導体に対して p 型を付与する不純物元素には、ホウ素 (B)、

10

20

30

40

50

アルミニウム (Al)、ガリウム (Ga) など周期律表第 13 族の元素が知られている。その方法として、イオン注入法やイオンドーピング法 (或いはイオンシャワードーピング法) を用いることができるが、大面積基板を処理するにはイオンドーピング法が適している。イオンドーピング法ではジボラン (B_2H_6) をソースガスとして用いホウ素 (B) を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特に n チャネル型 TFT のしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。

【0050】

ゲート絶縁膜 109 はプラズマ CVD 法またはスパッタ法を用い、膜厚を 40 ~ 150 nm としてシリコンを含む絶縁膜で形成する。本実施例では、120 nm の厚さで酸化窒化シリコン膜から形成する。また、 SiH_4 と N_2O に O_2 を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマ CVD 法で、オルトケイ酸テトラエチル (Tetraethyl Ortho-silicate: TEOS) と O_2 とを混合し、反応圧力 40 Pa、基板温度 300 ~ 400 とし、高周波 (13.56 MHz) 電力密度 0.5 ~ 0.8 W/cm² で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後 400 ~ 500 の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0051】

そして、図 9 (D) に示す様に、ゲート絶縁膜 109 上にゲート電極を形成するための第 1 の導電膜 110 と第 2 の導電膜 111 とを形成する。本実施例では、第 1 の導電膜 110 を TaN で 30 nm の厚さに形成し、第 2 の導電膜を W で 300 ~ 400 nm の厚さに形成する。

【0052】

TaN 膜はスパッタ法で形成し、Ta のターゲットを Ar 及び N_2 でスパッタする。この場合、Ar 及び N_2 に適量の Xe や Kr を加えると、TaN 膜の内部応力を緩和して膜の剥離を防止することができる。

【0053】

W 膜を形成する場合には、W をターゲットとしたスパッタ法で形成する。その他に 6 フッ化タングステン (WF_6) を用いる熱 CVD 法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 20 μ cm 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W 中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 99.9999 % の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 9 ~ 20 μ cm を実現することができる。

【0054】

次に図 10 に示すように、レジストによるマスク 112 ~ 117 を形成し、ゲート電極を形成するための第 1 のエッチング処理を行う。エッチング方法に限定はないが、好適には ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 と O_2 を混合し、0.5 ~ 2 Pa、好ましくは 1 Pa の圧力でコイル型の電極に 500 W の RF (13.56 MHz) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも 100 W の RF (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 と O_2 を混合した場合には W 膜のエッチレートは TaN 膜より大きい。このような条件により W 膜を異方性エッチングし、かつ、それより遅いエッチング速度で第一の層である TaN を異方性エッチングする。

【0055】

W 膜や TaN 膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。W と TaN のフッ化物と塩化物の蒸気圧を比較すると、W のフッ化物である WF_6 が極端に高く、その他の WC

10

20

30

40

50

I_5 、 TaN 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及び TaN 膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、 TaN はFが増大しても相対的にエッチング速度の増加は少ない。また、 TaN はWに比較して酸化されやすいので、 O_2 を添加することで TaN の表面が酸化される。 TaN の酸化物はフッ素や塩素と反応しないためさらに TaN 膜のエッチング速度は低下する。従って、W膜と TaN 膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度を TaN 膜よりも大きくすることが可能となる。

【0056】

10

上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第二の層すなわちWの端部がテーパ形状となる。テーパ部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20\%$ 程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$ （代表的には 3 ）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50\text{nm}$ 程度エッチングされることになる。

【0057】

その後同様にICPエッチング法を用い、エッチングガスに CF_4 と Cl_2 を混合して、 1Pa の圧力でコイル型の電極に 500W のRF電力(13.56MHz)を供給し、プラズマを生成してWと TaN のエッチングを行う。基板側（試料ステージ）には 100W のRF(13.56MHz)電力を投入し、第1のエッチング処理と同様の自己バイアス電圧を印加する。このような条件によればW膜と TaN 膜のエッチレートの差すなわち選択比は酸素を添加した上記エッチング条件に比べ小さくなり、W膜及び TaN 膜がエッチングされる。

20

【0058】

こうして、第1のエッチング処理により第一の層と第二の層から成る第1の形状の導電層 $118 \sim 123$ （第一の層 $118a \sim 123a$ と第二の層 $118b \sim 123b$ ）を形成する。 130 はゲート絶縁膜であり、第1の形状の導電層 $118 \sim 123$ で覆われない領域は $20 \sim 50\text{nm}$ 程度エッチングされ薄くなった領域が形成される。

【0059】

30

そして、第1のドーピング処理を行い、 n 型を付与する不純物元素を添加する。ドーピングの方法はイオンドーピング法若しくはイオン注入法で行えば良い。イオンドーピング法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}\text{atoms/cm}^2$ とし、加速電圧を $60 \sim 100\text{keV}$ として行う。 n 型を付与する不純物元素として 15 族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層 $118 \sim 123$ が n 型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域 $124 \sim 129$ が形成される。第1の不純物領域 $124 \sim 129$ には $1 \times 10^{20} \sim 1 \times 10^{21}\text{atomic/cm}^3$ の濃度範囲で n 型を付与する不純物元素を添加する。

【0060】

次に図11(A)に示すように第2のエッチング処理を行う。このときもICPエッチング法を用い、エッチングガスに CF_4 と Cl_2 と O_2 を混合して、 1Pa の圧力でコイル型の電極に 500W のRF電力(13.56MHz)を供給し、プラズマを生成して行う。基板側（試料ステージ）には 20W のRF(13.56MHz)電力を投入し、自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第一の層である TaN を異方性エッチングする。

40

【0061】

そして、第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げ高加速電圧の条件で n 型を付与する不純物元素をドーピングする。例えば、加速電圧を $70 \sim 120\text{keV}$ とし、 $1 \times 10^{13}/\text{cm}^2$ のドーズ量で行い、図10で島状半導体層に形成された第3の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第

50

一の層を通してスルードープする。こうして、第二の1118a~1123aと重なる第3の不純物領域1131~1136と、第1の不純物領域と第3の不純物領域との間の第2の不純物領域1131~1136とを形成する。n型を付与する不純物元素は、第一の不純物領域及び第3の不純物領域で $2 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ の濃度となるようにする。

【0062】

そしてICPエッチング法を用い、第3のエッチング処理を行う。このときエッチングガスに CF_4 と Cl_2 を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成してWとTaのエッチングを行う。基板側(試料ステージ)には20WのRF(13.56MHz)電力を投入し、第1のエッチング処理より小さい自己バイアス電圧を印加する。

10

【0063】

こうして図11(A)に示すように第2の形状の薄膜層1118~1123(第一の層1118a~1123aと第二の層1118b~1123b)を形成する。1130はゲート絶縁膜であり、第2の形状の薄膜層1118~1123で覆われない領域はさらに20~50nm程度エッチングされ薄くなった領域が形成される。

【0064】

そして、pチャネル型TFTを形成する島状半導体層104、106にソース領域およびドレイン領域とする高濃度p型不純物領域140、141を形成する。ここでは、ゲート電極1118a、1123aをマスクとしてp型を付与する不純物元素を添加し、自己整合的に高濃度p型不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層105、107、108は、第3のフォトマスク(PM3)を用いてレジストマスク137~139を形成し全面を被覆しておく。ここで形成される不純物領域140、141はジボラン(B_2H_6)を用いたイオンドーピング法で形成する。そして、ゲート電極と重ならない高濃度p型不純物領域140a、141aのボロン(B)濃度は、 $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atomic/cm}^3$ となるようにする。また、第一のゲート電極と重なる不純物領域140b、141bは、ゲート絶縁膜と第一のゲート電極を介して不純物元素が添加されるので、実質的に低濃度p型不純物領域として形成され、少なくとも $1.5 \times 10^{19} \text{ atomic/cm}^3$ 以上の濃度とする。この高濃度p型不純物領域140a、141aおよび低濃度p型不純物領域140b、141bには、前工程においてリン(P)が添加されていて、高濃度p型不純物領域140a、141aには $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atomic/cm}^3$ の濃度で、低濃度p型不純物領域140b、141bには $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atomic/cm}^3$ の濃度で含有しているが、この工程で添加するボロン(B)の濃度をリン(P)濃度の1.5から3倍となるようにすることにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じなかった。

20

30

【0065】

その後、図12(A)に示すように、ゲート電極およびゲート絶縁膜上から第1の層間絶縁膜142を形成する。第1の層間絶縁膜は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても第1の層間絶縁膜142は無機絶縁物材料から形成する。第1の層間絶縁膜142の膜厚は100~200nmとする。ここで、酸化シリコン膜を用いる場合には、プラズマCVD法で TEOS と O_2 とを混合し、反応圧力40Pa、基板温度300~400とし、高周波(13.56MHz)電力密度0.5~0.8W/cm²で放電させて形成することができる。また、酸化窒化シリコン膜を用いる場合には、プラズマCVD法で SiH_4 、 N_2O 、 NH_3 から作製される酸化窒化シリコン膜、または SiH_4 、 N_2O から作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20~200Pa、基板温度300~400とし、高周波(60MHz)電力密度0.1~1.0W/cm²で形成することができる。また、 SiH_4 、 N_2O 、 H_2 から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法で SiH_4 、 NH_3 から作製することが可能である。

40

50

【0066】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700、代表的には500~600で行うものであり、本実施例では550で4時間の熱処理を行った。また、基板101に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい(図12(B))。

【0067】

活性化の工程に続いて、雰囲気ガスを変化させ、3~100%の水素を含む雰囲気中で、300~450で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により島状半導体層にある $10^{16} \sim 10^{18}/\text{cm}^3$ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。いずれにしても、島状半導体層104~108中の欠陥密度を $10^{16}/\text{cm}^3$ 以下とすることが望ましく、そのために水素を0.01~0.1atomic%程度付与すれば良かった。

【0068】

活性化および水素化の工程が終了したら、有機絶縁物材料からなる第2の層間絶縁膜143を1.0~2.0 μm の平均厚を有して形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンで300で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートで80で60秒の予備加熱を行い、さらにクリーンオープンで250で60分焼成して形成することができる。

【0069】

このように、第2の層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、第1の層間絶縁膜142として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いると良い。

【0070】

その後、第4のフォトマスク(PM4)を用い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスに CF_4 、 O_2 、Heの混合ガスを用い有機樹脂材料から成る第2の層間絶縁膜143をまずエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として第1の層間絶縁膜142をエッチングする。さらに、島状半導体層との選択比を高めるために、エッチングガスを CHF_3 に切り替えてゲート絶縁膜130をエッチングすることにより、良好にコンタクトホールを形成することができる。

【0071】

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し第5のフォトマスクでレジストマスクパターンを形成しエッチングによって、ソース配線とドレイン配線を形成する。ドレイン配線を例としてこの構成を説明すると、Ti膜を50~150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成する。そのTi膜上に重ねてAl膜を300~400nmの厚さで形成し、さらにTi膜または窒化チタン(TiN)膜を100~200nmの厚さで形成して3層またはTiとTiNを組み合わせ、3層以上の層を有する構造とする。その後、第5のフォトマスクによりレジストマスクパターンを形成し、エッチングによってソース配線とドレイン配線を形成する

10

20

30

40

50

。このとき、課題を解決する手段で記したように、酸素プラズマを用いた処理、熱酸化処理を行い、A1層の端部に酸化膜を形成する。その後、透明導電膜を全面に形成し、第6のフォトリソを用いたパターニング処理およびエッチング処理により画素電極を形成する。画素電極は、有機樹脂材料から成る第2の層間絶縁膜上に形成され、画素TFTのドレイン配線と重なる部分を設け電気的な接続を形成している。

【0072】

透明導電膜の材料は、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金($\text{In}_2\text{O}_3-\text{SnO}_2$;ITO)などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。

【0073】

こうして6枚のフォトリソにより、同一の基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができる。駆動回路には第1のpチャネル型TFT(A)200a、第1のnチャネル型TFT(A)201a、第2のpチャネル型TFT(A)202a、第2のnチャネル型TFT(A)203a、画素部には画素TFT204、保持容量205が形成されている。

本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0074】

駆動回路の第1のpチャネル型TFT(A)200aには、島状半導体層104にチャネル形成領域206、LDD領域207、高濃度p型不純物領域から成るソース領域208、ドレイン領域209を有した構造となっている。第1のnチャネル型TFT(A)201aには、島状半導体層105にチャネル形成領域210、低濃度n型不純物領域で形成されゲート電極119と重なるLDD領域211、高濃度n型不純物領域で形成するソース領域212、ドレイン領域213を有している。チャネル長3~7 μm に対して、ゲート電極119と重なるLDD領域を第一の不純物領域としてそのチャネル長方向の長さは0.1~1.5 μm 、好ましくは0.3~0.8 μm とする。この第一の不純物領域の長さはゲート電極119の厚さとテーパー部の角度1から制御する。

【0075】

図12(C)では、駆動回路のnチャネル型TFTおよびpチャネル型TFTを一对のソース・ドレイン間に一つのゲート電極を設けたシングルゲートの構造とし、画素TFTをダブルゲート構造としたが、これらのTFTはいずれもシングルゲート構造としても良いし、複数のゲート電極を一对のソース・ドレイン間に設けたマルチゲート構造としても差し支えない。

【0076】

図13は画素部のほぼ一画素分を示す上面図である。図中に示すA-A'断面が図12(C)に示す画素部の断面図に対応している。画素TFT204は、ゲート電極122は図示されていないゲート絶縁膜を介してその下の島状半導体層108と交差し、さらに複数の島状半導体層に跨って延在してゲート配線を兼ねている。図示はしていないが、島状半導体層には、図12(C)で説明したソース領域、ドレイン領域、LDD領域が形成されている。また、230はソース配線148とソース領域225とのコンタクト部、231はドレイン配線153とドレイン領域227とのコンタクト部である。保持容量205は、画素TFT204のドレイン領域227から延在する半導体層228、229とゲート絶縁膜を介して容量配線123が重なる領域で形成されている。この構成において半導体層228には、価電子制御を目的とした不純物元素は添加されていない。

【0077】

以上の様な構成は、画素TFTおよび駆動回路が要求する仕様に応じて各回路を構成するTFTの構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能としている。さらにゲート電極を、耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易としている。

【0078】

さらに、ゲート電極にゲート絶縁膜を介して重なるLDD領域を形成する際に、導電性を

10

20

30

40

50

制御する目的で添加した不純物元素に濃度勾配を持たせてLDD領域を形成することで、特にドレイン領域近傍における電界緩和効果が高まることが期待できる。

【0079】

[実施例2]

実施例1では、駆動回路のnチャンネル型TFT及び画素TFTを同じ構造で形成する例を示した。しかしながら画素TFTと駆動回路のTFTとでは、それらの回路の動作条件は必ずしも同一ではなく、そのことからTFTに要求される特性も少なからず異なっている。画素TFTはnチャンネル型TFTから成り、スイッチング素子として液晶に電圧を印加して駆動させるものである。液晶は交流で駆動させるので、フレーム反転駆動と呼ばれる方式が多く採用されている。この方式では消費電力を低く抑えるために、画素TFTに要求される特性はオフ電流値(TFTがオフ動作時に流れるドレイン電流)を十分低くすることである。一方、駆動回路のバッファ回路などは高い駆動電圧が印加されるため、高電圧が印加されても壊れないように耐圧を高めておく必要がある。また電流駆動能力を高めるために、オン電流値(TFTがオン動作時に流れるドレイン電流)を十分確保する必要がある。

10

【0080】

また、上記オフ電流値やオン電流値の他にも注目すべき点はある。例えば、画素TFTと、シフトレジスタ回路やバッファ回路などの駆動回路のTFTとでは、そのバイアス状態も必ずしも同じではない。例えば、画素TFTにおいてはゲート電極に大きな逆バイアス(nチャンネル型TFTでは負の電圧)が印加されるが、駆動回路のTFTは基本的に逆バイアス状態で動作することはない。また、動作速度に関しても、画素TFTは制御回路のTFTの1/100以下で良い。

20

また、GOLD+LDD構造はオン電流値の劣化を防ぐ効果は高いが、その反面、通常のLDD構造と比べてオフ電流値が大きくなる可能性がある。従って、画素TFTに適用するには改善の余地がある。また逆に通常のLDD構造はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリア注入による劣化を防ぐ効果は低い。このように、アクティブマトリクス型液晶表示装置のような動作条件の異なる複数の集積回路を有する半導体装置において、求められる特性にあわせた構造で形成することが望ましい。

【0081】

30

すなわち、画素TFTと駆動回路のTFTとの構造を変えることで、液晶表示装置として良好な特性を示すことが期待される。具体的には、実施例1により形成される上記GOLD+LDD構造において、高濃度n型不純物領域を、マスクを用いて形成することで、片方の第二の不純物領域の長さを変えることが出来る。このときTFT特性から言えば、第二の不純物領域の長さが長くなるとともに抵抗は上がり、loff及びIonの値が下がることになる。また、この部分の電位変動が緩やかになり、劣化がおきにくくなることが期待される。

【0082】

また、実施例1では第二の不純物領域の長さを第一の層及び第二の層のテーパ形状で決めている。従ってプロセスにおける基板面内分布特性が均一でないと、第二の不純物領域の長さが面内で変わることが予想される。このことから高濃度n型不純物領域を、マスクを用いて形成する利点である。

40

【0083】

このプロセスを、図20を用いて説明する。ここでも図2と同様、ゲート電極の形状を、段階を経て変化させ、その過程でドーピングを行う。図20においては、リンを注入するn型TFTの例を示している。

【0084】

まず、バイアス電圧が高く、選択比が大きいエッチング雰囲気中で、前記2層からなるゲート電極を異方性エッチする。すると図20(a)のごとく第二の層2008がテーパ形状となり第一の層2004が残るゲート電極が形成される。

50

【 0 0 8 5 】

次にバイアス電圧を変えずに、選択比が、図 2 0 (a) の場合より小さくなるエッチング雰囲気で、エッチングを行う。すると図 2 0 (b) のごとく第一の層 2015 が第二の層の端部よりテーパー形状を成したゲート電極が形成される。

【 0 0 8 6 】

その後、バイアス電圧が図 2 0 (a) の形成時に比べて低く、選択比が図 2 0 (b) の場合より大きくなるエッチング雰囲気で行う。すると図 2 0 (c) のごとく第一の層 2005 が露出したゲート電極が形成される。

【 0 0 8 7 】

このときイオン化した導電型制御用の不純物元素を、第一の層 2005 より成るゲート電極とゲート絶縁膜を通過させ、スルドープを行う。これにより第一の不純物領域と、第二の不純物領域と、に不純物を添加される。

【 0 0 8 8 】

そして、バイアス電圧が図 2 0 (a) 、図 2 0 (b) の形成時に比べて低く、選択比が、図 2 0 (a) の場合より小さいエッチング雰囲気、図 2 0 (a) 、図 2 0 (b) と比べて等方性のエッチングを行う。すると図 2 0 (d) のごとく図 2 (b) の場合よりテーパーが後退した第一の層及び第二の層よりなるゲート電極が形成される。これにより第一の不純物領域 2011 及び第二の不純物領域 2012 を形成される。

【 0 0 8 9 】

そしてさらに、図 2 0 (e) のごとくソース及びドレイン領域を形成する領域 2013 を開口するようなレジスト 2014 を形成する。このときイオン化した導電型制御用の不純物元素を、半導体層に添加しソース及びドレイン領域を形成する。このときの不純物元素は、図 2 0 (d) の場合に比べて高い濃度で添加する。これにより、ソース及びドレイン領域が形成される。

【 0 0 9 0 】

以上の工程でマスクを用いて第二の不純物領域の長さを決めることができる。

【 0 0 9 1 】

[実施例 3]

本実施例では実施例 1 で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。まず、図 1 4 (A) に示すように、図 1 2 (c) の状態のアクティブマトリクス基板に柱状スペーサから成るスペーサを形成する。スペーサは数 μm の粒子を散布して設ける方法でも良いが、ここでは基板全面に樹脂膜を形成した後これをパターニングして形成する方法を採用した。このようなスペーサの材料に限定はないが、例えば、J S R 社製の NN 7 0 0 を用い、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどで 1 5 0 ~ 2 0 0 で加熱して硬化させる。

【 0 0 9 2 】

スペーサの配置は任意に決定すれば良いが、好ましくは、図 1 4 (A) で示すように、画素部においてはドレイン配線 1 5 3 (画素電極) のコンタクト部 2 3 1 と重ねてその部分を覆うように柱状スペーサ 4 0 6 を形成すると良い。コンタクト部 2 3 1 は平坦性が損なわれこの部分では液晶がうまく配向しなくなるので、このようにしてコンタクト部 2 3 1 にスペーサ用の樹脂を充填する形で柱状スペーサ 4 0 6 を形成することでディスクリネーションなどを防止することができる。また、駆動回路の T F T 上にもスペーサ 4 0 5 a ~ 4 0 5 e を形成しておく。このスペーサは駆動回路部の全面に渡って形成しても良いし、図 1 4 で示すようにソース配線およびドレイン配線を覆うようにして設けても良い。

【 0 0 9 3 】

その後、配向膜 4 0 7 を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用いる。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。画素部に設けた柱状スペーサ 4 0 6 の端部からラビング方向に対してラビングされない領域が 2 μm 以下となるようにした。また、ラビング処理では静電

10

20

30

40

50

気の発生がしばしば問題となるが、駆動回路のＴＦＴ上に形成したスペーサ４０５ａ～４０５ｅにより静電気からＴＦＴを保護する効果を得ることができる。また図では説明しないが、配向膜４０７を先に形成してから、スペーサ４０６、４０５ａ～４０５ｅを形成した構成としても良い。

【００９４】

対向側の対向基板４０１には、遮光膜４０２、透明導電膜４０３および配向膜４０４を形成する。遮光膜４０２はＴｉ膜、Ｃｒ膜、Ａｌ膜などを１５０～３００nmの厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤４０８で貼り合わせる。シール剤４０８にはフィラー（図示せず）が混入されていて、このフィラーとスペーサ４０６、４０５ａ～４０５ｅによって均一な間隔を持って２枚の基板が貼り合わせられる。その後、両基板の間に液晶材料４０９を注入する。液晶材料には公知の液晶材料を用いれば良い。例えば、ＴＮ液晶の他に、電場に対して透過率が連続的に変化する電気光学応答性を示す、無しきい値反強誘電性混合液晶を用いることもできる。この無しきい値反強誘電性混合液晶には、Ｖ字型の電気光学応答特性を示すものもある。このようにして図１４（Ｂ）に示すアクティブマトリクス型液晶表示装置が完成する。

【００９５】

図１５はこのようなアクティブマトリクス基板の上面図を示し、画素部および駆動回路部とスペーサおよびシール剤の位置関係を示す上面図である。実施例１で述べたガラス基板１０１上に画素部６０４の周辺に駆動回路として走査信号駆動回路６０５と画像信号駆動回路６０６が設けられている。さらに、その他ＣＰＵやメモリなどの信号処理回路６０７も付加されていても良い。そして、これらの駆動回路は接続配線６０３によって外部入出力端子６０２と接続されている。

画素部６０４では走査信号駆動回路６０５から延在するゲート配線群６０８と画像信号駆動回路６０６から延在するソース配線群６０９がマトリクス状に交差して画素を形成し、各画素にはそれぞれ画素ＴＦＴ２０４と保持容量２０５が設けられている。

【００９６】

図１４において画素部において設けた柱状スペーサ４０６は、すべての画素に対して設けても良いが、図１５で示すようにマトリクス状に配列した画素の数個から数十個おきに設けても良い。即ち、画素部を構成する画素の全数に対するスペーサの数の割合は２０～１００％とすることが可能である。また、駆動回路部に設けるスペーサ４０５ａ～４０５ｅはその全面を覆うように設けても良いし各ＴＦＴのソースおよびドレイン配線の位置にあわせて設けても良い。図１５では駆動回路部に設けるスペーサの配置を６１０～６１２で示す。そして、図１５で示すシール剤６１９は、基板１０１上の画素部６０４および走査信号駆動回路６０５、画像信号駆動回路６０６、その他の信号処理回路６０７の外側であって、外部入出力端子６０２よりも内側に形成する。

【００９７】

このようなアクティブマトリクス型液晶表示装置の構成を図１６の斜視図を用いて説明する。図１６においてアクティブマトリクス基板は、ガラス基板１０１上に形成された、画素部６０４と、走査信号駆動回路６０５と、画像信号駆動回路６０６とその他の信号処理回路６０７とで構成される。画素部６０４には画素ＴＦＴ２０４と保持容量２０５が設けられ、画素部の周辺に設けられる駆動回路はＣＭＯＳ回路を基本として構成されている。走査信号駆動回路６０５と画像信号駆動回路６０６からは、それぞれゲート配線１２２とソース配線１４８が画素部６０４に延在し、画素ＴＦＴ２０４に接続している。また、フレキシブルプリント配線板（Flexible Printed Circuit：ＦＰＣ）６１３が外部入力端子６０２に接続していて画像信号などを入力するのに用いる。ＦＰＣ６１３は補強樹脂６１４によって強固に接着されている。そして接続配線６０３でそれぞれの駆動回路に接続している。また、対向基板４０１には図示していない、遮光膜や透明電極が設けられている。

【００９８】

このような構成の液晶表示装置は、実施例１で示したアクティブマトリクス基板を用いて形成することができる。実施例１で示すアクティブマトリクス基板を用いると透過型の液晶表示装置を得ることができる。

【００９９】

[実施例４]

本発明を実施して作製されたアクティブマトリクス基板および液晶表示装置は様々な電気光学装置に用いることができる。そして、そのような電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を適用することができる。電子機器としては、パーソナルコンピュータ、デジタルカメラ、ビデオカメラ、携帯情報端末（モバイルコンピュータ、携帯電話、電子書籍など）、ナビゲーションシステムなどが上げられる。

10

【０１００】

図１７（Ａ）は携帯情報端末であり、本体２２０１、画像入力部２２０２、受像部２２０３、操作スイッチ２２０４、表示装置２２０５で構成される。本発明は表示装置２２０５やその他の信号制御回路に適用することができる。

【０１０１】

このような携帯型情報端末は、屋内はもとより屋外で使用されることも多い。

長時間の使用を可能とするためにはバックライト使用せず、外光を利用する反射型の液晶表示装置が低消費電力型として適しているが、周囲が暗い場合にはバックライトを設けた透過型の液晶表示装置が適している。このような背景から反射型と透過型の両方の特徴を兼ね備えたハイブリット型の液晶表示装置が開発されているが、本発明はこのようなハイブリット型の液晶表示装置にも適用できる。

20

表示装置２２０５はタッチパネル３００２、液晶表示装置３００３、ＬＥＤバックライト３００４により構成されている。タッチパネル３００２は携帯型情報端末の操作を簡便にするために設けている。タッチパネル３００２の構成は、一端にＬＥＤなどの発光素子３１００を、他の一端にフォトダイオードなどの受光素子３２００が設けられ、その両者の間に光路が形成されている。このタッチパネル３００２を押して光路を遮ると受光素子３２００の出力が変化するので、この原理を用いて発光素子と受光素子を液晶表示装置上でマトリクス状に配置させることにより、入力媒体として機能させることができる。

【０１０２】

図１７（Ｂ）はハイブリット型の液晶表示装置の画素部の構成であり、画素ＴＦＴ２０４および保持容量２０５上の第２の層間絶縁膜上にドレイン配線２６３と画素電極２６２が設けられている。このような構成は、実施例１を適用すれば形成することができる。このときドレイン配線は実施例１で示したような積層構造を成し、画素電極を兼ねる構成としている。画素電極２６２は実施例１で説明した透明導電膜材料を用いて形成する。液晶表示装置３００３をこのようなアクティブマトリクス基板から作製することで携帯型情報端末に好適に用いることができる。

30

【０１０３】

図１８（Ａ）はパーソナルコンピュータであり、マイクロプロセッサやメモリーなどを備えた本体２００１、画像入力部２００２、表示装置２００３、キーボード２００４で構成される。本発明は表示装置２００３やその他の信号処理回路を形成することができる。

40

【０１０４】

図１８（Ｂ）はビデオカメラであり、本体２１０１、表示装置２１０２、音声入力部２１０３、操作スイッチ２１０４、バッテリー２１０５、受像部２１０６で構成される。本発明は表示装置２１０２やその他の信号制御回路に適用することができる。

【０１０５】

図１８（Ｄ）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体２４０１、表示装置２４０２、スピーカー部２４０３、記録媒体２４０４、操作スイッチ２４０５で構成される。尚、記録媒体にはＤＶＤ（Digital Versatile Disc）やコンパクトディスク（ＣＤ）などを用い、音楽プログラムの再生や映像表示、ビデオゲームやインターネットを介した情報表示などを行うことができる。本発明は表示

50

装置 2 4 0 2 やその他の信号制御回路に好適に利用することができる。

【 0 1 0 6 】

図 1 8 (E) はデジタルカメラであり、本体 2 5 0 1、表示装置 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部 (図示しない) で構成される。本発明は表示装置 2 5 0 2 やその他の信号制御回路に適用することができる。

【 0 1 0 7 】

図 1 9 (A) はフロント型プロジェクターであり、光源光学系および表示装置 2 6 0 1、スクリーン 2 6 0 2 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。図 1 9 (B) はリア型プロジェクターであり、本体 2 7 0 1、光源光学系および表示装置 2 7 0 2、ミラー 2 7 0 3、スクリーン 2 7 0 4 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

10

【 0 1 0 8 】

なお、図 1 9 (C) に、図 1 9 (A) および図 1 9 (B) における光源光学系および表示装置 2 6 0 1、2 7 0 2 の構造の一例を示す。光源光学系および表示装置 2 6 0 1、2 7 0 2 は光源光学系 2 8 0 1、ミラー 2 8 0 2、2 8 0 4 ~ 2 8 0 6、ダイクロイックミラー 2 8 0 3、ビームスプリッター 2 8 0 7、液晶表示装置 2 8 0 8、位相差板 2 8 0 9、投射光学系 2 8 1 0 で構成される。投射光学系 2 8 1 0 は複数の光学レンズで構成される。図 1 9 (C) では液晶表示装置 2 8 0 8 を三つ使用する三板式の例を示したが、このような方式に限定されず、単板式の光学系で構成しても良い。また、図 1 9 (C) 中において矢印で示した光路には適宜光学レンズや偏光機能を有するフィルムや位相を調節するためのフィルムや、I R フィルムなどを設けても良い。また図 1 9 (D) は、図 1 9 (C) における光源光学系 2 8 0 1 の構造の一例を示した図である。本実施例では、光源光学系 2 8 0 1 はリフレクター 2 8 1 1、光源 2 8 1 2、レンズアレイ 2 8 1 3、2 8 1 4、偏光変換素子 2 8 1 5、集光レンズ 2 8 1 6 で構成される。尚、図 1 9 (D) に示した光源光学系は一例であって図示した構成に限定されるものではない。

20

【 0 1 0 9 】

またここでは図示しなかったが、本発明ではその他にも、ナビゲーションシステムやイメージセンサの読み取り回路などに適用することが可能である。このように本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 5 の技術を用いて実現することができる。

30

【 0 1 1 0 】

【発明の効果】

本発明を用いることで、半導体装置の製造において、その歩留まりを向上させ、工程を削減することができる。また半導体装置においては、信頼性を向上させる。

【図面の簡単な説明】

【図 1】本発明の T F T の構造を示す断面図。

【図 2】T F T の作製工程を示す断面図。

【図 3】T i N、T a N の透過率特性を示すグラフ。

【図 4】第一の層の厚さを 3 0 nm 以下としたときの不純物濃度シミュレーション結果を説明するグラフ。

40

【図 5】劣化率に対する、第一の不純物領域と第二の不純物領域に添加されるリンの量の依存性を説明するグラフ。

【図 6】T i N の S I M S 測定結果を示すグラフ。

【図 7】T a N の S I M S 測定結果を示すグラフ。

【図 8】テーパー形状を持たない単層のゲート電極を有し、G O L D + L D D 構造を持つ T F T の図。

【図 9】画素 T F T、駆動回路の T F T の作製工程を示す断面図。

【図 1 0】画素 T F T、駆動回路の T F T の作製工程を示す断面図。

【図 1 1】画素 T F T、駆動回路の T F T の作製工程を示す断面図。

【図 1 2】画素 T F T、駆動回路の T F T の作製工程を示す断面図。

50

【図 1 3】画素部の画素を示す上面図。

【図 1 4】アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図 1 5】液晶表示装置の入出力端子、配線、回路配置、スペーサ、シール剤の配置を説明する上面図。

【図 1 6】液晶表示装置の構造を示す斜視図。

【図 1 7】携帯型情報端末の一例を示す図。

【図 1 8】半導体装置の一例を示す図。

【図 1 9】投影型液晶表示装置の構成を示す図。

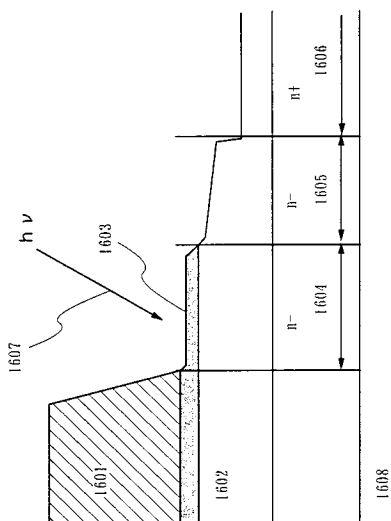
【図 2 0】高濃度 n 型不純物領域をマスクを用いて形成する場合のプロセスを示す断面図。

。

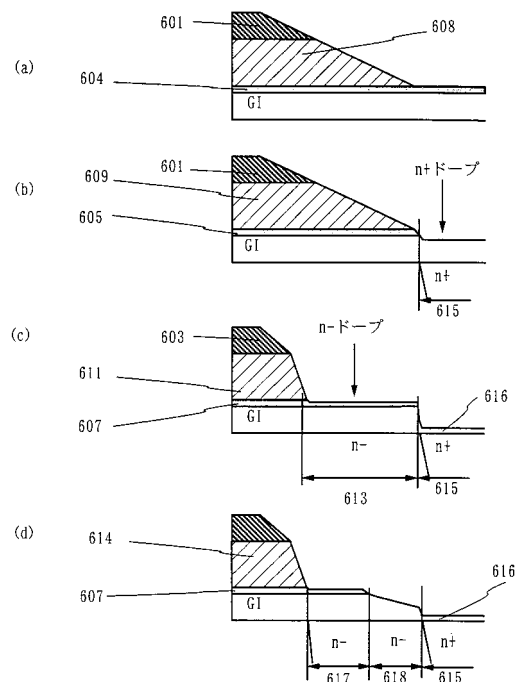
10

【図 2 1】不純物濃度シミュレーションに用いられた T F T 構造を示す図。

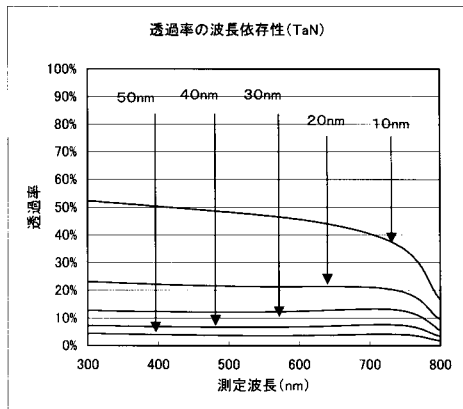
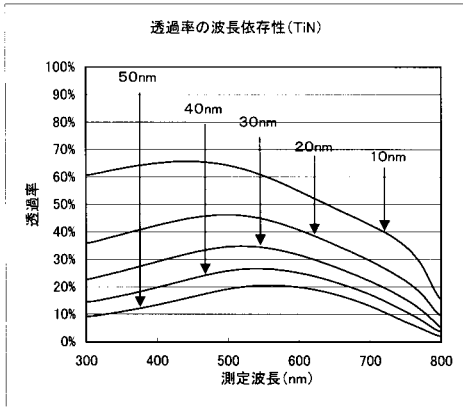
【図 1】



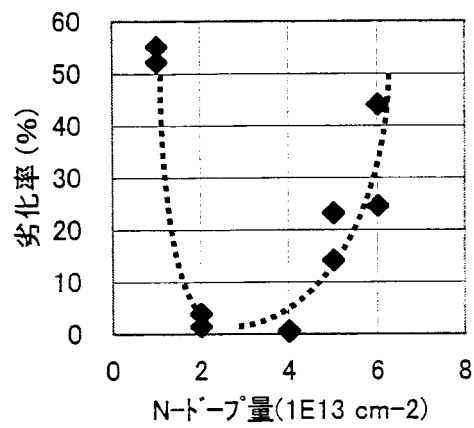
【図 2】



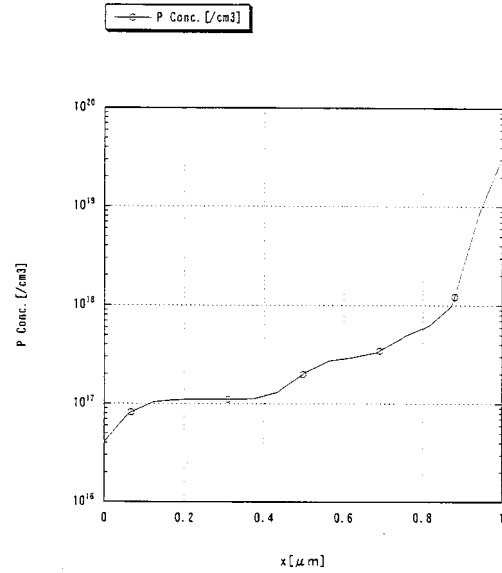
【図 3】



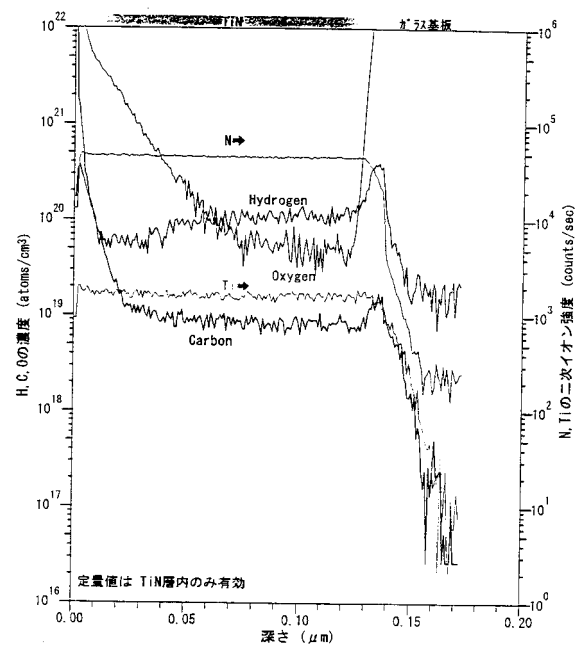
【図 5】



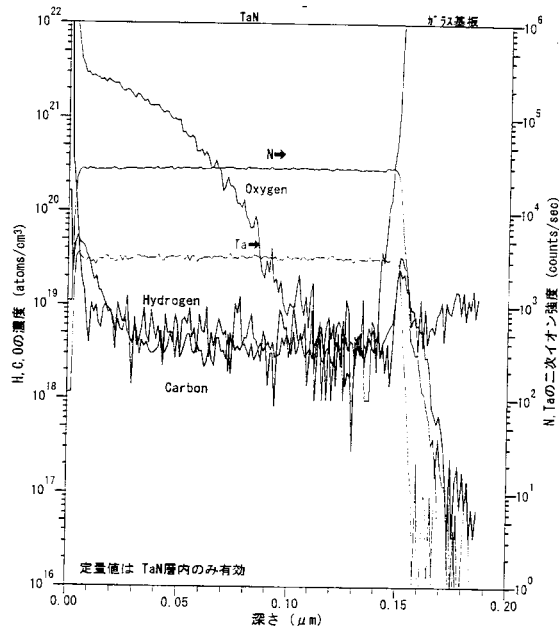
【図 4】



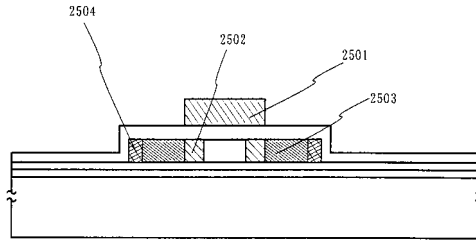
【図 6】



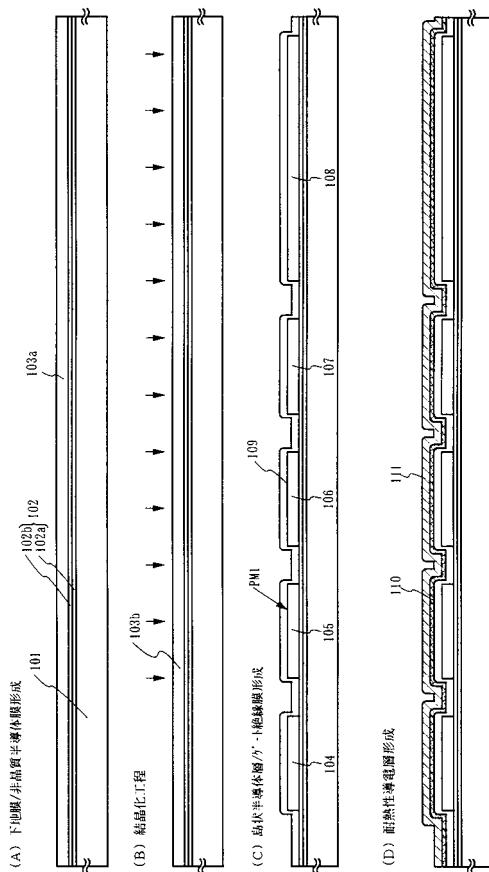
【図 7】



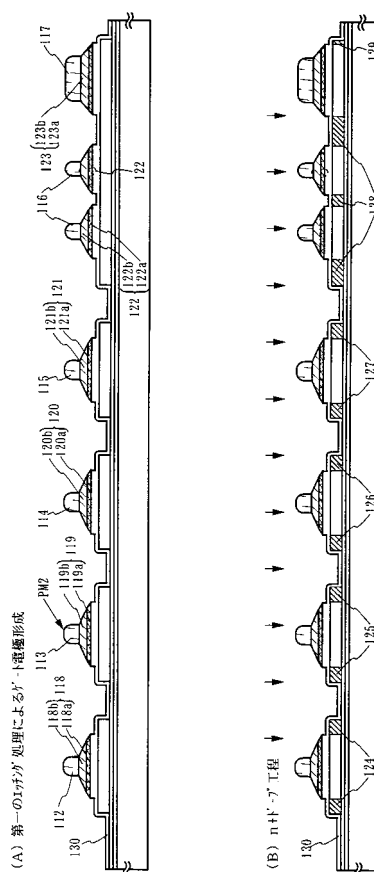
【図 8】



【図 9】

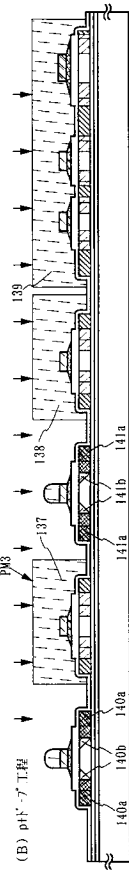
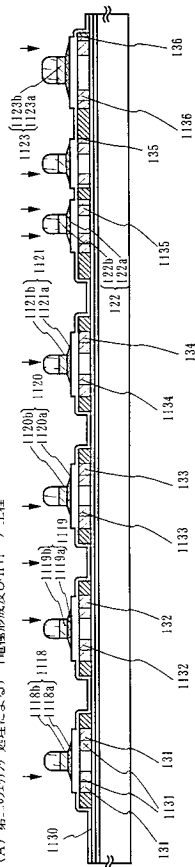


【図 10】



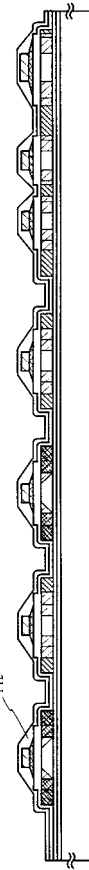
【図11】

(A) 第二のラチガ処理によるラチゲ電極形成及びパッド工程

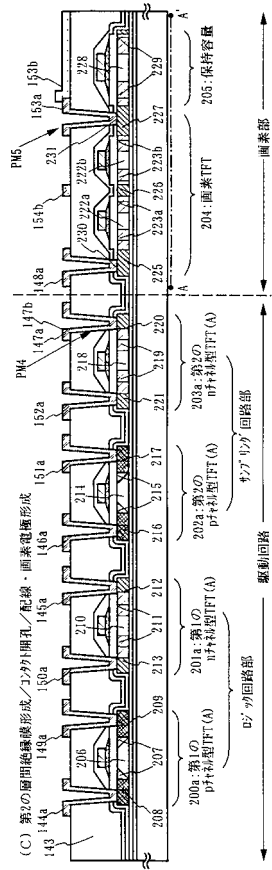
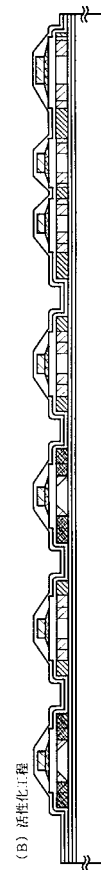


【図12】

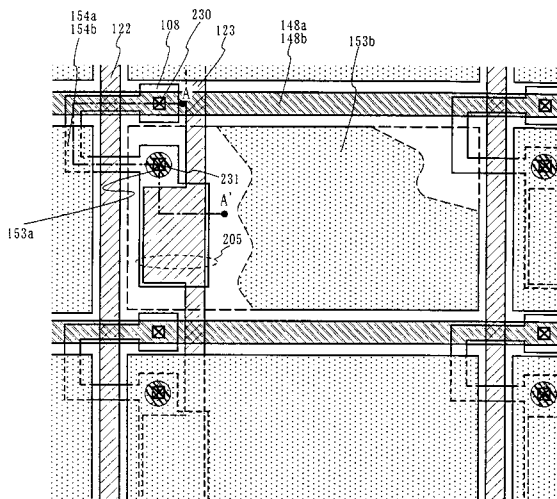
(A) 第1の層間絶縁膜形成



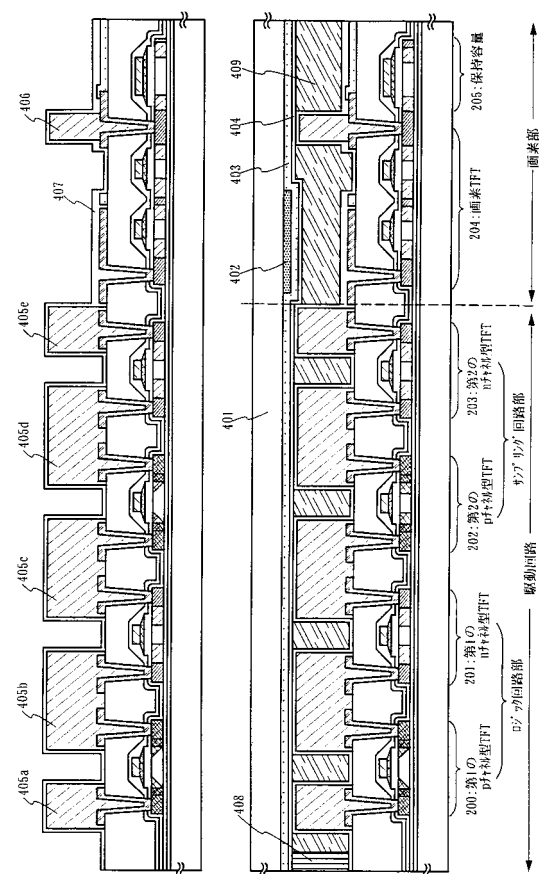
(B) 活性化工程



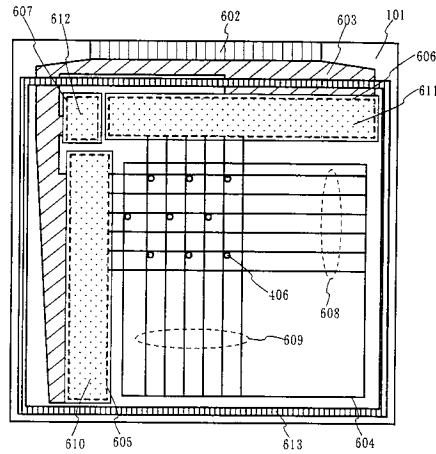
【図13】



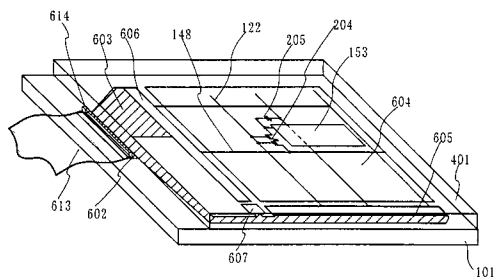
【図14】



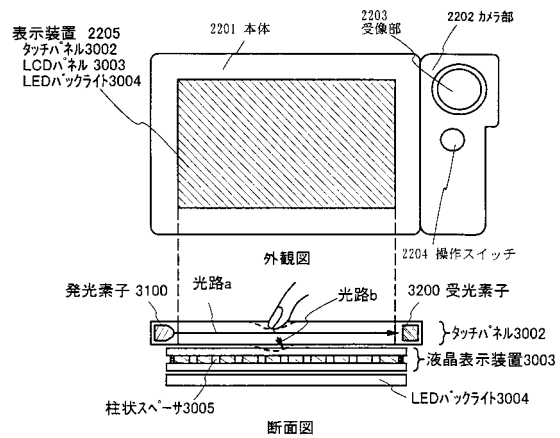
【図15】



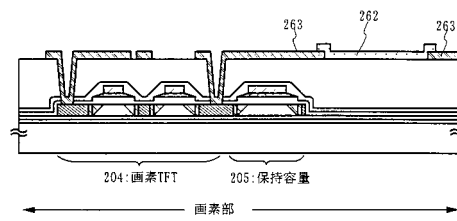
【図16】



【図17】

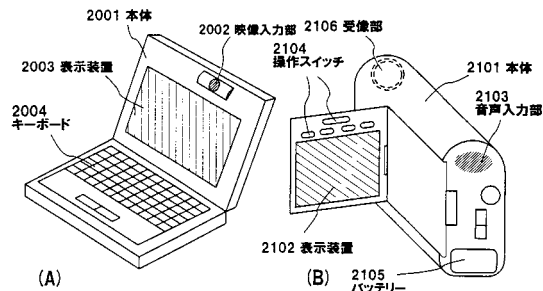


(A) 携帯情報端末機器(光学式タッチパネル)の外観図および断面図



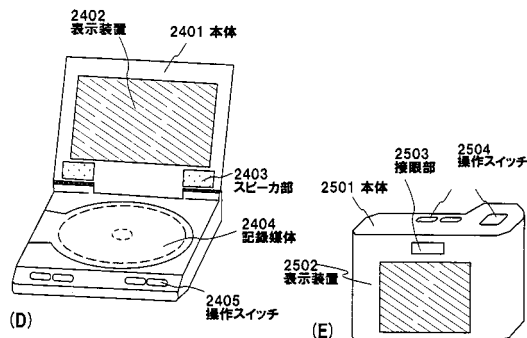
(B) 画素部断面図

【図18】



(A)

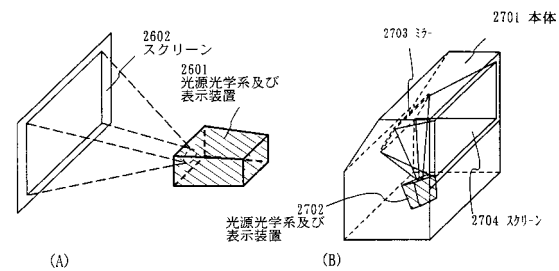
(B)



(D)

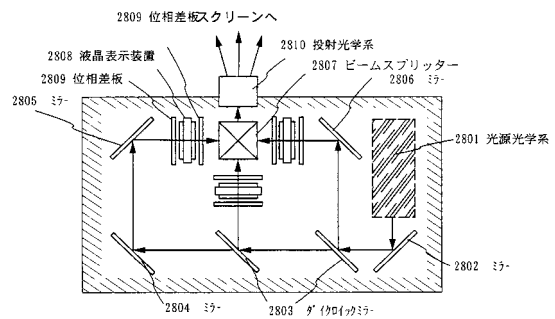
(E)

【図19】

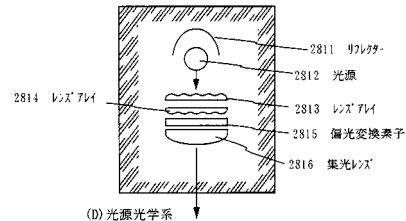


(A)

(B)

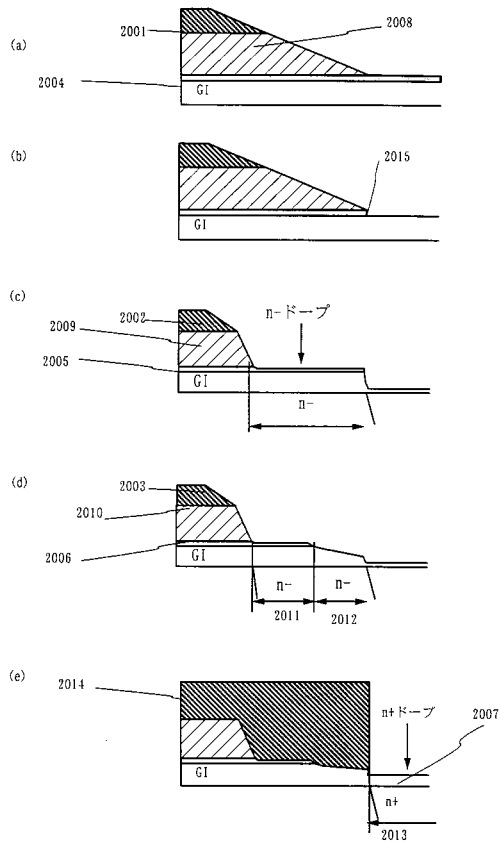


(C) 光源光学系及び表示装置 (三板式)

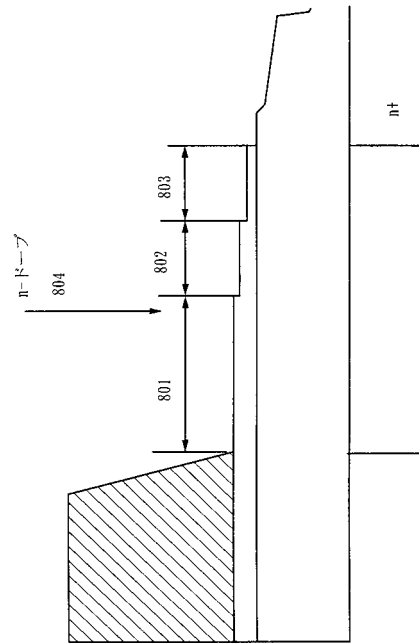


(D) 光源光学系

【図 20】



【図 21】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 1 7 M

(56)参考文献 特開平 0 7 - 2 0 2 2 1 0 (J P , A)
特開平 0 9 - 0 5 5 5 0 8 (J P , A)
特開平 0 8 - 2 7 4 3 3 6 (J P , A)
特開平 0 7 - 2 3 5 6 8 0 (J P , A)
特開平 1 1 - 1 4 5 1 1 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/28
H01L 21/3065
H01L 21/336
H01L 29/786