

(此處由本局於收
文時黏貼條碼)

852348

發明專利說明書

100年1月31日修正本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：096112079

※申請日期：96 年 04 月 04 日

※IPC 分類：G06F12/60 (2006.01)

G06F13/14 (2006.01)

一、發明名稱：

(中) 多工平行匯流排介面與快閃記憶體介面

(英) Multiplexing a parallel bus interface and a flash memory interface

二、申請人：(共 1 人)1. 姓名：(中) 英特爾股份有限公司
(英) INTEL CORPORATION代表人：(中) 1. 大衛 賽門
(英) 1. SIMON, DAVID

地址：(中) 美國加州聖大克拉瑞密遜學院路 2 2 0 0 號

(英) 2200 Mission College Blvd., Santa Clara, CA 95052, USA

國籍：(中英) 美國 U.S.A.

三、發明人：(共 1 人)1. 姓名：(中) 大衛 哈瑞曼
(英) HARRIMAN, DAVID國籍：(中) 美國
(英) U.S.A.**四、聲明事項：**◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 ; 2006/04/13 ; 11/404,170 有主張優先權

(此處由本局於收
文時黏貼條碼)

852348

發明專利說明書

100年1月31日修正本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：096112079

※申請日期：96 年 04 月 04 日

※IPC 分類：G06F12/00 (2006.01)

G06F13/14 (2006.01)

一、發明名稱：

(中) 多工平行匯流排介面與快閃記憶體介面

(英) Multiplexing a parallel bus interface and a flash memory interface

二、申請人：(共 1 人)1. 姓名：(中) 英特爾股份有限公司
(英) INTEL CORPORATION代表人：(中) 1. 大衛 賽門
(英) 1. SIMON, DAVID

地址：(中) 美國加州聖大克拉瑞密遜學院路 2 2 0 0 號

(英) 2200 Mission College Blvd., Santa Clara, CA 95052, USA

國籍：(中英) 美國 U.S.A.

三、發明人：(共 1 人)1. 姓名：(中) 大衛 哈瑞曼
(英) HARRIMAN, DAVID國籍：(中) 美國
(英) U.S.A.**四、聲明事項：**◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 ; 2006/04/13 ; 11/404,170 有主張優先權

九、發明說明

【發明所屬之技術領域】

本發明之實施例主要有關於一種積體電路的領域，詳言之，用於多工具有快閃記憶體介面之平行匯流排介面的系統、方法、及設備。

【先前技術】

頗大（如在十億位元組的範圍內）之 NAND 快閃構件的出現使得它們常被用於硬碟增大及/或取代的用途中。NAND 快閃構件係指在儲存單元中使用 NAND 邏輯閘的快閃構件。亦能夠以其他方式使用這些大的 NAND 快閃構件，例如用來取代現有的基本輸入/輸出（BIOS）快閃裝置。

平台晶片組（及/或主機處理器）在運算系統中提供 NAND 快閃構件的一種可能的連接點。不幸的是，目前的 NAND 快閃介面為頗寬的平形介面，其會佔用大量的（昂貴的）接腳。例如，目前的 NAND 快閃介面典型需要（大約）15 到超過 40 個接腳。非常約略的衡量每個接腳大約花費 \$0.02。在許多情況中，在成本考量上不允許增加 15 到 40 個之間的接腳到例如輸入/輸出控制器（或晶片組中的另一晶片）。即便只是此成本的一小部分，仍不希望見到為了 NAND 快閃構件而增加接腳到晶片組所產生的遞增的成本。

【發明內容及實施方式】

本發明的實施例允許晶片組藉由在現有的平行匯流排介面上多工選定的介面信號來整合快閃記憶體介面（幾乎不增加接腳成本的情況下）。在一些實施例中，在現有的周邊構件介面（PCI）上多工快閃記憶體介面信號。在此種實施例中，一或更多 PCI 裝置以及一或更多 NAND 快閃裝置可連接至相同的匯流排。晶片組可動態選擇是否 PCI 裝置或 NAND 快閃裝置具有對匯流排之存取。在替代的實施例中，可靜態進行選擇，故可使用 PCI 裝置或 NAND 快閃裝置其中之一者，但一個系統無法使用兩者。

第 1 圖為能夠在平行匯流排介面上多工快閃記憶體介面信號的運算系統之選定態樣的區塊圖。系統 100 包含積體電路 110、快閃記憶體裝置 130、平行匯流排 140、及平行匯流排裝置/槽 150。在替代的實施例中，系統 100 可包含更多、更少、及/或不同的元件。

在一些實施例中，積體電路 110 為運算系統之晶片組的一部分。例如，積體電路 110 可為輸入/輸出（I/O）控制器（如 I/O 控制器集線器或南橋）。「I/O 控制器」係指監視操作並執行與替運算系統接收輸入並輸送輸出相關之工作的電路。

積體電路 110 包含平行匯流排介面 112。平行匯流排介面 112 為平行匯流排 140 提供介面。例如，平行匯流排介面 112 可包含位址、資料、控制、及/或一般目的接腳以及驅動這些接腳的電路。在一些實施例中，平行匯流排

介面 112 為 PCI 介面。在替代的實施例中，平行匯流排介面 112 可為不同平行匯流排的介面，如平行先進技術附件（PATA）匯流排。

積體電路 110 亦包含邏輯 114。在一些實施例中，邏輯 114 仲裁對平行匯流排介面 112 之存取。例如，在一些實施例中，邏輯 114 可動態地選擇是否記憶體裝置 130 或平行匯流排裝置/槽 150 具有對共享的平行匯流排 140 之存取。在替代的實施例中，邏輯 114 可參照靜態的組態資訊（如熔絲）以判斷哪一個裝置具有對平行匯流排 140 之存取以及哪種信號發送類型為適當的（如平行匯流排介面及/或快閃介面）。在一些實施例中，邏輯 114 整合有（及/或增加）PCI 仲裁器。

平行匯流排裝置/槽 150 為使用平行匯流排介面信號與積體電路 110 通訊的裝置（或槽）。在一些實施例中，系統 100 可有多個平行匯流排裝置（或槽）150。平行匯流排裝置/槽 150 可為嵌入電路板中之裝置及/或可插入平行匯流排板之槽。在一些實施例中，平行匯流排裝置/槽 150 為 PCI 裝置（或槽）。

平行匯流排 140 為根據諸如 PCI 規格之平行匯流排規格所實施的平行匯流排。「PCI 規格」係指任何 PCI 規格包含，例如，PCI 區域匯流排規格版本 3.0。在一些實施例中，平行匯流排 140 包含共享的 I/O 線（如針對位址與資料）以及裝置（或槽）特定的控制線。例如，在所示的實施例中，共享的 I/O 線 142 包含可在多個裝置（或槽）

之間共享的多個位址與資料線。控制線 144，相比之下，描繪控制給定裝置/槽的 REQ_x#/GNT_x#線對。

快閃記憶體裝置 130 為使用快閃技術實施的非依電性記憶體構件。在一些實施例中，快閃記憶體裝置 130 為 NAND 快閃記憶體裝置。快閃記憶體裝置 130 與平行匯流排 140 耦接。在一些實施例中，快閃記憶體裝置 130 的 I/O 接腳與平行匯流排 140 的（至少一些）位址/資料（AD）線耦接。此外，快閃記憶體裝置 130 的控制信號的選定的子集（如 146）可與平行匯流排 140 的至少一些 AD 線耦接。在一些實施例中，快閃記憶體裝置 130 的控制信號的另一選定的子集（如 144-1）可與介面 112 的控制接腳耦接。在此所用的「接腳」係指至積體電路之各種的電性連結，且不限於具有特定形狀的連結。

茲參照第 1 圖討論本發明的一範例實施例，其中平行匯流排 140 為 PCI 匯流排以及介面 112 為 PCI 介面。在此一實施例中，與 PCI 匯流排 140 耦接的各裝置/槽可使用不同的 REQ_x#/GNT_x#信號對。例如，快閃記憶體裝置 130 使用 REQ#0/GNT#0 以及 PCI 裝置/槽 150 使用 REQ#4/GNT#4。在所示的實施例中，快閃記憶體裝置 130 為 16 位元快閃記憶體裝置，具有與 PCI 匯流排 140 的 AD 線的 16 條（如 142-1 所示）耦接的 I/O 接腳。非必要地，一或更多 PCI 裝置亦可與 PCI 匯流排 140 的 AD 線耦接（如 142-2 所示）。

表 1 提供根據本發明之一實施例的介面說明。第 1 圖

中所示（並在表 1 中描述）的實施例僅為一實施例的例示性範例。在替代的實施例中，可改變選擇作為多工用的特定接腳。在一些實施例中，較佳選擇特定接腳以最佳化 motherboard 佈置。

表 1

快閃構件信號	方向	PCI 介面信號	註解
準備好/忙碌(RB#)	→	REQx#	信號為開汲極-在晶片組內或母板上偏壓
晶片選擇(CS#)	←	GNTx#	注意到單一快閃構件可包含超過一個晶片選擇-然而其在快閃構件內係接線成如同兩個不同的快閃晶片般作用。針對此情況，簡單地使用對應數量的 GNTx#接腳
命令門鎖致能 (CLE#)	←	AD[16]	當晶片選擇為現行時由積體電路 110 驅動這些控制信號。注意到特定 AD[x]的選擇為任意的。
位址門鎖致能 (ALE#)	←	AD[17]	見上述
寫入致能(WE#)	←	AD[18]	見上述
讀取致能(RE#)	←	AD[19]	見上述
寫入保護(WP#)	←	AD[20]	見上述。注意到在一些實施例中此信號可能不適合多工-在這些情況中可用一般目的 IO 接腳或 GNTx#接腳來驅動信號
IO[15:0](多工的位址/命令匯流排)	↔	AD[15:0]	雙向。可能需要積體電路 110 將其針對這些信號的 PCI 緩衝器的驅動/三態信號與上述用作控制信號的那些分開。

第 1 圖所示（並部分描述於表 1 中）的實施例顯示單一快閃記憶體通道。然而，在一些實施例中，在 PCI 匯流排 140 上有夠用的接腳來允許兩個或更多（潛在獨立）的

通道。例如，在一實施例中，可有兩個通道，其中兩通道之一具有 16 位元的 I/O 匯流排以及另一個具有 8 位元的 I/O 匯流排。可多工這些通道的控制信號或使用例如額外的一般目的 I/O 接腳使之維持分開。

在他處已詳細記載有關於 PCI 介面協定的特定細節以及各種快閃介面協定。然而，應注意到，PCI 規格明確地允許重新界定 AD 信號之目的，只要將 PCI 控制信號（包含 FRAME#、TRDY#、IRDY#、GNT# 等等）驅動成非現行。

第 2 圖為顯示根據本發明的一實施例具有兩個快閃記憶體通道之運算系統之選定態樣的區塊圖。系統 200 包含 I/O 控制器 210、快閃記憶體通道 230-232（分別具有快閃記憶體裝置 234-236）、PCI 匯流排 240、及 PCI 裝置（或槽）250。在一替代的實施例中，系統 200 可具有更多、更少、及/或不同的元件。

I/O 控制器 210 包含 PCI 介面 212 以及邏輯 214。PCI 介面 212 包含多個接腳以及相關的電路（如驅動器等等）以耦接 I/O 控制器 210 至 PCI 匯流排 240。在一些實施例中，在 PCI 介面 212 上多工 NAND 快閃記憶體介面。邏輯 214 可選擇性控制是否 PCI 介面 212 用為快閃記憶體介面或 PCI 介面。在一些實施例中，動態執行該選擇，而在其他實施例中，靜態執行該選擇。

快閃記憶體通道 230 與 232 替系統 200 提供不同的非依電性記憶體通道。在一些實施例中，在 PCI 匯流排 240

的相同線上多工該兩通道之至少一些快閃記憶體通道控制信號。在所示的實施例中，例如，在 AD[20:16]上多工每一個通道的 CLE#、ALE#、WE#、RE#、及 WP#信號。然而，第 2 圖顯示，例如，有夠用的接腳來實施兩個獨立的通道，其中一個具有 16 位元 I/O 匯流排而另一個具有 8 位元 I/O 匯流排。

在一些實施例中，至少一快閃記憶體通道可包含兩個或更多快閃記憶體裝置。「堆疊」一詞係指具有超過一個快閃記憶體裝置的記憶體通道。堆疊的快閃裝置可結合在單一封裝內或設置在不同的封裝中。第 3 圖為顯示運算系統之選定態樣的區塊圖，其中每一個快閃記憶體的通道包含兩個或更多堆疊的快閃記憶體裝置。

系統 300 包含 I/O 控制器 210、快閃記憶體通道 270-272、及 PCI 匯流排 240。在所示的實施例中，各快閃記憶體通道 270-272 包含兩個快閃記憶體裝置。在所示的實施例中，各快閃記憶體通道 270-272 包含兩個快閃記憶體裝置。例如，通道 270 包含快閃記憶體裝置 260 與 262。類似地，通道 272 包含快閃記憶體裝置 264 與 266。在一些實施例中，每一對快閃記憶體裝置可在單一封裝內。例如，單一快閃記憶體封裝內可有多片矽，各提供不同的快閃記憶體裝置。在一些實施例中，RB#與 CS#接腳為每一片矽獨特的，並且可使用剩餘的接腳。在替代的實施例中，通道 270 及/或通道 272 可包含不同數量的堆疊快閃記憶體裝置。

第 3 圖將每一個快閃記憶體通道 (270-272) 顯示成具有一對快閃記憶體裝置。原則上，快閃記憶體通道 270-272 可有超過兩個的快閃記憶體裝置。由電性限制決定快閃記憶體裝置數量的極限。亦即，會有一極限，若超過此極限則無法再增加額外的快閃記憶體裝置，因為共享之接腳上的電性負載的增額太大。

表 2 提供根據本發明的一實施例之介面的說明。第 3 圖中所示的實施例 (並在表 2 中描述) 僅為一實施例的例示性範例。在替代的實施例中，可改變選擇作為多工用的特定接腳。在一些實施例中，較佳選擇特定接腳以最佳化母板佈置。

表 2

快閃構件信號	方向	PCI 介面信號	註解
準備好/忙碌(RB#)	→	REQx#	信號為開汲極-在晶片組內或母板上偏壓
晶片選擇(CS#)	←	GNTx#	注意到單一快閃構件可包含超過一個晶片選擇-然而其在快閃構件內係接線成如同兩個不同的快閃晶片般作用。針對此情況，簡單地使用對應數量的 GNTx#接腳
命令門鎖致能 (CLE#)	←	AD[16]	當晶片選擇為現行時由積體電路 110 驅動這些控制信號。注意到特定 AD[x]的選擇為任意的。
位址門鎖致能 (ALE#)	←	AD[17]	見上述
寫入致能(WE#)	←	AD[18]	見上述
讀取致能(RE#)	←	AD[19]	見上述
寫入保護(WP#)	←	AD[20]	見上述。注意到在一些實施例中此信號可能不適合多工-在這些情況中可用一般目的 IO 接腳或 GNTx#接腳來驅動信號
IO[7:0](多工的位址/命令匯流排)	↔	AD[7:0]	雙向。可能需要積體電路 110 將其針對這些信號的 PCI 緩衝器的驅動/三態信號與上述用作控制信號的那些分開。
IO[15:8](多工的位址/命令匯流排)	↔	AD[15:8]	見上述。注意到在一些實施例中，8 位元的匯流排為最少所需的數量，但構件可具有超過 8 位元的匯流排。

第 4 圖為顯示根據本發明的一實施例多工 PCI 介面信號與快閃記憶體介面信號之選定態樣的時序圖。時序圖 400 顯示週期訊框 (FRAME#) 信號 402 以及位址/資料 (AD) 匯流排 404。由 AD 匯流排 404 的構件准許所有權驅動 FRAME# 402，並且 FRAME# 402 指示周期的開始，以及在確立 FRAME# 402 之前，AD 匯流排的值為不在

乎，如 406 所示。一旦確立了 FRAME# 402，與 PCI 匯流排耦接的各 PCI 裝置（如第 3 圖所示之與 PCI 匯流排 240 耦接的平行匯流排裝置 250）取樣 AD 匯流排 404（如在位址階段期間）以決定哪個裝置被定址，如 408 所示。在位址階段後，AD 匯流排 404 用來在由 FRAME# 402 持續的確定所指示的期間內輸送資料。

在一些實施例中，AD 匯流排 404 可定址 PCI 裝置或快閃記憶體裝置其中之一。若 AD 匯流排 404 定址快閃記憶體裝置，則快閃記憶體裝置可被授予（至少臨時地）PCI 匯流排的控制。參照參考符號 410，快閃記憶體裝置控制 PCI 匯流排。快閃記憶體裝置在 AD 匯流排 404 上傳遞資料（如寫入資料及/或讀取資料），如 412 所示。在快閃記憶體交易的結尾，於此範例中，確定 FRAME# 402 並將 AD 匯流排 404 的控制轉交給另一裝置（如 PCI 裝置）。

第 5 圖為顯示根據本發明的一實施例多工平行匯流排介面信號與快閃記憶體介面信號之方法的選定態樣之區塊圖。參照程序區塊 502，如 I/O 控制器的積體電路選擇是否透過平行匯流排介面與平行匯流排裝置或快閃記憶體裝置通訊。在一些實施例中，可動態執行該選擇。例如，I/O 控制器可動態選擇平行匯流排裝置或快閃記憶體裝置是否被允許使用平行匯流排介面（如針對給定交易、時間長度等等）。在替代的實施例中，靜態執行該選擇。亦即，I/O 控制器參照指示器（如熔絲）以決定是否一介面

可用來與平行匯流排裝置或快閃記憶體裝置通訊。在一些實施例中，平行匯流排為 PCI 匯流排以及平行匯流排介面為 PCI 介面。

若選擇快閃記憶體裝置，則 I/O 控制器透過平行匯流排介面與快閃記憶體裝置通訊，如 504 所示。在一些實施例中，I/O 控制器在平行匯流排的一或更多位址/資料線上傳送位址與資料信號給快閃記憶體裝置。I/O 控制器亦可在專用命令線（如 REQ#/GNT#接腳對）上傳送選定的命令信號。在一些實施例中，在平行匯流排的一或更多位址與資料線上多工快閃記憶體裝置的至少一些命令信號。

在一些實施例中，當選擇適當的快閃記憶體構件時應作出數個考量。例如，在一些實施例中，選定的快閃記憶體構件應與 PCI 傳訊相容並且應不妨礙匯流排上的 PCI 構件（若有任何）。表 3 列出根據本發明之一實施例的數個考量。

表 3

電壓位準	現有的 3.3V 快閃構件可為適當的候選者。注意到 5V 容限似乎不由快閃構件支援。
邊緣率	只要 I/O 控制器(如 ICH)可支援 PCI 與快閃介面需求兩者，兩者無須匹配。
電容	NAND 快閃從 PCI 匯流排會見到頗大的電容負載
阻抗	阻抗的電感與電阻態樣不大可能產生問題並且電容成分係如上述。

第 6 圖為顯示根據本發明之一實施例之電子系統的選定態樣之區塊圖。電子系統 600 包含處理器 610、記憶體

控制器 620、記憶體 630、輸入/輸出 (I/O) 控制器 640、射頻 (RF) 電路 650、及天線 660。操作上，系統 600 使用天線 660 發送並接收信號，並且由第 6 圖中所示的各種元件處理這些信號。天線 660 可為方向性天線或全向性天線。如此所用，全向性天線一詞係指在至少一平面中具有實質上一致的形態之任何的天線。例如，在一些實施例中，天線 660 可為方向性天線，如拋物線碟天線、貼片天線、或八木 (Yagi) 天線。在一些實施例中，天線 660 可包含多個實體天線。

射頻電路 650 與天線 660 以及 I/O 控制器 640 通訊。在一些實施例中，RF 電路 650 包含對應至通訊協定的實體介面 (PHY)。例如，RF 電路 650 可包含調變器、解調變器、混合器、頻率合成器、低雜訊放大器、功率放大器，以及類似者。在一些實施例中，RF 電路 650 可包含外差接收器，並且在其他的實施例中，RF 電路 650 可包含直接轉換接收器。例如，在具有多個天線 660 的實施例中，各天線可耦合至對應的接收器。在操作上，RF 電路 650 從天線 660 接收信號並提供類比或數位信號至 I/O 控制器 640。此外，I/O 控制器 640 可提供信號給 RF 電路 650，其對信號作操作並接著傳送它們到天線 660。

處理器 610 可為任何類型的處理裝置。例如，處理器 610 可為微處理器、微控制器、或類似者。此外，處理器 610 可包含任何數量的處理核心或可包含任何數量的不同處理器。

記憶體控制器 620 在處理器 610 以及第 6 圖中的其他元件之間提供通訊路徑。在一些實施例中，記憶體控制器 620 為提供其他功能之集線器裝置的一部分。如第 6 圖中所示，記憶體控制器 620 耦接至處理器 610、I/O 控制器 640、及記憶體 630。

記憶體 630 可包含多個記憶體裝置。這些記憶體裝置可基於各種類型的記憶體技術。例如，記憶體 630 可為隨機存取記憶體 (RAM)、動態隨機存取記憶體 (DRAM)、靜態隨機存取記憶體 (SRAM)、如 FLASH 記憶體的 non-volatile 記憶體、或任何其他類型的記憶體。

記憶體 630 可代表單一記憶體裝置或在一或更多模組上的數個記憶體裝置。記憶體控制器 620 透過互連 622 提供資料給記憶體 630，並且回應於讀取請求以從記憶體 630 接收資料。可透過互連 622 或透過不同的互連 (未圖式) 提供命令及/或位址。記憶體控制器 620 可從處理器 610 或從其他來源接收將儲存在記憶體 630 中的資料。記憶體控制器 620 可提供其從記憶體 630 接收到的資料給處理器 610 或另一目的地。互連 622 可為雙向互連或單向互連。互連 622 可包含數個平行導體。信號可為差動或單端式。在一些實施例中，互連 622 使用前遞多相位時脈方案操作。

記憶體控制器 620 亦耦接至 I/O 控制器 640 並且在處理器 610 以及 I/O 控制器 640 之間提供通訊路徑。I/O 控制器 640 包含與諸如序列埠、平行埠、通用序列匯流排

(USB) 埠等等之 I/O 電路通訊的電路。如第 6 圖中所示，I/O 控制器 640 提供至 RF 電路 650 的通訊路徑。

I/O 控制器 640 亦包含平行匯流排介面 642 (如 PCI 介面)。在一些實施例中，可在平行匯流排介面 642 上多工快閃記憶體介面信號。例如，在所示的實施例中，平行匯流排介面 642 可與快閃記憶體裝置 644 或平行匯流排裝置 (如 PCI 裝置) 646 選擇性地通訊。

第 7 圖為顯示根據本發明的一替代實施例之電子系統的選定態樣之區塊圖。電子系統 700 包含記憶體 630、輸入/輸出 (I/O) 控制器 640、RF 電路 650、及天線 660，前述所有皆參照第 6 圖於上描述。電子系統 700 亦包含處理器 710 以及記憶體控制器 720。如第 7 圖中所示，記憶體控制器 720 可與處理器 710 在相同的晶粒上。處理器 710 可為如上參照處理器 610 所述的處理器的任何類型。第 6 與 7 圖所代表的範例系統包含桌上型電腦、膝上型電腦、伺服器、手機、個人數位助理、數位家庭系統等等。

亦可以用於儲存機器可執行指令的機器可讀取媒體提供本發明的實施例之元件。機器可讀取媒體可包含，但不限於，快閃記憶體、光碟、光碟唯讀記憶體 (CD-ROM)、數位多功能/視訊碟 (DVD)、ROM、隨機存取記憶體 (RAM)、可抹除可編程唯讀記憶體 (EPROM)、電性可抹除可編程唯讀記憶體 (EEPROM)、磁或光性卡、傳播媒體、或適合儲存電子指令的其他機器可讀取媒體。例如，可下載本發明的實施例作為電腦程式，以包含

在載波或其他傳播媒體中的資料信號之方式經由通訊鍊結（如數據機或網路連結）從遠端電腦（如同服端）傳送至請求的電腦（如客戶端）。

應可理解到此說明書中所有對於「一實施例」或「實施例」的參照意指連同該實施例所述的特定特徵、結構、或特性包含於本發明的至少一實施例中。因此，再次強調並應理解到在此說明書中的各個部分中之對於「實施例」、「一實施例」或「一替代實施例」的參照並非絕對所有參照至相同的實施例。此外，在本發明的一或更多實施例中可適當結合特定特徵、結構、或特性。

類似地，應理解到本發明的實施例之上述說明中，有時會在單一實施例、圖、或其之說明中集結各種特徵在一起，以合理化此揭露以幫助了解各種具發明性之態樣的一或更多者。然而，此種揭露方法不應解釋為反映所主張之標的需要比各申請專利範圍中所明確敘述的特徵更多特徵的意圖。更確切而言，如下列申請專利範圍所反映，具發明性之態樣存在於比單一前述之實施例的所有特徵更少者中。因此，在詳細說明之後的申請專利範圍在此明確地包含在此詳細說明中。

【圖式簡單說明】

以例示而非限制性的方式在附圖中描述本發明的實施例，其中類似的參考符號係指類似的元件。

第 1 圖為顯示根據本發明的一實施例能夠多工平行介

面與快閃記憶體介面的運算系統之選定態樣的區塊圖。

第 2 圖為顯示根據本發明的一實施例具有兩個快閃記憶體通道之運算系統之選定態樣的區塊圖。

第 3 圖為顯示運算系統之選定態樣的的區塊圖，其中每一個快閃記憶體的通道包含兩個或更多堆疊的快閃記憶體裝置。

第 4 圖為顯示根據本發明的一實施例多工周邊構件互連（PCI）介面信號與快閃記憶體介面信號之選定態樣的時序圖。

第 5 圖為顯示根據本發明的一實施例多工平行匯流排介面信號與快閃記憶體介面信號之方法的選定態樣之區塊圖。

第 6 圖為顯示根據本發明的一實施例之電子系統的選定態樣之區塊圖。

第 7 圖為顯示根據本發明的一替代實施例之電子系統的選定態樣之區塊圖。

【主要元件符號說明】

100：系統

110：積體電路

112：平行匯流排介面

114：邏輯

130：快閃記憶體裝置

140：平行匯流排

- 150：平行匯流排裝置/槽
- 142：共享的 I/O 線
- 144：控制線
- 210：I/O 控制器
- 212：PCI 介面
- 214：邏輯
- 230-232：快閃記憶體通道
- 234-236：快閃記憶體裝置
- 240：PCI 匯流排
- 250：PCI 裝置（或槽）
- 260-266：快閃記憶體裝置
- 270-272：快閃記憶體通道
- 400：時序圖
- 402：週期訊框（FRAME#）信號
- 404：位址/資料（AD）匯流排
- 600：電子系統
- 610：處理器
- 620：記憶體控制器
- 622：互連
- 630：記憶體
- 640：輸入/輸出（I/O）控制器
- 642：平行匯流排介面
- 644：快閃記憶體裝置
- 646：平行匯流排裝置

650：射頻（RF）電路

660：天線

700：電子系統

710：處理器

720：記憶體控制器

五、中文發明摘要

發明之名稱：多工平行匯流排介面與快閃記憶體介面

本發明的實施例主要有關於多工平行匯流排介面與快閃記憶體介面的系統、方法、及設備。在一些實施例中，積體電路包含平行匯流排介面以通訊平行匯流排介面信號。積體電路亦包含在平行匯流排介面上多工快閃記憶體裝置介面信號與平行匯流排介面信號之邏輯。

六、英文發明摘要

發明之名稱：

MULTIPLEXING A PARALLEL BUS INTERFACE AND A FLASH MEMORY
INTERFACE

Embodiments of the invention are generally directed to systems, methods, and apparatuses for multiplexing a parallel bus interface with a flash memory interface. In some embodiments, an integrated circuit includes a parallel bus interface to communicate parallel bus interface signals. The integrated circuit may also include logic to multiplex flash memory device interface signals and parallel bus interface signals on the parallel bus interface.

100年1月31日修正本

十、申請專利範圍

1. 一種積體電路，包含：

在該積體電路與 PCI 匯流排間之用以通訊 PCI 介面信號的周邊構件互連 (PCI) 介面；以及

與該 PCI 介面耦合之邏輯，該邏輯在該 PCI 介面上多工用於通道控制的快閃記憶體介面信號與 PCI 介面位址或資料信號。

2. 如申請專利範圍第 1 項之積體電路，其中在該 PCI 介面上多工快閃記憶體介面信號與該些 PCI 介面信號之該邏輯包含：

在該 PCI 介面上多工 NAND 快閃介面信號與該些 PCI 介面信號之邏輯。

3. 如申請專利範圍第 2 項之積體電路，其中在該 PCI 介面上多工 NAND 快閃介面信號與該些 PCI 介面信號之該邏輯包含：

在該 PCI 介面上動態多工 NAND 快閃介面信號與該些 PCI 介面信號之邏輯。

4. 如申請專利範圍第 2 項之積體電路，其中多工 NAND 快閃介面信號與該 PCI 介面上的該些 PCI 介面信號之該邏輯包含：

靜態組態該 PCI 介面是否通訊 NAND 快閃介面信號或該些 PCI 介面信號之邏輯。

5. 如申請專利範圍第 1 項之積體電路，其中該 PCI 介面係在共同接腳上多工準備好/忙碌信號 (RB#) 以及請求

信號 (REQx#)。

6.如申請專利範圍第 1 項之積體電路，其中該 PCI 介面係在共同接腳上多工晶片選擇信號 (CS#) 以及准予信號 (GNTx#)。

7.如申請專利範圍第 1 項之積體電路，其中該積體電路包含輸入/輸出控制器。

8.一種多工 PCI 介面與快閃記憶體介面的方法，該方法包含：

選擇積體電路是否透過 PCI 介面與周邊構件互連 (PCI) 裝置或快閃記憶體裝置通訊；以及

若選擇該快閃記憶體裝置，則透過該 PCI 介面與該快閃記憶體裝置通訊，該通訊包括在該 PCI 匯流排的位址或資料信號線上交換用於通道控制的快閃記憶體介面信號。

9.如申請專利範圍第 8 項之方法，其中該快閃記憶體裝置包含 NAND 快閃裝置。

10.如申請專利範圍第 9 項之方法，其中選擇是否透過該 PCI 介面與該 PCI 裝置或該快閃記憶體裝置通訊包含：

動態選擇是否透過該 PCI 介面與該 PCI 裝置或該快閃記憶體裝置通訊。

11.如申請專利範圍第 9 項之方法，其中選擇是否透過該 PCI 介面與該 PCI 裝置或該快閃記憶體裝置通訊包含：

靜態選擇是否透過該 PCI 介面與該 PCI 裝置或該快閃

記憶體裝置通訊。

12.如申請專利範圍第 9 項之方法，其中若選擇該 NAND 快閃記憶體裝置，則透過該 PCI 介面與該 NAND 快閃記憶體裝置通訊包含：

在該 PCI 介面的請求信號（REQx#）接腳上多工準備好/忙碌信號（RB#）；以及

在該 PCI 介面的准予信號（GNTx#）接腳上多工晶片選擇信號（CS#）。

13.一種多工平行匯流排介面與快閃記憶體介面的系統，該系統包含：

具有複數個輸入/輸出線的周邊構件互連（PCI）匯流排；

與該 PCI 匯流排耦合之積體電路，該積體電路包含

通訊 PCI 介面信號之 PCI 介面；以及

與該 PCI 介面耦合之邏輯，該邏輯在該 PCI 介面上多工用於通道控制的快閃記憶體裝置介面信號與該 PCI 介面位址或資料信號；以及

與該複數個輸入/輸出線的至少一些耦合的快閃記憶體裝置，以提供第一記憶體通道。

14.如申請專利範圍第 13 項之系統，進一步包含：

與該複數個輸入/輸出線的至少一些耦合的第二快閃記憶體裝置，以提供第二記憶體通道。

15.如申請專利範圍第 14 項之系統，進一步包含：

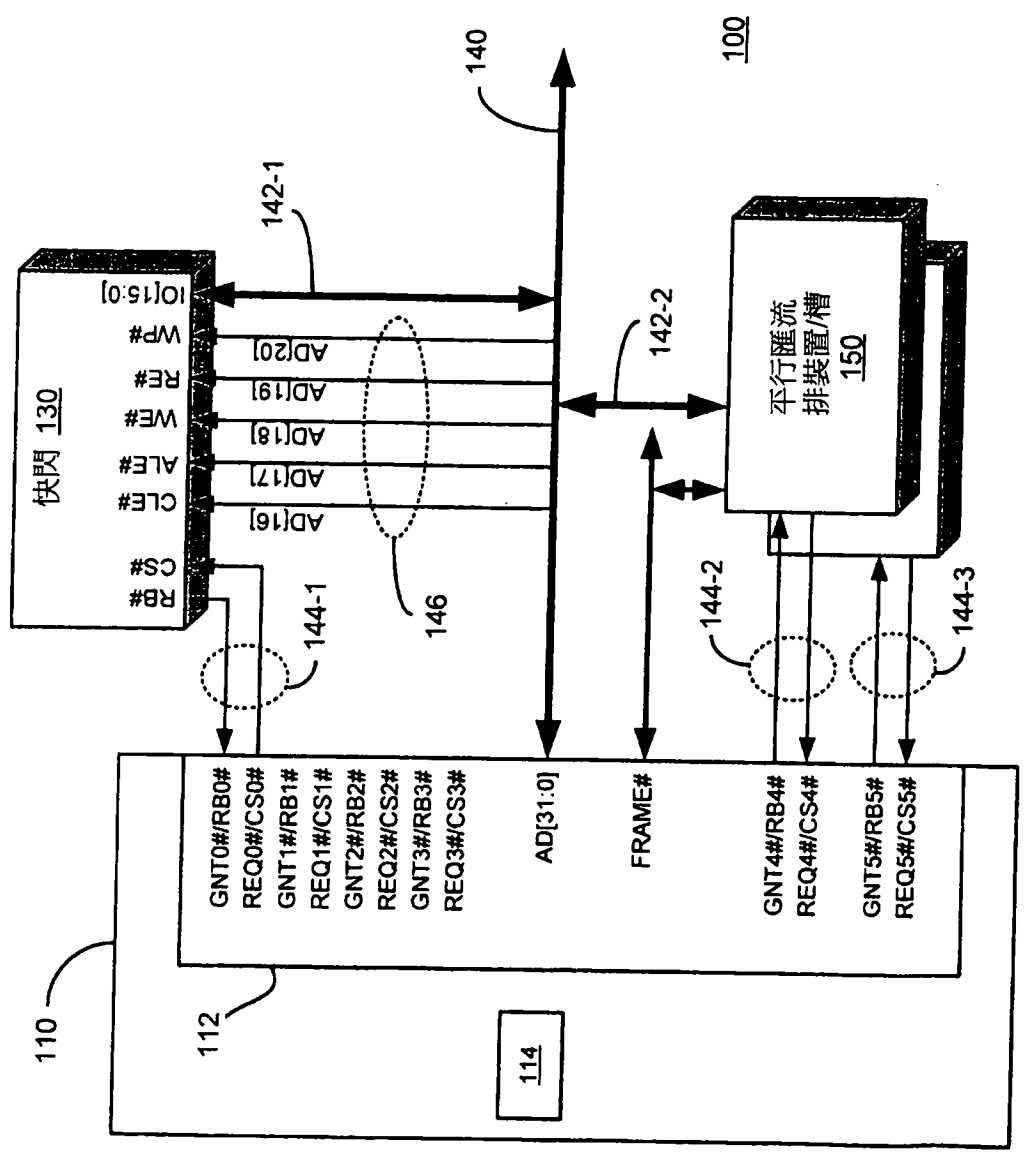
與該第二快閃記憶體裝置耦合之第三快閃記憶體裝

置，以增加該第二記憶體通道的通量。

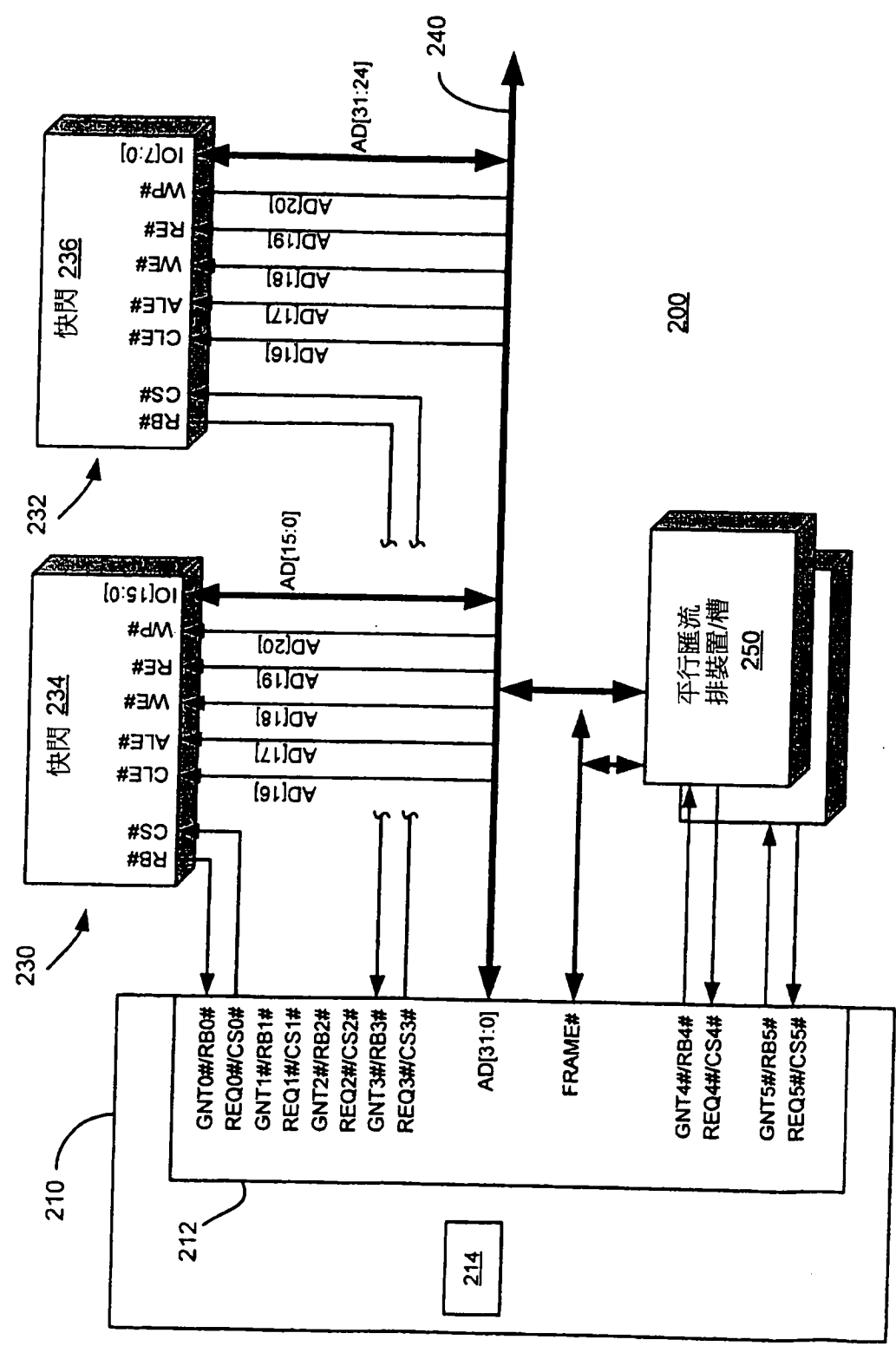
16.如申請專利範圍第 15 項之系統，其中該第二快閃記憶體裝置與該第三快閃記憶體裝置組合在單一封裝內。

17.如申請專利範圍第 13 項之系統，其中該積體電路包含輸入/輸出控制器。

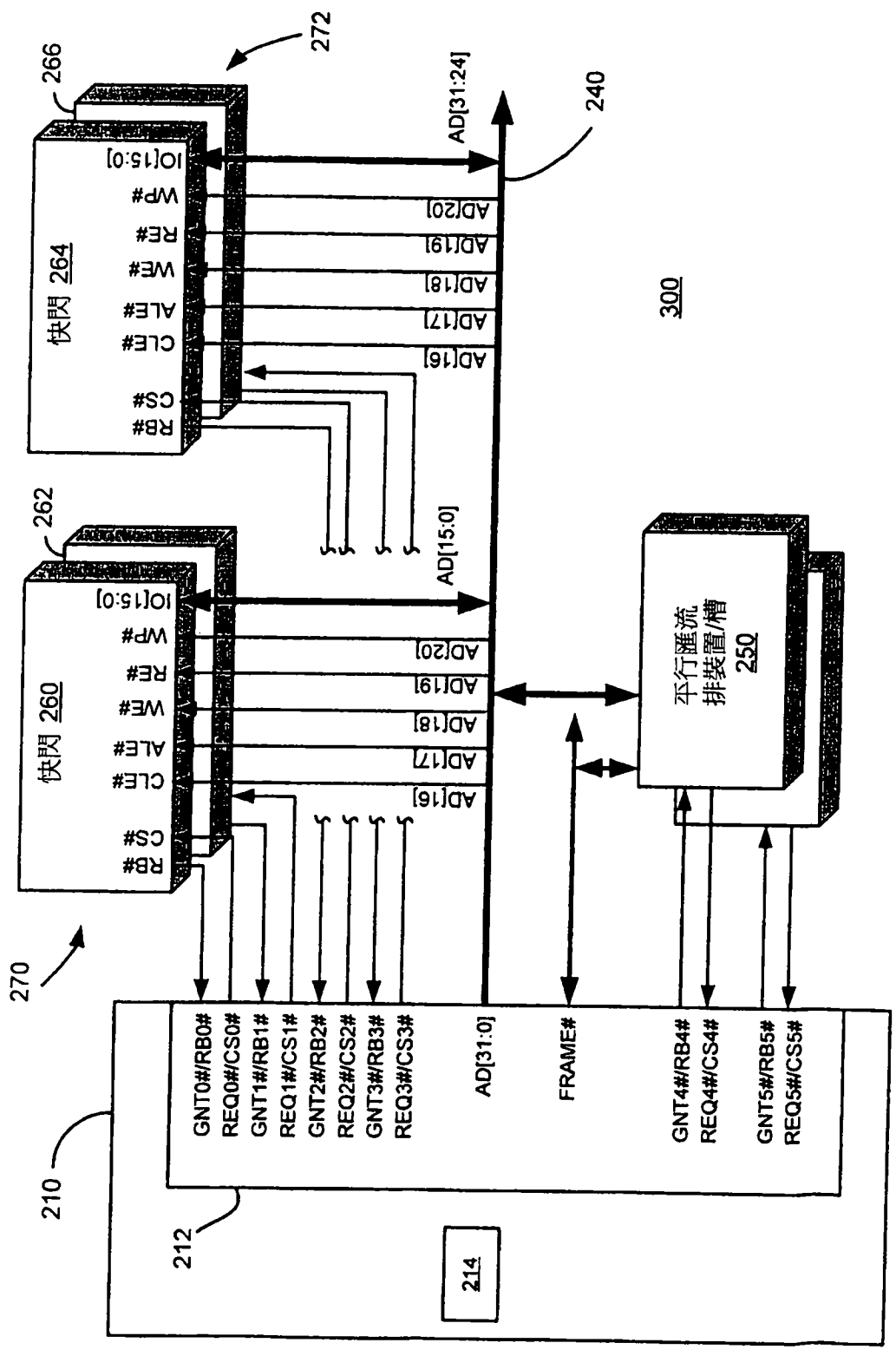
第1圖



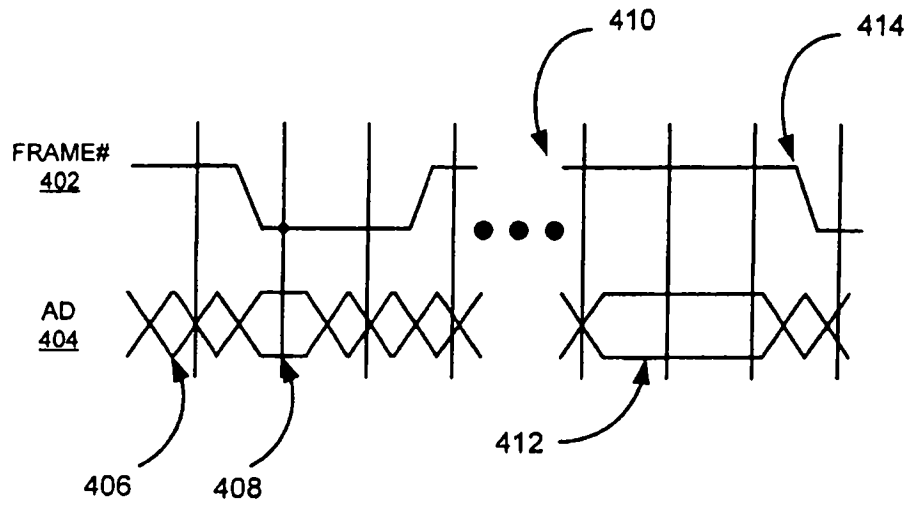
第2圖



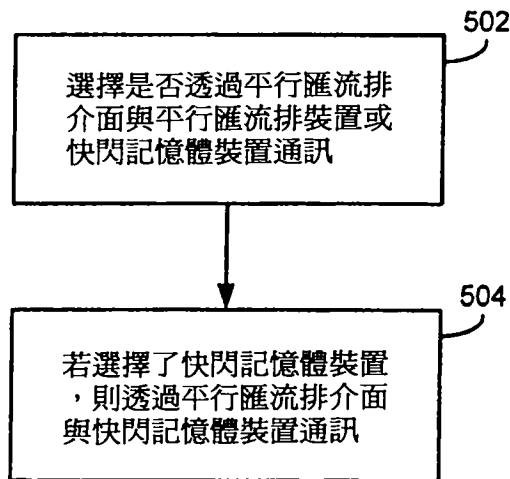
第3圖



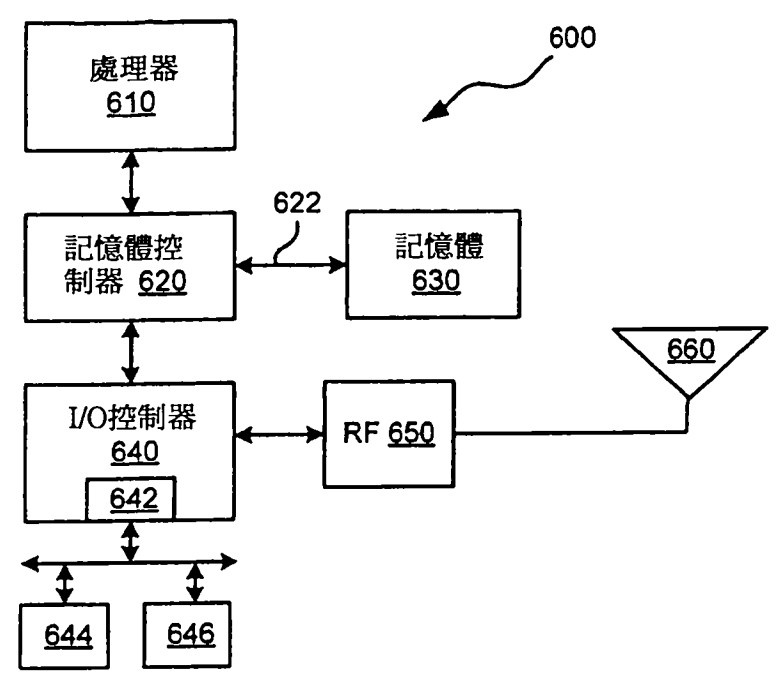
第4圖



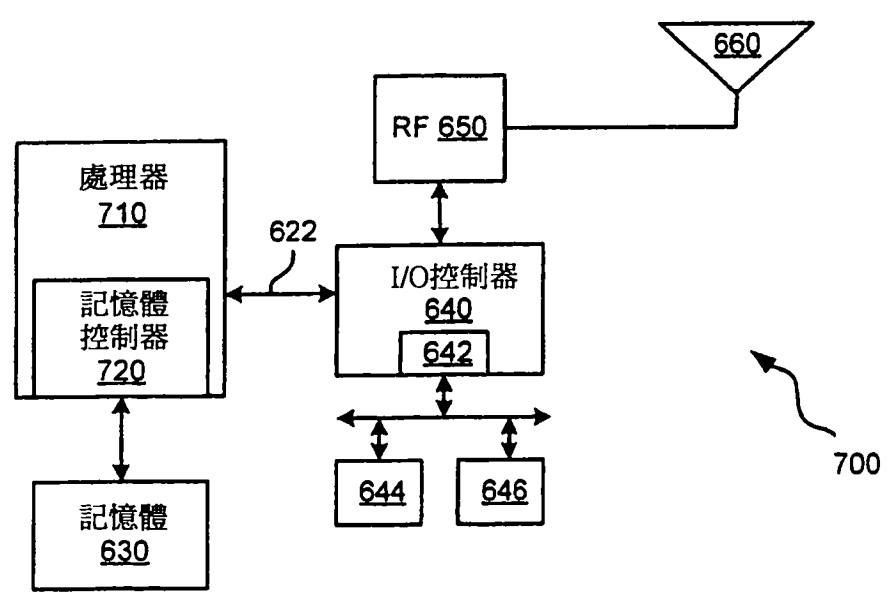
第5圖



第6圖



第7圖



七、指定代表圖：

(一)、本案指定代表圖為：第(1)圖

(二)、本代表圖之元件代表符號簡單說明：

100：系統

110：積體電路

112：平行匯流排介面

114：邏輯

130：快閃記憶體裝置

140：平行匯流排

150：平行匯流排裝置/槽

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無