

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200410081922.6

H01L 29/786 (2006.01)
H01L 21/336 (2006.01)
G09F 9/30 (2006.01)
G09G 3/36 (2006.01)
H05B 33/12 (2006.01)
G02F 1/136 (2006.01)

[45] 授权公告日 2009年5月13日

[11] 授权公告号 CN 100487918C

[22] 申请日 2004.12.29

[21] 申请号 200410081922.6

[30] 优先权

[32] 2004. 2. 26 [33] KR [31] 2004 - 13007

[32] 2004. 4. 19 [33] KR [31] 2004 - 26648

[73] 专利权人 三星 SDI 株式会社

地址 韩国京畿道

[72] 发明人 徐旻彻 杨南喆 具在本 李乙浩

郑昊均 金慧东

[56] 参考文献

US6653653B2 2003.11.25

US6586787B1 2003.7.1

CN1366345A 2002.8.28

审查员 王程远

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 刘晓峰

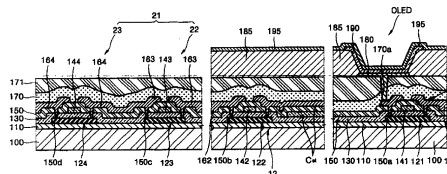
权利要求书 3 页 说明书 15 页 附图 10 页

[54] 发明名称

薄膜晶体管、显示器及其制造方法、及施主薄片制造方法

[57] 摘要

一种柔性平板显示器，其中毫微粒子用于 TFT 的有源层，衬底是柔性的并且可以在室温下制造，平板显示器具有同样的 TFT，一种制造 TFT 的方法，一种制造平板显示器的方法，以及一种制造施主薄片的方法。在制造显示器内的 TFT 中，施主薄片用来把毫微粒子从薄片转移到衬底。薄膜晶体管放置在衬底上并且包括沟道区，所述沟道区至少具有一个纵向排列的 P 型或 N 型毫微粒子，其中所述 P 型或 N 型毫微粒子的纵向方向平行于在衬底上隔开的 P 型或 N 型毫微粒子线。



1、一种薄膜晶体管，包括沟道区，所述沟道区包括纵向排列在衬底上的P型毫微粒子和/或N型毫微粒子，所述P型和/或N型毫微粒子的纵向方向平行于在衬底上隔开的P型或N型毫微粒子线。

2、如权利要求1所述的薄膜晶体管，所述P型和/或N型毫微粒子用在所述沟道区内，并且从由毫微线、毫微棒和毫微带构成的组中选择。

3、如权利要求1所述的薄膜晶体管，所述P型和/或N型毫微粒子是条形，所述衬底是柔性的。

4、一种装置，包括：

排列在衬底上的P型薄膜晶体管，所述P型薄膜晶体管包括沟道区，所述沟道区包括纵向排列的P型毫微粒子；以及

排列在衬底上的N型薄膜晶体管，所述N型薄膜晶体管包括沟道区，所述沟道区包括纵向排列的N型毫微粒子，其中所述P型毫微粒子和N型毫微粒子各自的纵向方向平行于在衬底上隔开的各个P型和N型毫微粒子线。

5、如权利要求4所述的装置，所述P型毫微粒子线和N型毫微粒子线排列成彼此平行，所述衬底和所述装置是柔性的。

6、如权利要求4所述的装置，所述P型毫微粒子线和N型毫微粒子线排列成彼此交叉。

7、如权利要求4所述的装置，所述P型和N型毫微粒子之一从由毫微线、毫微棒和毫微带构成的组中选择。

8、如权利要求4所述的装置，所述P型和N型毫微粒子线之一是条形。

9、一种平板显示器，包括：

衬底；

发射区，所述发射区包括排列在所述衬底上的多个像素；以及

排列在各个像素内的多个选择驱动电路，每个选择驱动电路包括薄膜晶体管，其中所述薄膜晶体管包括沟道区，所述沟道区包括纵向排列的毫微粒子，所述毫微粒子的纵向方向平行于在所述衬底上隔开的毫微

粒子线。

10、如权利要求 9 所述的平板显示器，其中所述毫微粒子线包括 P 型毫微粒子线和 N 型毫微粒子线，所述 P 型和 N 型毫微粒子线分别排列成彼此平行，每个选择驱动电路的薄膜晶体管的毫微粒子是 P 型毫微粒子和 N 型毫微粒子之一，沿着所述 P 型毫微粒子线和 N 型毫微粒子线分别排列所述 P 型毫微粒子和 N 型毫微粒子。

11、如权利要求 10 所述的平板显示器，其中所述 P 型毫微粒子线和 N 型毫微粒子线排列成彼此平行。

12、如权利要求 11 所述的平板显示器，其中所述 P 型毫微粒子线和 N 型毫微粒子线交替排列。

13、如权利要求 10 所述的平板显示器，其中所述 P 型毫微粒子线和 N 型毫微粒子线排列成彼此交叉。

14、如权利要求 9 所述的平板显示器，还包括连接到所述选择驱动电路的 CMOS 薄膜晶体管，所述 CMOS 薄膜晶体管包括：

排列在所述衬底上的 P 型薄膜晶体管，所述 P 型薄膜晶体管包括沟道区，所述沟道区包括纵向排列的 P 型毫微粒子；以及

排列在所述衬底上的 N 型薄膜晶体管，所述 N 型薄膜晶体管包括沟道区，所述沟道区包括纵向排列的 N 型毫微粒子，所述 P 型毫微粒子和 N 型毫微粒子各自的纵向方向平行于在所述衬底上隔开的各个 P 型和 N 型毫微粒子线。

15、如权利要求 14 所述的平板显示器，其中所述 P 型毫微粒子线和 N 型毫微粒子线排列成彼此平行。

16、如权利要求 15 所述的平板显示器，其中所述 P 型毫微粒子线和 N 型毫微粒子线交替排列。

17、如权利要求 14 所述的平板显示器，其中所述 P 型毫微粒子线和 N 型毫微粒子线排列成彼此交叉。

18、如权利要求 9 所述的平板显示器，还包括排列在每个像素内的有机发光二极管，所述有机发光二极管电连接到所述选择驱动电路。

19、如权利要求 9 所述的平板显示器，至少所述 P 型或 N 型毫微粒子之一从由毫微线、毫微棒和毫微带构成的组中选择。

20、如权利要求 10 所述的平板显示器，所述 P 型毫微粒子线和 N 型毫微粒子线是条形。

21、一种平板显示器，包括：

发射区，所述发射区包括 P 型薄膜晶体管和 N 型薄膜晶体管之一；
以及

非发射区，所述非发射区包括 P 型薄膜晶体管和 N 型薄膜晶体管之一，所述发射区内的 P 型薄膜晶体管的沟道区的纵向方向平行于所述非发射区内的 P 型薄膜晶体管的沟道区，而所述发射区内的 N 型薄膜晶体管的沟道区的纵向方向平行于所述非发射区内的 N 型薄膜晶体管的沟道区。

22、如权利要求 21 所述的平板显示器，所述 P 型薄膜晶体管的每个沟道区的纵向方向平行于所述 N 型薄膜晶体管的每个沟道区的纵向方向。

23、如权利要求 21 所述的平板显示器，所述 P 型薄膜晶体管的每个沟道区的纵向方向和所述 N 型薄膜晶体管的每个沟道区的纵向方向彼此交叉。

24、如权利要求 21 所述的平板显示器，所述每个薄膜晶体管的沟道区包括毫微粒子。

25、如权利要求 24 所述的平板显示器，所述毫微粒子从由毫微线、毫微棒和毫微带构成的组中选择。

26、如权利要求 21 所述的平板显示器，所述发射区还包括多个有机发光二极管。

薄膜晶体管、显示器及其制造方法、及施主薄片制造方法

技术领域

本发明涉及薄膜晶体管(TFT),具有该TFT的平板显示器,制造TFT的方法,制造柔性平板显示器的方法,以及制造施主薄片的方法,尤其是涉及在至少一个沟道内使用毫微粒子的TFT,具有该TFT的平板显示器,制造TFT的方法,制造平板显示器的方法,以及制造施主薄片的方法。

背景技术

平板显示器例如液晶显示器(LCD)、有机发光二极管(OLED)显示器或无机光二极管显示器,按照驱动方法分成使用无源驱动方法的无源(PM)平板显示器和使用有源驱动方法的有源(AM)平板显示器。

在PM平板显示器中,阳极和阴极分别排列成多个列和行,并且扫描信号由行驱动电路提供给阴极。在这种情况下,只选择了多行中的一行。另外,数据信号由列驱动电路输入到每个像素内。

AM平板显示器广泛用作显示器,所述AM平板显示器使用薄膜晶体管(TFT)控制输入每个像素的信号,并且能处理巨大量信号以实现活动图像。

AM平板显示器的TFT包括半导体有源层、栅极、以及源极/漏极,所述半导体有源层具有掺杂高浓度杂质的源极/漏极区和形成在源极/漏极区之间的沟道区,所述栅极与所述半导体有源层绝缘并且放置在与所述沟道区对应的区域内,所述源极/漏极各自接触各个源极/漏极区。

半导体有源层通常由非晶硅或多晶硅构成。在低温下可以沉积非晶硅。然而,当半导体有源层由非晶硅构成时,降低了电特性及可靠性,并且不能容易地增大显示器区域。近来,多晶硅广泛用于形成半导体有源层。多晶硅具有几十至几百 $\text{cm}^2/\text{V}\cdot\text{s}$ 的高电流运动和低射频操作特性以及低漏电流值,因此非常适合用于高清晰度和大尺寸平板显示器。

然而，当半导体有源层由多晶硅构成时，需要执行使非晶硅结晶成多晶硅的结晶过程。这包括加热到 300℃ 高温或更高。

优选地，通过对平板显示器施加预定压力，平板显示器应该能弯曲到某一程度，提供足够的视角，或者以便显示器可以用于便携式产品，例如臂章、背包或笔记本电脑。

然而，当使用常规方法由多晶硅形成 TFT 时，难以获得柔性平板显示器。换句话说，为了制造柔性产品，应该在包括衬底的大部分元件内使用柔性材料，例如丙烯、聚酰亚胺、聚碳酸酯、聚酯、聚脂薄膜、以及其它塑料材料。这些塑料材料具有低耐热性，如果目前当形成多晶体时，则这些材料将也不能很好地忍受热量。因此，为了制造用于柔性产品的平板显示器内的 TFT，需要一种在塑料材料能承受的温度下形成结构的方法。

发明内容

因此，本发明的目的是提供一种用于平板显示器的改进设计。

本发明的目的也是提供一种用于平板显示器的设计，所述平板显示器使用具有超级电特性而又具有柔性的 TFT。

另外的目的是提供一种用于 TFYT 和平板显示器的设计，所述平板显示器使用新的 TFT，其中 TFT 的有源层包括毫微粒子。

本发明的目的还是提供一种用于制造新 TFT 的方法以及一种用于制造新平板显示器的方法，所述平板显示器使用新的 TFT，其中毫微粒子结合在 TFT 的有源层内。

通过具有超级特性并能在室温下制造的薄膜晶体管 (TFT)、具有同样 TFT 的平板显示器、制造 TFT 的方法、制造平板显示器的方法、以及制造施主薄片的方法可以实现这些及其他目的。根据本发明的一个方面，提供一种薄膜晶体管，所述薄膜晶体管放置在衬底上并且包括沟道区，所述沟道区至少具有一个纵向排列的 P 型或 N 型毫微粒子，其中所述 P 型或 N 型毫微粒子的纵向方向平行于在衬底上隔开的 P 型或 N 型毫微粒子线。

根据本发明的另一方面，提供一种薄膜晶体管，所述薄膜晶体管包括放置在衬底上的 P 型薄膜晶体管和放置在衬底上的 N 型薄膜晶体管，所述 P 型薄膜晶体管包括沟道区，所述沟道区至少具有一个纵向排列的 P 型毫

微粒子，所述N型薄膜晶体管包括沟道区，所述沟道区至少具有一个纵向排列的N型毫微粒子；其中所述P型和N型毫微粒子各自的纵向方向平行于衬底上隔开的各个P型和N型毫微粒子线。

根据本发明的又一方面，提供一种平板显示器，所述平板显示器包括衬底、发射区、以及位于各个像素内的多个选择驱动电路，所述发射区放置在所述衬底上，并且多个像素位于所述发射区内，每个选择驱动电路包括至少一个薄膜晶体管，所述薄膜晶体管包括沟道区，所述沟道区包括至少一种纵向排列的毫微粒子，所述毫微粒子的纵向方向平行于在所述衬底上隔开的毫微粒子线。

根据本发明的又一方面，提供一种平板显示器，所述平板显示器包括发射区和非发射区，多个P型和N型薄膜晶体管中的至少一种位于所述发射区内，P型薄膜晶体管和/或N型薄膜晶体管位于所述非发射区内，位于所述发射区和所述非发射区内的薄膜晶体管之中的同类型薄膜晶体管的至少一个沟道区的纵向彼此平行。

根据本发明的又一方面，提供一种制造具有半导体有源层的薄膜晶体管的方法，所述方法包括：隔开多个毫微粒子线；在包括至少一种沿着各个毫微粒子线的毫微粒子的线上形成毫微层；以及通过模制所述毫微层而形成有源层。

根据本发明的另一方面，提供一种制造平板显示器的方法，所述平板显示器包括发射区和选择驱动电路，多个像素位于所述发射区内，所述选择驱动电路包括薄膜晶体管，所述薄膜晶体管包括位于每个像素内的半导体有源层，所述方法包括：隔开多个毫微粒子线；在包括至少一种沿着各个毫微粒子线的毫微粒子的线上形成毫微层；以及通过模制所述毫微层而形成有源层。

根据本发明的又一方面，提供一种制造施主薄片的方法，所述方法包括：准备薄膜，所述薄膜的一侧由光热转换层构成；准备储水器以便P型或N型毫微粒子漂浮在储存的溶液内；将所述毫微粒子集中到一侧；使所述薄膜能穿过所述储水器内的溶液，以便所述毫微粒子粘附到所述薄膜的光热转换层；以及干燥所述薄膜。

附图说明

通过参考下面结合附图时的详细描述,本发明的更完整评价及其许多附带优点由于变得更好理解而显而易见,附图中类似附图标记表示相同或类似部件,其中:

图 1 是依据本发明实施例的平板显示器的示意平面图;

图 2 是图 1 平板显示器的发射区和非发射区内的电路的电路图;

图 3 是图 2 中各种 TFT 和 OLED 的发射区和非发射区的横剖视图;

图 4 是依据本发明实施例的平板显示器的有源层的示意平面图;

图 5 是图解形成用于构成有源层的毫微层的情形的平面图;

图 6A 和图 6B 分别是在依据本发明实施例形成图 5 中所示毫微层的方法中使用的 PDMS 高分子模型的示意透视图和示意平面图;

图 7A-7C 是依据本发明另一实施例形成图 5 中所示毫微层的方法的横剖视图;

图 8 是在图 7A-7C 所示的方法中使用的施主薄片的横剖视图;

图 9A 和图 9B 图解依据本发明实施例制造图 8 中所示施主薄片的方法。

图 10 是通过图 9A 和图 9B 中所示方法制造的施主薄片的平面图;

图 11 是依据本发明另一实施例的平板显示器的有源层的示意平面图。

具体实施方式

现在转向附图,图 1 是(OLED)平板显示器 1 的发射区 10 和非发射区 20 的示意图。布置有 OLED 和选择驱动电路的多个子像素位于显示器 1 的发射区 10 内。用于驱动子像素的水平驱动器(HD)和/或垂直驱动器(VD)位于非发射区 20 内。图 1 在非发射区 20 内只示出 VD,但多个电路例如 HD 或电平移相器可以位于非发射区 20 内。另外,连接到外部电路的端子部分和密封发射区 10 的密封部分等位于非发射区 20 内。

现在转向图 2,图 2 是依据本发明实施例的 OLED 的位于发射区 10 内的单位像素的选择驱动电路(SC)和位于非发射区 20 内的垂直驱动器(VD)内的 CMOS TFT 21 的示意电路图。电路图不局限于图 2 中图解的电路图,而且后面将要描述的本发明可以应用于各种电路结构。

在图 2 所示的实施例中,P 型毫微粒子线 P_{line} (120a) 和 N 型毫微粒

子线 N_{line} (120b) 按照条形排列在衬底上, 在多个线内延伸并且被隔开。至少 TFT 沟道区的纵向平行于毫微粒子线 120。P 型和 N 型毫微粒子线 120 是在衬底上隔开的虚拟线, 以便至少布置 TFT 沟道区。因此, TFT 不需要形成在所有 P 型和 N 型毫微粒子线 120 内, 并且可以或可以不沿着毫微粒子线 120 形成。

在毫微粒子线 120 上用作半导体有源层沟道的毫微粒子定位成沿着毫微粒子线 120。也就是, 在制造过程期间可以沿着毫微粒子线 120 印刷毫微粒子。现在将对其进行更详细地描述。

现在转向图 3, 图 3 是图 2 的横剖视图, 图解驱动 TFT 11、开关 TFT 12 和垂直驱动器 (VD) 的 CMOS TFT 21 的横截面。排列 CMOS TFT 21 以便 N 型 TFT 22 和 P 型 TFT 23 彼此结合。上述 VD 可以不只包括 CMOS TFT 21。各种 TFT 和电路可以彼此相互连接以构成驱动电路。TFT 11、TFT 12、TFT 22 和 TFT 23 形成在衬底 100 上, 并且排列在上述毫微粒子线之上。

衬底 100 可以由丙烯、聚酰亚胺、聚碳酸酯、聚酯、聚脂薄膜或其它塑料材料构成以具有柔性。对于衬底 100 而言也可能由一些其它材料构成, 例如玻璃。用于防止杂质离子扩散的缓冲层 110 在需要时可以有选择地位于衬底 100 上。另外, 沿着排列在衬底 100 上的毫微粒子线布置使用物理和化学方法已经形成的毫微粒子并使其形成图案, 以便形成每个 TFT 11、TFT 12、TFT 22 和 TFT 23 的多个半导体有源层 121、122、123 和 124 各自的至少一个沟道。

如图 3 中所示, 在多个半导体有源层 121、122、123 和 124 上用氧化硅和/或氮化硅形成栅极绝缘层 130, 每个半导体有源层由毫微粒子构成。通过导电金属层例如 MoW、Al、Cr、Al/Cu、以及 Ti/Al/Ti 等, 每个 TFT 11、TFT 12、TFT 22 和 TFT 23 的栅极 141、142、143 和 144 形成在栅极绝缘层 130 上。

由氧化硅和/或氮化硅构成的中间级介电 (ILD) 层 150 形成在栅极绝缘层 130 和栅极 141、142、143、144 上, 并且每个 TFT 11、TFT 12、TFT 22 和 TFT 23 的源极/漏极 161、162、163 和 164 布置在 ILD 层 150 上, 以便与栅极 141、142、143 和 144 绝缘。源极/漏极 161、162、163 和 164 由例如 MoW、Al、Cr、Al/Cu、以及 Ti/Al/Ti 等导电金属层或导电聚合物

构成。另外，源极/漏极 161、162、163 和 164 分别通过接触孔 150a、150b、150c 和 150d 连接到有源层 121、122、123 和 124 各自的源极/漏极区，这样产生 TFT。当形成栅极 141、142、143，144 和源极/漏极 161、162、163、164 时，存储电容器 Cst 可以同时形成，并且由与用来制造 TFT 的材料相同的材料构成。

由氧化硅和/或氮化硅等构成的钝化层 170 形成在源极/漏极 161、162、163、164 上，并且由丙烯、BCB 或聚酰亚胺构成的平面化层 171 形成在钝化层 170 上。通孔 170a 贯穿钝化层 170 和平面化层 171，以便通过通孔 170a 以电方式暴露驱动 TFT 11 的源极和漏极 161 中任何一个。钝化层 170 和平面化层 171 不局限于上述结构，并且可以仅仅组合成一层。

作为 OLED 下电极层的像素电极 180 形成在钝化层 171 上。像素电极 180 通过通孔 170a 连接到源极和漏极 161 之一。

像素定义层 185 由如同有机材料例如丙烯、BCB 或聚酰亚胺或者无机材料例如氧化硅或氮化硅的绝缘材料构成。如图 2 中所示，像素定义层 185 覆盖 TFT，例如选择驱动电路 SC 的驱动 TFT 11 和开关 TFT 12，并且具有暴露像素电极 180 预定部分的开孔。

具有发射层的有机膜 190 覆盖暴露像素电极 180 的开孔。有机膜 190 可以形成在像素定义层 185 的整个表面上。在这种情况下，在每个像素内用红色、绿色和蓝色模制有机膜 190 的发射层，这样可以实现全色。

如图 3 中所示，像素定义层 185 可以不形成在垂直和/或水平驱动器位于的非发射区 20 内，但是本发明决不局限于这样的结构。

有机膜 190 形成之后，形成作为 OLED 下电极层的公共电极 195。可以形成公共电极 195 以覆盖所有像素，但不局限于这个约束，并且可以形成图案。像素电极 180 和公共电极 195 可以通过有机膜 190 彼此绝缘，横跨有机膜 190 施加不同极性的电压，以便可以从有机膜 190 中发光。

像素电极 180 用作阳极，公共电极 195 用作阴极，然而可能颠倒。像素电极 180 可以是透明电极或反射电极。透明电极可以用 ITO(氧化锡铟)、IZO (氧化锌铟)、ZnO 或 In_2O_3 制造，Ag、Mg、Al、Pt、Pd、Au、Ni、Nd、Ir、Cr 及其混合物的反射层形成之后，使用 ITO、IZO、ZnO 或 In_2O_3 的反射电极可以形成在反射层上。

公共电极 195 也可以是透明电极或反射电极。当透明电极用作公共电极 195 时, 由于公共电极 195 用作具有小工作函数的阴极金属, 例如 Li、Ca、LiF/Ca、LiF/Al、Al、Mg 及其混合物沉积到有机膜 190, 辅助电极层或总线电极线可以由用于形成透明电极的材料构成, 例如 ITO、IZO、ZnO 或 In_2O_3 。通过在 OLED 整个表面上沉积金属, 例如 Li、Ca、LiF/Ca、LiF/Al、Al、Mg 及其混合物, 形成反射电极。

有机膜 190 可以是低分子或高分子有机层。当低分子有机层用作有机膜 190 时, 通过在单个或复合结构中堆叠空穴注入层 (HIL)、空穴传输层 (HTL)、发射层 (EML)、电子传输层 (ETL)、以及电子注入层 (EIL) 来形成低分子层, 并且多种材料可以用作低分子有机层, 例如酞酸铜 (CuPc)、N, N' -二 (萘-1-基) - N, N' -二苯-对苯二胺基联苯 (NPB)、以及胺三羧甲基氨基甲烷-8-羟基喹啉铝 (Alq_3)。通过蒸汽沉积形成这些低分子有机层。

当高分子有机层用作有机膜 190 时, 高分子有机层通常可以具有形成 HTL 和 EML 的结构。在这种情况下, PEDOT 用作 HTL, 并且高分子有机材料用作 EML, 例如聚苯烯次亚乙烯和聚芴。通过丝网印刷或喷墨印刷等形成这些高分子有机层。

位于 TFT 11、TFT 12、TFT 22 和 TFT 23 的有源层内的毫微粒子优选为纵向延伸的毫微线, 所述 TFT 11、TFT 12、TFT 22 和 TFT 23 存在于发射区 10 和非发射区 20 的驱动器内。至少一个或多个毫微粒子可以布置在每个 TFT 的各个有源层内。有源层的沟道设计成平行于毫微线的纵向。本发明决不局限于此。相反, 毫微粒子可以是毫微带、毫微棒或毫微管以及可以形成在纵向上的毫微粒子。

在本发明中, 有源层 121、122、123 和 124 由如上所述的毫微粒子构成。如图 4 中所示, 沿着条形毫微粒子线 120 排列有源层。毫微粒子 120 包括 P 型毫微粒子线 120a 和 N 型毫微粒子线 120b, 并且不仅可以是条形而且可以是各种形状, 例如弯曲等。

沿着 P 型毫微粒子线 120a 排列驱动 TFT 11 的有源层 121、开关 TFT 12 的有源层 122、以及 CMOS TFT 21 的 P 型 TFT 23 的有源层 124。沿着 N 型毫微粒子线 120b 排列 CMOS TFT 21 的 N 型 TFT 22 的有源层 123。

P型和N型分类不局限于上述，而是可以根据每个单位像素10a内的选择驱动电路设计和非发射区20内的驱动器电路设计而变化。也就是，单位像素10a内的选择驱动电路SD的驱动TFT 11的有源层121和开关TFT 12的有源层122中任何一个可以是N型，或者它们都可以是N型。当两个或多个TFT用作选择驱动电路SC时，P型和N型有源层都可以出现在单个单位像素10a内。甚至在这种情况下，如图4中所示，沿着沿着P型毫微粒子线120a和N型毫微粒子线120b排列和安置每个TFT的有源层。

如图4中所示，P型毫微粒子线120a和N型毫微粒子线120b彼此不重叠。优选地，P型毫微粒子线120a和N型毫微粒子线120b交替排列。因此，可以不把沿着毫微粒子线120排列和安置的TFT的有源层121、122、123、124排列和安置在单线上。换句话说，如图4中所示，可以把驱动TFT 11的P型有源层121、开关TFT 12的P型有源层122、以及CMOS TFT 21的P型TFT 23的P型有源层124排列和安置在相同的P型毫微粒子线120a上。然而，P型有源层121、122、124以及N型CMOS TFT 21的N型TFT 22的N型有源层123都排列和安置在P型毫微粒子线120a和N型毫微粒子线120b上，它们彼此分开。

通过这样排列毫微层，布置在发射区10和非发射区20内的TFT之中的同类型TFT按照这样的方式布置，即至少它们的沟道区纵向彼此平行。也就是，如图4中所示，驱动TFT 11的有源层121、开关TFT 12的有源层122、以及CMOS TFT 21的P型TFT 23的有源层124都是P型有源层，它们排列和安置成彼此平行，并且CMOS TFT 21的N型TFT 22的有源层123排列和安置成彼此平行。尽管只有P型TFT 23位于发射区10内，即使N型TFT 22位于发射区10内，但位于非发射区20内的N型TFT及其有源层排列成彼此平行。如图4中所示，P型TFT和N型TFT彼此平行。

现在转向图5，图5图解由P型毫微粒子构成的P型毫微层125以及由N型毫微粒子构成的N型毫微层126，所述P型毫微粒子沿着P型毫微粒子线120a形成在衬底100上，而所述N型毫微粒子沿着N型毫微粒子线120b形成在衬底100上。如图4中所示，通过依据毫微层125和126的设计图案来图案化毫微层125和126，可以形成有源层121、122、123、124。如图5中所示，P型毫微层125和N型毫微层126可以形成为条形。

可以通过各种方法形成图 5 中所示的毫微层 125 和 126。

图 6A 是在依据本发明实施例制造 OLED 中使用的、用于涂覆微量流体的 PDMS (或聚(二甲基硅氧烷)) 高分子模型 200 的示意透视图, 图 6B 是图 6A 的平面图。例如, PDMS 高分子模型 200 是由聚二甲基硅氧烷构成的主体框架。为了形成具有图 5 中所示图案的 P 型毫微层 125 和 N 型毫微层 126, 在 PDMS 高分子模型 200 的下部上, 纵向形成压印线 230, 并且形成用于连接压印线 230 的进口 210 和出口 220。压印线 230 从下底面嵌入到预定深度, 以便印刷通过进口 210 注入的毫微粒子溶液。压印线 230 的宽度可以是 20-30 μm 。

使用 PDMS 高分子模型 200 制造 P 型毫微层 125 和 N 型毫微层 126 的方法将在下文中描述。首先, 准备净化的衬底 100。在这种情况下, 如图 3 中所示, 缓冲层 110 可以形成在衬底 100 上。接着, 准备具有毫微粒子的微量流体。毫微粒子是各种材料中任何一种材料的小粒子, 例如包括 CdS、CdSe 和 CdTe 的 IIB-VIA 族化合物、包括 GaAs 的 IIIA-VA 族化合物、包括 Si 的 IVA 族元素以及它们的混合物、包括 Ni、Co、Fe、Pt、Au、Ag 及其化合物的金属。然而, 毫微粒子不局限于上面所述, 并且可以由其它材料构成。

可以通过物理和化学方法制造这些毫微粒子, 将在下面描述形成毫微粒子的方法。毫微粒子可以通过化学方法形成并且具有核心, 所述核心由包括 CdS、CdSe 和 CdTe 的 IIB-VIA 族化合物、包括 GaAs 的 IIIA-VA 族化合物、包括 Si 的 IVA 族元素和它们的化合物、包括 Ni、Co、Fe、Pt、Au、Ag 及其化合物的金属、以及覆盖核心的任一化合物构成。

作为实例, 形成 (CdSe) ZnS 毫微粒子的第一操作制造 CdSe 毫微粒子。众所周知, 毫微粒子的尺寸约为 23-55 \AA , 并且尺寸分配差约为 5-10%。通过执行高温胶体生长处理过程 and 选择毫微粒子尺寸的沉淀过程, 形成这些 CdSe 毫微粒子。这里, 高温胶体生长处理过程是这样的过程, 其中有机金属前体快速注入高温溶剂并且立刻产生均匀核子。用作 Cd 源的有机金属前体包括碱性镉化合物, 例如 CdMe_2 。用作 Se 源的适当有机金属化合物是三烷基-磷化氢硒化物, 例如 $(\text{TMS})_2\text{Se}$ 、TOPSe、TBPSe。随后, 在适当温度下用包括 Zn 的溶液和溶剂 (例如 TOP) 内的 S 前体涂覆 CdSe 粒子。

二苯甲基锌 (Ditylzinc) 和 hexamethyldisilane 用作 Zn 和 S 的前体。

也可以通过各种物理方法形成毫微粒子, 例如真空合成、气相合成、凝相合成、使用电离集束的高速沉积、凝固、高速研磨、混合合金处理、沉积、以及 Sol-Gel 处理。然而, 形成毫微粒子的方法不局限于上述方法。同样, 毫微粒子可以具有这些形状, 例如毫微线、毫微带、毫微棒或具有单壁或多壁的毫微管。也可以通过下列方法形成毫微粒子。

(a) P 型 Si 毫微线

通过使用单体分布的金胶体粒子(由 British Biocell International Ltd 制造)作为催化剂热沉积 SiH_4 和 B_2H_6 来制造厚度为 20-40nm 的 P 型 Si 毫微线。在这种情况下, 温度在 420 和 480°C 之间, 并且调节反应器以便可以在 8 英寸管式炉内执行计算机控制的生长。当总压力是 30 托时, 硅烷的局部压力约为 2 托, 并且反应时间是 40 分钟。考虑到掺杂程度, 把 SiH_4 对 B_2H_6 的比例调节成 6400:1。在这种情况下, 毫微线的掺杂浓度估计约为 $4 \times 10^{17} \text{cm}^{-3}$ 。随着掺杂程度增加, 接触电阻变得更低, 而不必执行高温退火过程。参见 Nature (自然) 425, 274-278 (2003)。

(b) N 型 Si 毫微线

通过激光辅助催化生长 (LCG) 来制造 N 型 Si 毫微线。简单地说, 通过使用 Nd:YAG 激光器的激光束 (532nm, 脉冲宽度为 8ns, 300mJ/脉冲, 10Hz) 融化金制目标来制造 N 型 Si 毫微线。通过这个简单方法产生的金制毫微簇催化粒子与 SiH_4 气体在反应容器内进行反应, 并且生长成 Si 毫微线。在掺杂的情况下, 通过把 Au-P 目标 (99.5:0.5wt%, Alfa Aesar) 和辅助红磷 (99%, Alfa Aesar) 放入反应容器的气体进口内, 产生 N 型 Si 毫微线。参见 J. Phys. Chem. B., 104, 5213-5216 (2000)。

(c) N 型 GaN 毫微线

使用氨气 (99.99%, Matheson)、镓金属 (99.9999%, Alfa Aesar)、以及三氮化二镁 (Mg_3N_2 , 99.6%, Alfa Aesar) 各自作为 N、Ga、Mg 源, 通过金属催化 CVD 形成 N 型 GaN 毫微线。在这种情况下, 优选使用 c 平面蓝宝石衬底。 Mg_3N_2 热分解成 $\text{MgN}_2(\text{s}) = 3\text{Mg}(\text{g}) + \text{N}_2(\text{g})$, 产生 Mg 掺杂剂, 并且放在 Ga 源上游。在 950°C 形成 GaN 毫微线, 并且使用镍作为催化剂。GaN 毫微线的长度通常为 10-40. μm 。参见 Nano Letters, 3(3), 343-346

(2003)。

(d) N型 CdS 毫微带

通过真空蒸汽输送组成 CdS 毫微带。具体地，在真空管端部密封少量 CdS 粉（少于 100mg）。当加热真空管以便 CdS 粉的温度为 900℃时，真空管另一端的温度低于 50℃。在 2 小时内，大部分 CdS 粉转移到冷位置，并且粘贴在真空管的壁上。这些材料主要是厚度为 30-150nm 的毫微带。毫微带的宽度为 0.5-5 μm，并且长度为 10-200 μm。参见 Nature(自然)425, 274-278 (2003)。

(e) Ge 毫微线

H₂（总大气压=1atm）以 100sccm 的速度流入直径为 2.5cm 的炉式反应器内，同时，GeH₄（He 为 10%）的速度是 10sccm，并且在 275℃下执行 CVD 持续 15 分钟，从而形成 Ge 毫微线。反应衬底是这样的衬底，其中 Au 毫微晶体（平均直径为 20nm）均匀地分散在 SiO₂衬底表面上。参见 Agnew. Chem. Int. Ed. Engls, 41, 4783-4786 (2002)。

(f) InP 毫微线

通过 LCG 形成 InP 毫微线。LCG 目标通常由 94%的 InP、5%的 Au 催化剂、以及 1%的 Te 或 Zn 掺杂元素构成。当 LCG 目标生长时，炉子温度为 800℃（介质），并且将 LCG 目标放在炉子上游端上。发射 Nd:YAG 激光器的脉冲（波长为 1064nm）持续 10 分钟。在这种情况下，毫微线集中在炉子冷位置的下游端上。参见 Nature（自然）409, 66-69 (2001)。

(g) ZnO 毫微棒

在 60℃的 125mL 甲醇内融化约 29.5g (0.13mol) 乙酸锌二水合物 (ZnOCOCH₃-2H₂O)，然后把融化 14.8g (0.23mol) 氢氧化钾 (KOH) 的溶液添加到 65ml 甲醇，从而形成 ZnO 毫微棒。在 60℃下搅拌反应混合物持续几天。如果在几天内沉淀毫微棒，则用甲醇清洗沉淀，并且以 5500rpm 离心分离持续 30 分钟。使用乙二醇对水之比为 2:1 的溶剂稀释毫微粒子并且变成溶液，所述毫微粒子是通过上述步骤产生的合成材料。通过熟化溶液持续约三天，形成直径为 15-30nm 和长度为 200-300nm 的毫微棒。另一方面，通过 CVD 也能形成毫微线。参见 Nano Letter, 3 (8), 1097-1101 (2003)。

通过普通湿化学方法使用包含毫微粒子的胶体溶液形成毫微粒子。参见 Langmuir, 1998, Vol. 14, P. 226。例如, 通过把已经形成的毫微线或毫微带放入乙醇, 然后使用超声波均匀地混合它们, 可以制备包含毫微粒子的胶体溶液。

很少量毫微粒子胶体溶液流入 PDMS 高分子模型 200 的进口 210。在这种情况下, PDMS 高分子模型 200 的压印线 230 排列在 P 型毫微粒子线 120a 或 N 型毫微粒子线 120b 内, 以便沿着线 120a 或 120b 形成 P 型毫微层 125 或 N 型毫微层 126, 如图 5 中所示。在这种情况下, 优选地, 毫微层 125 和 126 彼此分开达到预定间隙, 例如达到单位像素的节距。

接着, 在室温下干燥流体。对于快速干燥操作而言, 优选地, 在适当温度下(不是非常高)执行热处理。结果, 形成图 5 中所示的多个毫微层 125 和 126。

接着, 如图 4 中所示, 模制毫微层 125 和 126 以便形成位于发射区 10 和非发射区 20 内的 TFT 半导体有源层 121、122、123 和 124。接着, 执行后面过程以便形成具有图 3 结构的 OLED。

毫微 TFT 的结构不需要是如图 3 中的叠层结构。栅极 141、142、143 和 144 可以形成在衬底 100 的缓冲层 110 上, 栅极绝缘层 150 可以形成以覆盖它们, 并且如图 5 中所示的毫微层 125 和 126 可以形成在栅极绝缘层 150 上。

通过各种方法可以形成如图 5 中所示的毫微层 125 和 126。作为实例, 通过经由使用衬底上的 PDMS 高分子模型进行压印的 Amine 处理, 然后通过经由公知的喷墨印刷方法进行图 5 中所示的模制, 可以形成毫微层 125 和 126。在喷墨印刷方法中, 可以形成宽度达到 20 微米的图案。同样, 作为另一实例, 通过激光诱导热成像(LITI)方法可以形成毫微层 125 和 126。

现在转向图 7A-10, 图 7A-7C 图解了通过 LITI 方法形成如图 5 中所示的模制毫微层的方法, 图 8 图解了图 7A-7C 所示方法中的施主薄片的横截面。图 9A 和图 9B 图解了制造施主薄片方法的实例, 以及图 10 图解了通过图 9A 和图 9B 中所示方法制造的施主薄片的平面。

首先, 在通过 LITI 方法形成毫微层的方法中, 使用图 8 中所示的施主薄片 300。在薄膜 310 上排列施主薄片 300 的毫微线 330 以便平行于它

们的纵向，从而形成传输层 320。

薄膜 310 包括底膜 312 和光热转换 (LTHC) 层 314。聚烯烃基树脂可以用作底膜 312。通过搅拌丙烯内的碳可以把 LTHC 层 314 涂覆在底膜 312 上，但不局限于此。LTHC 层 314 可以是一种层，其通过把激光转换成热并加热传输层 320 来转移传输层 320，或者引起激光烧蚀。

通过图 9A 和图 9B 中所示的方法可以制造施主薄片 300。在存有溶液 351 例如水的储水器 350 内混合多个毫微线 330。在这种情况下，毫微线 330 可以是如上所述的 P 型毫微线或 N 型毫微线。这些毫微线 330 以漂浮状态在不规则方向上排列在溶液 351 上。

如果在这种情形下，使用对齐棒 352 把溶液 351 表面上的毫微线 330 推向一侧，毫微线 330 被推向对齐棒 352 并且集中在一侧。由于毫微线一般直径或厚度约为 30nm 并且长度为 40-50. μm，因此它们的纵横比非常高。因此，集中的毫微线 330 约在一个方向上对齐，并且对齐方向平行于毫微线 330 的纵向。

如果在这种情形下，如图 9B 中所示，把薄膜 310 连续地提供在储水器 350 内，并且同时把毫微线 330 粘附在薄膜 310 的表面上，可以制造图 8 和图 10 中所示的施主薄片 300。换句话说，把多个滚筒 353 安装在储水器 350 内，薄膜 310 使用滚筒 353 贯穿储水器 350。在这种情况下，如图 8 中所示，薄膜 310 由底膜 312 和形成在底膜 312 上的 LTHC 层 314 构成。薄膜 310 允许 LTHC 层 314 贯穿储水器 350，以便毫微线 330 粘结到 LTHC 层 314，并且 LTHC 层 314 放置在毫微线 330 的方向上。

当毫微线 330 通过储水器 350 粘结到 LTHC 层 314 时，由于毫微线 330 集中在储水器 350 的一侧，因此它们大约在一个方向上对齐。即使这些毫微线 330 粘结到薄膜 310 的 LTHC 层 314，仍能保持它们的对齐状态。干燥对齐毫微线 330 的薄膜 310，并且切割成预定长度，如图 10 中所示，可以制造使毫微线 330 在一个方向上对齐的施主薄片 300。

在制造施主薄片 300 的方法中，由于按照直线把薄膜 310 提供给储水器 350，因此可以执行卷对卷 (Roll-to-Roll) 处理，然后，可以制造许多施主薄片 300。结果，可以提高生产率。

如图 7A 中所示，施主薄片 300 位于形成缓冲层 110 的衬底 100 上。

如图 7B 中所示, 施主薄片 300 和衬底 100 彼此叠压并且彼此临时粘接在一起。如果在这种情形下, 激光束发射到形成图案的预定部分上, 施主薄片 300 和衬底 100 彼此分开, 如图 7C 中所示, 预定图案形成在衬底 100 上。因此, 如图 5 中所示, 可以形成 P 型毫微层 125 和 N 型毫微层 126 之一。如果在对齐另一形状的毫微线的施主薄片被转移一行的情形下执行激光形成图案, 可以形成另一毫微层。这样, 如图 5 中所示, 沿着毫微粒子 120 形成毫微层 125 和 126, 进行图案化以形成图 4 中所示的有源层图案, 并且通过执行后续程序, 例如制造 TFT 的程序和制造 OLED 的程序, 如图 3 中所示, 可以制造 OLED 显示器。可以使用一般转移方法, 即通过给形成在施主薄膜内的预定图案施加压力在衬底上形成图案, 也可使用 LITI 方法。

如图 5 中所示, 沿着毫微线 120 形成毫微层 125 和 126, 并且进行图案化, 从而形成图 4 中所示的有源层。然而, 本发明不局限于此, 并且可以将图 4 中所示的有源层图案化, 而不形成图 5 中所示的毫微层 125 和 126。

也就是, 在图 6A 和图 6B 所示的方法中, 把压印线 230 形成图案, 其大小相当于有源层, 从而只在部分压印线 230 内形成毫微层, 即使在喷墨印刷方法中, 喷嘴也沿着相应毫微粒子线移动, 从而只在部分预定有源层内形成毫微层。另外, 即使在包括图 7A-7C 所示 LITI 方法的转移方法中, 也可只在部分相应有源层内形成毫微层, 从而形成有源层。

如图 4 和图 5 中所示, P 型毫微粒子线 120a 和 N 型毫微粒子线 120b 可以交替排列成彼此平行。另外, 如图 11 中所示, P 型毫微粒子线 120a 和 N 型毫微粒子线 120b 可以排列成彼此交叉。在这种情况下, 驱动 TFT 的有源层 121 可以是 P 型, 而开关 TFT 的有源层 122 可以是 N 型, 但不局限于此, 可以根据单位像素的选择驱动电路的设计而变化。

如上所述, 布置在发射区 10 和非发射区 20 内的 TFT 中的同类型 TFT 以这样的方式布置, 即至少它们的沟道区的纵向彼此平行。也就是, 如图 4 中所示, 可以把驱动 TFT 11 的有源层 121 和 CMOS TFT 21 的 P 型 TFT 23 的有源层 124 排列和安置成彼此平行, 有源层 124 是 P 型 TFT 23 的有源层, 开关 TFT 12 的有源层 122 和 CMOS TFT 21 的 N 型 TFT 22 的有源层 123

排列和安置成彼此平行，有源层 123 是 N 型 TFT 22 的有源层。另外，如图 11 中所示，P 型和 N 型可以排列和安置成彼此交叉。

即使当 P 型毫微粒子线 120a 和 N 型毫微粒子线 120b 排列和安置成彼此交叉时，也可以使用上述方法。也就是，在图 6A 和图 6B 所示的方法中，在压印线 230 内执行图案化，从而只在部分压印线 230 内形成毫微层。

即使在喷墨印刷方法中，喷嘴也沿着相应毫微粒子线移动，从而只在部分预定有源层内形成毫微层。另外，即使在包括图 7A-7C 所示 LITI 方法的转移方法中，只在部分相应有源层内形成毫微层，从而形成有源层。

本发明不局限于 OLED 显示器，而是可以应用于具有 TFT 的各种平板显示器，例如液晶显示器 (LCD)、无机发光二极管、以及 LED。

如上所述，本发明具有下列效果。第一，通过在 TFT 的沟道内使用毫微粒子，在室温或低温下可以制造 TFT，包括 TFT 的平板显示器，尤其是有机发光二极管 (OLED) 显示器。第二，结果，具有低耐热性的塑料材料可以用在平板显示器内，尤其是 OLED 显示器内。因此，本发明更有利于制造柔性平板显示器。第三，使用排列在纵向上的毫微粒子来形成沟道，以便可以进一步提高灵活性。

虽然已经参考本发明的实施例对本发明进行了具体图示和描述，但本领域普通技术人员将能理解，其中可以进行各种形式和细节变化而不脱离由下列权利要求所定义的本发明的本质和范围。

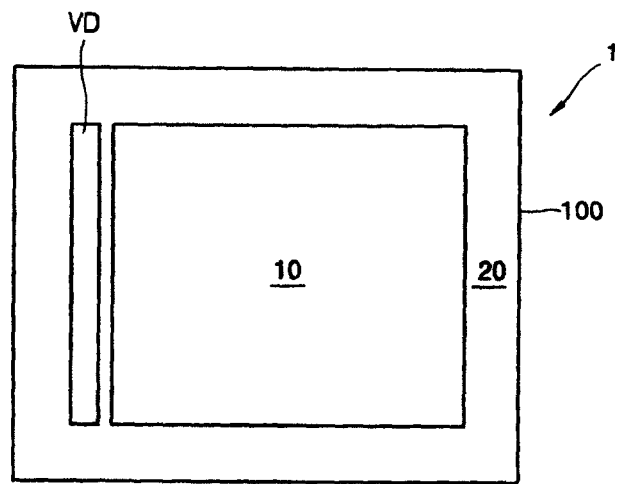


图 1

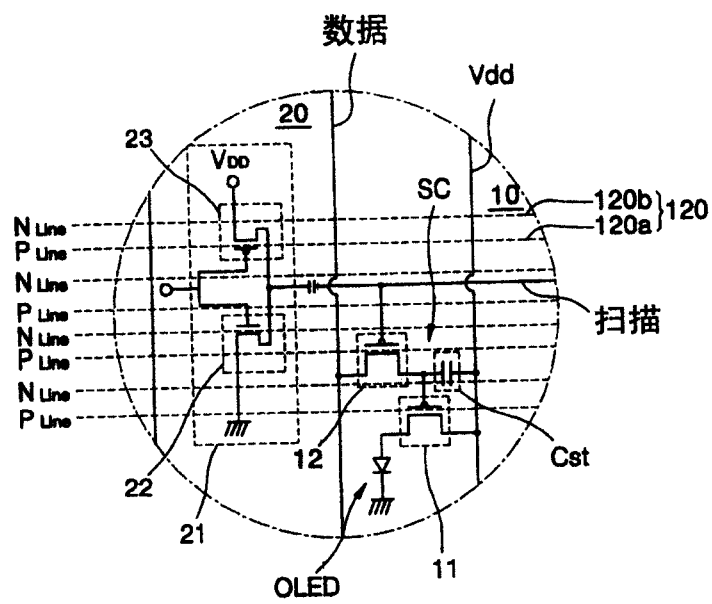


图 2

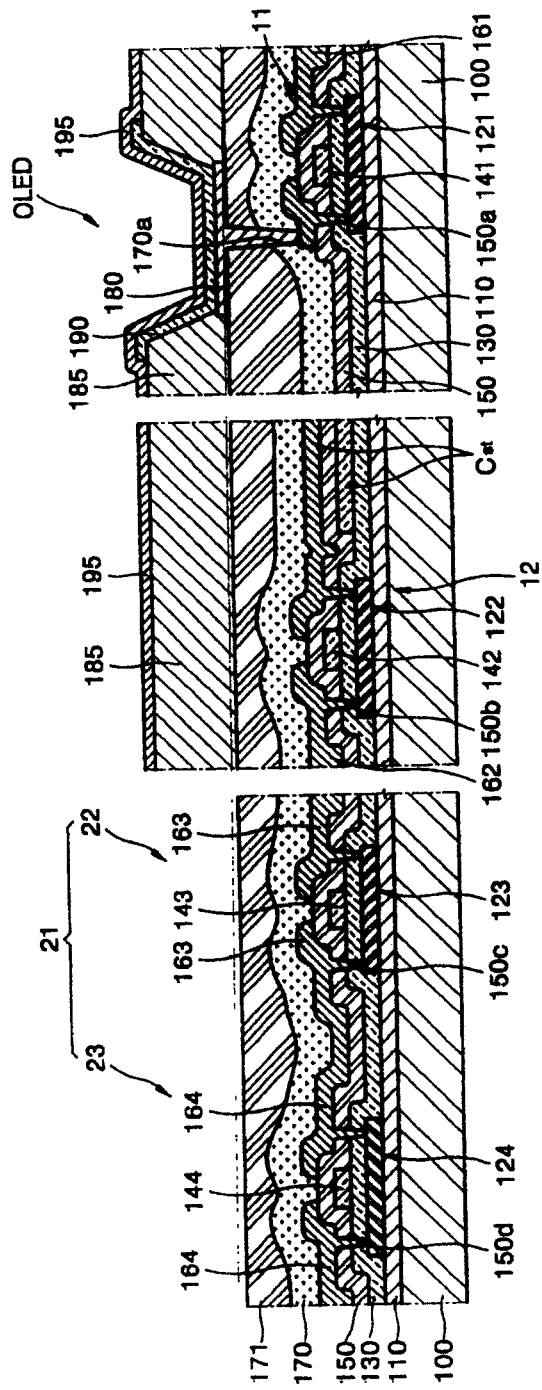


图 3

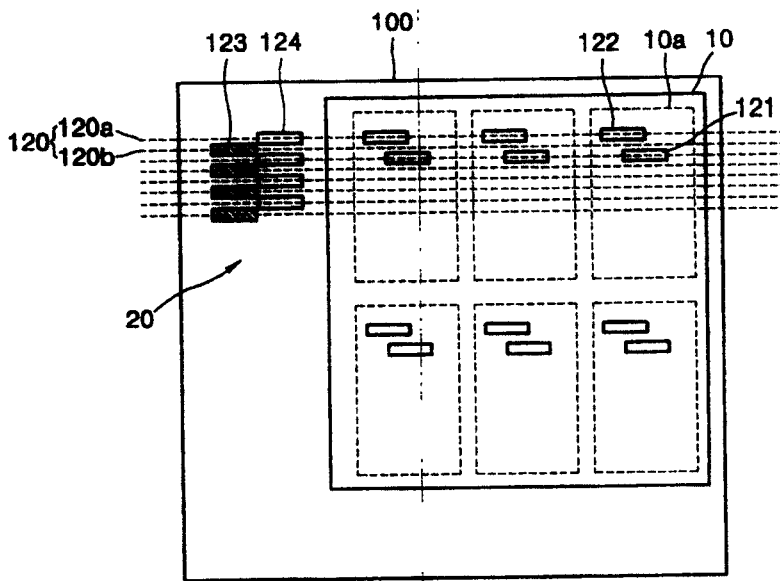


图 4

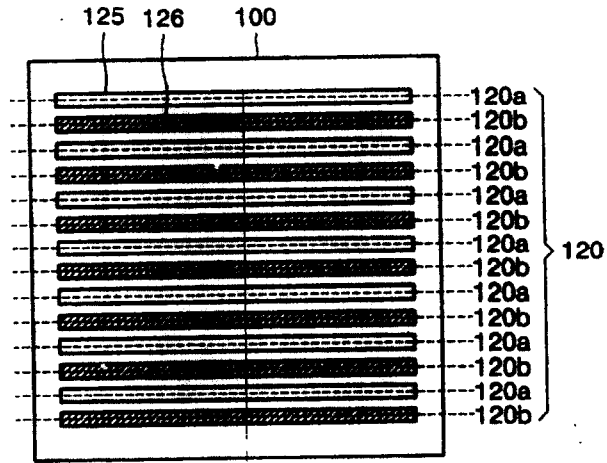


图 5

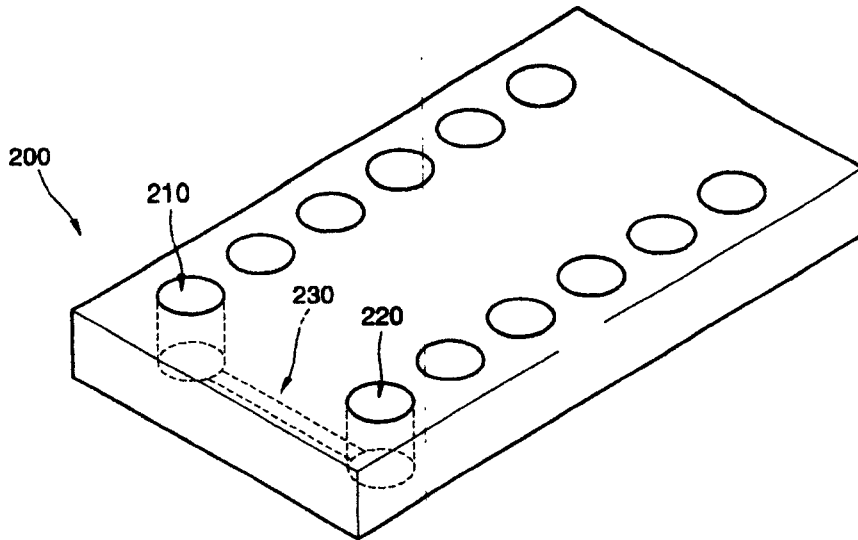


图 6A

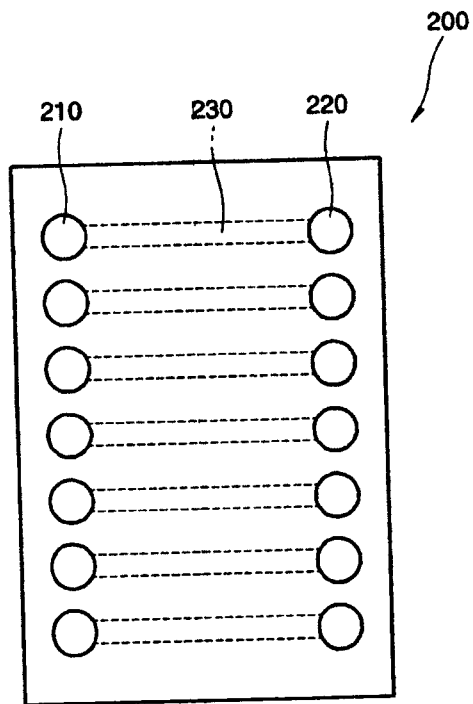


图 6B

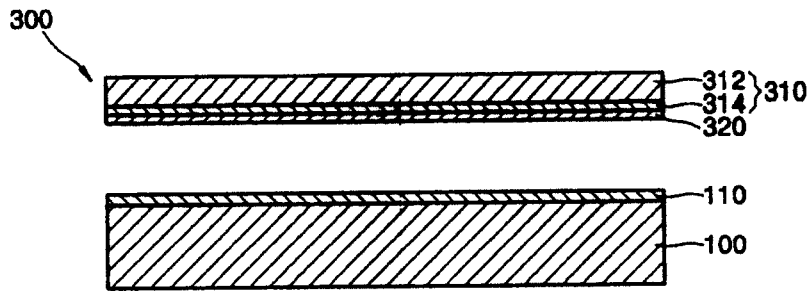


图 7A

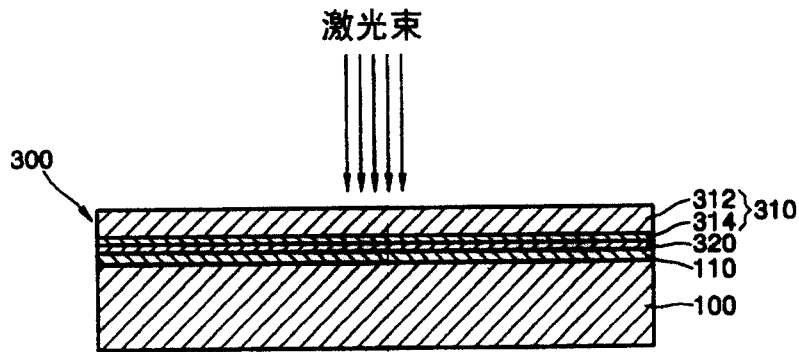


图 7B

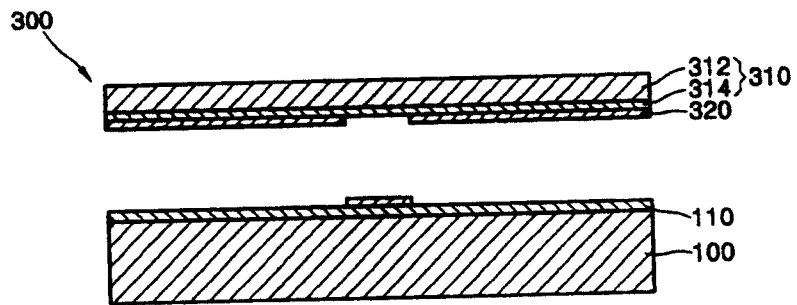


图 7C

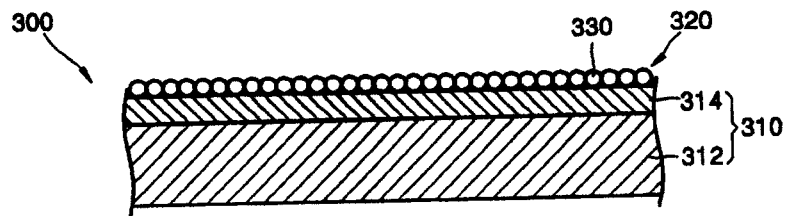


图 8

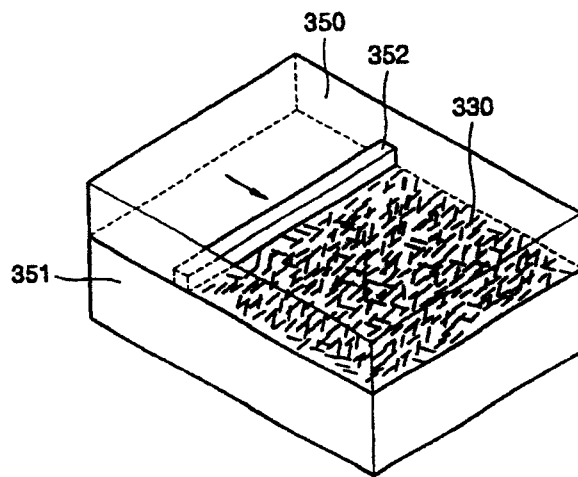


图 9A

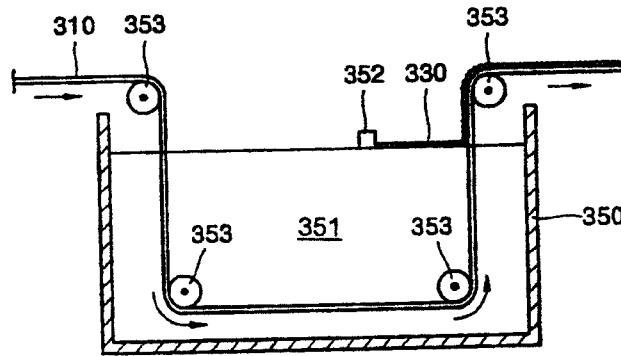


图 9B

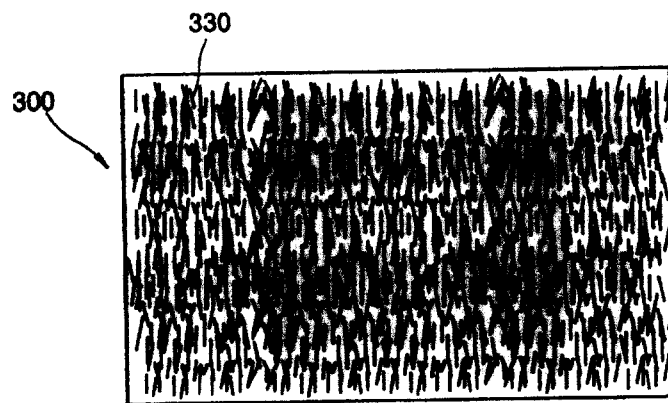


图 10

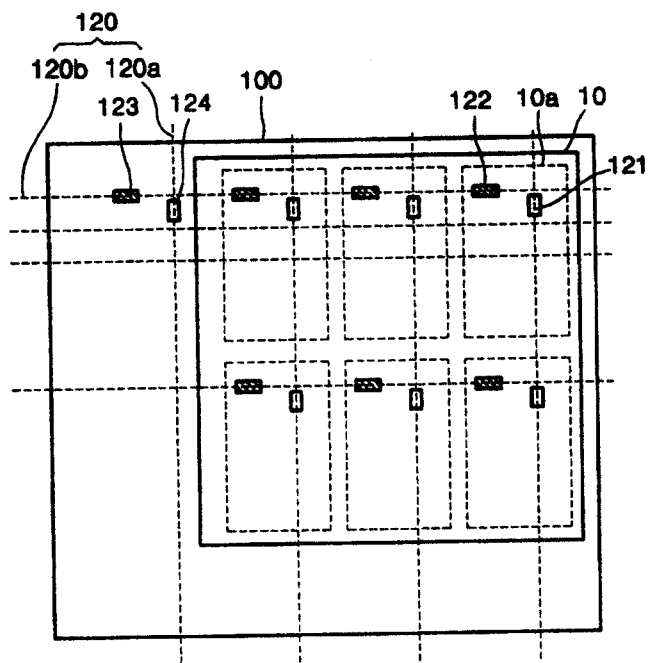


图 11