

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96121881

※ 申請日期：96/06/15

※IPC 分類：H05K³/₃₈, H01L²³/₄₈, ²¹/₆₀

一、發明名稱：(中文/英文)

佈線基板及其製造方法，暨半導體裝置

WIRING SUBSTRATE AND MANUFACTURING METHOD THEREOF, AND SEMICONDUCTOR
APPARATUS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

新光電氣工業股份有限公司

Shinko Electric Industries Co., Ltd. (新光電氣工業株式会社)

代表人：(中文/英文)

黑岩護 / Mamoru KUROIWA (黑岩護)

住居所或營業所地址：(中文/英文)

日本國長野縣長野市小島田町 80 番地

80, Oshimada-machi, Nagano-shi, Nagano, 381-2287, Japan

國 籍：(中文/英文)

日本 / Japan

三、發明人：(共 3 人)

姓 名：(中文/英文)

(1) 村松茂次 / Shigetsugu MURAMATSU

(2) 小林壯 / Tsuyoshi KOBAYASHI (小林壯)

(3) 栗原孝 / Takashi KURIHARA

國 籍：(中文/英文)

(1)~(3) 日本 / Japan

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實

發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2006/06/19；2006-168360

2. 日本；2007/02/13；2007-032106

3.

4.

5.

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本揭示案係關於一種佈線基板及其製造方法，及一種半導體裝置。更特定言之，本揭示案係關於一種特徵為佈線層之間的一電連接結構的佈線基板及其製造方法，及一種使用此佈線基板之半導體裝置。

【先前技術】

在用於穿過一絕緣層而壓層及形成佈線層之多層佈線基板中，一種用於藉由在一絕緣層中形成一介層孔及電鍍該介層孔並形成一佈線圖案之傳導部分(介層)來作為連接的方法被用作用於電連接在該等佈線層之間的佈線圖案的方法。

圖 9A 至圖 9E 展示藉由增層法的形成步驟以作為一多層佈線基板之製造方法之一實例。圖 9A 為在一佈線圖案 12 形成於一底層 10 之一表面上之後，形成一絕緣層 14 以便覆蓋一基板之整個表面的狀態。藉由壓層(例如)一環氧樹脂薄膜來形成該絕緣層 14。接著，在絕緣層 14 中形成介層孔 14a，使其與電連接在層之間的佈線圖案之一區域對準，且隨後相對於基板執行無電極鍍銅且在絕緣層 14 之一表面上形成一電鍍晶種層 16(圖 9B)。

隨後，在絕緣層 14 之表面上形成一光阻圖案 18 以便暴露一用作佈線圖案之區域(圖 9C)。隨後，使用電鍍晶種層 16 作為一電鍍之電力供應層而執行電解鍍銅且將鍍銅 20 沈積於電鍍晶種層 16 之一暴露表面上(圖 9D)。圖 9E

展示移除光阻圖案 18 且隨後移除電鍍晶種層 16 之暴露於絕緣層 14 之表面之部分且一佈線圖案 22 形成為一獨立圖案的狀態。

填充介層孔 14a 之鍍銅 20 成為用於在下層之佈線圖案 12 與上層之佈線圖案 22 之間形成電連接的介層 20a。其成為下層之佈線圖案 12 經由介層 20a 電連接至上層之佈線圖案 22 的狀態。

[專利參考文獻 1]日本專利未審查公開案第 1-233075 號

圖 9A 至圖 9E 中所展示之佈線基板之製造方法展示一用於層疊一絕緣樹脂及形成介層孔且隨後藉由半添加法形成一佈線圖案的方法。除此方法之外，佈線圖案之製造方法包括諸如添加法或減去法之方法。

當在此等製造步驟中在絕緣層 14 中形成介層孔 14a 時，介層孔 14a 係藉由雷射加工而形成，但藉由此雷射加工之介層孔 14a 之處理方法具有一些問題。此係因為雷射機器之加工昂貴，且由於現代佈線基板中之佈線圖案的排列密度變高而使形成於絕緣層中之介層孔之數目極大。

又，在用於在一絕緣層中形成介層孔且藉由介層來電連接在層之間的佈線圖案之方法的情況下，存在抑制以高密度排列佈線圖案的問題。在經由介層連接佈線圖案的情況下，有必要在介層與佈線圖案之間的連接部分中形成一具有一大於介層孔之開口直徑之直徑的連接墊，此導致增加佈線密度之限制。

圖 10A 展示一區域之截面組態，在該區域中，介層孔 14a 形成於絕緣層 14 中且下層之佈線圖案 12 經由一介層 21 連接至上層之佈線圖案 22。圖 10B 展示介層孔 14a 及形成於上層之佈線圖案 22 中之一墊 22a 的平面排列。圖 10C 展示在下層之佈線圖案 12 之介層孔 14a 中之一墊 12a 的平面排列。以一大於介層孔 14a 之直徑之直徑形成墊 22a 的原因係由於考慮到處理變化需確保介層孔部分中之連接的可靠性。

當用於連接之墊形成於佈線圖案之連接部分中時，導引導線 22b 之間的排列距離甚至在佈線圖案之導引導線 22b 如圖 11A、圖 11B 所展示以薄寬度形成時亦受到墊 22a 的排列之限制。圖 11A 為成直線對準墊 22a 之情況，且圖 11B 為以錯列狀態排列墊的實例。又，在墊 22a 未集中排列之區域中，迂迴並形成導引導線 22b 以使得其不干擾墊 22a，使得佈線圖案之長度變長。又，當在佈線之中間存在較寬部分(如用於連接之墊)時，有佈線之電特徵劣化的問題。

此外，現代半導體裝置中已大量使用藉由覆晶接合來安裝半導體元件的產品。在此等產品中，在一半導體元件與一佈線基板之間進行覆晶接合之後，執行用一底部填充樹脂填充該半導體元件與該佈線基板之間的間隙之操作。然而，半導體元件與佈線基板之間的間隙距離隨半導體元件之連接墊變多而變窄，使得難以執行用該底部填充樹脂填充半導體元件與佈線基板之間的間隙之操作。

藉由在一基板之一表面上形成一佈線圖案及隨後用一保護薄膜(諸如,一阻焊劑)覆蓋該基板之該表面且暴露佈線圖案與安裝於佈線基板中之半導體元件的端子(凸塊)之平面排列對準之墊部分來形成相關技術佈線基板之半導體元件安裝表面。此結果,形成於佈線基板之半導體元件安裝表面上之墊部分形成為比保護薄膜(例如,阻焊劑)之一表面低得多,且在佈線基板之半導體元件安裝表面上形成不均勻性。結果,在半導體元件與佈線基板之間進行覆晶接合之後執行一底部填充的情況下,底部填充樹脂之流動性受到阻礙,且其成為無法執行精確底部填充之一原因。

【發明內容】

本發明之例示性具體例提供一種佈線基板、一種用於該佈線基板之製造方法,及一種使用此佈線基板之半導體裝置,該佈線基板能夠精確地執行對一藉由覆晶接合而安裝之半導體元件之底部填充,及亦在不使用用於形成一介層孔之方法的情況下藉由電連接在層之間的佈線圖案來以高密度形成一佈線圖案。

一種根據本發明之第一例示性具體例之佈線基板,其包含:

一基板;

一突起部,其形成於該基板之一表面上;

一佈線圖案,其藉由將佈線延伸至該突起部之一頂部上而形成於該基板之該表面上;及

一絕緣層，其覆蓋該基板之形成有佈線圖案之表面，

其中，裝設於突起部之該頂部上之佈線圖案的一連接部分之一表面被暴露於該絕緣層之表面，且該連接部分之該表面與絕緣層之表面齊平或處於低於絕緣層之表面的位置中。

一種根據本發明之第二例示性具體例之佈線基板，其包含：

一下層，其具有一用作一底層之第一絕緣層、一形成於該底層之一表面上之突起部，及一藉由將佈線延伸至該突起部之一頂部上而形成於該底層之該表面上的佈線圖案；

一上層，其具有一佈線圖案，該上層之該佈線圖案與該下層之該佈線圖案電連接；及

一第二絕緣層，下層之佈線圖案與上層之佈線圖案經由該第二絕緣層彼此層疊，第二絕緣層覆蓋下層之形成有佈線圖案之一表面，

其中，裝設於突起部之頂部上之下層之佈線圖案的一連接部分之一表面被暴露於第二絕緣層之一表面，且該連接部分之該表面與第二絕緣層之表面齊平或處於低於第二絕緣層之表面的位置中，且

其中，上層之佈線圖案電連接至下層之佈線圖案的暴露之連接部分。

一種根據本發明之第三例示性具體例之佈線基板為根據第二例示性具體例的佈線基板中的佈線基板，下層之佈線圖案及上層之佈線圖案被裝設為相互連接複數個佈線

圖案之一組態或將一單一佈線圖案連接至在突起部的頂部中之複數個佈線圖案之組態。

因此，可改良在層之間的佈線圖案之連接形式之靈活性且可有助於佈線圖案的設計。

根據本發明之第四例示性具體例之佈線基板為在根據第一至第三例示性具體例的佈線基板中的佈線基板，突起部之頂部形成於一平坦表面中。

因此，下層之佈線圖案可容易地連接至上層之佈線圖案。

根據本發明之第五例示性具體例之佈線基板為根據第一至第四例示性具體例的佈線基板中的佈線基板，突起部之側表面被形成為一傾斜表面且佈線圖案經由該傾斜表面延伸至連接部分。

因此，可穩當地確保佈線圖案與連接部分之間的電連接性。

根據本發明之第六例示性具體例之佈線基板為根據第一至第五例示性具體例的佈線基板中的佈線基板，絕緣層之表面與連接部分之表面之間的級差(Step difference)高度為 $5\ \mu\text{m}$ 或更小。

根據本發明之第七例示性具體例之用於一佈線基板的製造方法包含以下步驟：

在一基板之一表面上形成一突起部；

藉由將佈線延伸至該突起部之一頂部上來在基板之形成有突起部之該表面上形成一佈線圖案；

用一絕緣層覆蓋該基板之形成有佈線圖案之表面；及

將裝設於突起部之該頂部上之佈線圖案的一連接部分之一表面暴露於該絕緣層之表面，使得該連接部分之該表面與絕緣層之表面齊平或處於低於絕緣層之表面的位置中。

根據本發明之第八例示性具體例之用於一包括一具有一佈線圖案的下層及一具有一與該下層之該佈線圖案電連接之佈線圖案的上層之佈線基板的製造方法包含以下步驟：

在用作下層之一底層之一第一絕緣層的一表面上形成一突起部；

藉由將佈線延伸至突起部之一頂部來在該第一絕緣層的形成有突起部之該表面上形成下層之佈線圖案；

用一第二絕緣層覆蓋第一絕緣層的形成有下層之佈線圖案之表面；

將裝設於突起部之頂部上之下層之佈線圖案的一連接部分之一表面暴露於第二絕緣層之一表面，使得該連接部分之該表面與第二絕緣層之表面齊平或處於低於第二絕緣層之表面的位置中；及

藉由將上層之佈線圖案電連接至下層之佈線圖案的連接部分來在第二絕緣層上形成上層之佈線圖案。

一種根據本發明之第九例示性具體例之半導體裝置，其包含：

一佈線基板；

一半導體元件或一半導體器件，其安裝於該佈線基板上，

其中該佈線基板包括：一基板；一突起部，其形成於該基板之一表面上；一佈線圖案，其藉由將佈線延伸至該突起部之一頂部上而形成於該基板之該表面上；及一絕緣層，其覆蓋該基板之形成有佈線圖案之表面；

其中，裝設於突起部之該頂部上之佈線圖案的一連接部分之一表面被暴露於該絕緣層之表面，且該連接部分之該表面與絕緣層之表面齊平或處於低於絕緣層之表面的位置中，且

其中該半導體元件或該半導體器件電連接至佈線基板之佈線圖案的連接部分。

該連接部分可形成為一與半導體器件或半導體元件之一連接電極對準而形成之用以連接之墊，且該半導體元件或半導體器件可藉由借助於一連接端子電連接至連接部分來安裝。

又，連接部分可形成為藉由導線接合來連接至半導體元件之接合墊，且半導體器件或半導體元件之連接電極可藉由用接合導線連接至連接部分來安裝。

本發明之一或多個具體例可包括一或多個以下優點。舉例而言，根據一本發明之佈線基板及其製造方法，藉由採用突起部形成於一基板或一絕緣層上且一佈線圖案電連接於層之間的組態，可簡化佈線基板之製造步驟且可有助於佈線基板之製造。又，藉由在形成於突起部上之一連接

部分中的層之間電連接佈線圖案，可以比用於使用一介層孔連接一佈線圖案之方法有更高的密度形成佈線圖案。又，藉由將裝設於突起部之一頂部上之連接部分的一表面裝設為與絕緣層之一表面齊平或在低於絕緣層之該表面的位置中，可在於一半導體元件與佈線基板之間進行覆晶接合及執行一底部填充的情況下改善一底部填充樹脂的填充特徵。又，在根據本發明之一半導體裝置中，可藉由導線接合或一連接端子（例如，焊料凸塊）將一半導體元件或一半導體器件穩當地安裝在佈線基板中，且有助於該半導體裝置之製造且可將其提供為具有高可靠性之半導體裝置。

其他特徵及優勢可自以下詳細描述、附圖及申請專利範圍而顯而易見。

【實施方式】

將參看附圖在下文詳細描述本發明之例示性具體例。
(佈線基板之製造方法)

圖 1A 至圖 3F 展示在一核心基板 30 中形成一佈線圖案之步驟以作為根據本發明之一佈線基板的製造方法之一製造步驟實例，且展示基板在每一步驟中之剖視圖。

圖 1A 展示用於形成該佈線圖案之核心基板 30。舉例而言，由玻璃環氧化物製成之樹脂基板可用作核心基板 30。核心基板 30 通常包含複數個佈線層，且形成一通孔以便使此等佈線層導電。在圖式中，省略此等組態。

圖 1B 展示在核心基板 30 之一表面上形成突起部 32 之

狀態。此突起部 32 經形成使得變得高於形成於核心基板 30 之該表面上之佈線圖案的厚度，突起部 32 與佈線圖案被電連接於層之間的平面排列位置對準。

圖 2A 展示在核心基板 30 之表面上形成突起部 32 之狀態的平面圖(圖 1B 為沿圖 2 之線 A-A 所截取之剖視圖)。在本具體例中，突起部 32 經形成使得平面形狀為矩形且側表面 32a 為傾斜表面，且頂部 32b 為一平坦表面。由於佈線圖案經形成使得將佈線延伸至側表面 32a 及頂部 32b，因此突起部 32 之寬度形成為稍微寬於佈線圖案之圖案寬度。

例示性具體例之佈線基板之製造步驟的特徵為一在核心基板 30 之表面上形成突起部 32 之步驟。在實際製造步驟中，突起部 32(在例示性具體例中具有梯形橫剖面)形成於以大尺寸所形成之核心基板 30(工件)之表面上。

可使用藉由諸如使用一糊狀樹脂之網刷之印刷法的成形法、一用於將一以預定排列而形成於去皮薄片上之樹脂轉印至核心基板 30 的成形法、一用於藉由噴墨將樹脂噴塗在核心基板 30 上之成形法、一用於分配一樹脂之成形法等作為形成突起部 32 的方法。藉由印刷法及轉印法之情況係有效的，此係因為突起部 32 可有效地形成於大尺寸工件上。

又，突起部 32 可由一壓印法形成使得凸出於核心基板 30 之表面上。本文所使用之壓印模具為在一凹部中形成用於形成突起部 32 之一區域，及用一樹脂薄膜覆蓋核心

基板 30 之表面以用於脫模，且壓印模具被按壓在核心基板 30 之表面上，且藉此，可塑性地變形核心基板 30 之表面且可形成突起部 32。

又，可使用一用於一樹脂保護薄膜（諸如，形成預定圖案之乾式薄膜）覆蓋核心基板 30 之表面且隨後執行處理使得藉由一噴砂法留下突起部 32 的方法。

又，可經建構使得用一感光性樹脂薄膜覆蓋核心基板 30 之表面且在一預定圖案中暴露並顯影該表面且留下突起部 32。

此外，在核心基板 30 之表面上形成突起部 32 之此等方法不限於一具有一單層結構的佈線基板，且可在形成用於在多層中形成一佈線圖案之多層佈線基板時類似地應用於在用作一面下層的絕緣層上形成突起部的情況。

佈線圖案之厚度為約 $15\ \mu\text{m}$ 且形成於核心基板 30 之表面上的突起部 32 可以約 20 至 $30\ \mu\text{m}$ 之高度形成，使得可簡單地藉由印刷法、轉印法、壓印法、噴砂法、光刻製程等形成突起部。

圖 1C 展示在突起部 32 形成於核心基板 30 之表面上之後，一電鍍晶種層 34 形成於工件之一表面上的狀態。藉由一濺鍍方法或一用於在工件之表面執行無電極鍍銅之方法來形成該電鍍晶種層。電鍍晶種層為在電解電鍍之情況下用作電力供應層之層且可形成為電鍍電力供應所必需的厚度。

隨後，圖 1D 展示光阻圖案 36 根據待形成於核心基板

30 之表面上之一佈線圖案的圖案形狀而形成於工件之表面上的狀態。光阻圖案 36 經圖案化使得用一光阻薄膜覆蓋工件之表面且藉由暴露及顯影來暴露用作電鍍晶種層 34 上之佈線圖案的區域。

圖 2B 展示在核心基板 30 之表面上形成光阻圖案 36 之狀態的平面圖。佈線圖案形成於工件之表面之中的區域形成於暴露的開口 36a 中，在該暴露的開口 36a 中，電鍍晶種層 34 暴露於底部。暴露之開口 36a 經形成使得自核心基板 30 之表面朝向突起部 32 之側表面 32a 及頂部 32b 連通(連接)。

圖 1E 展示使用電鍍晶種層 34 作為一電鍍電力供應層而對工件執行電解鍍銅及鍍銅 38 形成於暴露之開口 36a 的內部之電鍍晶種層 34 之表面上的狀態。

在執行電解鍍銅之後，移除光阻圖案 36(圖 1F)且隨後移除暴露於電鍍晶種層 34 之工件之表面的區域(圖 1G)。由於電鍍晶種層 34 比鍍銅 38 薄得多，因此可在不覆蓋藉由光阻等而沈積有鍍銅 38 之區域的情況下使用銅蝕刻液體來選擇性地移除電鍍晶種層 34 之暴露部分。藉由移除電鍍晶種層 34 之暴露部分，佈線圖案 40 作為獨立圖案而維持於核心基板 30 上。

圖 2C 展示在核心基板 30 上形成佈線圖案 40 之狀態的平面圖。佈線圖案 40 包含一沈積於核心基板 30 之表面上之區域 40a、一沈積於突起部 32 之側表面 32a 上的傳導部分 40b 及一沈積於突起部 32 之頂部 32b 上的連接部分

40c。亦即，藉由將佈線自沈積於核心基板 30 之表面上之導引部分延伸至突起部 32 的頂部 32b 上來形成佈線圖案 40，且佈線圖案 40 之連接部分 40c 被支撐於比核心基板 30 之表面高得多的位置中。

圖 3A 至圖 3F 展示用一絕緣層 60 覆蓋核心基板 30 之形成有佈線圖案 40 之表面及在該絕緣層 60 的表面上形成第二層之佈線圖案的步驟。

圖 3A 展示形成絕緣層 60 以使得包括沈積於突起部 32 之頂部 32b 上之連接部分 40c 的形成於核心基板 30 之表面上之佈線圖案 40 被埋入於絕緣層 60 中的狀態。可藉由一用於將一絕緣薄膜層疊在工件之表面上的方法或一用於以一絕緣材料塗佈工件之表面的方法來形成絕緣層 60。

圖 3B 展示自絕緣層 60 暴露沈積於突起部 32 之頂部 32b 上之佈線圖案 40 的連接部分 40c 之表面之狀態。一用於對工件執行乾式蝕刻之方法、一用於研磨工件之表面之方法、一用於藉由噴砂以噴塗研磨粒及移除所要區域之方法等可作用於自絕緣層 60 暴露沈積於突起部 32 之頂部 32b 上的連接部分 40c 的方法。可藉由借助於雷射加工移除覆蓋突起部 32 之頂部 32b 之絕緣樹脂來暴露佈線圖案 40 之連接部分 40c。又，當用於形成絕緣層 60 之絕緣樹脂由感光性樹脂材料製成時，可藉由借助於暴露及顯影操作移除覆蓋突起部 32 之頂部 32b 的絕緣樹脂來暴露連接部分 40c 之表面。

隨後，突起部 42 與第二層之佈線圖案電連接至第三層

之佈線圖案的平面排列位置對準而形成於絕緣層 60 之一表面上，且一電鍍晶種層 44 形成於工件之整個表面上(圖 3C)。可以類似於上文所描述之用於在核心基板 30 上形成突起部 32 之方法的方式形成突起部 42。

隨後，根據形成於絕緣層 60 之表面上之佈線圖案的排列形成一光阻圖案 46(圖 3D)。圖 3E 為使用電鍍晶種層 44 作為一電鍍電源供應層而執行電解鍍銅且鍍銅 48 沈積於電鍍晶種層 44 之一暴露表面上的狀態。

圖 3F 展示移除光阻圖案 46 及蝕刻電鍍晶種層 44 之一暴露部分並形成第二層之佈線圖案 50 的狀態。

由於形成於突起部 32 上之佈線圖案 40 之連接部分 40c 與佈線圖案 50 接觸，因此第一層之佈線圖案 40 電連接至第二層之佈線圖案 50，且第一層之佈線圖案 40 及第二佈線圖案 50 經由絕緣層 60 而被層疊及形成。

圖 4 展示在形成第二層之佈線圖案 50 及隨後將一絕緣層 62 沈積並形成於工件之表面上之後在該絕緣層 62 之一表面上形成第三層之佈線圖案 52 之狀態。沈積於突起部 42 之頂部上之佈線圖案 50 的連接部分 50c 之一表面暴露於絕緣層 62 之表面且第三層之佈線圖案 52 經由連接部分 50c 電連接至第二層之佈線圖案 50。

在圖 4 中所展示之佈線基板中，藉由以在核心基板 30 之表面及絕緣層 60 之表面上形成突起部 32、42 及將佈線延伸至突起部 32、42 的頂部 32b、42b 的形式來形成佈線圖案 40、50，相鄰層的佈線圖案 40、50、52 得以藉由連

接部分 40c 及連接部分 50c 而電連接。

突起部 32、42 形成為比核心基板 30 及絕緣層 60 之表面高得多且下層之佈線圖案 40、50 在形成突起部 32、42 的位置中連接至上層之佈線圖案 50、52 之組態指示形成於突起部 32、42 上之傳導部分 40b、50b 及連接部分 40c、50c 當作一用於電連接在層之間的佈線圖案的介層。

圖 5B 展示呈圖 5A 之佈線基板之一組態之突起部 32 中的第二層之佈線圖案 51 及第一層之佈線圖案 40 的平面排列。藉由形成佈線圖案重疊於突起部 32 之頂部 32b 上之排列，第一層之佈線圖案 40 電連接至第二層之佈線圖案 51。佈線圖案 51 可經圖案化使得與暴露於突起部 32 之頂部 32b 之連接部分 40c 對準。

在該具體例之製造方法中，可藉由使用下層之佈線圖案及上層之佈線圖案的圖案寬度排列佈線圖案使得佈線圖案相互重疊及交叉來形成電連接。

圖 6 展示經由突起部 32 在下層之佈線圖案 40 與上層之佈線圖案 51 之間形成連接的連接形式之數個實例。圖 6A 為經形成以在自突起部 32 之頂部傾斜之方向中繪製佈線圖案 51 的實例。圖 6B 為形成下層之佈線圖案 40 以跨越突起部 32 之頂部且上層的佈線圖案 51 被排列在與突起部 32 之頂部垂直的方向中之實例。圖 6C 為下層之三個佈線圖案 40 連接至一個突起部 32 且此等佈線圖案 40 連接至一個佈線圖案 51 的實例。圖 6D 為下層之兩個佈線圖案 40 藉由突起部 32 連接至上層之三個佈線圖案 51 的實例。

圖 6E 為形成具有圓形平面形狀之突起部 32 的實例，且圖 6F 為形成具有橢圓形平面形狀之突起部 32 的實例。

如圖 6A 至圖 6F 所展示，突起部 32 不限於矩形，且可形成為諸如橢圓形之適當平面形狀及以適當尺寸。

又，在突起部 32 中，一用於形成傳導部分 40b 之區域形成於傾斜表面中，但突起部 32 之側表面不必為傾斜表面。只要其為在連接部分 40c 與佈線圖案 40 之其他末端側之間形成電連接的形式，則不限制突起部 32 之側表面的形狀。

突起部 32 之頂部 32b 形成為一平坦表面之原因係因為確保一用於連接至突起部 32 的頂部 32b 中之佈線圖案之區域。當複數個佈線圖案連接於突起部 32 之頂部 32b 中時，需適當設計突起部 32 之頂部 32b 之尺寸及形式。

如圖 6A 至圖 6F 所示，在佈線圖案連接於突起部 32 中之區域中，不需要如在使用相關技術介層孔形成連接之形式的情況下而形成一介層連接之墊，且因此可以高密度形成佈線圖案。又，不需要在佈線之中間形成如介層連接之墊之較寬部分，使得可改善佈線之電特徵。又，不需要迂迴及排列佈線圖案，使得不與一介層墊干擾，且可減小一佈線長度及亦可小型化一基板且可將該基板提供為一具有良好電特徵之佈線基板。

此外，在上文所描述之製造步驟中，已展示藉由半添加法形成佈線圖案 40、50 之實例，但亦可藉由除半添加法以外之方法製造佈線圖案。圖 7 展示藉由一減去法製造一

佈線基板的步驟實例。

首先，在一核心基板 30 之一表面上形成突起部 32(圖 7A 及圖 7B)。接著，在工件之一表面上形成一電鍍晶種層 34，且使用該電鍍晶種層 34 作為一電鍍電力供應層而執行電解鍍銅，且沈積鍍銅 35 並形成於電鍍晶種層 34 之一表面上(圖 7C)。隨後，形成一光阻圖案 37 以覆蓋一用作佈線圖案 40 之區域(圖 7D)，且藉由使用該光阻圖案 37 作為一遮罩而蝕刻電鍍晶種層 34 及鍍銅 35 來在核心基板 30 上形成佈線圖案 40。以在突起部 32 之頂部上延伸的末端來形成佈線圖案 40 之末端，且產生電連接至上層之佈線圖案的連接部分 40c(圖 7E)。

在一包含一單層的佈線圖案之佈線基板的情況下，展示在自圖 7E 中所展示之狀態而藉由樹脂塗佈用一樹脂薄膜覆蓋工件之表面或用一絕緣層 60 覆蓋工件的表面之後，藉由一乾式蝕刻法、一研磨法、一噴砂法來將沈積於突起部 32 之頂部上之連接部分 40c 之一表面暴露於該絕緣層 60 之一表面的狀態(圖 7F)。如圖所示，例示性具體例之佈線基板之特徵為覆蓋基板的表面之絕緣層 60 之表面形成為與連接部分 40c 之表面齊平。又，當佈線圖案形成於多層中之佈線基板上時，佈線基板之一表面層之連接部分 40c 可形成為與絕緣層 60 之一表面齊平。

藉由在核心基板 30 或絕緣層 60 之表面上形成突起部 32、42 並電連接在層之間的佈線圖案來形成根據本發明之佈線基板。由於可藉由一印刷法、一轉印法等共同地形

成此等突起部 32、42，因此與用於以相關技術方式藉由雷射加工逐個地形成介層孔之方法相比，具有批量生產力更佳及製造步驟更簡單的優點。

又，根據本發明之方法，消除了對電鍍介層孔之步驟的需要，且具有能夠使用一形成一相關技術佈線圖案之步驟（如在突起部 32 上形成一佈線圖案時一樣）的優點。

（半導體裝置）

在一佈線基板中，佈線圖案 40 亦可形成為一如圖 7F 中所展示之單層，或佈線圖案 40、50、52 亦可經組態以由圖 4 中所展示之絕緣層 60、62 層疊而成。藉由在此等佈線基板中安裝一半導體元件或一所需電路組件來提供一半導體裝置。

圖 8A、8B 為一使用根據本發明之佈線基板之半導體裝置的例示性實例，且展示一半導體元件安裝於一形成有單層的佈線圖案 40 之佈線基板上之一半導體裝置之一實例。圖 8A 展示藉由覆晶接合在佈線基板上安裝一半導體元件 70 之一實例，且圖 8B 展示藉由導線接合來安裝一半導體元件 71 之一實例。

形成用於本具體例之半導體裝置中之佈線基板使得佈線圖案 40 形成於一基板 31 的一表面上，且亦藉由將佈線圖案 40 延伸至形成於基板 31 之表面上之突起部 32 的頂部 32b 上而形成連接部分 40c，且用一絕緣層 60 覆蓋基板 31 之形成有佈線圖案 40 之表面，且連接部分 40c 之表面暴露為與絕緣層 60 之一表面齊平。

在圖 8A 中，藉由匹配一平面排列位置與半導體元件 70 之連接電極（連接凸塊）來形成暴露於佈線基板之絕緣層 60 的表面之連接部分 40c。在圖 8B 中，暴露於佈線基板之絕緣層 60 之表面的連接部分 40c 形成為藉由導線接合來連接至半導體元件 71 的接合墊。在圖 8B 中所展示之佈線基板中，確保用於安裝半導體元件 71 的區域且將連接部分 40c 排列在其區域之周邊。

在該具體例之半導體裝置中，以平坦表面形成安裝有半導體元件 70、71 之佈線基板之半導體元件 70、71 的安裝表面，使得具有能夠穩當地安裝半導體元件 70、71 的優點。

在藉由覆晶接合來安裝半導體元件的情況下，連接部分 40c 形成為平坦墊及以一平坦表面形成半導體元件之安裝表面的事實具有以下優點：能夠在安裝接腳之數目尤其大之半導體元件的情況下增加安裝半導體元件及將半導體元件之連接電極精確地接合至墊的可靠性。

又，在對半導體元件進行覆晶接合之後執行底部填充的情況下，當以平坦表面形成佈線基板之安裝表面時，可改善底部填充樹脂之流動特徵且可填充該底部填充樹脂使得不引起間隙且可改善底部填充樹脂之填充特徵。由於具有許多接腳之半導體元件之凸塊直徑變小，在進行覆晶接合的情況下，佈線基板與半導體元件之間的分離距離變得較窄。用於藉由以平坦表面形成上面形成有佈線基板之墊的安裝表面來改善底部填充樹脂的填充特徵（流動特徵）

之方法在安裝具有許多接腳之半導體元件的情況下尤其有效。

此外，在考慮底部填充樹脂在佈線基板之半導體元件之安裝表面中的流動性的情況下，用作佈線基板之安裝表面中之墊的連接部分 40c 之表面能較佳不突出於絕緣層 60 之表面以外。連接部分 40c 之表面能較佳處於低於絕緣層 60 之表面的位置中。又，在考慮此情況下之底部填充樹脂之流動性(填充特徵)的情況下，需要絕緣層 60 之表面與連接部分 40c 之表面之間的級差為約 $5\ \mu\text{m}$ 或更小。

又，當形成於佈線基板上之突起部 32 藉由可撓性原材料形成時，可由突起部 32 減小由基板 31 與半導體元件 70、71 之間的熱膨脹係數差所引起的熱應力，且其亦可經建構使得半導體元件不受熱應力損壞。

此外，在上文所描述之例示性具體例中，已展示在佈線基板上安裝半導體元件之實例，但亦可將一先前封裝之半導體器件(例如，晶片尺寸封包(CSP, Chip Size Package)、球狀柵格陣列(BGA, Ball Grid Array)或多晶片模組(MCM, Multi Chip Module))而取代半導體元件來安裝在佈線基板上。在此情況下，可經由一連接端子(例如，焊球)接合及安裝佈線基板之連接部分 40c 及安裝有半導體元件之半導體器件。

雖然已參看有限數目之具體例描述了本發明，但得益於此揭示案之熟習此項技術者將瞭解，可設計不脫離如本文所揭示的本發明之範疇的其他具體例。因此，本發明之範

疇應僅由所附申請專利範圍加以限制。

【圖式簡單說明】

圖 1A 至 1G 為根據本發明之佈線基板之製造步驟中的基板之剖視圖。

圖 2A 至 2C 為佈線圖案及形成於一核心基板上之突起部的平面圖。

圖 3A 至 3F 為根據本發明之佈線基板之製造步驟中的基板之剖視圖。

圖 4 為藉由將佈線圖案層疊在複數個層中所形成之佈線基板之剖視圖。

圖 5A 為一突起部中之佈線圖案之剖視圖。

圖 5B 為一突起部中之佈線圖案之平面圖。

圖 6A 至 6F 為展示一突起部中之佈線圖案之平面連接形式的說明圖。

圖 7A 至 7F 為一佈線基板之其他製造步驟中之基板的剖視圖。

圖 8A、8B 為展示根據本發明之一半導體裝置之組態實例的剖視圖。

圖 9A 至 9E 為展示相關技術佈線基板之製造方法的說明圖。

圖 10A 至 10C 為展示相關技術佈線基板中之一介層之一連接部分之組態的說明圖。

圖 11A、11B 為展示一佈線圖案之佈線及墊之一排列實例的說明圖。

【主要元件符號說明】

10	底層
12	佈線圖案
12a	墊
14	絕緣層
14a	介層孔
16	晶種層
18	光阻圖案
20	鍍銅
20a	介層
21	介層
22	佈線圖案
22a	墊
22b	導引導線
30	核心基板
31	基板
32	突起部
32a	側表面
32b	頂部
34	電鍍晶種層
35	鍍銅
36	光阻圖案
36a	開口
37	光阻圖案

38	鍍銅
40	佈線圖案
40a	區域
40b	傳導部分
40c	連接部分
42	突起部
44	電鍍晶種層
46	光阻圖案
48	鍍銅
50	佈線圖案
50b	傳導部分
50c	連接部分
51	佈線圖案
52	佈線圖案
60	絕緣層
62	絕緣層
70	半導體元件
71	半導體元件

五、中文發明摘要：

在一半導體裝置中，一半導體元件被安裝於一佈線基板上。佈線圖案及突起部係形成於一基板之一表面上，其中該等佈線圖案在該等突起部之頂部上延伸。該基板之形成有佈線圖案之該表面由一絕緣層覆蓋。形成於突起部之頂部上之佈線圖案的連接部分之表面係藉由暴露於該絕緣層之一表面的該等連接部分之表面形成，該等連接部分之表面與該絕緣層之該表面齊平或處於一低於該絕緣層之該表面的位置中。該等連接部分係形成為與半導體元件之連接電極對準而形成之連接用墊。該半導體元件係藉由借助於覆晶接合來電連接至連接部分而安裝。

六、英文發明摘要：

In a semiconductor apparatus, a semiconductor element is mounted on a wiring substrate. Wiring patterns and protrusions are formed on a surface of a substrate with the wiring patterns extending on tops of the protrusions. The surface of the substrate on which the wiring patterns are formed are covered with an insulating layer. Surfaces of connection parts of the wiring patterns formed on the tops of the protrusions are formed with the surfaces of the connection parts exposed to a surface of the insulating layer on a level with the surface of the insulating layer or in a position lower than the surface of the insulating layer. The connection parts are formed as pads for connection formed in alignment with connection electrodes of the semiconductor element. The semiconductor element is mounted by making electrical connection to the connection parts by flip chip bonding.

十、申請專利範圍：

1. 一種佈線基板，其包含：

一基板；

一突起部，其形成於該基板之一表面上；

一佈線圖案，其藉由將佈線延伸至該突起部之一頂部上而形成於該基板之該表面上；及

一絕緣層，其覆蓋該基板之形成有該佈線圖案之該表面；

其中，該裝設於該突起部之該頂部上之佈線圖案的一連接部分之一表面被暴露於該絕緣層之一表面，且該連接部分之該表面與該絕緣層之該表面齊平或處於一低於該絕緣層之該表面的位置中。

2. 一種佈線基板，其包含：

一下層，其具有一用作一底層之第一絕緣層、一形成於該底層之一表面上之突起部，及一藉由將佈線延伸至該突起部之一頂部上而形成於該底層之該表面上的佈線圖案；

一上層，其具有一佈線圖案，該上層之該佈線圖案與該下層之該佈線圖案電連接；及

一第二絕緣層，該下層之該佈線圖案與該上層之該佈線圖案經由該第二絕緣層而彼此層疊，該第二絕緣層覆蓋該下層之形成有該佈線圖案之一表面，

其中裝設於該突起部之該頂部上之該下層的該佈線圖案之一連接部分之一表面被暴露於該第二絕緣層之一表面，且該連接部分之該表面與該第二絕緣層之該表面齊平

或處於一低於該第二絕緣層之該表面的位置中，且

其中該上層之該佈線圖案電連接至該下層之該佈線圖案的該暴露之連接部分。

3. 如申請專利範圍第 2 項之佈線基板，其中該下層之該佈線圖案及該上層之該佈線圖案係裝設為一相互連接複數個佈線圖案的組態或一將一單一佈線圖案連接至在該突起部之該頂部中之複數個佈線圖案的組態。

4. 如申請專利範圍第 1 至 3 項中任一項之佈線基板，其中該突起部之該頂部係形成為一平坦表面。

5. 如申請專利範圍第 1 至 3 項中任一項之佈線基板，其中該突起部之一側表面係形成為一傾斜表面且該佈線圖案經由該傾斜表面延伸至該連接部分。

6. 如申請專利範圍第 1 至 3 項中任一項之佈線基板，其中該絕緣層之該表面與該連接部分之該表面之間的級差之一高度為 $5\ \mu\text{m}$ 或更小。

7. 一種佈線基板之製造方法，其包含以下步驟：

在一基板之一表面上形成一突起部；

藉由將佈線延伸至該突起部之一頂部上，以在該基板之形成有該突起部之該表面上形成一佈線圖案；

用一絕緣層覆蓋該基板之形成有該佈線圖案之該表面；及

將裝設於該突起部之該頂部上之該佈線圖案的一連接部分之一表面暴露於該絕緣層之一表面，使得該連接部分之該表面與該絕緣層之該表面齊平或處於一低於該絕緣

層之該表面的位置中。

8. 一種佈線基板之製造方法，該佈線基板包括一具有一佈線圖案之下層及一具有一與該下層之該佈線圖案電連接的佈線圖案之上層，該方法包含以下步驟：

在用作該下層之一底層之一第一絕緣層的一表面上形成一突起部；

藉由將佈線延伸至該突起部之一頂部上，以在該第一絕緣層之形成有該突起部之該表面上形成該下層之該佈線圖案；

用一第二絕緣層覆蓋該第一絕緣層之形成有該下層之該佈線圖案的該表面；

將裝設於該突起部之該頂部上之該下層的該佈線圖案之一連接部分之一表面暴露於該第二絕緣層的一表面，使得該連接部分之該表面與該第二絕緣層之該表面齊平或處於一低於該第二絕緣層的該表面之位置中；及

藉由將該上層之該佈線圖案電連接至該下層之該佈線圖案的該連接部分，以在該第二絕緣層上形成該上層之該佈線圖案。

9. 一種半導體裝置，其包含：

一佈線基板；

一半導體元件或一半導體器件，其安裝於該佈線基板上，

其中該佈線基板包括一基板；一突起部，其形成於該基板之一表面上；一佈線圖案，其藉由將佈線延伸至該突起

部之一頂部上而形成於該基板之該表面上；及一絕緣層，其覆蓋該基板之形成有該佈線圖案之該表面；

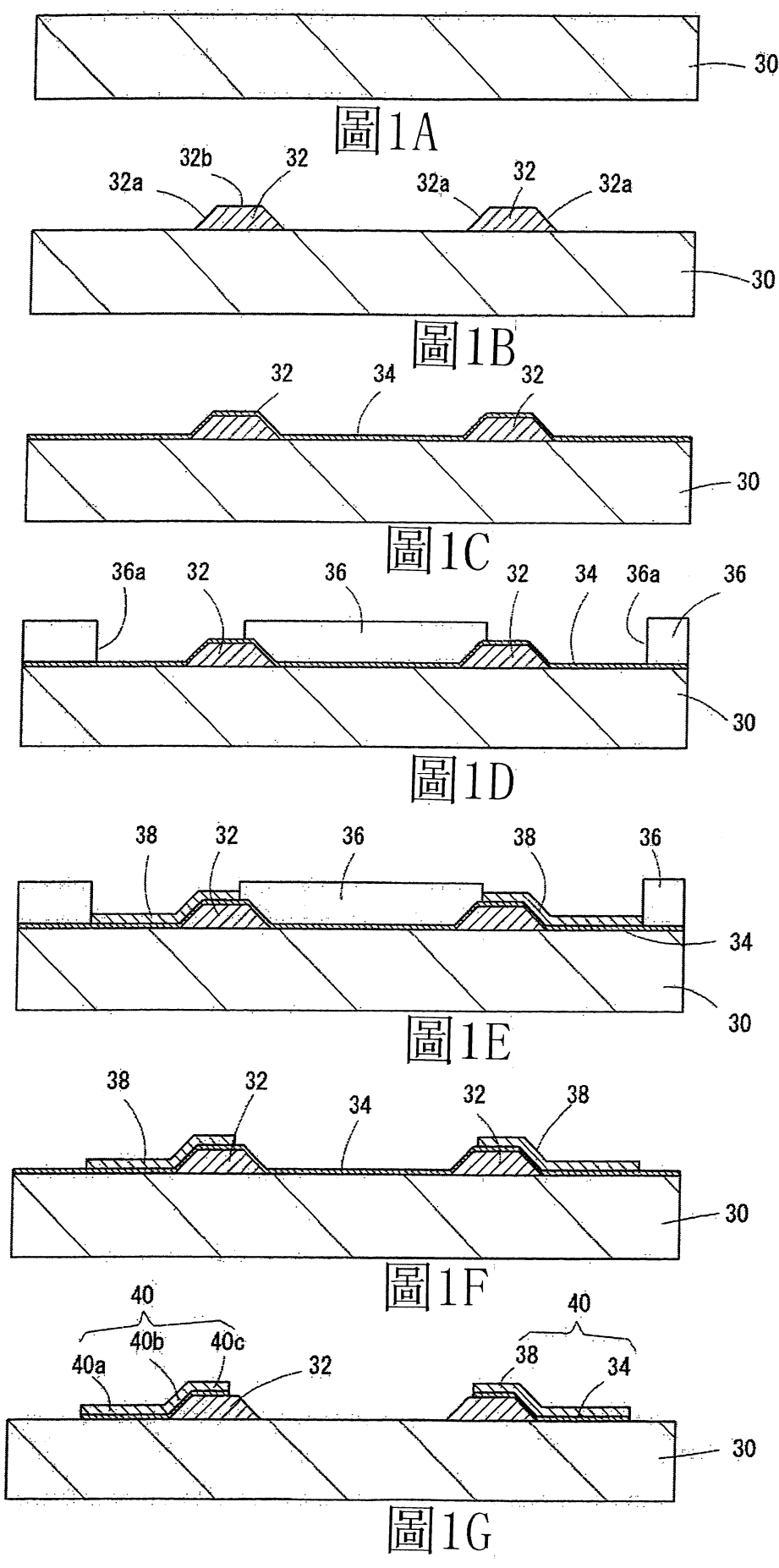
其中，裝設於該突起部之該頂部上之該佈線圖案的一連接部分之一表面被暴露於該絕緣層之一表面，且該連接部分之該表面與該絕緣層之該表面齊平或處於一低於該絕緣層之該表面的位置中，且

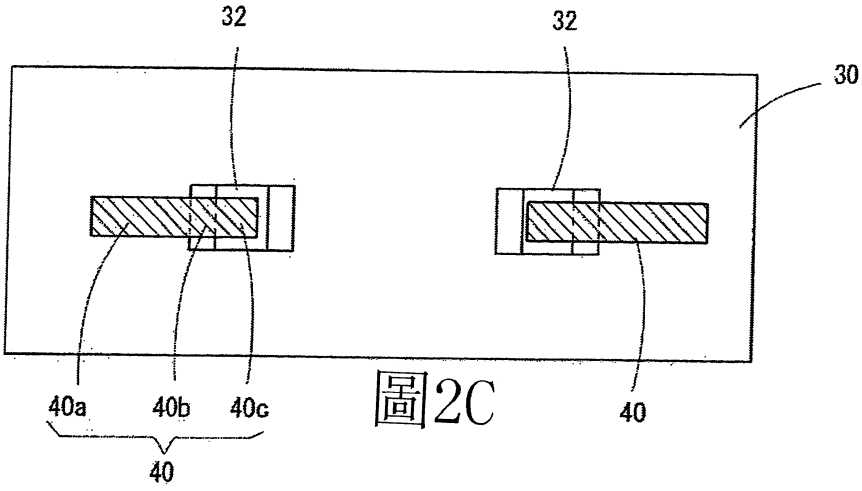
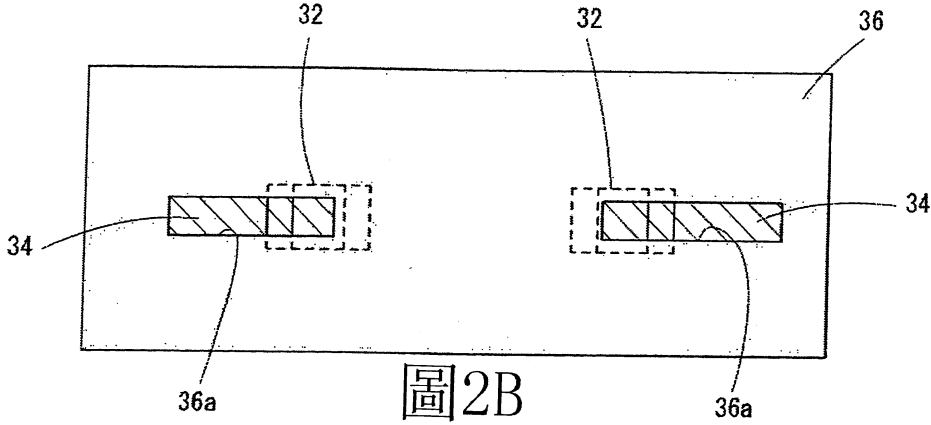
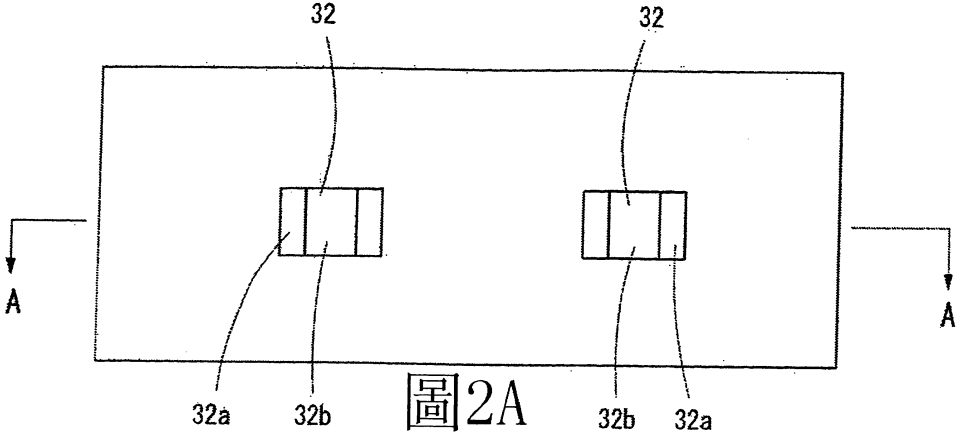
其中該半導體元件或該半導體器件電連接至該佈線基板之該佈線圖案的該連接部分。

10. 如申請專利範圍第 9 項之半導體裝置，其中該連接部分係形成為一與該半導體器件或該半導體元件之一連接電極對準而形成之連接用之墊，且該半導體元件或該半導體器件係藉由借助於一連接端子電連接至該連接部分而安裝。

11. 如申請專利範圍第 9 項之半導體裝置，其中該連接部分係形成為一藉由導線接合而連接至該半導體元件之接合墊，且該半導體器件或該半導體元件之一連接電極係藉由借助於接合導線連接至該連接部分而安裝。

十一、圖式：





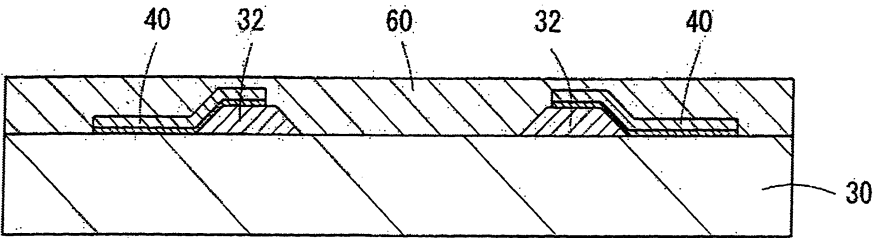


圖 3A

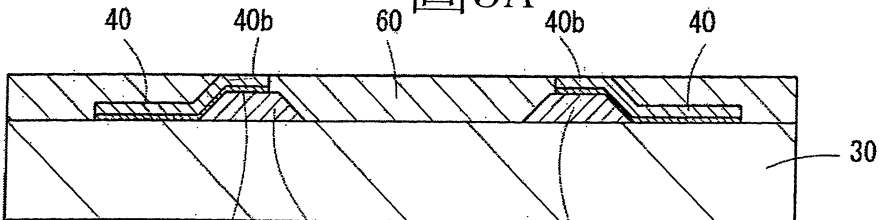


圖 3B

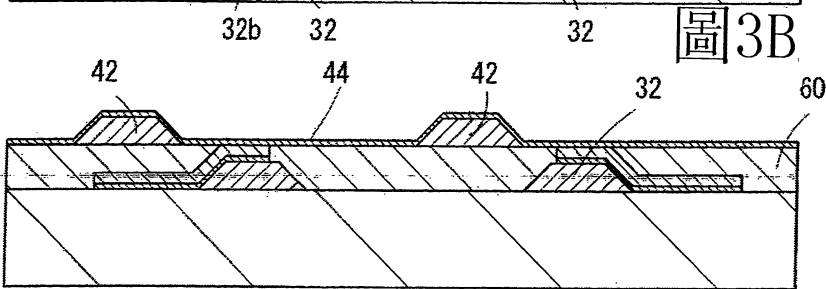


圖 3C

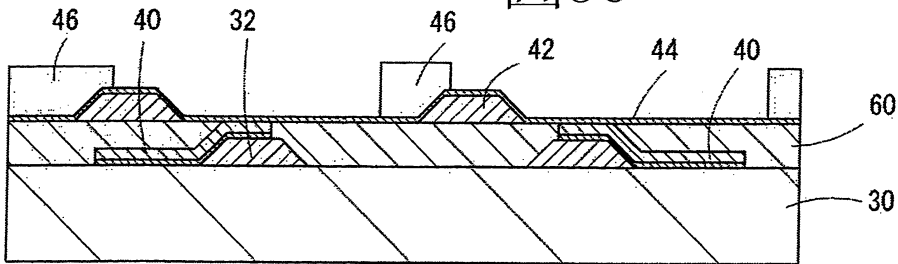


圖 3D

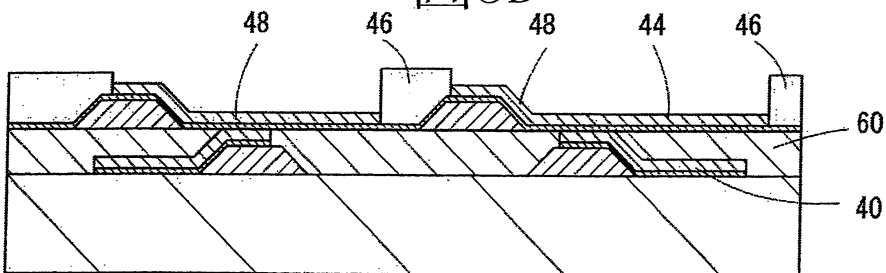


圖 3E

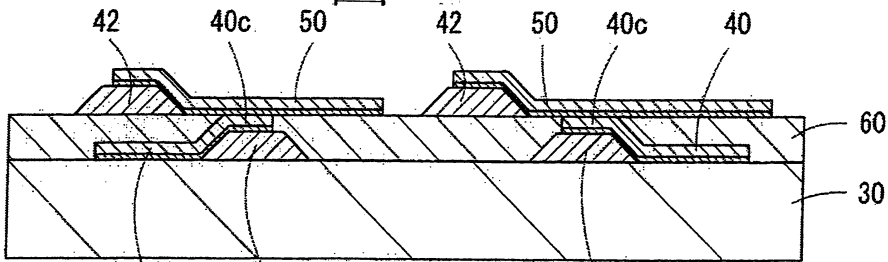


圖 3F

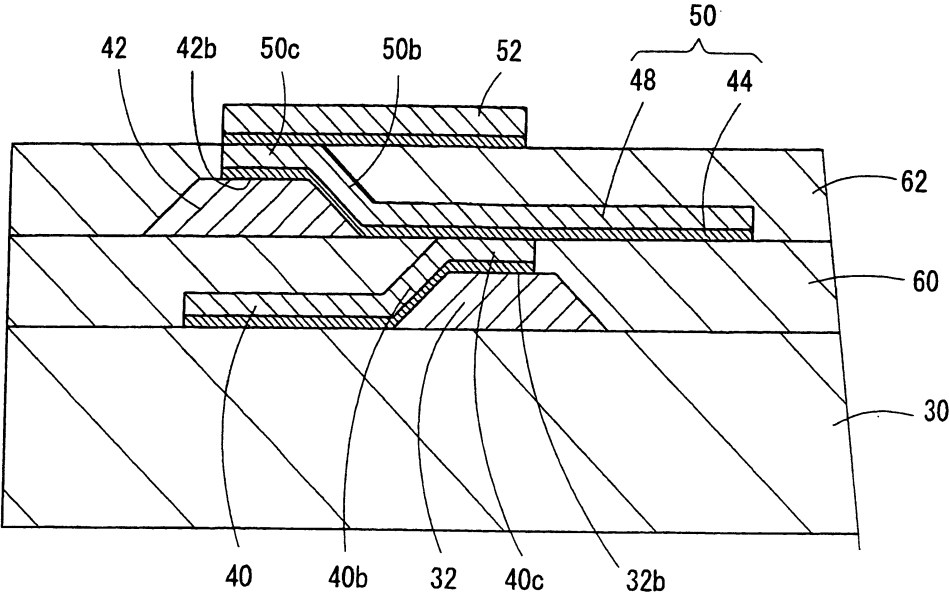


圖4

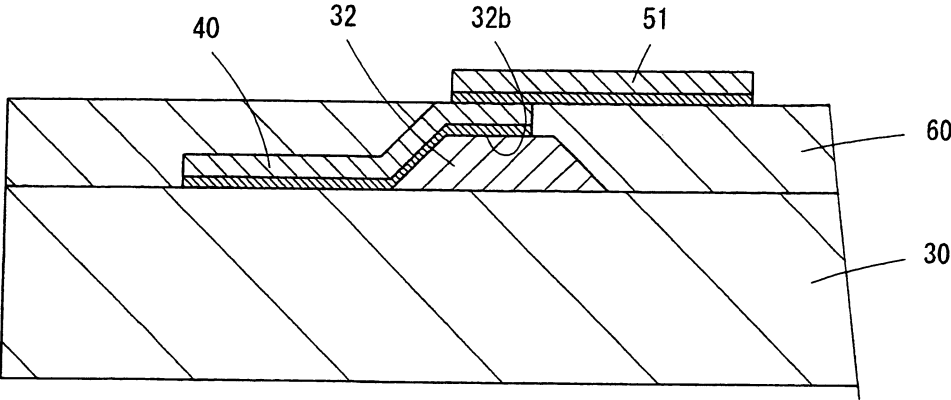


圖5A

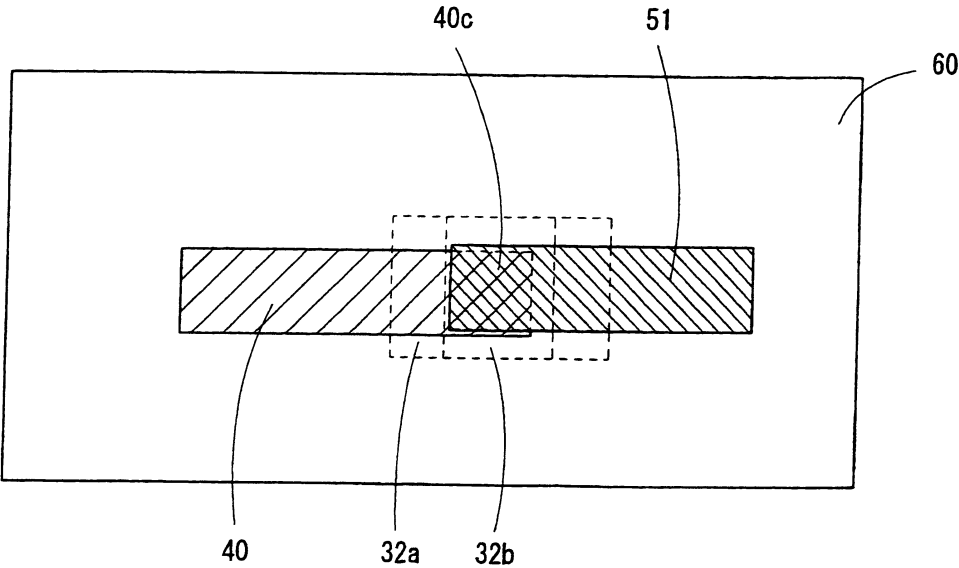


圖5B

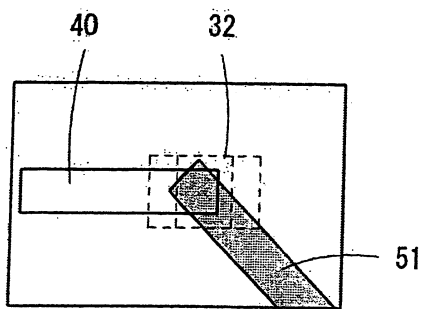


圖 6A

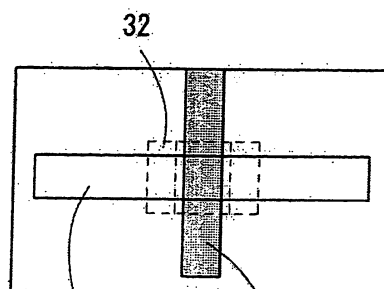


圖 6B

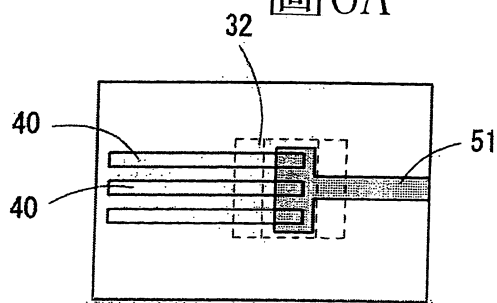


圖 6C

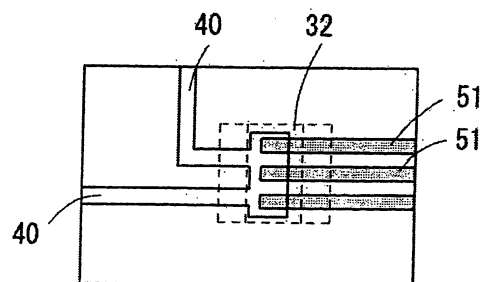


圖 6D

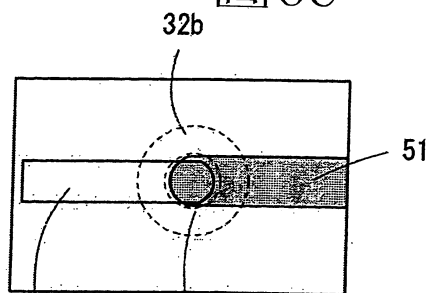


圖 6E

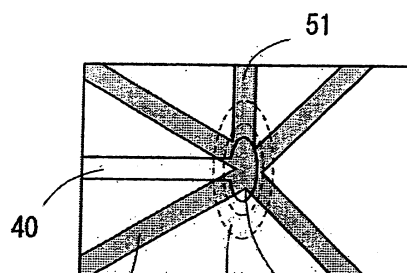


圖 6F

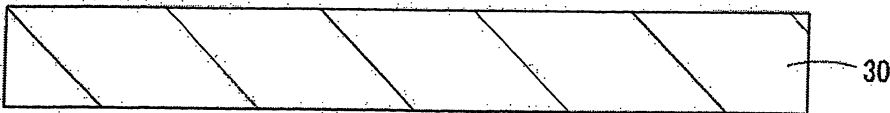


圖7A

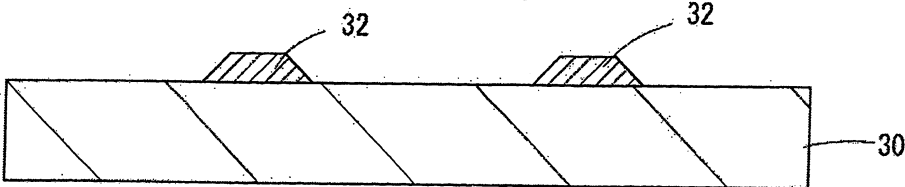


圖7B

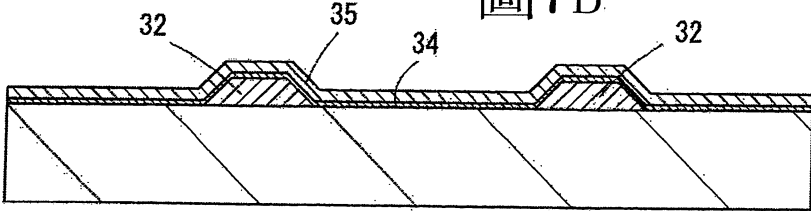


圖7C

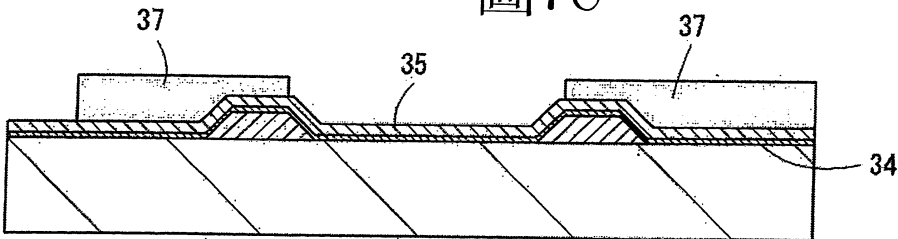


圖7D

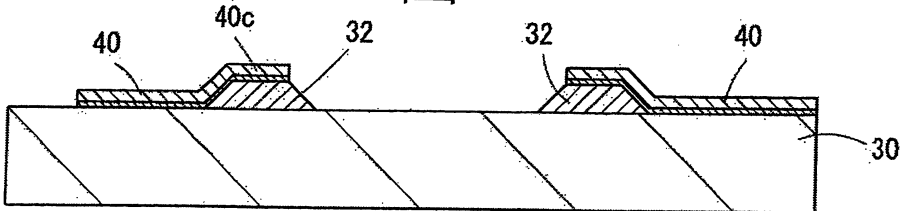


圖7E

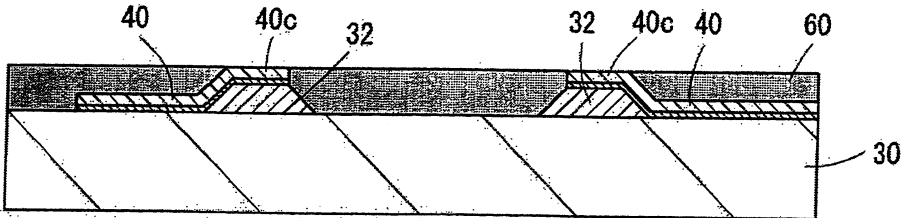


圖7F

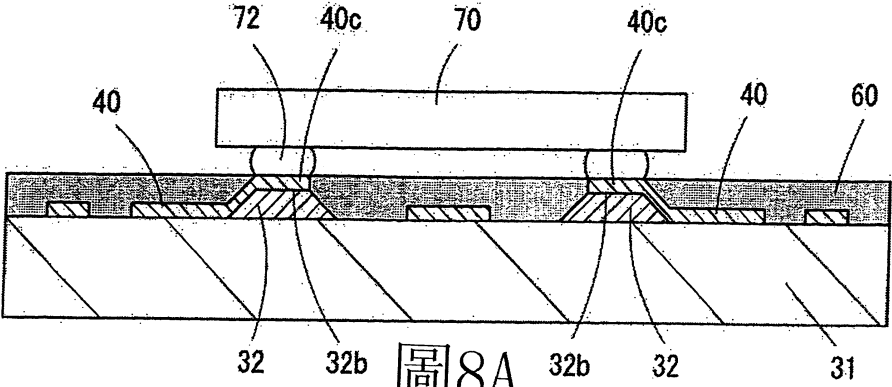


圖8A

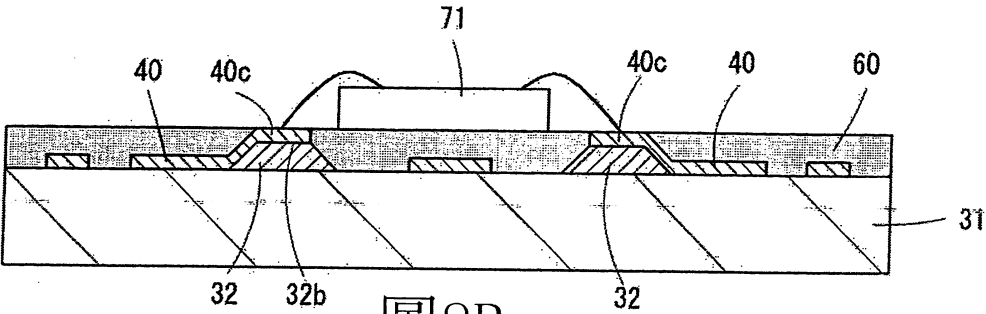


圖8B

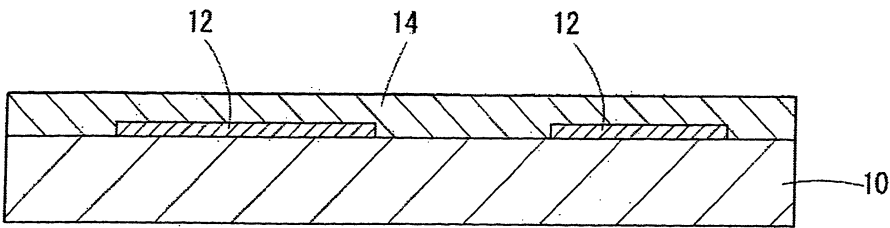


圖9A

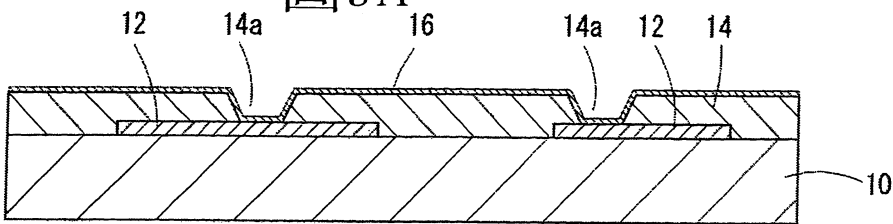


圖9B

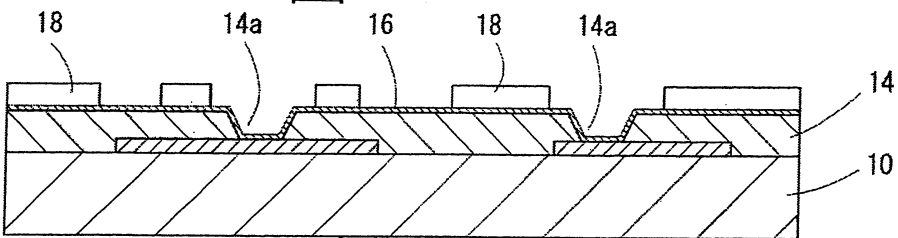


圖9C

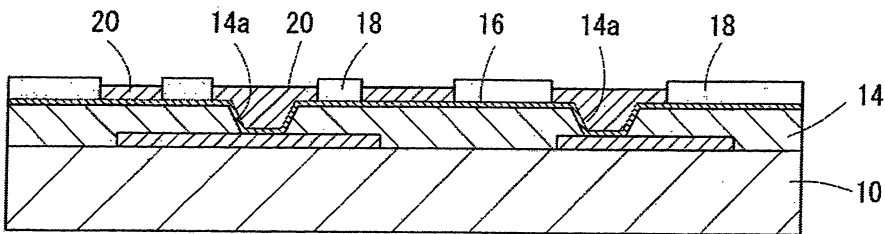


圖9D

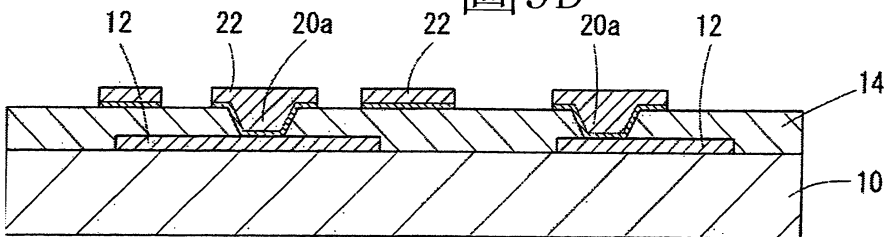
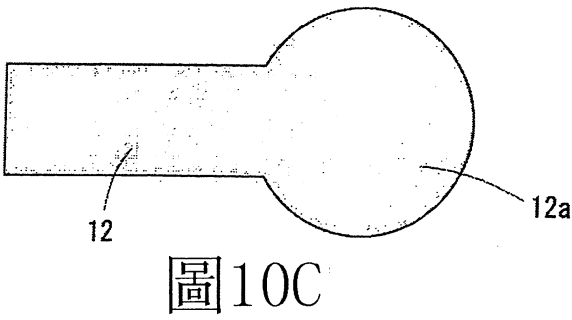
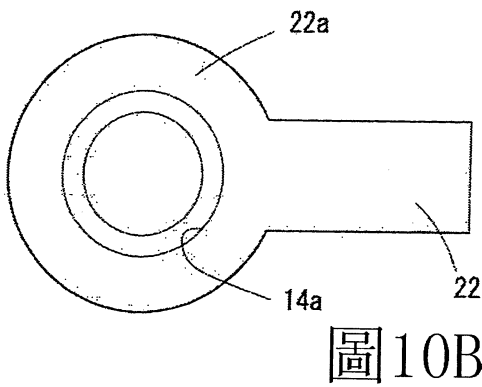
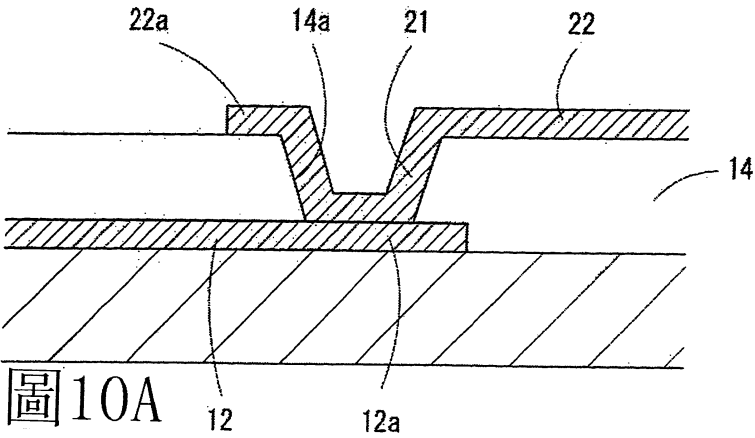


圖9E



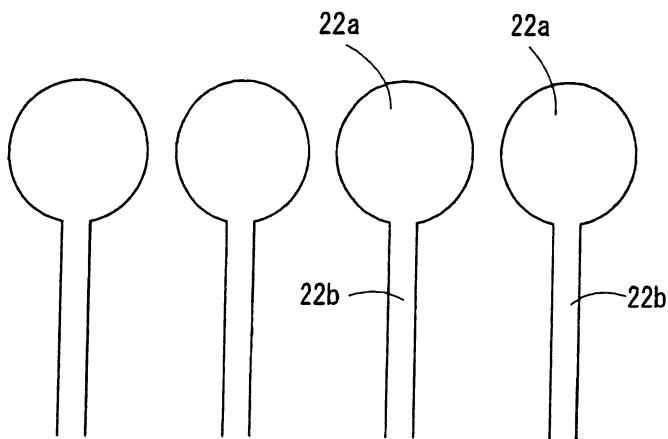


圖11A

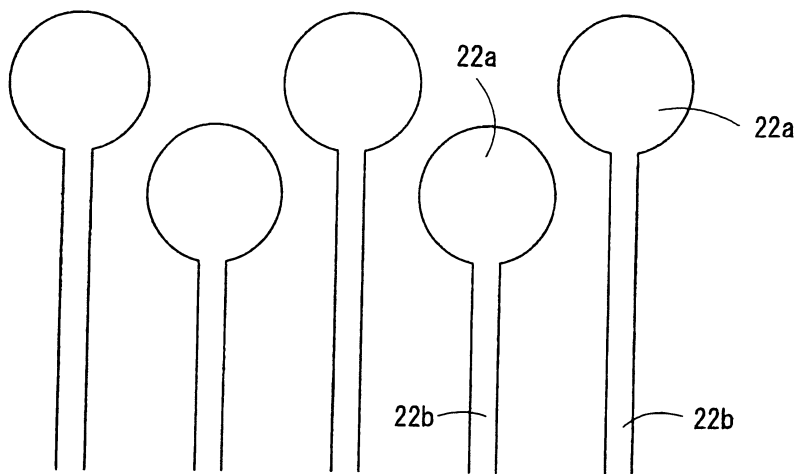


圖11B

七、指定代表圖：

(一)本案指定代表圖為：第 (8) 圖。

(二)本代表圖之元件符號簡單說明：

31	基板
32	突起部
32b	頂部
40	佈線圖案
40c	連接部分
60	絕緣層
70	半導體元件
71	半導體元件

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無