



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년12월10일

(11) 등록번호 10-1576558

(24) 등록일자 2015년12월04일

(51) 국제특허분류(Int. Cl.)
 H03D 7/18 (2006.01) H04B 1/10 (2006.01)
 H04L 25/02 (2006.01)

(21) 출원번호 10-2008-0118994

(22) 출원일자 2008년11월27일

심사청구일자 2013년11월12일

(65) 공개번호 10-2010-0060410

(43) 공개일자 2010년06월07일

(56) 선행기술조사문헌

KR100672030 B1*

KR1020050119426 A*

KR1020060016271 A*

KR1020060088253 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

고상수

경기도 수원시 영통구 영통로290번길 25, 신나무
 실 주공2차 515동 1402호 (영통동)

(74) 대리인

윤재석, 한지희, 권영규

전체 청구항 수 : 총 6 항

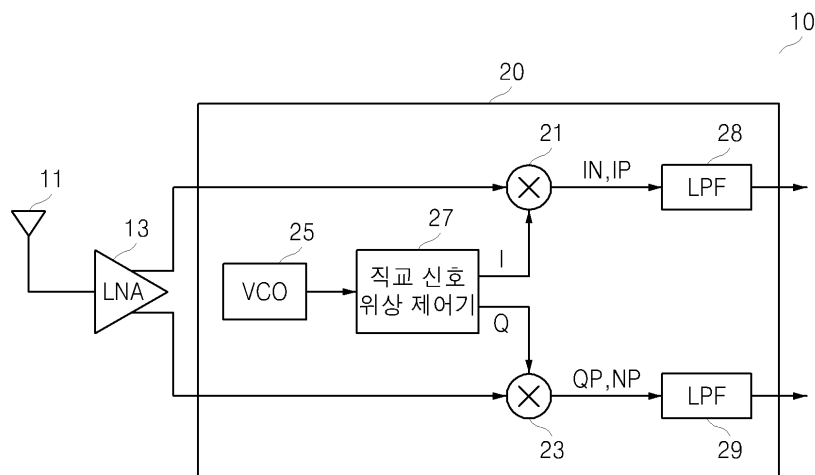
심사관 : 손희수

(54) 발명의 명칭 직교 위상을 제어할 수 있는 직교 신호 위상 제어기

(57) 요약

위상을 제어할 수 있는 직교 신호 위상 제어기가 개시된다. 상기 직교 신호 위상 제어기는 제1동상 차동 출력신호들과 위상 천이된 제1직교 위상 차동 출력신호들을 생성하기 위한 제1위상 쉬프터와, 제2동상 차동 출력신호들과 위상 천이된 제2직교 위상 차동 출력 신호들을 생성하기 위한 제2위상 쉬프터를 포함한다. 상기 제1위상 쉬프터와 상기 제2위상 쉬프터 각각은 상기 제1제어신호의 레벨 변화와 상기 제2제어신호의 레벨 변화에 응답하여 상기 제1동상 차동 출력신호들과 상기 제2직교 위상 차동 출력 신호들 및 상기 제2동상 차동 출력신호와 상기 제1직교 위상 차동 출력 신호들의 위상 차이를 증가시키거나 또는 감소시킬 수 있다. 따라서, 본 발명의 실시 예에 따른 직교 신호 위상 제어기는 동상출력신호와 직교위상출력신호 간의 위상을 가변적으로 조절할 수 있는 효과가 있다.

대표도 - 도1



명세서

청구범위

청구항 1

전압제어발전기로부터 출력된 동상 차동 입력신호들과 직교 위상 차동 입력 신호들을 수신하고, 제1제어신호와 제2제어신호 중에서 적어도 하나에 응답하여 상기 동상 차동 입력신호들 각각과 상기 직교 위상 차동 입력 신호들 각각을 혼합하여 위상 천이된 제1동상 차동 출력신호들과 위상 천이된 제1직교 위상 차동 출력신호들을 생성하기 위한 제1위상 쉬프터; 및

상기 동상 차동 입력신호들과 상기 직교 위상 차동 입력 신호들을 수신하고, 상기 제1제어신호와 상기 제2제어신호 중에서 상기 적어도 하나에 응답하여 상기 동상 차동 입력 신호들 각각과 상기 직교 위상 차동 입력 신호들 각각을 혼합하여 위상 천이된 제2동상 차동 출력신호들과 위상 천이된 제2직교 위상 차동 출력 신호들을 생성하기 위한 제2위상 쉬프터를 포함하며,

상기 제1위상 쉬프터와 상기 제2위상 쉬프터 각각은 상기 제1제어신호의 레벨 변화와 상기 제2제어신호의 레벨 변화에 응답하여 상기 제1동상 차동 출력신호들과 상기 제2직교 위상 차동 출력 신호들, 및 상기 제2동상 차동 출력신호들과 상기 제1직교 위상 차동 출력 신호들의 위상 차이를 증가시키거나 또는 감소시키는 직교 신호 위상 제어기.

청구항 2

제1항에 있어서, 상기 제1위상 쉬프터는,

상기 동상 차동 입력 신호들을 수신하기 위한 입력 단자들을 포함하는 제1차동증폭기;

상기 직교 위상 차동 입력신호들을 수신하기 위한 입력단자들을 포함하는 제2차동 증폭기; 및

각각이 상기 제1제어신호에 응답하여 상기 제1차동 증폭기의 출력단자들 각각과 상기 제1동상 차동 출력 신호들을 출력하기 위한 제1출력단자들 각각의 접속과 상기 제2차동 증폭기의 출력단자들 각각과 상기 제1직교 위상 차동 출력 신호들을 출력하기 위한 제2출력단자들 각각의 접속을 제어하는 다수의 제1스위치들을 포함하는 직교 신호 위상 제어기.

청구항 3

제2항에 있어서, 상기 제2위상 쉬프터는,

상기 동상 차동 입력 신호들을 수신하기 위한 입력 단자들을 포함하는 제3차동증폭기;

상기 직교 위상 차동 입력신호들을 수신하기 위한 입력단자들을 포함하는 제4차동 증폭기; 및

각각이 상기 제2제어신호에 응답하여 상기 제3차동 증폭기의 출력단자들 각각과 상기 제2동상 차동 출력 신호들을 출력하기 위한 제3출력단자들 각각의 접속과 상기 제4차동 증폭기의 출력단자들 각각과 상기 제2직교 위상 차동 출력 신호들을 출력하기 위한 제4출력단자들 각각의 접속을 제어하는 다수의 제2스위치들을 포함하는 직교 신호 위상 제어기.

청구항 4

제2항에 있어서, 상기 제1위상 쉬프터의 상기 다수의 제1스위치들 각각은,

상기 제2제어신호에 응답하여 상기 제1동상 차동 출력 신호들의 적어도 일부를 형성하는 상기 직교 위상 차동 입력 신호들을 제어하고, 상기 제1직교 위상 차동 출력 신호들의 적어도 일부를 형성하는 상기 동상 차동 입력 신호들을 제어하는 직교 신호 위상 제어기.

청구항 5

제3항에 있어서, 상기 제2위상 쉬프터의 상기 다수의 제2스위치들 각각은,

상기 제1제어신호에 응답하여 상기 제2동상 차동 출력 신호들의 적어도 일부를 형성하는 상기 직교 위상 차동 입력 신호들을 제어하고, 상기 제2직교 위상 차동 출력 신호들의 적어도 일부를 형성하는 상기 동상 차동 입력

신호들을 제어하는 직교 신호 위상 제어기.

청구항 6

제1항에 있어서, 상기 제1제어신호의 레벨 변화와 상기 제2제어신호의 레벨 변화는 가변적으로 조절되며, 상기 제1제어신호와 상기 제2제어신호의 합은 일정한 직교 신호 위상 제어기.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명의 실시 예는 무선 통신 시스템에 관한 것으로, 보다 상세하게는 위상을 제어할 수 있는 직교 신호 위상 제어기에 관한 것이다.

배경 기술

[0002] 일반적으로, 수신기 구조로서 많이 사용하는 제로 IF(zero-IF)구조를 갖는 수신기는 슈퍼헤테로다인(Super Heterodyne)방식과 달리 IF(중간 주파수)가 0Hz인, 즉 IF를 사용하지 않는 직접 변환(Direct Conversion) 방식의 수신기를 말한다. 이와 같이 0-IF 방식 내지 직접 변환 방식을 적용한 수신기(Direct Conversion Receiver)는 슈퍼헤테로다인 수신기에 비하여 회로구성이 간단하며 하나의 집적회로로 구성하는 것이 용이하므로 저가로 소형 제작이 가능하다.

[0003] 상기 제로 IF(zero-IF)구조 및 이미지 제거(image-rejection)구조는 그 특성상 신호 변환을 위해 크기가 서로 동일하고 위상이 90도씩 지연된 동상 신호(In-phase signal)와 직교 위상 신호(Quadrature-phase signal)를 필요로 한다. 그러나, 일반적으로 수신기의 동상 신호와 직교 위상 신호는 여러 가지 영향(예컨대, 제조공정, 공급전압, 온도)에 따라 정확하게 90도의 위상차이를 갖지 못하여 신호-대-잡음 비(SNR; Signal Noise Ratio)가 저하되므로, 결국 수신기의 수신감도는 저하될 수 있다.

[0004] 따라서, 동상 신호(In-phase signal)와 직교 위상 신호(Quadrature-phase signal) 사이의 위상을 정확하게 제어할 수 있는 직교 신호 위상 제어기가 요구된다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명이 해결하고자 하는 과제는 두 개의 위상 쉬프터를 이용함으로써 동상 신호와 직교 위상 신호 간의 위상(phase)을 가변적으로 조절할 수 있는 직교 신호 위상 제어기를 제공하는 것이다.

[0006] 또한, 본 발명이 해결하고자 하는 과제는 동상 신호와 직교 위상 신호의 위상을 가변적으로 조절함으로써 이미지 제거율(image rejection ratio)을 향상시키고, 더 정확한 특성 제어가 가능하도록 하는 직교 신호 위상 제어기를 제공하는 것이다.

과제 해결수단

[0007] 본 발명의 실시 예에 따른 직교 신호 위상 제어기는 제1위상 쉬프터, 및 제2위상 쉬프터를 포함한다. 상기 제1위상 쉬프터는 제1제어신호와 제2제어신호 중에서 적어도 어느 하나에 응답하여 동상 차동 입력신호들 각각과 직교 위상 차동 입력 신호들 각각을 혼합하여 위상 천이된 제1동상 차동 출력신호들과 위상 천이된 제1직교 위상 차동 출력신호들을 생성한다. 상기 제2위상 쉬프터는 상기 제1제어신호와 상기 제2제어신호 중에서 적어도 어느 하나에 응답하여 상기 동상 차동 입력 신호들 각각과 상기 직교 위상 차동 입력 신호들 각각을 혼합하여 위상 천이된 제2동상 차동 출력신호들과 위상 천이된 제2직교 위상 차동 출력 신호들을 생성한다. 상기 제1위상 쉬프터와 상기 제2위상 쉬프터 각각은 상기 제1제어신호의 레벨 변화와 상기 제2제어신호의 레벨 변화에 응답하여 상기 제1동상 차동 출력신호들과 상기 제2직교 위상 차동 출력 신호들 및 상기 제2동상 차동 출력신호와 상기 제1직교 위상 차동 출력 신호들의 위상 차이를 증가시키거나 또는 감소시킬 수 있다.

[0008] 상기 제1위상 쉬프터는, 상기 동상 차동 입력 신호들을 수신하기 위한 입력 단자들을 포함하는 제1차동 증폭기와, 상기 직교 위상 차동 입력신호들을 수신하기 위한 입력단자들을 포함하는 제2차동 증폭기와,

각각이 상기 제1제어신호에 응답하여 상기 제1차동 증폭기의 출력단자들 각각과 상기 제1동상 차동 출력 신호들을 출력하기 위한 제1출력단자들 각각의 접속과 상기 제2차동 증폭기의 출력단자들 각각과 상기 제1직교 위상 차동 출력 신호들을 출력하기 위한 제2출력단자 각각의 접속을 제어하는 다수의 제1스위치들을 포함한다.

[0009] 상기 제2위상 쉬프터는 상기 동상 차동 입력 신호들을 수신하기 위한 입력 단자들을 포함하는 제3차동증폭기와, 상기 직교 위상 차동 입력신호들을 수신하기 위한 입력단자들을 포함하는 제4차동 증폭기와, 각각이 상기 제2제어신호에 응답하여 상기 제3차동 증폭기의 출력단자들 각각과 상기 제2동상 차동 출력 신호들을 출력하기 위한 제3출력단자들 각각의 접속과 상기 제4차동 증폭기의 출력단자들 각각과 상기 제2직교 위상 차동 출력 신호들을 출력하기 위한 제4출력단자들 각각의 접속을 제어하는 다수의 제2스위치들을 포함한다.

[0010] 상기 제1위상 쉬프터의 상기 다수의 제1스위치들 각각은 상기 제2제어신호에 응답하여 상기 제1동상 차동 출력 신호들의 적어도 일부를 형성하는 상기 직교 위상 차동 입력 신호들을 제어하고, 상기 제1직교 위상 차동 출력 신호들의 적어도 일부를 형성하는 상기 동상 차동 입력 신호들을 제어한다.

[0011] 상기 제2위상 쉬프터의 상기 다수의 제2스위치들 각각은 상기 제2제어신호에 응답하여 상기 제2동상 차동 출력 신호들의 적어도 일부를 형성하는 상기 직교위상차동입력신호들을 제어하고, 상기 제2직교 위상 차동 출력 신호들의 적어도 일부를 형성하는 상기 동상차동입력신호들을 제어한다.

[0012] 상기 제1제어신호의 레벨 변화와 상기 제2제어신호의 레벨 변화는 가변적으로 조절되며, 상기 제1제어신호와 상기 제2제어신호의 합은 일정하다.

효과

[0013] 상술한 바와 같이 본 발명의 실시 예에 따른 직교 신호 위상 제어기는 연속적으로 동상 신호와 직교 위상 신호 사이의 위상을 가변적으로 조절함으로써 수신기의 이미지 제거율(image rejection ratio)을 향상시킬 수 있는 효과가 있다.

[0014] 또한, 본 발명의 실시 예에 따른 직교 신호 위상 제어기에 있어서, 시스템 환경에 적합하게 동상 신호와 직교 위상 신호 간의 위상을 가변적으로 조절하여 상기 시스템의 동작을 제어하는 경우, 상기 시스템에 대해 정확한 특성 제어를 수행할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0015] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시 예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

[0016] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

[0017] 도 1은 본 발명의 실시 예에 따른 직교 신호 위상 제어기를 포함하는 수신기의 개략적인 블록도를 나타낸다. 도 1을 참조하면, 수신기(10)는 안테나(11), 저전압증폭기(Low noise amplifier, LNA, 13), 및 주파수 변환부(20)를 포함할 수 있다. 설명의 편의를 위하여 직교 신호 위상 제어기(27)를 포함하는 수신기를 일 예로 설명하나, 본 발명이 이에 한정되는 것은 아니다. 이 경우, 상기 수신기(10)는 OFDM 수신기, 다중 밴드 OFDM 수신기, 또는 직접 변환 수신기(direct conversion receiver)로서 사용될 수 있다.

[0018] 저전압증폭기(13)는 안테나(11)로부터 입력되는 RF 신호를 수신하고, 수신된 RF 신호의 잡음을 최소화하여 증폭하여 저잡음 증폭된 신호를 출력한다.

[0019] 주파수 변환부(20)는 RF 신호의 주파수를 변환하기 위한 I 믹서(21)와 Q 믹서(23), 전압제어발진기(VCO, 25), 및 직교 신호 위상 제어기(27)를 포함할 수 있으며, 상기 주파수 변환부(20)는 제1 필터(28)와 제2필터(29)를 더 포함할 수도 있다.

[0020] 일반적으로, 송신기(미 도시)는 대역폭이나 전송 파워를 상승시키기 위하여 송신 데이터를 동상(inphase) 신호 성분과 직교 위상(quadrature phase) 신호 성분을 섞은 고주파 캐리어 신호에 실어 전송한다. 따라서 수신기(10)에서도 송신기(미도시)로부터 전송되는 RF 신호를 변환하기 위하여 적합한 동상(inphase) 신호와 직교 위상 신호를 필요로 한다.

[0021] 믹서(21)는 저전압증폭기(13)에서 출력된 신호와 직교 신호 위상 제어기(27)에서 출력된 동상 신호들(이하, 'I 신호(I)'라 한다)을 혼합하여 RF신호의 주파수를 직접하향변환하고, 변환된 신호들을 동상 주파수 신호들(IP와

IN)로서 출력한다.

- [0022] 제1 필터(28)는 제1 믹서(21)로부터 출력된 동상 주파수 신호들(IP와 IN)을 수신하여 필터링을 수행할 수 있다. 이때, 상기 제1 필터(28)는 저역 통과 필터(LPF, Low pass filter)로 구현될 수 있다.
- [0023] Q 믹서(23)는 저전압증폭기(13)에서 출력된 신호와 직교 신호 위상 제어기(27)에서 출력된 직교 위상 신호들(이하, 'Q 신호(Q)'라 한다)을 혼합하여 RF 신호의 주파수를 직접하향변환하고, 변환된 신호를 직교 위상 주파수 신호들(QP와 QN)로서 출력한다.
- [0024] 제2 필터(29)는 Q 믹서(23)로부터 출력된 직교 위상 주파수 신호들(QP와 QN)을 수신하여 필터링을 수행할 수 있다. 이때, 상기 제2 필터(29)는 저역 통과 필터(LPF, Low pass filter)로 구현될 수 있다.
- [0025] 이때, I 믹서(21)로부터 출력되는 동상 주파수 신호들(IP와 IN)과 Q 믹서(23)로부터 출력되는 직교 위상 주파수 신호들(QP와 QN)은 각각 동일한 크기와 θ (여기서, $0 < \theta < 90$)도의 위상차를 가질 수 있다.
- [0026] 전압제어발전기(25)는 기준 신호로서 사용되는 동상차동입력신호들(도 2의 IN_IP와 IN_IN)과 직교위상차동입력신호들(도 2의 IN_QP와 IN_QN)을 발생하고, 상기 직교 신호 위상 제어기(27)는 동상 차동 입력 신호들(도 2의 IN_IP와 IN_IN)과 직교위상차동입력신호들(IN_QP와 IN_QN) 각각에 응답하여 I신호(I)와 Q신호(Q)를 발생할 수 있다.
- [0027] 이때, 동상차동입력신호들(IN_IP와 IN_IN)과 직교위상차동입력신호들(IN_QP와 IN_QN)은 각각 서로 동일한 크기 및 90도의 위상차이를 가질 수 있다. 그리고, 전압제어발전기(25)로부터 출력되는 동상차동입력신호들(IN_IP와 IN_IN)과 직교위상차동입력신호들(IN_QP와 IN_QN)의 주파수는 입력되는 RF신호의 주파수와 변환하고자하는 주파수를 고려하여 결정될 수 있다.
- [0028] 또한, 수신기(10)는 아날로그-디지털 변환기(미도시)와 디모듈레이터(미도시)를 더 포함할 수 있다. 아날로그-디지털 변환기(미 도시)는 주파수 변환부(20)에서 출력된 동상 주파수 신호들(IP와 IN)와 직교 위상 주파수 신호들(QP와 QN)을 각각 아날로그-디지털 변환하고 아날로그-디지털 변환된 동상 디지털 신호와 직교 위상 디지털 신호를 출력할 수 있다. 디모듈레이터(demodulator, 미도시)는 동상 디지털 신호와 직교 위상 디지털 신호를 수신하고 수신된 신호들 각각의 디모듈레이션(demodulation)을 수행할 수 있다.
- [0029] 도 2는 본 발명의 실시 예에 따른 직교 신호 위상 제어기의 블록도를 나타낸다. 도 2를 참조하면, 상기 직교 신호 위상 제어기(27)는 제1위상 쉬프터(30), 제2위상 쉬프터(40), 및 다수의 차동 출력 버퍼들(51, 53, 55, 및 57)을 포함한다.
- [0030] 제1위상 쉬프터(30)는 전압제어발전기(25)로부터 출력되는 동상차동입력신호들(IN_IP와 IN_IN)과 직교위상차동입력신호들(IN_QP와 IN_QN)을 수신하고, 수신된 동상차동입력신호들(IN_IP와 IN_IN) 각각과 직교위상차동입력신호들(IN_QP와 IN_QN) 각각을 혼합하여 위상 천이된 제1동상 차동 출력신호들(OUT1_IP와 OUT1_IN)과 위상 천이된 제1직교 위상 차동 출력 신호들(OUT1_QP와 OUT1_QN)을 발생할 수 있다.
- [0031] 제2위상 쉬프터(40)는 전압제어발전기(25)로부터 출력되는 동상차동입력신호들(IN_IP와 IN_IN)과 직교위상차동입력신호들(IN_QP와 IN_QN)을 수신하고, 수신된 동상차동입력신호들(IN_IP와 IN_IN) 각각과 직교위상차동입력신호들(IN_QP와 IN_QN) 각각을 혼합하여 위상 천이된 제2동상 차동 출력신호들(OUT2_IP와 OUT2_IN)과 위상 천이된 제2직교 위상 차동 출력신호들(OUT2_QP와 OUT2_QN)을 발생할 수 있다.
- [0032] 제1차동출력버퍼(51)는 제1위상쉬프터(30)로부터 출력되는 제1동상차동출력신호들(OUT1_IP와 OUT1_IN)을 제1입력단자(+)와 제2입력단자(-) 각각을 통해 수신하여 증폭하고, 증폭된 신호를 제1출력단자(+)와 제2출력단자(-)로 출력한다.
- [0033] 제2차동출력버퍼(53)는 제2위상쉬프터(40)로부터 출력되는 제2직교위상차동출력신호들(OUT2_QP와 OUT2_QN)을 제1입력단자(+)와 제2입력단자(-)를 통해 수신하여 증폭하고, 증폭된 신호를 제1출력단자(+)와 제2출력단자(-)로 출력한다.
- [0034] 제3차동출력버퍼(55)는 제2위상쉬프터(40)로부터 출력되는 제2동상차동출력신호들(OUT2_IP와 OUT2_IN)을 제1입력단자(+)와 제2입력단자(-) 각각을 통해 수신하여 증폭하고, 증폭된 신호를 제1출력단자(+)와 제2출력단자(-)로 출력한다.
- [0035] 제4차동출력버퍼(57)는 제1위상쉬프터(30)로부터 출력되는 제1직교위상차동출력신호들(OUT1_IP와 OUT1_IN)을 제1입력단자(+)와 제2입력단자(-)를 통해 수신하여 증폭하고, 증폭된 신호를 제1출력단자(+)와 제2출력단자(-)로

출력한다.

- [0036] 여기서, 제1차동출력버퍼(51), 제2차동출력버퍼(53), 제3차동출력버퍼(55), 및 제4차동출력버퍼(57) 각각의 출력신호들은 차동 신호 또는 서로 상보적인 신호들인 것이 바람직하다.
- [0037] 직교 신호 위상 제어기(27)는 제1차동출력버퍼(51)의 출력신호들(OUT1_IP와 OUT1_IN)과 제3차동출력버퍼(55)의 출력신호들(OUT2_IP와 OUT_IN) 중에서 어느 하나를 I신호(I)로서 I믹서(21)로 출력하고, 제2차동출력버퍼(53)의 출력신호들(OUT1_QP와 OUT1_QN)과 제4차동출력버퍼(57)의 출력신호들(OUT2_QP와 OUT_QN) 중에서 어느 하나를 Q신호(Q)로서 Q믹서(23)로 출력할 수 있다.
- [0038] 예컨대, 직교 신호 위상 제어기(27)는 제1차동출력버퍼(51)의 제1동상차동출력신호들(OUT1_IP와 OUT1_IN)과 제2차동출력버퍼(53)의 제2직교위상차동출력신호들(OUT2_QP와 OUT2_QN)을 포함하는 제1 IQ-신호(OUT1)를 I믹서(21)와 Q믹서(23)로 전송할 수 있다. 또한, 직교 신호 위상 제어기(27)는 제3차동출력버퍼(57)의 제2동상차동출력신호들(OUT2_IP와 OUT2_IN)과 제4차동출력버퍼(53)의 제1직교위상차동출력신호들(OUT1_QP와 OUT1_QN)을 포함하는 제2 IQ-신호(OUT2)를 I믹서(21)와 Q믹서(23)로 전송할 수 있다.
- [0039] 도 1에 도시된 수신기(10)는 전압제어발전기(25)와 직교 신호 위상 제어기 (27)가 주파수 변환부(20)의 내부에 구현되는 것으로 도시되었으나, 본 발명의 또 다른 실시 예에서는 전압제어발전기(25)와 직교 신호 위상 제어기(27)가 주파수 변환부(20)의 외부에 구현될 수 있다.
- [0040] 본 명세서에서는 설명의 편의를 위하여 한 개의 수신기를 구비하는 무선 통신 시스템을 예시하여 설명하였지만, 이에 한정되는 것은 아니다. 예컨대, 무선 통신 시스템이 n(n은 정수)개의 수신기를 포함하는 경우, 직교 신호 위상 제어기(27)는 제1 I-Q신호(OUT1)를 n개의 수신기 중 어느 하나로 전송하고, 제2 I-Q신호(OUT2)를 상기 n개의 수신기 중 다른 하나로 전송할 수 있다.
- [0041] 도 3은 도 2의 제1위상 쉬프터의 회로도일 예로 나타낸다. 도 3에 도시된 제1위상 쉬프터(30)는 캐스코드(cascade) 구조를 이용하는 길버트 셀(Gilbert cell) 구조로 구현될 수 있다. 도 3을 참조하면, 제1위상 쉬프터(30)는 제1차동증폭기(31), 제2차동증폭기(33), 및 다수의 제1스위치들(35)을 포함한다.
- [0042] 제1차동 증폭기(31)는 제1입력단자(+)와 제2입력단자(-) 각각을 통하여 입력되는 동상 차동 입력 신호들(IN_IP와 IN_IN)을 수신하기 위한 트랜지스터쌍(N1과 N2), 및 전류원(Iss)을 포함한다. 제1차동 증폭기(31)의 출력단자들 예컨대, 제1노드(ND1)와 제2노드(ND2) 각각은 전류원(Iss)을 통하여 접지전압에 접속되고, 동상 차동 입력 신호들(IN_IP, IN_IN)을 전류 신호로 변환한다.
- [0043] 제2차동 증폭기(33)는 제3입력단자(+)와 제4입력단자(-) 각각을 통하여 입력되는 직교 위상 차동 입력 신호들(IN_QP와 IN_QN)을 수신하기 위한 트랜지스터쌍(N3과 N4), 및 전류원(Iss)을 포함한다. 제2차동 증폭기(33)의 출력단자들 즉, 제3노드(ND3)와 제4노드(ND4) 각각은 각각의 트랜지스터(N3와 N4)와 전류원(Iss)을 통하여 접지전압에 접속되고, 제2차동 증폭기(33)는 직교 위상 차동 입력 신호들(IN_QP와 IN_QN)을 전류신호로 변환한다.
- [0044] 이때, 동상차동출력신호들(IN_IP와 IN_IN) 각각은 0도, 180도의 위상을 갖는 상보적인 신호이고, 직교위상차동출력신호들(IN_QP와 IN_QN) 각각은 90도, 270도의 위상을 갖는 상보적인 신호이다.
- [0045] 여기서, 전류원(Iss)은 제1차동 증폭기(31)로 공급되는 바이어스 전류 또는 테일 전류의 양을 제어하고, 트랜지스터쌍(N1 내지 N4) 각각은 NMOSFET로 구현될 수 있다.
- [0046] 다수의 제1스위치들(35)은 상기 제1제어신호에 응답하여 상기 제1차동 증폭기의 출력단자들(ND1와 ND2) 각각과 상기 제1동상 차동 출력 신호들을 출력하기 위한 제1출력단자들(ND5와 ND6) 각각의 접속과 상기 제2차동 증폭기(33)의 출력단자들(ND3과 ND4) 각각과 상기 제1직교 위상 차동 출력 신호들을 출력하기 위한 제2출력단자들(ND7과 ND8) 각각의 접속을 제어할 수 있다.
- [0047] 다수의 제1스위치들(35)은 제1제어신호(Vcon1)에 응답하여 게이팅되는 제1트랜지스터(N5, N8, N9, 및 N12)와 제2제어신호(Vcon2)에 응답하여 게이팅되는 제2트랜지스터(N6, N7, N10, 및 N11)로 구성된 다수의 트랜지스터쌍들(N5과 N6, N7과 N8, N9과 N10, 및 N11과 N12)을 포함한다.
- [0048] 제1트랜지스터는 제1차동증폭기(31)의 출력단자들(ND1과 ND2)과 제1출력단자들(ND5과 ND6) 및 제2차동증폭기(33)의 출력단자들(ND3과 ND4)과 제2출력단자들(ND7과 ND8) 사이에 접속되고, 제2트랜지스터는 제1차동증폭기(31)의 출력단자들(ND1과 ND2)과 제2출력단자들(ND7과 ND8) 및 제2차동증폭기(33)의 출력단자들(ND3와 ND4)과 제1출력단자들(ND5와 ND6) 사이에 접속된다.

- [0049] 동상차동입력신호들(IN_IP와 IN_IN)과 직교위상차동입력신호들(IN_QP와 IN_QN) 각각은 제1제어신호(Vcon1)와 제2제어신호(Vcon2)에 의하여 구동되는 다수의 제1스위치들을 통하여 제1출력단자들(ND5와 ND6)과 제2출력단자들(ND7와 ND8)로 분기된다. 따라서, 제1출력단자들(ND5와 ND6)과 제2출력단자들(ND7와 ND8) 각각의 출력신호는 동상차동입력신호들(IN_IP와 IN_IN)과 직교위상차동입력신호들(IN_QP와 IN_QN)이 혼합된 신호이다.
- [0050] 예컨대, 제1동상차동출력신호(OUT_IP)는 동상차동입력신호(IN_IP)와 직교위상차동입력신호(IN_QN)의 합이고, 제1동상차동출력신호(OUT_IN)는 동상차동입력신호(IN_IN)와 직교위상차동입력신호(IN_QP)의 합이고, 제1직교위상차동출력신호(OUT_QP)는 직교위상차동입력신호(IN_QP)와 동상차동입력신호(IN_IP)의 합이고, 제1직교위상차동출력신호(OUT_QN)는 직교위상차동입력신호(IN_QN)와 동상차동입력신호(IN_IP)의 합일 수 있다. 이때, 제1동상차동출력신호들(OUT1_IP와 OUT_IN)과 제1직교위상차동출력신호들(OUT1_QP와 OUT_QN) 각각은 서로 90도의 위상차를 갖는 신호들이다.
- [0051] 컨트롤러(미도시)는 수신기(10)의 동작을 제어하기 위한 제1제어신호(Vcon1)와 제2제어신호(Vcon2)를 출력한다. 이때, 제1제어신호(Vcon1)의 레벨과 제2제어신호(Vcon2)의 레벨의 전압차는 SFR(special function resistor)의 설정, 또는 내부 입/출력 신호에 기초하여 가변적으로 조절되며, 상기 제1제어신호(Vcon1)의 레벨과 상기 제2제어신호(Vcon2)의 레벨의 합은 일정한 것이 바람직하다.
- [0052] 예컨대, 제1제어신호(Vcon1)의 레벨이 증가할 때 제2제어신호(Vcon2)의 레벨은 상기 제1제어신호(Vcon1)의 레벨이 증가한 만큼 감소하고, 제1제어신호(Vcon1)의 레벨이 감소할 때 제2제어신호(Vcon2)의 레벨은 상기 제1제어신호(Vcon1)의 레벨이 감소한 만큼 증가할 수 있다.
- [0053] 상술한 바와 같이, 직교 신호 위상 제어기(27)는 전압제어발진기(25)로부터 출력되는 기준 신호를 이용하여 90도의 위상차를 갖는 동상차동출력신호와 직교위상차동출력신호를 생성할 수 있다.
- [0054] 도 4는 도 2의 제2위상 쉬프터의 회로도의 일 예를 나타낸다. 도 4를 참조하면, 제2위상쉬프터(40)는 제3차동증폭기(41), 제4차동증폭기(43), 및 다수의 제2스위치들을 포함한다. 도 4에 도시된 제2위상 쉬프터(40)의 구조는 다수의 제2스위치들을 제외한 도 3에 도시된 제1위상쉬프터(30)의 구조와 실질적으로 동일하고, 동일한 입력신호들을 입력받는다.
- [0055] 다수의 제2스위치들 각각은 상기 제2제어신호(Vcon2)에 응답하여 상기 제1차동 증폭기(41)의 출력단자들(ND9와 ND10) 각각과 상기 제2동상 차동 출력 신호들(OUT2_IP와 OUT2_IN)을 출력하기 위한 제3출력단자(ND13과 ND14)들 각각의 접속과 상기 제4차동 증폭기(43)의 출력단자들(ND11과 ND12) 각각과 상기 제2직교 위상 차동 출력 신호들(OUT2_QP와 OUT2_QN)을 출력하기 위한 제4출력단자들(ND15와 ND16) 각각의 접속을 제어할 수 있다.
- [0056] 이와 같이, 제1위상 쉬프터(30)와 제2위상쉬프터(40)는 실질적으로 동일한 구조를 이루고 동일한 입력신호들을 제공받는 반면, 제1제어신호(Vcon1)와 제2제어신호(Vcon2)를 제1위상 쉬프터(30)의 다수의 제1스위치들(35)과 제2위상 쉬프터(40)의 다수의 제2스위치들(45) 각각에 반대로 인가함으로써 제1위상 쉬프터(30)와 제2위상쉬프터(40)은 상보적으로 동작한다.
- [0057] 예컨대, 제1제어신호(Vcon1)의 레벨 변화와 제2제어신호(Vcon2)의 레벨 변화에 따라 제1위상 쉬프터(30)로부터 출력되는 출력신호들(OUT1_IP, OUT1_IP, OUT1_QP, 및 OUT1_QP)의 위상이 점차 증가할 때, 제2위상 쉬프터(40)로부터 출력되는 출력신호들(OUT2_IP, OUT2_IP, OUT2_QP, 및 OUT2_QP)의 위상은 점차 감소할 수 있다.
- [0058] 도 5a는 본 발명의 실시 예에 따른 제1위상 쉬프터가 동상차동입력신호와 직교위상차동입력신호를 혼합하여 위상 천이된 신호를 생성하는 동작을 설명하기 위한 회로도이고, 도 5b는 도 5a의 입력 신호와 출력 신호의 위상 관계를 나타내는 그래프이다. 설명의 편의를 위하여 제1위상 쉬프터(30)가 동상차동입력신호(IN_IP)와 직교위상차동입력신호(IN_QN)를 혼합하여 위상천이된 동상차동출력신호(OUT_IP)를 생성하는 것을 일 예로 설명한다.
- [0059] 제1차동 증폭기(31)에서 제1트랜지스터(N1)는 제1제어신호(Vcon1)에 응답하여 제1노드(ND1)와 제1출력단자(ND5) 사이에 전류 패스를 형성하여 동상차동입력신호(IN_IP) 중 일부를 제1출력단자(ND5)로 출력하고, 제2트랜지스터(N2)는 제2제어신호(Vcon2)에 응답하여 제1노드(ND1)와 제2출력단자(ND7) 사이에 전류패스를 형성하여 동상차동입력신호(IN_IP) 중 나머지를 제2출력단자(ND7)로 출력한다. 즉, 동상차동입력신호(IN_IP)는 상기 제1제어신호(Vcon1)의 레벨과 제2제어신호(Vcon2)의 레벨의 전압차에 따라 제1출력단자(ND5)와 제2출력단자(ND7)로 분기되어 출력된다. 이때, 제5노드(ND5)로 출력되는 동상차동입력신호(IN_IP)의 크기와 제2출력단자(ND7)로 출력되는 동상차동입력신호(IN_IP)의 크기는 제1제어신호(Vcon1)와 제2제어신호(Vcon2)의 전압차이에 따라 정해진다.
- [0060] 또한, 제2차동 증폭기(33)에서 제1트랜지스터(N12)는 제1제어신호(Vcon1)에 응답하여 제4노드(ND4)와 제2출력단

자(ND8) 사이에 전류패스를 형성하여 직교위상차동입력신호(IN_QN) 중 일부를 제2출력단자(ND8)로 출력하고, 제2트랜지스터(N11)는 제2제어신호(Vcon2)에 응답하여 제4노드(ND4)와 제1출력단자(ND5) 사이에 전류패스를 형성하여 상기 직교위상차동입력신호(IN_QN) 중 나머지를 제1출력단자(ND5)로 출력한다. 즉, 직교위상차동입력신호(IN_QN)는 상기 제1제어신호(Vcon1)의 레벨과 제2제어신호(Vcon2)의 레벨의 전압차에 따라 제5노드(ND5)와 제8노드(ND8)로 분기되어 출력된다.

[0061] 이에 따라, 제1출력단자(ND5)에서는 동상차동입력신호(IN_IP)와 직교위상차동입력신호(IN_QN)가 합해져 위상 전이된 제1동상차동출력신호(OUT1_IP)가 생성된다. 이때, 제1동상차동출력신호(OUT1_IP)의 위상은 동상차동입력신호(IN_IP)의 크기와 직교위상차동입력신호(IN_QN)의 크기 차이에 따라 가변될 수 있다.

[0062] 예컨대, 제1제어신호(Vcon1)의 전압이 제2제어신호(Vcon2)의 전압보다 큰 경우, 제1트랜지스터(N5)를 통하여 출력되는 동위상차동입력신호(IN_IP)의 크기(a)가 제2트랜지스터(N11)를 통하여 출력되는 직교위상차동입력신호(IN_QN)의 크기(b)에 비하여 크다. 이 경우, 도 5b에 도시된 바와 같이 동위상차동입력신호(IN_IP)의 크기(a)와 직교위상차동입력신호(IN_QN)의 크기(b)에 따라 위상이 전이된 동상차동출력신호(OUT_IP)가 생성된다.

[0063] 그 후, 제1제어신호(Vcon1)와 제2제어신호(Vcon2)의 전압이 가변적으로 변화함에 따라, 제1트랜지스터(N5)를 통해 출력되는 동위상차동입력신호(IN_IP)의 크기가 감소(또는 증가)한 만큼 제2트랜지스터(N11)를 통해 출력되는 직교위상차동입력신호(IN_QN)의 크기가 증가(또는 감소)할 수 있다.

[0064] 예컨대, 제2제어신호(Vcon2)의 레벨이 증가하거나 제1제어신호(Vcon1)의 레벨이 감소하는 경우에, 제1트랜지스터(N5)를 통하여 출력되는 동위상차동입력신호(IN_IP)의 크기(a')는 감소하고 제2트랜지스터(N11)를 통하여 출력되는 직교위상차동입력신호(IN_QN)의 크기(b')는 증가한다. 이 경우, 도 5b에 도시된 바와 같이 동상차동출력신호(OUT_IP')의 위상은 시계방향으로 증가할 수 있다.

[0065] 상술한 바와 같이 본 발명의 실시 예에 따른 수신기(10)는 제1제어신호(Vcon1)와 제2제어신호(Vcon2)의 전압차에 따라 가변되는 입력 신호들 즉, 동상차동입력신호들(IN_IP와 IN_IN)과 직교위상차동입력신호들(IN_QP와 IN_QN)의 위상과 크기 차이에 따라 출력신호들의 위상을 조절할 수 있다.

[0066] 나머지 동상차동출력신호들(OUT1_IN)과 직교위상차동출력신호들(OUT1_QP와 OUT1_QN)에 대해서도 상술한 바와 같은 방식으로 입력신호들 즉, 동상차동입력신호(IN_IP와 IN_IN)와 직교위상차동입력신호(IN_QP와 IN_QN)를 혼합하여 출력신호들을 생성할 수 있다.

[0067] 도 6a는 도 3에 도시된 제1위상 쉬프터의 출력 신호의 위상 관계를 나타내는 그래프이고, 도 6b는 도 4에 도시된 제2위상 쉬프터의 출력신호의 위상 관계를 나타내는 그래프이다.

[0068] 도 6a를 참조하면, 제1위상 쉬프터(30)는 동상 차동 입력신호들(IN_IP와 IN_IN)과 직교 위상 차동 입력신호들(IN_QP와 IN_QN) 각각을 혼합하여 위상 전이된 신호들 예컨대, 제1동상차동출력신호들(OUT1_IP와 OUT1_IN)과 제1직교위상출력신호들(OUT1_QP와 OUT1_QN)을 생성한다.

[0069] 그 후, 제2제어신호(Vcon2)의 레벨이 점차 증가하고 제1제어신호(Vcon1)의 레벨이 감소하는 경우, 제1트랜지스터를 통하여 출력되는 입력신호의 크기는 점차 감소하고 제2트랜지스터를 통하여 출력되는 입력신호의 크기는 점차 증가한다. 이에 따라, 제1위상 쉬프터(30)의 출력신호들 각각은 시계방향으로 회전한다.

[0070] 도 6b를 참조하면, 제1위상쉬프터(30)와 상보적으로 동작하는 제2위상 쉬프터(40)는 동상 차동 입력신호들(IN_IP와 IN_IN)과 직교 위상 차동 입력신호들(IN_QP와 IN_QN) 각각을 혼합하여 위상 전이된 신호들 예컨대, 제2동상차동출력신호들(OUT2_QP와 OUT2_N)과 제2직교위상출력신호들(OUT2_QP와 OUT2_QN)을 생성한다.

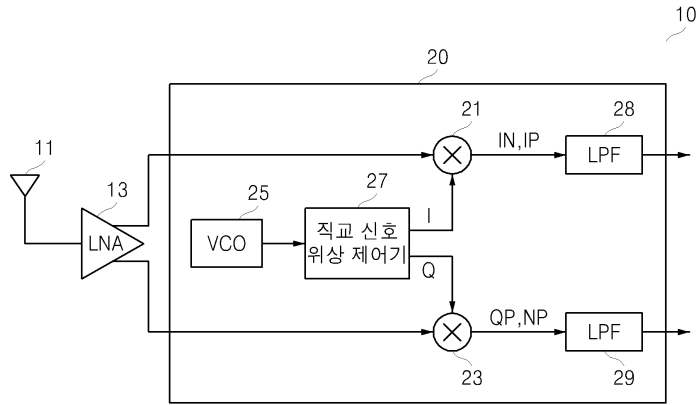
[0071] 그 후, 제2제어신호(Vcon2)의 레벨이 점차 증가하고 제1제어신호(Vcon1)의 레벨이 감소하는 경우, 제1트랜지스터를 통하여 출력되는 입력신호의 크기가 점차 증가하고 제2트랜지스터를 통하여 출력되는 입력신호의 크기가 점차 감소한다. 이에 따라, 제2위상 쉬프터(40)의 출력신호들 각각은 반시계 방향으로 회전한다.

[0072] 도 7a는 제1위상쉬프터와 제2위상쉬프터를 포함하는 직교 신호 위상 제어기의 출력신호의 위상 관계를 나타내는 일 예이고, 도 7b는 제1위상쉬프터와 제2위상쉬프터를 포함하는 직교 신호 위상 제어기의 출력신호의 위상 관계를 나타내는 다른 예이다. 도 7a는 제1동상차동출력신호들(OUT1_IP와 OUT1_IN)과 제2직교위상차동출력신호들(OUT2_QP와 OUT_QN)을 포함하는 제1 IQ신호(OUT1)의 위상관계를 나타내며, 도 7b는 제2동상차동출력신호들(OUT2_IP와 OUT2_IN)과 제1직교위상차동출력신호들(OUT1_QP와 OUT_QN)을 포함하는 제2 IQ신호(OUT2)의 위상관계를 나타낸다.

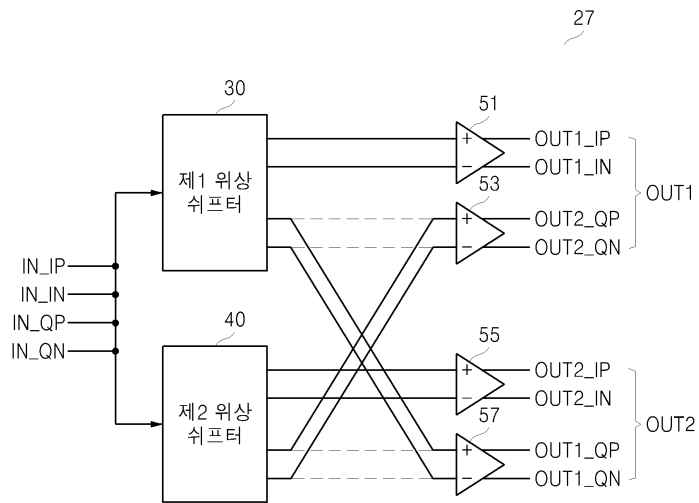
- [0073] 도 7a에 도시된 바와 같이, 제2제어신호의 레벨이 증가하고 제1제어신호의 레벨이 감소하는 경우, 제1동상차동 출력신호들(OUT1_IP과 OUT1_IN) 각각은 시계 방향으로 회전하고, 제2직교위상차동출력신호들(OUT2_QP와 OUT2_QN) 각각은 반시계 방향으로 회전한다. 따라서 주파수 변환부(20)는 제1동상차동출력신호들(OUT1_IP과 OUT1_IN)과 제2직교위상차동출력신호들(OUT2_QP와 OUT2_QN) 간의 위상차이(θ)를 점차 증가시킬 수 있다.
 - [0074] 또한, 도 7b에 도시된 바와 같이, 제2제어신호(Vcon2)의 레벨이 증가하고 제1제어신호(Vcon1)의 레벨이 감소하는 경우, 제2동상차동출력신호들(OUT2_IP과 OUT2_IN) 각각은 반시계 방향으로 회전하고, 제1직교위상차동출력신호들(OUT1_QP와 OUT1_QN) 각각은 시계 방향으로 회전한다. 따라서 주파수 변환부(20)는 제2동상차동출력신호들(OUT2_IP과 OUT2_IN)과 제1직교위상차동출력신호들(OUT1_QP와 OUT1_QN) 간의 위상차이(θ)를 점차 감소시킬 수 있다.
 - [0075] 상술한 바와 같이, 직교 신호 위상 제어기(27)은 서로 다른 방향으로 위상이 조절되는 두 개의 위상 쉬프터를 사용함으로써 상기 동상 신호와 상기 직교 위상 신호간의 위상차(θ)를 가변적으로 조절함으로써, 수신기(10)의 이미지 제거율(image rejection ratio)이 향상시킬 수 있는 효과가 있다.
 - [0076] 또한, 본 발명의 실시 예에 따른 직교 신호 위상 제어기는 시스템 환경에 적합하게 연속적으로 동상 신호와 직교 위상 신호 간의 위상을 가변적으로 조절하여 동상 신호와 직교 위상 신호 사이의 직교 관계를 정밀하게 제어함으로써 상기 시스템의 동작에 대한 정확한 특성 제어가 가능하다.
 - [0077] 이와 같은 본 발명의 실시 예에 따른 기술적 사상은 직교 위상 신호 제어기(27)를 포함하는 수신기(10)에 한하지 아니하고, 동상신호와 직교위상신호를 이용하여 주파수 혼합을 하는 모든 RF 시스템에 적용 가능한 것이다.
 - [0078] 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.
- 도면의 간단한 설명**
- [0079] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
 - [0080] 도 1은 본 발명의 실시 예에 따른 직교 신호 위상 제어기를 포함하는 수신기의 개략적인 블록도를 나타낸다.
 - [0081] 도 2는 본 발명의 실시 예에 따른 직교 신호 위상 제어기의 블록도를 나타낸다.
 - [0082] 도 3은 도 2의 제1위상 쉬프터의 회로도일 예로 나타낸다.
 - [0083] 도 4는 도 2의 제2위상 쉬프터의 회로도일 예로 나타낸다.
 - [0084] 도 5a는 본 발명의 실시 예에 따른 제1위상 쉬프터가 동상차동입력신호와 직교위상차동입력신호를 혼합하여 위상 천이된 신호를 생성하는 동작을 설명하기 위한 회로도이다.
 - [0085] 도 5b는 도 5a의 입력 신호와 출력 신호의 위상 관계를 나타내는 그래프이다.
 - [0086] 도 6a는 도 3에 도시된 제1위상 쉬프터의 출력 신호의 위상 관계를 나타내는 그래프이다.
 - [0087] 도 6b는 도 4에 도시된 제2위상 쉬프터의 출력신호의 위상 관계를 나타내는 그래프이다.
 - [0088] 도 7a는 제1위상쉬프터와 제2위상쉬프터를 포함하는 직교 신호 위상 제어기의 출력신호의 위상 관계를 나타내는 일 예이다.
 - [0089] 도 7b는 제1위상쉬프터와 제2위상쉬프터를 포함하는 직교 신호 위상 제어기의 출력신호의 위상 관계를 나타내는 다른 예이다.

도면

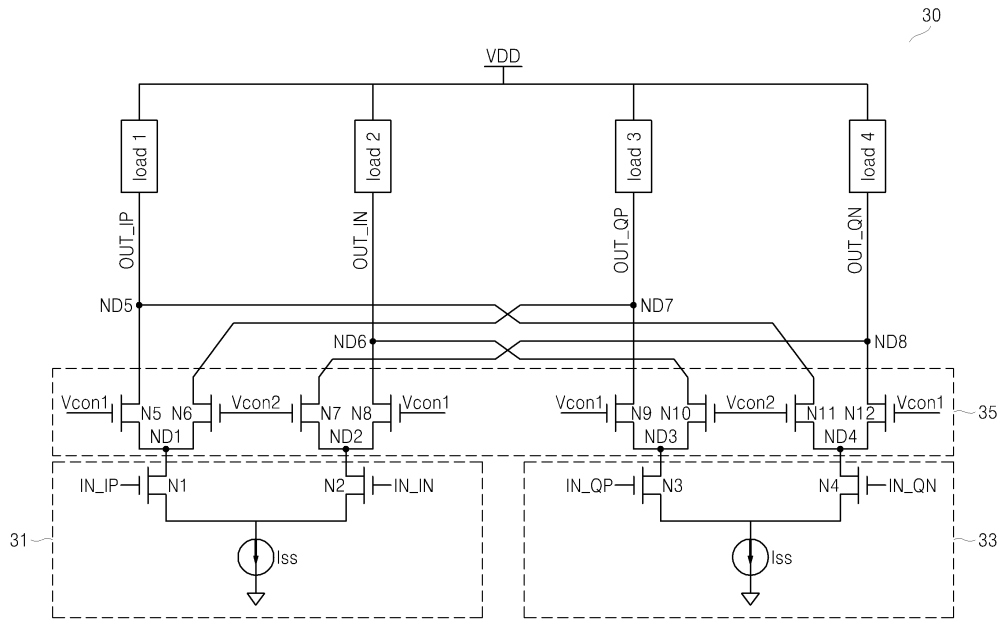
도면1



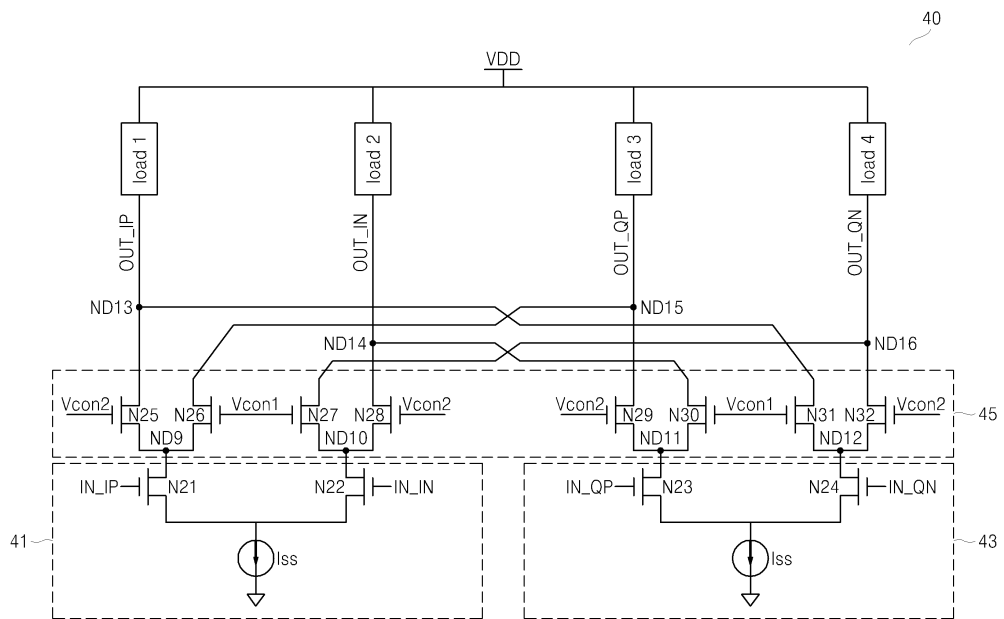
도면2



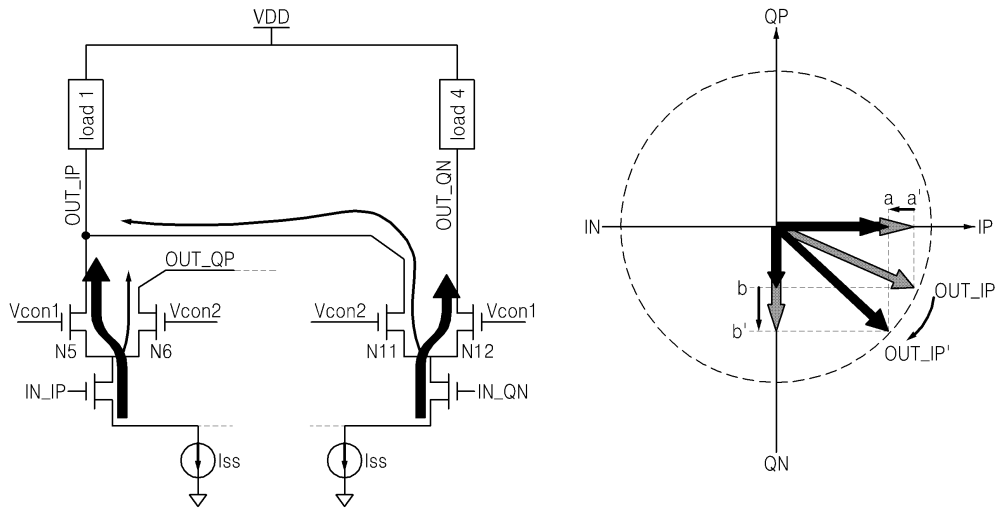
도면3



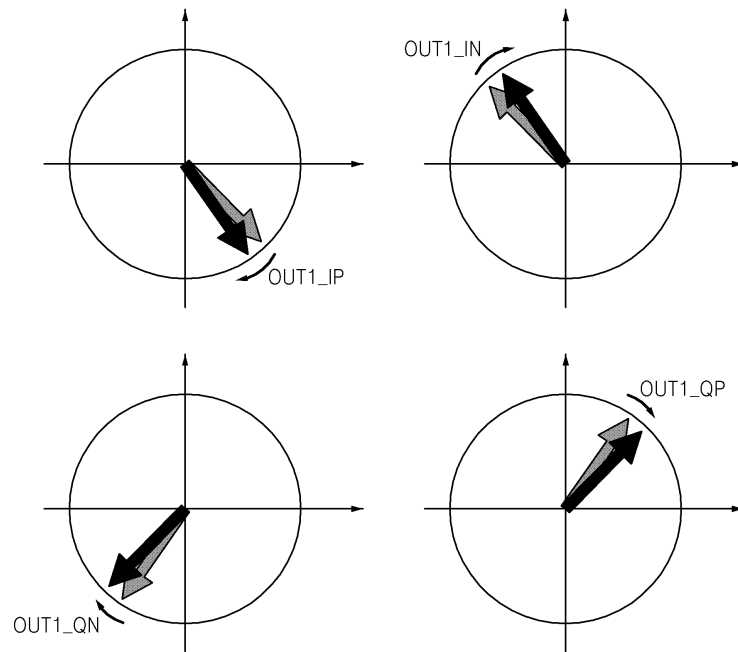
도면4



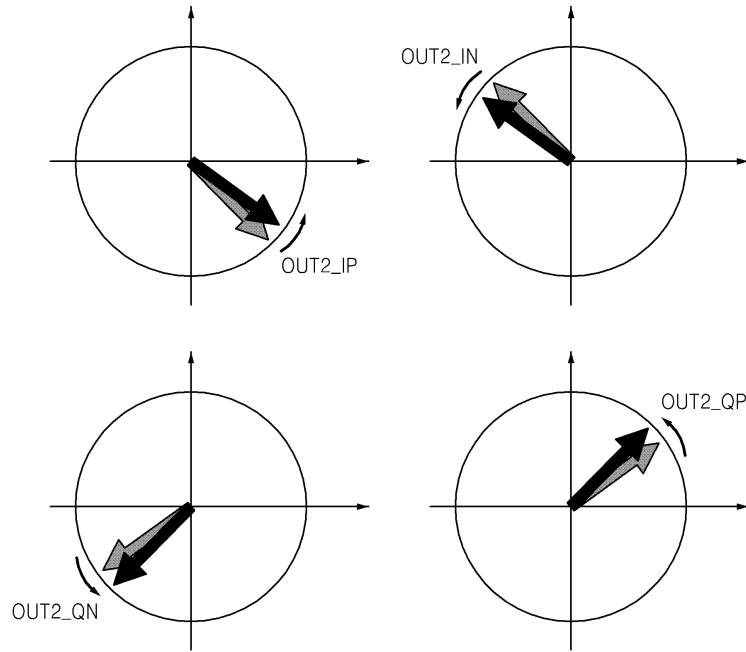
도면5



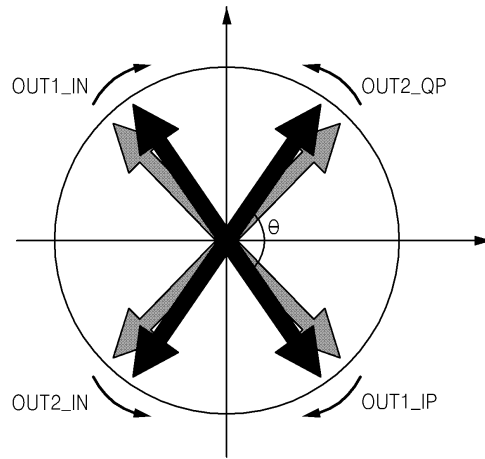
도면6a



도면6b



도면7a



도면7b

