



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2018년06월19일

(11) 등록번호 10-1868377

(24) 등록일자 2018년06월11일

(51) 국제특허분류(Int. Cl.)

G11C 16/10 (2006.01) G11C 16/08 (2006.01)

H01L 27/115 (2017.01)

(21) 출원번호 10-2012-0022838

(22) 출원일자 2012년03월06일

심사청구일자 2017년03월06일

(65) 공개번호 10-2013-0101811

(43) 공개일자 2013년09월16일

(56) 선행기술조사문헌

US20110018051 A1

US20090313419 A1

KR1020120107336 A

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

남상완

경기 화성시 동탄문화센터로 39, 317동 1401호 (반송동, 시범다은마을포스코더샵아파트)

박정훈

경기 화성시 동탄지성로 333, 102동 906호 (기산동, 행림마을삼성래미안1차)

(74) 대리인

특허법인 고려

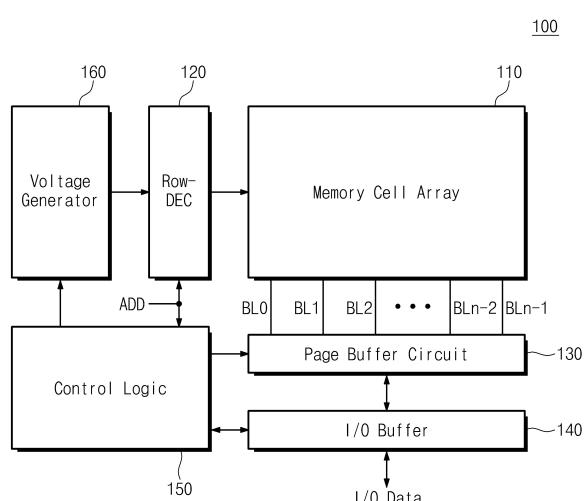
전체 청구항 수 : 총 10 항

심사관 : 한선경

(54) 발명의 명칭 불휘발성 메모리 장치 및 그것의 프로그램 방법

**(57) 요약**

본 발명의 실시 예에 따른 기판상에 수직 방향으로 직렬 연결되는 복수의 메모리 셀들을 포함하는 불휘발성 메모리 장치의 프로그램 방법은, 상기 복수의 메모리 셀들 중 제 1 메모리 셀을 프로그램하는 단계, 그리고 상기 제 1 메모리 셀을 프로그램한 이후에, 상기 제 1 메모리 셀보다 상기 기판에 대해서 근거리에 위치하는 제 2 메모리 셀을 프로그램하는 단계를 포함하되, 상기 제 1 메모리 셀의 채널 홀의 지름은 상기 제 2 메모리 셀의 채널 홀의 지름보다 크다.

**대 표 도** - 도1

## 명세서

### 청구범위

#### 청구항 1

기판상에 수직 방향으로 직렬 연결되는 복수의 메모리 셀들을 포함하는 불휘발성 메모리 장치의 프로그램 방법에 있어서:

상기 복수의 메모리 셀들 중 제 1 메모리 셀을 프로그램하는 단계; 그리고

상기 제 1 메모리 셀을 프로그램한 후에, 상기 제 1 메모리 셀보다 상기 기판에 대해서 근거리에 위치하는 제 2 메모리 셀을 프로그램하는 단계를 포함하되,

상기 제 1 메모리 셀의 채널 홀의 지름은 상기 제 2 메모리 셀의 채널 홀의 지름보다 큰 것을 특징으로는 프로그램 방법.

#### 청구항 2

제 1 항에 있어서,

상기 복수의 메모리 셀들은 비트 라인과 상기 기판에 형성되는 공통 소스 라인 사이에 연결되는 관통 채널을 공유하는 프로그램 방법.

#### 청구항 3

제 2 항에 있어서,

상기 제 1 메모리 셀과 상기 비트 라인간의 거리는 상기 제 2 메모리 셀과 상기 비트 라인간의 거리보다 가까운 것을 특징으로 하는 프로그램 방법.

#### 청구항 4

제 1 항에 있어서,

상기 제 2 메모리 셀을 프로그램하는 단계가 완료되면, 상기 제 1 메모리 셀과 상기 제 2 메모리 셀에는 동일한 비트 수의 데이터가 저장되는 프로그램 방법.

#### 청구항 5

기판상에 수직 방향으로 형성되며 상기 기판에 형성되는 파이프라인 콘택에 의해서 채널이 연결되는 제 1 필라와 제 2 필라를 포함하되, 상기 제 1 필라와 상기 기판으로부터 수직 방향으로 적층되는 상부 워드 라인 케이트 전극들은 상부 셀 스트링을 형성하고, 상기 제 2 필라와 상기 기판으로부터 수직 방향으로 적층되는 하부 워드 라인 케이트 전극들은 하부 셀 스트링을 형성하는 불휘발성 메모리 장치의 프로그램 방법에 있어서:

상기 하부 셀 스트링에 포함되며, 제 1 하부 워드 라인에 연결되는 제 1 메모리 셀을 프로그램하는 단계;

상기 상부 셀 스트링에 포함되며, 제 1 상부 워드 라인에 연결되는 제 2 메모리 셀을 프로그램하는 단계; 그리고

상기 하부 셀 스트링에 포함되며, 상기 제 1 하부 워드 라인보다 상기 기판에 근접한 제 2 하부 워드 라인에 연결되는 제 3 메모리 셀을 프로그램하는 단계를 포함하되,

상기 제 1 상부 워드 라인과 상기 제 1 하부 워드 라인은 동일 막층에 형성되고 전기적으로 분리된 케이트 전극에 의하여 형성되며, 상기 제 1 메모리 셀의 채널 홀의 지름은 상기 제 3 메모리 셀의 채널 홀의 지름보다 큰 프로그램 방법.

#### 청구항 6

제 5 항에 있어서,

상기 상부 셀 스트링은 비트 라인에 연결되고, 상기 하부 셀 스트링은 공통 소스 라인에 연결되는 프로그램 방법.

### 청구항 7

제 5 항에 있어서,

상기 상부 셀 스트링은 공통 소스 라인에 연결되고, 상기 하부 셀 스트링은 비트 라인에 연결되는 프로그램 방법.

### 청구항 8

기판 및 상기 기판과 교차하는 방향으로 적층되어 셀 스트링을 구성하는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이;

상기 메모리 셀 어레이의 비트 라인들과 연결되는 페이지 버퍼 회로; 그리고

워드 라인들 및 선택 라인들을 통해 상기 메모리 셀 어레이에 연결되는 행 디코더를 포함하고,

프로그램 동작 시에, 상기 행 디코더는 상기 복수의 메모리 셀들 중에서 제 1 메모리 셀을 제 2 메모리 셀보다 먼저 프로그램되도록 워드 라인 전압을 전달하되, 상기 제 1 메모리 셀은 상기 제 2 메모리 셀보다 상기 기판에 대해 상부에 위치하는 불휘발성 메모리 장치.

### 청구항 9

제 8 항에 있어서,

상기 복수의 메모리 셀들 중에서 상기 제 1 메모리 셀의 프로그램 속도는, 상기 제 2 메모리 셀의 프로그램 속도보다 느린 불휘발성 메모리 장치.

### 청구항 10

제 9 항에 있어서,

상기 행 디코더는, 스트링 선택 라인과 가장 인접한 메모리 셀로부터 접지 선택 라인이 인접한 메모리 셀까지 순차적으로 프로그램되도록 상기 워드 라인들 및 선택 라인들을 제어하는 불휘발성 메모리 장치.

## 발명의 설명

### 기술 분야

[0001]

본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 불휘발성 메모리 장치 및 그것의 프로그램 방법에 관한 것이다.

### 배경 기술

[0002]

반도체 메모리 장치는 크게 휘발성 반도체 메모리 장치(Volatile semiconductor memory device)와 불휘발성 반도체 메모리 장치(Non-volatile semiconductor memory device)로 구분될 수 있다. 휘발성 반도체 메모리 장치는 읽고 쓰는 속도가 빠르지만 전원 공급이 끊기면 저장된 내용이 사라져 버리는 단점이 있다. 반면에, 불휘발성 반도체 메모리 장치는 전원 공급이 중단되더라도 그 내용을 보존한다. 그러므로, 불휘발성 반도체 메모리 장치는 전원이 공급되었는지의 여부에 관계없이 보존되어야 할 내용을 기억시키는 데 쓰인다.

[0003]

불휘발성 반도체 메모리 장치로는 마스크 룸(Mask read-only memory, MROM), 프로그램 가능한 룸(Programmable read-only memory, PROM), 소거 및 프로그램 가능한 룸(Erasable programmable read-only memory, EPROM), 전기적으로 소거 및 프로그램 가능한 룸(Electrically erasable programmable read-only memory, EEPROM) 등이 있다.

[0004]

불휘발성 메모리 장치의 대표적인 예로 플래시 메모리 장치가 있다. 플래시 메모리 장치는 컴퓨터, 휴대폰, PDA, 디지털카메라, 캠코더, 보이스 리코더, MP3 플레이어, 개인용 휴대 단말기(PDA), 휴대용 컴퓨터(Handheld

PC), 게임기, 팩스, 스캐너, 프린터 등과 같은 정보기기들의 음성 및 영상 데이터 저장 매체로서 널리 사용되고 있다.

[0005] 최근에, 반도체 메모리 장치의 집적도를 향상시키기 위하여 3차원으로 적층되는 메모리 셀을 갖는 반도체 메모리 장치가 활발히 연구되고 있다.

## 발명의 내용

### 해결하려는 과제

[0006] 본 발명의 목적은 데이터 무결성을 높일 수 있는 불휘발성 메모리 장치 및 그것의 프로그램 방법을 제공하는 데 있다.

### 과제의 해결 수단

[0007] 상기의 과제를 이루기 위한 본 발명의 실시 예에 따른 기판상에 수직 방향으로 직렬 연결되는 복수의 메모리 셀들을 포함하는 불휘발성 메모리 장치의 프로그램 방법은, 상기 복수의 메모리 셀들 중 제 1 메모리 셀을 프로그램하는 단계, 그리고 상기 제 1 메모리 셀을 프로그램한 이후에, 상기 제 1 메모리 셀보다 상기 기판에 대해서 근거리에 위치하는 제 2 메모리 셀을 프로그램하는 단계를 포함하되, 상기 제 1 메모리 셀의 채널 홀의 지름은 상기 제 2 메모리 셀의 채널 홀의 지름보다 크다.

[0008] 상기 과제를 이루기 위한 본 발명의 실시 예에 따른 기판상에 수직으로 형성되며 상기 기판에 형성되는 파이프 라인 콘택에 의해서 채널이 연결되는 제 1 필라와 제 2 필라를 포함하되, 상기 제 1 필라와 상기 기판으로부터 수직으로 적층되는 상부 워드 라인 케이트 전극들은 상부 셀 스트링을 형성하고, 상기 제 2 필라와 상기 기판으로부터 수직으로 적층되는 하부 워드 라인 케이트 전극들은 하부 셀 스트링을 형성하는 불휘발성 메모리 장치의 프로그램 방법은, 상기 하부 셀 스트링에 포함되며, 제 1 하부 워드 라인에 연결되는 제 1 메모리 셀을 프로그램하는 단계, 상기 상부 셀 스트링에 포함되며, 제 1 상부 워드 라인에 연결되는 제 2 메모리 셀을 프로그램하는 단계, 그리고 상기 하부 셀 스트링에 포함되며, 상기 제 1 하부 워드 라인보다 상기 기판에 근접한 제 2 하부 워드 라인에 연결되는 제 3 메모리 셀을 프로그램하는 단계를 포함하되, 상기 제 1 상부 워드 라인과 상기 제 1 하부 워드 라인은 동일 막층에 형성되고 전기적으로 분리된 케이트 전극에 의하여 형성되며, 상기 제 1 메모리 셀의 채널 홀의 지름은 상기 제 3 메모리 셀의 채널 홀의 지름보다 크다.

[0009] 상기 과제를 이루기 위한 본 발명의 실시 예에 따른 불휘발성 메모리 장치는, 기판 및 상기 기판과 교차하는 방향으로 적층되어 셀 스트링을 구성하는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이, 상기 메모리 셀 어레이의 비트 라인들과 연결되는 페이지 버퍼 회로, 그리고 워드 라인들 및 선택 라인들을 통해 상기 메모리 셀 어레이에 연결되는 행 디코더를 포함하되, 프로그램 동작 시에, 상기 행 디코더는 상기 셀 스트링에 대응하는 상기 복수의 메모리 셀들 중에서 상기 기판과의 거리가 가장 먼 메모리 셀부터 프로그램되도록 워드 라인 전압을 전달한다.

## 발명의 효과

[0010] 본 발명의 실시 예에 따르면, 셀 스트링의 채널 홀의 크기를 고려하여 프로그램 순서를 결정할 수 있다. 따라서, 채널 홀의 크기에 따라 프로그램 속도가 다른 메모리 셀들에 의해서 발생하는 프로그램 교란(Program Disturbance)을 줄이고, 패스 전압 윈도(Vpass window)를 확보할 수 있다.

## 도면의 간단한 설명

[0011] 도 1은 본 발명에 따른 불휘발성 메모리 장치를 보여주는 블록도이다.

도 2는 도 1의 메모리 셀 어레이(110)를 보여주는 블록도이다.

도 3은 도 2의 메모리 블록들(BLK1~BLKz) 중 하나(BLKi)를 예시적으로 보여주는 사시도이다.

도 4는 도 3의 절단선(I-I')에 따른 셀 스트링을 보여주는 단면도이다.

도 5a 및 도 5b는 본 발명의 효과를 설명하기 위한 표와 도면이다.

도 6은 본 발명의 다른 실시 예를 보여주기 위한 수직 구조 불휘발성 메모리의 사시도이다.

도 7은 도 6의 메모리 블록(BLKq)의 절단선(Ⅱ-Ⅱ')에 따른 단면도이다.

도 8 및 도 9는 본 발명의 다른 실시 예에 따른 메모리 셀들의 프로그램 순서를 보여주는 회로도들이다.

도 10은 본 발명의 또 다른 실시 예를 보여주는 블록도이다.

도 11은 도 10의 메모리 시스템의 프로그램 방법을 보여주는 순서도이다.

도 12는 본 발명의 실시 예에 따른 솔리드 스테이트 드라이브를 보여주는 블록도이다.

도 13은 본 발명의 실시 예에 따른 데이터 저장 장치를 예시적으로 보여주는 블록도이다.

도 14는 본 발명의 실시 예에 따른 메모리 카드를 예시적으로 보여주는 블록도이다.

도 15는 본 발명에 따른 플래시 메모리 장치 및 그것을 포함하는 컴퓨팅 시스템의 개략적인 구성을 보여주는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0012]

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명하기로 한다. 동일한 구성 요소들은 동일한 참조번호를 이용하여 인용될 것이다. 유사한 구성 요소들은 유사한 참조번호들을 이용하여 인용될 것이다. 아래에서 설명될 본 발명에 따른 플래시 메모리 장치의 회로 구성과, 그것에 의해 수행되는 읽기 동작은 예를 들어 설명한 것에 불과하며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능하다.

[0013]

도 1은 본 발명의 실시 예에 따른 불휘발성 메모리 장치(100)를 보여주는 블록도이다. 도 1을 참조하면, 불휘발성 메모리 장치(100)는 메모리 셀 어레이(110), 행 디코더(120), 페이지 버퍼 회로(130), 입출력 버퍼(140), 제어 로직(150), 그리고 전압 발생기(160)를 포함한다.

[0014]

메모리 셀 어레이(110)는 워드 라인들(WLs) 또는 선택 라인들(SSL, GSL)을 통해 행 디코더(120)에 연결된다. 메모리 셀 어레이(110)는 비트 라인들(BL0~BLn-1)을 통해서 페이지 버퍼 회로(130)에 연결된다. 메모리 셀 어레이(110)는 복수의 낸드형 셀 스트링들(NAND Cell Strings)을 포함한다. 각각의 셀 스트링들은 수직 또는 수평 방향으로 채널을 형성할 수 있다. 메모리 셀 어레이(110)에는 복수의 워드 라인들이 수직 방향으로 적층될 수 있다.

[0015]

적층된 복수의 워드 라인 층들 각각에 대응하는 메모리 셀들은 프로그램 동작시 특성의 차이를 나타낸다. 수직 구조로 메모리 셀들을 적층하기 위해서는 식각(Etching) 공정에 의해서 수직으로 워드 라인들을 관통하는 채널을 형성하게 된다. 수직 방향으로의 식각 공정에서, 필라(Pillar)의 종횡비(Aspect ratio)가 크지 않으면, 채널 홀(Channel hole)의 직경은 채널 홀의 깊이에 따라 감소하게 된다. 이러한 특징에 의해서 층들 각각에 대응하는 메모리 셀들의 사이즈가 달라진다. 즉, 메모리 셀들의 터널링 절연막이나, 플로팅 게이트 등의 사이즈가 채널의 깊이에 따라 달라진다.

[0016]

이러한 조건에서는 동일한 프로그램 전압을 인가하더라도 사이즈가 다른 메모리 셀들의 플로팅 게이트들에는 서로 다른 세기의 전계가 발생한다. 동일한 프로그램 전압 조건에서 사이즈가 작은 메모리 셀들의 플로팅 게이트(Floating gate)에 더 큰 전계가 형성될 것이다. 따라서, 상대적으로 채널의 하부에 위치한 메모리 셀들의 프로그램 속도가 더 빠르다.

[0017]

채널의 깊이가 얇은 메모리 셀들부터 먼저 프로그램을 진행하게 되면, 프로그램 금지된 인히빗 셀 스트링(Program Inhibited Cell String)들의 채널 부스팅 효율이 높아진다. 왜냐하면, 인히빗 셀 스트링에서 프로그램 전압이 제공되는 워드 라인보다 기판에 가까이 위치하는 메모리 셀들은 소거 상태(Erased state)로 존재하기 때문이다. 소거 상태로 존재하는 메모리 셀들의 워드 라인에 패스 전압(Vpass)이 인가되면, 소정의 프로그램 상태로 존재하는 메모리 셀들 보다 부스팅 효율이 높다. 따라서, 본 발명의 프로그램 방법을 적용하면, 비선택 메모리 셀들에 대한 프로그램 교란(Program Disturbance)이 감소하게 된다.

[0018]

행 디코더(120)는 어드레스(ADD)에 응답하여 메모리 셀 어레이(110)의 메모리 블록들 중 어느 하나를 선택할 수 있다. 행 디코더(120)는 선택된 메모리 블록의 워드 라인들 중 어느 하나를 선택할 수 있다. 행 디코더(120)는 선택된 메모리 블록의 워드 라인에 전압 발생기(160)로부터 제공되는 워드 라인 전압을 전달한다. 프로그램 동작시 행 디코더(120)는 선택 워드 라인(Selected WL)에 프로그램 전압(Vpgm)과 검증 전압(Vvfy)을, 비선택 워드

라인(Unselected WL)에는 패스 전압(Vpass)을 전달한다.

[0019] 행 디코더(120)는 제어 로직(150)의 제어에 따라 메모리 셀 어레이(110)의 워드 라인을 선택한다. 즉, 선택된 메모리 블록에서 기판에 대하여 수직으로 형성되는 채널 홀의 직경이 큰 메모리 셀들이 먼저 프로그램되도록 행 디코더(120)는 워드 라인 전압을 제어한다. 메모리 셀 어레이(110)에 포함된 메모리 셀들이 멀티 비트 메모리 셀인 경우라면, 행 디코더(120)는 프로그램 교란(Program Disturbance)을 고려한 어드레스 스크램블 기법을 적용할 수 있다. 그러나, 이 경우에도 동일한 페이지 단위들(예를 들면, MSB 페이지 또는 LSB 페이지)에 대해서는 상술한 프로그램 순서를 충족시키도록 행 디코더(120)가 워드 라인들을 선택할 것이다.

[0020] 페이지 버퍼 회로(130)는 동작 모드에 따라 기입 드라이버로서 또는 감지 증폭기로서 동작한다. 프로그램 동작 시, 페이지 버퍼 회로(130)는 메모리 셀 어레이(110)의 비트 라인으로 프로그램될 데이터에 대응하는 비트 라인 전압을 전달한다. 읽기 동작시, 페이지 버퍼 회로(130)는 선택된 메모리 셀에 저장된 데이터를 비트 라인을 통해서 감지한다. 페이지 버퍼 회로(130)는 감지된 데이터를 래치하여 입출력 버퍼(140)로 전달한다. 페이지 버퍼 회로(130)는 각각의 비트 라인에 연결되는 복수의 페이지 버퍼(Page buffer)들을 포함한다.

[0021] 입출력 버퍼(140)는 프로그램 동작시에 입력받는 쓰기 데이터를 페이지 버퍼 회로(130)에 전달한다. 입출력 버퍼(140)는 읽기 동작시에 페이지 버퍼 회로(130)로부터 제공되는 읽기 데이터를 외부로 출력한다. 입출력 버퍼(140)는 입력되는 어드레스 또는 명령어를 제어 로직(150)이나 행 디코더(120)에 전달한다.

[0022] 제어 로직(150)은 입출력 버퍼(140)로부터 전달되는 명령어(CMD) 및 어드레스(ADD)에 응답하여 페이지 버퍼 회로(130) 및 전압 발생기(160)를 제어한다. 제어 로직(150)은 프로그램 동작시, 수직 구조의 메모리 셀들을 채널 홀의 크기에 따른 순서로 메모리 셀들을 프로그램하도록 페이지 버퍼 회로(130) 및 전압 발생기(160)를 제어한다. 제어 로직(150)은 선택된 블록의 메모리 셀들 중에서 채널 홀이 작은 메모리 셀들을 먼저 프로그램하도록 설정될 수 있다.

[0023] 전압 발생기(160)는 제어 로직(150)의 제어에 따라 각각의 워드 라인들로 공급될 다양한 종류의 워드 라인 전압들과, 메모리 셀들이 형성된 벌크(예를 들면, 웨일 영역)로 공급될 전압을 발생한다. 각각의 워드 라인들로 공급될 워드 라인 전압들로는 프로그램 전압(Vpgm), 패스 전압(Vpass), 선택 및 비선택 읽기 전압들(Vrd, Vread) 등이 있다. 전압 발생기(160)는 읽기 동작 및 프로그램 동작시에 선택 라인들(SSL, GSL)에 제공되는 선택 라인 전압(V<sub>SSL</sub>, V<sub>GSL</sub>)을 생성할 수 있다.

[0024] 본 발명의 불휘발성 메모리 장치(100)는 채널 홀의 사이즈를 참조하여 메모리 셀들의 프로그램 순서를 결정하게 될 것이다. 따라서, 수직 구조로 형성되는 메모리 셀들 중에서 비선택 메모리 셀들에서 발생하는 프로그램 교란을 획기적으로 줄일 수 있다.

[0025] 도 2는 도 1의 메모리 셀 어레이(110)를 보여주는 블록도이다. 도 2를 참조하면, 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 각 메모리 블록(BLK)은 3차원 구조(또는, 수직 구조)를 갖는다. 예를 들면, 각 메모리 블록(BLK)은 3차원에 대응하는 복수의 방향들(x, y, z)을 따라 신장된 구조물들을 포함한다. 예를 들면, 각 메모리 블록(BLK)은 z 방향을 따라 신장된 복수의 낸드 셀 스트링들(NAND Cell Strings)을 포함할 수 있다.

[0026] 각각의 낸드 셀 스트링들은 비트 라인(BL), 스트링 선택 라인(SSL), 접지 선택 라인(GSL), 워드 라인들(WL), 그리고 공통 소스 라인(CSL)에 연결된다. 즉, 각 메모리 블록은 복수의 비트 라인들(BL), 복수의 스트링 선택 라인들(SSL), 복수의 접지 선택 라인들(GSL), 복수의 워드 라인들(WL), 그리고 공통 소스 라인(CSL)에 연결될 것이다. 메모리 블록들(BLK1~BLKz)은 도 3을 참조하여 더 상세하게 설명된다.

[0027] 도 3은 도 2의 메모리 블록들(BLK1~BLKz) 중 하나(BLK<sub>i</sub>)를 예시적으로 보여주는 사시도이다. 도 3을 참조하면, 메모리 블록(BLK<sub>i</sub>)은 복수의 방향들(x, y, z)을 따라 신장된 구조물들을 포함한다.

[0028] 메모리 블록(BLK<sub>i</sub>)을 형성하기 위해서는, 우선 기판(111)이 제공된다. 예를 들면, 기판(111)은 붕소(B, Boron)와 같은 5족 원소가 주입되어 형성된 P-웰로 형성될 수 있을 것이다. 또는, 기판(111)은 N-웰 내에 제공되는 포켓 P-웰로 형성될 수 있을 것이다. 이하에서, 기판(111)은 P-웰인 것으로 가정하기로 한다. 그러나 기판(111)은 P-웰에만 한정되지 않는다.

[0029] 기판(111) 상에, x 방향을 따라 복수의 도핑 영역들(311~314)이 형성된다. 예를 들면, 복수의 도핑 영역들(311~314)은 기판(111)과 상이한 n 타입의 도전체로 형성될 수 있을 것이다. 이하에서, 제 1 내지 제 4 도핑 영역들(311~314)은 n 타입을 갖는 것으로 가정한다. 그러나, 제 1 내지 제 4 도핑 영역들(311~314)은 n 타입을 갖

는 것으로 한정되지 않는다.

[0030] 제 1 및 제 2 도핑 영역들(311, 312) 사이의 기판(111)의 영역 상에, y 방향을 따라 신장되는 복수의 절연 물질들(112)이 z 방향을 따라 순차적으로 제공된다. 예를 들면, 복수의 절연 물질들(112)은 z 방향을 따라 특정 거리만큼 이격되어 형성될 것이다. 예시적으로, 절연 물질들(112)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질을 포함할 것이다.

[0031] 제 1 및 제 2 도핑 영역들(311, 312) 사이의 기판(111) 상부에, y 방향을 따라 순차적으로 배치되며 z 방향을 따라 절연 물질들(112)을 관통하는 필라(113)가 형성된다. 예시적으로, 필라(113)는 절연 물질들(112)을 관통하여 기판(111)과 연결될 것이다. 여기서, 필라(113)는 제 2 및 제 3 도핑 영역들(312, 313) 사이의 기판 상부와, 제 3 및 제 4 도핑 영역들(313, 314) 사이의 기판 상부에도 형성된다.

[0032] 예시적으로, 각 필라(113)는 복수의 물질들로 구성될 것이다. 예를 들면, 각 필라(113)의 표면층(114)은 제 1 타입을 갖는 실리콘 물질을 포함할 것이다. 예를 들면, 각 필라(113)의 표면층(114)은 기판(111)과 동일한 타입을 갖는 실리콘 물질을 포함할 것이다. 이하에서, 각 필라(113)의 표면층(114)은 p 타입 실리콘을 포함하는 것으로 가정한다. 그러나, 각 필라(113)의 표면층(114)은 p 타입 실리콘을 포함하는 것으로 한정되지 않는다.

[0033] 각 필라(113)의 내부층(115)은 절연 물질로 구성된다. 예를 들면, 각 필라(113)의 내부층(115)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질을 포함할 것이다. 예를 들면, 각 필라(113)의 내부층(115)은 에어 갭(Air gap)을 포함할 수 있다.

[0034] 제 1 및 제 2 도핑 영역들(311, 312) 사이의 영역에서, 절연 물질들(112), 필라들(113), 그리고 기판(111)의 노출된 표면을 따라 절연막(116)이 제공된다. 예시적으로, z 방향을 따라 제공되는 마지막 절연 물질(112)의 z 방향 쪽의 노출면에 제공되는 절연막(116)은 제거될 수 있다.

[0035] 예시적으로, 절연막(116)의 두께는 절연 물질들(112) 사이의 거리의 1/2 보다 작을 것이다. 즉, 절연 물질들(112) 중 제 1 절연 물질의 하부면에 제공된 절연막(116), 그리고 제 1 절연 물질 하부의 제 2 절연 물질의 상부면에 제공된 절연막(116) 사이에, 절연 물질들(112) 및 절연막(116) 이외의 물질이 배치될 수 있는 영역이 제공될 것이다.

[0036] 제 1 및 제 2 도핑 영역들(311, 312) 사이의 영역에서, 절연막(116)의 노출된 표면상에 제 1 도전 물질들(211~291)이 제공된다. 예를 들면, 기판(111)에 인접한 절연 물질(112) 및 기판(111) 사이에 y 방향을 따라 신장되는 제 1 도전 물질(211)이 제공된다. 더 상세하게는, 기판(111)에 인접한 절연 물질(112)의 하부면의 절연막(116) 및 기판(111) 사이에, x 방향으로 신장되는 제 1 도전 물질(211)이 제공된다.

[0037] 절연 물질들(112) 중 특정 절연 물질 상부면의 절연막(116) 및 특정 절연 물질 상부에 배치된 절연 물질의 하부면의 절연막(116) 사이에, y 방향을 따라 신장되는 제 1 도전 물질이 제공된다. 예시적으로, 절연 물질들(112) 사이에, y 방향으로 신장되는 복수의 제 1 도전 물질들(221~281)이 제공된다. 예시적으로, 제 1 도전 물질들(211~291)은 금속 물질일 것이다. 예시적으로, 제 1 도전 물질들(211~291)은 폴리 실리콘 등과 같은 도전 물질들일 것이다.

[0038] 제 2 및 제 3 도핑 영역들(312, 313) 사이의 영역에서, 제 1 및 제 2 도핑 영역들(311, 312) 상의 구조물과 동일한 구조물이 제공될 것이다. 예시적으로, 제 2 및 제 3 도핑 영역들(312, 313) 사이의 영역에서, y 방향으로 신장되는 복수의 절연 물질들(112), y 방향을 따라 순차적으로 배치되며 x 방향을 따라 복수의 절연 물질들(112)을 관통하는 복수의 필라들(113), 복수의 절연 물질들(112) 및 복수의 필라들(113)의 노출된 표면에 제공되는 절연막(116), 그리고 y 방향을 따라 신장되는 복수의 제 1 도전 물질들(212~292)이 제공된다.

[0039] 제 3 및 제 4 도핑 영역들(313, 314) 사이의 영역에서, 제 1 및 제 2 도핑 영역들(311, 312) 상의 구조물과 동일한 구조물이 제공될 것이다. 예시적으로, 제 3 및 제 4 도핑 영역들(312, 313) 사이의 영역에서, y 방향으로 신장되는 복수의 절연 물질들(112), y 방향을 따라 순차적으로 배치되며 z 방향을 따라 복수의 절연 물질들(112)을 관통하는 복수의 필라들(113), 복수의 절연 물질들(112) 및 복수의 필라들(113)의 노출된 표면에 제공되는 절연막(116), 그리고 y 방향을 따라 신장되는 복수의 제 1 도전 물질들(213~293)이 제공된다.

[0040] 복수의 필라들(113) 상에 드레인들(320)이 각각 제공된다. 예시적으로, 드레인들(320)은 제 2 타입으로 도핑된 실리콘 물질들일 것이다. 예를 들면, 드레인들(320)은 n 타입으로 도핑된 실리콘 물질들일 것이다. 이하에서, 드레인들(320)은 n 타입 실리콘을 포함하는 것으로 가정한다. 그러나 드레인들(320)은 n 타입 실리콘을 포함하는 것으로 한정되지 않는다. 예시적으로, 각 드레인(320)의 폭은 대응하는 필라(113)의 폭 보다 클 수 있다. 예

를 들면, 각 드레인(320)은 대응하는 필라(113)의 상부면에 패드 형태로 제공될 수 있다.

[0041] 드레인들(320) 상에, x 방향으로 신장된 제 2 도전 물질들(331~333)이 제공된다. 제 2 도전 물질들(331~333)은 y 방향을 따라 순차적으로 배치된다. 제 2 도전 물질들(331~333) 각각은 대응하는 영역의 드레인들(320)과 연결된다. 예시적으로, 드레인들(320) 및 x 방향으로 신장된 제 2 도전 물질(333)은 각각 콘택 플러그들(Contact plug)을 통해 연결될 수 있다. 예시적으로, 제 2 도전 물질들(331~333)은 금속 물질들일 것이다. 예시적으로, 제 2 도전 물질들(331~333)은 폴리 실리콘 등과 같은 도전 물질들일 것이다.

[0042] 도 4는 도 3의 수직 구조로 형성된 낸드 셀 스트링을 보여주는 단면도이다. 도 4를 참조하면, 하나의 셀 스트링에는 비트 라인에 연결되는 필라의 주변에 형성되는 복수의 메모리 셀들이 포함된다. 설명의 편의를 위하여, 하나의 셀 스트링에 7개의 메모리 셀들이 형성되는 것으로 가정하기로 한다.

[0043] 제 1 및 제 2 도핑 영역들(311, 312) 사이에서, z 방향을 따라 복수 층의 절연 물질들(112)을 관통하는 필라(PL)가 형성된다. 필라(PL)는 절연 물질들(112)을 관통하여 기판(111)과 접촉할 수 있다. 필라(PL)는 채널막(114) 및 내부 물질(115)을 포함할 수 있다.

[0044] 채널막(114)은 제 1 도전형을 갖는 반도체 물질(예를 들면, 실리콘)을 포함할 수 있다. 예를 들면, 채널막(114)은 기판(111)과 동일한 도전형을 갖는 반도체 물질(예를 들면, 실리콘)을 포함할 수 있다. 이하에서, 채널막(114)은 p 타입 실리콘을 포함하는 것으로 가정한다. 그러나, 채널막(114)은 p 타입 실리콘을 포함하는 것으로 한정되지 않는다. 예를 들면, 채널막(114)은 도전형을 갖지 않는 진성 반도체(Intrinsic semiconductor)를 포함할 수 있다.

[0045] 내부 물질(115)은 절연 물질을 포함한다. 예를 들면, 내부 물질(115)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질을 포함할 수 있다. 예를 들면, 내부 물질(115)은 에어 갭(Air gap)을 포함할 수 있다.

[0046] 제 1 및 제 2 도핑 영역들(311, 312) 사이에서, 절연 물질(112) 및 필라(PL)의 노출된 표면들 상에 정보 저장막들(116, 도 3 참조)이 제공된다. 제 1 및 제 2 도핑 영역들(311, 312) 중 인접한 두 개의 도핑 영역들 사이에서, 정보 저장막들(116)의 노출된 표면들 상에 도전 물질들이 제공된다.

[0047] 도핑 영역들(311, 312) 상에서, 도전 물질들 및 절연 물질들(112)은 워드 라인 컷(WL cut)에 의해 분리될 수 있다. 예시적으로, 도전 물질들(CM1~CM8)은 금속성 도전 물질을 포함 수 있다. 도전 물질들은 폴리 실리콘 등과 같은 비금속성 도전 물질을 포함할 수 있다.

[0048] 필라(PL) 상에는 드레인(320)이 형성될 수 있다. 예시적으로, 드레인(320)은 제 2 도전형을 갖는 반도체 물질(예를 들면, 실리콘)을 포함할 수 있다. 예를 들면, 드레인(320)은 n 타입 도전형의 반도체 물질(예를 들면, 실리콘)을 포함할 수 있다. 이하에서, 드레인(320)은 n 타입 실리콘을 포함하는 것으로 가정한다. 그러나, 드레인(320)은 n 타입 실리콘을 포함하는 것으로 한정되지 않는다. 예시적으로, 드레인(320)은 필라(PL)의 채널막(114)의 상부로 확장될 수 있다.

[0049] 드레인(320) 상에, x 방향으로 신장되는 비트 라인(BL)이 제공된다. 비트 라인(BL)은 드레인(320)과 연결된다. 예시적으로, 드레인(320) 및 비트 라인(BL)은 콘택 플러그들(미도시)을 통해 연결될 수 있다. 예시적으로, 비트 라인(BL)은 금속성 도전 물질들을 포함할 수 있다. 예시적으로, 비트 라인들(BL)은 폴리 실리콘 등과 같은 비금속성 도전 물질들을 포함할 수 있다.

[0050] 도면에서는, 필라(PL)에 의해서 형성되는 셀 스트링의 채널을 서로 다른 z 방향 위치에서의 단면들(210, 220)이 도시되어 있다. 단면(210)은 워드 라인(WL<0>)에 대응하는 평면에서의 채널 홀(Channel Hole)의 단면이고, 단면(220)은 워드 라인(WL<6>)에 대응하는 평면에서의 채널 홀의 단면이다. 즉, 셀 스트링의 채널을 구성하는 필라(PL)의 지름, 또는 채널 홀의 직경은 채널의 깊이에 따라 달라짐을 알 수 있다.

[0051] 셀 스트링은 여러 층의 박막을 한 번에 에칭하여 홀(Hole)을 형성하고, 그 내부에 실리콘 채널막을 형성함으로써 만들어진다. 이때, 에칭 공정을 통해 형성된 채널 홀(Hole)의 지름은 깊이에 따라 달라질 수 있으며, 통상적으로는 깊이 내려갈수록 그 지름이 작아진다. 즉, 워드 라인(WL<0>)을 관통하여 형성되는 채널 홀의 반경(R)은 워드 라인(WL<6>)을 관통하는 채널 홀의 반경(r)보다 크다.

[0052] 셀 스트링의 단면(210)을 살펴보면, 워드 라인(WL<0>)에 연결되는 하나의 셀 트랜지스터의 단면이 도시된다. 셀 트랜지스터는 내부에서부터 순차적으로 내부층(211), 채널층(212), 터널 산화막층(213), 전하 저장층(214), 절연층(215), 그리고 워드 라인에 해당하는 도전층(216)을 포함한다.

- [0053] 가장 안쪽의 내부층(211)은 실리콘 산화물(Silicon Oxide)이나 에어갭(Air gap)으로 형성될 수 있다. 채널층(212)은 p 타입의 실리콘층으로 형성되며, 셀 트랜지스터의 채널로 동작할 것이다. 터널 산화막층(213)은 터널링 효과에 의해서 전하가 이동하는 터널링 절연막으로 동작한다. 전하 저장층(214)은 전하를 포획하는 절연막으로 구성될 수 있다. 전하 저장층(214)은, 예를 들면, 질화막(SiN) 또는 금속(알루미늄이나 하프늄) 산화막으로 형성될 수 있다. 절연막(215)은 도전층(216)과 전하 저장층(214) 사이에서 절연막으로 동작한다. 절연층(215)은 실리콘 산화막으로 형성될 수 있다. 도전층(216)은 셀 트랜지스터의 게이트로 동작할 것이다. 여기서, 터널 산화막층(213), 전하 저장층(214), 그리고 절연층(215)은 ONO(Oxide-Nitride-Oxide) 구조의 절연막으로 형성될 수 있다.
- [0054] 셀 스트링의 단면(220)도 단면(210)과 동일한 구조로 형성되나, 각 막층들의 지름이 감소된 형태로 형성될 것이다. 이러한 현상은 쇠각 깊이의 차이에 기인하는 현상으로, 워드 라인(WL<0>)에 연결되는 셀 트랜지스터와 워드 라인(WL<6>)에 연결되는 셀 트랜지스터의 특성 차이의 요인이 되고 있다.
- [0055] 통상적으로 채널 홀의 지름이 커질수록, 게이트를 형성하는 도전층의 유효면적이 감소하여 저항이 커진다. 그리고, 각 막층들 사이에 형성되는 용량의 크기도 증가하게 된다. 따라서, 필라 또는 채널 홀의 지름이 커질수록 셀 트랜지스터의 커플링 용량과 저항은 증가하게 된다. 또한, 채널 홀의 지름이 클수록 프로그램시 하나의 셀의 전하 저장층에 인가되는 전계의 세기는 감소한다. 이러한 문제는, 메모리 셀의 위치에 따라 FN-터널링 효과의 차이를 야기한다. 따라서, 채널 홀의 깊이에 따라 메모리 셀들은 서로 다른 프로그램 속도를 가지게 될 것이다. 서로 다른 프로그램 속도에 따라, 메모리 셀들이 프로그램 종료되는 프로그램 루프의 수도 달라질 수 있다.
- [0056] 도 5a 및 도 5b는 본 발명의 효과를 설명하기 위한 표와 도면이다. 도 5a는 프로그램 동작시에 프로그램을 위해서 선택된 셀 스트링과 프로그램 금지된 셀 스트링의 특성 및 바이어스 조건이 나타나 있다. 도 5b를 참조하면, 각각 2-비트의 데이터를 저장하는 메모리 셀들의 문턱 전압 산포(E0, P1, P2, P3)를 보여준다. 이하에서, 도 5a 및 도 5b를 참조하여 본 발명의 이점이 설명될 것이다.
- [0057] 프로그램을 위해서 선택된 셀 스트링(CS1)은 스트링 선택 트랜지스터(SST1), 직렬로 연결되는 복수의 메모리 셀 트랜지스터들(MC00~MC06), 접지 선택 트랜지스터(GST1)를 포함한다. 그리고 스트링 선택 트랜지스터(SST1)는 선택된 비트 라인(BL1)과 메모리 셀 트랜지스터(MC00) 사이에 연결된다. 접지 선택 트랜지스터(GST)는 공통 소스 라인(CSL)과 메모리 셀 트랜지스터(MC06) 사이에 연결된다. 스트링 선택 트랜지스터(SST1)의 게이트는 스트링 선택 라인(SS1)에, 복수의 메모리 셀 트랜지스터들(MC00~MC06) 각각의 게이트는 워드 라인들(WL<0>~WL<6>)에 각각 연결된다. 그리고 접지 선택 트랜지스터(GST)의 게이트는 접지 선택 라인(GSL1)에 연결될 것이다. 더불어, 프로그램 동작시 선택된 비트 라인(BL1)에는 접지 전압(예를 들면, 0V)이, 스트링 선택 라인(SS1)에는 전원 전압(Vcc)이, 그리고 접지 선택 라인(GSL)에는 접지 전압(0V)이 인가될 것이다.
- [0058] 상술한 바이어스 조건에서, 선택된 워드 라인으로는 프로그램 전압(Vpgm)이, 비선택 워드 라인들은 패스 전압(Vpass)이 인가되면, 선택된 메모리 셀은 프로그램된다. 하지만, 앞서 설명된 바와 같이 수직 구조의 셀 스트링은 채널 홀의 깊이에 따라 서로 다른 지름의 채널 홀을 가진다. 즉, 기판에 가까운 메모리 셀의 채널 홀의 지름이 기판으로부터 멀리 위치한 메모리 셀의 채널 홀의 지름보다 작다. 동일한 바이어스 조건에서 채널 홀의 지름이 작은 메모리 셀의 프로그램 속도가 더 빠르다. 프로그램 속도를 정량화하기 위해서 ISPP(Incremental Step Pulse Programming) 방식의 프로그램 방식을 예를 들기로 한다.
- [0059] 도시된 바와 같이 워드 라인(WL<0>)에 연결되는 메모리 셀(MC00)이 타깃 상태로 프로그램되는 데 소요되는 루프 수(Loop count)가 (N)이라 가정하자. 그러면, 메모리 셀(MC00)보다 기판에 가까이 형성되는 메모리 셀들의 프로그램 루프 수는 감소할 것이다. 즉, 메모리 셀(MC01)이 타깃 상태로 프로그램되기 위해서는 루프 수 (N-1)이 소요될 수 있다. 그리고 타깃 상태로 프로그램되기 위해서 메모리 셀들(MC02, MC03)은 루프 수 (N-2), 메모리 셀(MC04)은 루프 수 (N-3), 메모리 셀(MC05)은 루프 수 (N-4), 메모리 셀(MC06)은 루프 수 (N-5)가 각각 소요될 수 있다. 이상에서 타깃 상태로 프로그램되는 데 소요되는 루프 수들은 수직 구조의 셀 스트링의 특성을 반영하여 예시적으로 가정된 값들이다. 하지만, 동일한 바이어스 조건 하에서, 메모리 셀들 각각의 프로그램 속도는 채널 홀의 크기에 따라 달라짐을 알 수 있다.
- [0060] 반면, 프로그램 금지된 셀 스트링(CS2)을 고려해 보자. 프로그램 금지된 셀 스트링(CS2)은 스트링 선택 트랜지스터(SST2), 직렬로 연결되는 복수의 메모리 셀 트랜지스터들(MC10~MC16), 접지 선택 트랜지스터(GST2)를 포함한다. 그리고 스트링 선택 트랜지스터(SST2)는 프로그램 금지된 비트 라인(BL2)과 메모리 셀 트랜지스터(MC10) 사이에 연결된다. 접지 선택 트랜지스터(GST2)는 공통 소스 라인(CSL)과 메모리 셀 트랜지스터(MC16) 사이에 연결된다. 스트링 선택 트랜지스터(SST2)의 게이트는 스트링 선택 라인(SS2)에, 복수의 메모리 셀 트랜지스터들

(MC10~MC16) 각각의 게이트는 워드 라인들(WL<0>~WL<6>)에 각각 연결된다. 그리고 접지 선택 트랜지스터(GST2)의 게이트는 접지 선택 라인(GSL2)에 연결될 것이다.

[0061] 프로그램 동작시 프로그램 금지된 비트 라인(BL2)과 스트링 선택 라인(SSL2)에는 전원 전압(예를 들면, Vcc)이, 그리고 접지 선택 라인(GSL2)에는 접지 전압(Vss)이 인가될 것이다. 본 발명의 실시 예에 따르면, 채널 홀의 직경이 큰 메모리 셀들이 채널 홀의 직경이 작은 메모리 셀들보다 상대적으로 먼저 프로그램된다. 즉, 스트링 선택 라인(SSL2)에 가까운 메모리 셀들이 먼저 프로그램된다. 현재 프로그램을 위해서 선택된 워드 라인이 (WL<2>)라고 가정하자. 이때, 셀 스트링(CS2)에 포함된 메모리 셀들 중에서 메모리 셀(MC12)보다 스트링 선택 라인(SSL2)에 가깝게 위치하는 메모리 셀들(MC10, MC11)은 각각의 타깃 상태들(P1, P2)로 프로그램 완료된 상태일 것이다. 그리고 셀 스트링(CS2)에 포함된 메모리 셀들 중에서 메모리 셀(MC12)보다 접지 선택 라인(GSL2)에 가깝게 위치하는 메모리 셀들(MC13~MC16)은 여전히 소거 상태(E0)에 대응할 것이다.

[0062] 상술한 조건에서, 프로그램을 위해서 워드 라인 (WL<2>)으로 프로그램 전압(Vpgm)이 인가될 것이다. 또한, 비선택된 워드 라인들 (WL<0>, WL<1>, WL<3>~WL<6>)에는 패스 전압(Vpass)이 제공될 것이다. 그러면, 선택된 셀 스트링(CS1)에 포함된 메모리 셀(MC02)은 채널과 게이트 간의 전계에 의해서 프로그램된다. 반면, 비선택된 셀 스트링(CS2)의 채널은 워드 라인들(WL<0>~WL<6>)에 고전압(예를 들면, Vpass 또는 Vpgm)이 제공되는 시점에 부스팅(Boosting)된다. 왜냐하면, 비트 라인(BL2)을 통해서 셀 스트링(CS2)의 채널은 플로팅 전압(Vcc-Vth, Vth는 SST2의 문턱 전압)까지 충전된다. 플로팅 전압(Vcc-Vth)으로 셀 스트링(CS2)의 채널이 충전되면, 스트링 선택 트랜지스터(SST2)는 차단되고, 스트링 선택 트랜지스터(SST2)의 소스(Source)는 플로팅된다. 그러면, 셀 스트링(CS2)의 채널은 플로팅 전압(Vcc-Vth) 레벨에서 전기적으로 고립 또는 플로팅된다. 이어서, 워드 라인들로 패스 전압(Vpass) 또는 프로그램 전압(Vpgm)이 제공되면, 플로팅 전압(Vcc-Vth) 상태에서 플로팅된 셀 스트링(CS2)의 채널은 부스팅(Boosting)된다. 결과적으로 부스팅된 채널 전위에 의해서 메모리 셀(MC12)은 프로그램 금지될 수 있다.

[0063] 본 발명의 프로그램 순서에 따르면, 프로그램 금지된 스트링(CS2)에 있어서, 패스 전압(Vpass)이 인가되는 메모리 셀들은 소거 상태(E0)로 존재한다. 따라서, 패스 전압(Vpass) 전압이 인가될 때 상대적으로 셀의 부스팅 효율이 높아지게 된다. 특히, 상대적으로 큰 프로그램 루프 수를 요하는 메모리 셀(예를 들면, MC00)의 프로그램 시에, 프로그램 금지된 셀 스트링에서는 소거 상태(E0)로 존재하는 메모리 셀들이 수가 많아지게 된다. 결국, 프로그램 금지된 셀 스트링의 채널 부스팅 효율이 높아, 프로그램 교란(Program Disturbance)이 차단될 수 있다. 반면, 상대적으로 작은 프로그램 루프 수를 요하는 메모리 셀(예를 들면, MC06)의 프로그램 시에, 프로그램 금지된 셀 스트링에서는 소거 상태(E0)로 존재하는 메모리 셀들이 수가 적어진다. 하지만, 프로그램 루프 수의 감소로 인하여 프로그램 교란의 발생 확률은 낮아질 수 있다.

[0064] 도 6은 본 발명의 다른 실시 예를 보여주기 위한 수직 구조 불휘발성 메모리의 사시도이다. 도 7은 도 6의 메모리 블록(BLKq)의 절단선(II-II')에 따른 단면도이다.

[0065] 도 6 및 도 7을 참조하면, 기판(111) 상에, y 방향을 따라 신장되는 워드 라인들(WL<0>, WL<2>, WL<4>, WL<6>)이 z 방향을 따라 순차적으로 제공된다. 워드 라인들(WL<0>, WL<2>, WL<4>, WL<6>)은 z 방향을 따라 미리 설정된 거리만큼 이격되어 제공된다. y 방향을 따라 순차적으로 배치되며, z 방향을 따라 워드 라인들(WL<0>, WL<2>, WL<4>, WL<6>)을 관통하는 제 1 상부 필라들(UP1)이 제공된다. 여기서, 워드 라인들(WL<0>, WL<2>, WL<4>, WL<6>)은 상부 워드 라인들이라 불릴 수 있다.

[0066] 기판(111) 상에, y 방향을 따라 신장되는 워드 라인들(WL<1>, WL<3>, WL<5>, WL<7>)이 z 방향을 따라 순차적으로 제공된다. 워드 라인들(WL<1>, WL<3>, WL<5>, WL<7>)은 z 방향을 따라 미리 설정된 거리만큼 이격되어 제공된다. y 방향을 따라 순차적으로 배치되며, z 방향을 따라 워드 라인들(WL<1>, WL<3>, WL<5>, WL<7>)을 관통하는 제 1 하부 필라들(DP1)이 제공된다. 그리고, y 방향을 따라 순차적으로 배치되며, z 방향을 따라 워드 라인들(WL<1>, WL<3>, WL<5>, WL<7>)을 관통하는 제 2 하부 필라들(DP2)이 제공된다. 예시적으로, 제 1 하부 필라들(DP1) 및 제 2 하부 필라들(DP2)은 z 방향을 따라 평행하게 배치될 수 있다. 여기서, 워드 라인들(WL<1>, WL<3>, WL<5>, WL<7>)은 하부 워드 라인들이라 불릴 수 있다.

[0067] 더불어, 기판(111) 상에 y 방향을 따라 신장되는 워드 라인들(WL<0>, WL<2>, WL<4>, WL<6>)이 z 방향을 따라 순차적으로 제공된다. 워드 라인들(WL<0>, WL<2>, WL<4>, WL<6>)은 z 방향을 따라 미리 설정된 거리만큼 이격되어 제공된다. y 방향을 따라 순차적으로 배치되며, z 방향을 따라 워드 라인들(WL<0>, WL<2>, WL<4>, WL<6>)을 관통하는 제 2 상부 필라들(UP2)이 제공된다.

- [0068] 제 1 및 제 2 하부 필라들(DP1, DP2)의 상부에 y 방향으로 신장되는 공통 소스 라인(CSL)이 제공된다. 예시적으로, 공통 소스 라인(CSL)은 n 타입 실리콘일 것이다. 예시적으로, 공통 소스 라인(CSL)이 금속 또는 폴리 실리콘 등과 같이 극성을 갖지 않는 도전 물질로 구성될 때, 공통 소스 라인(CSL) 및 제 1 및 제 2 하부 필라들(DP1, DP2) 사이에 n 타입 소스들이 추가적으로 제공될 수 있다. 예시적으로, 공통 소스 라인(CSL) 및 제 1 및 제 2 하부 필라들(DP1, DP2)은 콘택 플러그들을 통해 각각 연결될 수 있다.
- [0069] 제 1 및 제 2 상부 필라들(UP1, UP2) 상부에 드레인들(320)이 각각 제공된다. 예시적으로, 드레인들(320)은 n 타입 실리콘일 것이다. 드레인들(320)의 상부에 x 방향을 따라 신장되는 복수의 비트 라인들(BL1~BL3)이 y 방향을 따라 순차적으로 제공된다. 예시적으로, 비트 라인들(BL1~BL3)은 금속으로 구성될 것이다. 예시적으로, 비트 라인들(BL1~BL3) 및 드레인들(320)은 콘택 플러그들을 통해 연결될 수 있다.
- [0070] 제 1 및 제 2 상부 필라들(UP1, UP2) 각각은 표면층(116'') 및 내부층(114'')을 포함한다. 제 1 및 제 2 하부 필라들(DP1, DP2) 각각은 표면층(116'') 및 내부층(114'')을 포함한다. 제 1 및 제 2 상부 필라들(UP1, UP2), 그리고 제 1 및 제 2 하부 필라들(DP1, DP2)의 표면층(116'')은 블로킹 절연막, 전하 저장막, 그리고 터널링 절연막을 포함할 것이다.
- [0071] 터널 절연막은 열산화막을 포함할 것이다. 전하 저장막은 질화막 또는 금속 산화막(예를 들면, 알루미늄 산화막, 하프늄 산화막 등)을 포함할 것이다. 블로킹 절연막은 단일층 또는 다층으로 형성될 수 있다. 블로킹 절연막은 터널 절연막 및 전하 저장막 보다 높은 유전상수를 갖는 고유전막(예를 들면, 알루미늄 산화막, 하프늄 산화막 등)일 수 있다. 예시적으로, 터널 절연막, 전하 저장막, 그리고 블로킹 절연막은 ONO (Oxide-Nitride-Oxide)를 구성할 수 있다.
- [0072] 제 1 및 제 2 상부 필라들(UP1, UP2), 그리고 제 1 및 제 2 하부 필라들(DP1, DP2)의 내부층(114'')은 p-타입 실리콘일 것이다. 제 1 및 제 2 상부 필라들(UP1, UP2), 그리고 제 1 및 제 2 하부 필라들(DP1, DP2)의 내부층(114'')은 바디로 동작한다.
- [0073] 제 1 상부 필라들(UP1) 및 제 1 하부 필라들(DP1)은 제 1 파이프라인 콘택들(PC1)을 통해 연결된다. 예시적으로, 제 1 상부 필라들(UP1) 및 제 1 하부 필라들(DP1)의 표면층들(116'')은 제 1 파이프라인 콘택(PC1)의 표면층들을 통해 각각 연결된다. 제 1 파이프라인 콘택들(PC1)의 표면층들은 제 1 상부 필라들(UP1) 및 제 1 하부 필라들(DP1)의 표면층들(116'')과 동일한 물질들로 구성될 것이다.
- [0074] 예시적으로, 제 1 상부 필라들(UP1) 및 제 1 하부 필라들(DP1)의 내부층들(114'')은 제 1 파이프라인 콘택들(PC1)의 내부층들을 통해 각각 연결된다. 제 1 파이프라인 콘택들(PC1)의 내부층들은 제 1 상부 필라들(UP1) 및 제 1 하부 필라들(DP1)의 내부층들(114'')과 동일한 물질들로 구성될 것이다.
- [0075] 즉, 제 1 상부 필라들(UP1) 및 워드 라인들(WL<0>, WL<2>, WL<4>, WL<6>)은 제 1 상부 스트링들을 형성하고, 제 1 하부 필라들(DP1) 및 워드 라인들(WL<1>, WL<3>, WL<5>, WL<7>)은 제 1 하부 스트링들을 형성한다. 제 1 상부 스트링들 및 제 1 하부 스트링들은 각각 제 1 파이프라인 콘택들(PC1)을 통해 연결된다. 제 1 상부 스트링들의 일단에 드레인들(320) 및 비트 라인들(BL1~BL3)이 연결된다. 제 1 하부 스트링들의 일단에 공통 소스 라인(CSL)이 연결된다. 즉, 제 1 상부 스트링들 및 제 1 하부 스트링들은 제 1 파이프라인 콘택들(PC1)로 연결됨으로써 비트 라인들(BL1~BL3) 및 공통 소스 라인(CSL) 사이에 연결된 복수의 스트링들(S1)을 형성한다.
- [0076] 마찬가지로, 제 2 상부 필라들(UP2) 및 워드 라인들(WL<0>, WL<2>, WL<4>, WL<6>)은 제 2 상부 스트링들을 형성하고, 제 2 하부 필라들(DP2) 및 워드 라인들(WL<1>, WL<3>, WL<5>, WL<7>)은 제 2 하부 스트링들을 형성한다. 제 2 상부 스트링들 및 제 2 하부 스트링들은 제 2 파이프라인 콘택들(PC2)을 통해 연결된다. 제 2 상부 스트링들의 일단에 드레인들(320) 및 비트 라인들(BL1~BL3)이 연결된다. 제 2 하부 스트링들의 일단에 공통 소스 라인(CSL)이 연결된다. 즉, 제 2 상부 스트링들 및 제 2 하부 스트링들은 비트 라인들(BL1~BL3) 및 공통 소스 라인(CSL) 사이에 연결되는 복수의 스트링들(S2)을 형성한다.
- [0077] 예시적으로, 제 1 및 제 2 파이프라인 콘택들(PC1, PC2) 내의 바디들(114'')에 채널을 형성하기 위하여, 제 1 및 제 2 파이프라인 콘택 게이트들(미도시)이 각각 제공될 수 있다. 예시적으로, 제 1 및 제 2 파이프라인 콘택 게이트들(미도시)은 제 1 및 제 2 파이프라인 콘택들(PC1, PC2)의 표면상에 제공될 것이다.
- [0078] 예시적으로, 인접한 하부 필라들(DP1, DP2)에서 워드 라인들(WL<1>, WL<3>, WL<5>, WL<7>)이 공유되는 것으로 설명되었다. 그러나, 상부 필라들(UP1, 또는 UP2)에 인접한 상부 필라들이 추가될 때, 인접한 상부 필라들은 워드 라인들(WL<0>, WL<2>, WL<4>, WL<6>)을 공유하도록 구성될 수 있다.

- [0079] 이상에서, 하나의 셀 스트링을 구성하기 위해서 형성되는 상부 필라들(UP1, UP2)과 하부 필라들(DP1, DP2)의 채널 홀은 기판(111)으로부터의 거리에 따라 달라짐을 알 수 있다. 셀 스트링들(S1)을 고려할 때, 워드 라인(WL<0>)과 상부 필라(UP1)에 의해서 형성되는 메모리 셀의 채널 홀 직경은 워드 라인(WL<6>)과 상부 필라(UP1)에 의해서 형성되는 메모리 셀의 채널 홀 직경보다 크다. 또한, 워드 라인(WL<1>)과 하부 필라(DP1)에 의해서 형성되는 메모리 셀의 채널 홀 직경은 워드 라인(WL<7>)과 하부 필라(DP1)에 의해서 형성되는 메모리 셀의 채널 홀 직경보다 크다. 이러한 조건을 고려할 때, 셀 스트링에서 메모리 셀들의 프로그램 속도는 채널 홀의 직경에 따라 달라짐을 알 수 있다. 즉, 채널 홀의 직경이 작은 메모리 셀들이 채널 홀의 직경이 큰 메모리 셀들보다 프로그램 속도가 빠르다.
- [0080] 도 8 및 도 9는 본 발명의 다른 실시 예에 따른 메모리 셀들의 프로그램 순서를 보여주는 회로도이다. 도 8 및 도 9는 셀 스트링(S1)을 기준으로 프로그램 순서를 보여준다. 도 8을 참조하면, 셀 스트링(S1)은 상부 워드 라인들(WL<0>, WL<2>, WL<4>, WL<6>)과 제 1 상부 필라(UP1)에 의해서 형성되는 메모리 셀들(MC0, MC2, MC4, MC6)을 포함한다. 셀 스트링(S1)은 하부 워드 라인들(WL<1>, WL<3>, WL<5>, WL<7>)과 제 1 하부 필라(DP1)에 의해서 형성되는 메모리 셀들(MC1, MC3, MC5, MC7)을 포함한다. 그리고 제 1 파이프라인 콘택(PC1)에 의해서 형성되는 백 게이트 라인(미도시됨)을 포함하는 백 게이트 트랜지스터(BGT)로 모델링될 수 있다. 백 게이트 트랜지스터(BGT)는 턴온 상태라 가정한다.
- [0081] 상술한 조건에서, 셀 스트링(S1)의 메모리 셀들에 대한 프로그램 순서는 채널 홀의 크기가 큰 메모리 셀들을 먼저 프로그램하도록 설정된다. 즉, 셀 스트링(S1)의 메모리 셀들 중에서 상부 워드 라인(WL<0>)에 연결되는 메모리 셀(MC0)이 가장 먼저 프로그램된다. 이어서, 하부 워드 라인(WL<1>)에 연결된 메모리 셀(MC1)이 프로그램될 것이다. 상부 워드 라인(WL<2>)에 연결되는 메모리 셀(MC2)이 프로그램된다. 하부 워드 라인(WL<3>)에 연결된 메모리 셀(MC3)이 프로그램될 것이다. 상부 워드 라인(WL<4>)에 연결되는 메모리 셀(MC4)이 프로그램된다. 하부 워드 라인(WL<5>)에 연결된 메모리 셀(MC5)이 프로그램될 것이다. 이어서 상부 워드 라인(WL<6>)에 연결되는 메모리 셀(MC6)이 프로그램된다. 하부 워드 라인(WL<7>)에 연결된 메모리 셀(MC7)이 프로그램될 것이다.
- [0082] 즉, 상부 워드 라인과 하부 워드 라인에 연결된 메모리 셀들이 교대로 프로그램되도록 프로그램 시퀀스가 정해질 수 있다. 이러한 프로그램 시퀀스를 따르면, 기판으로부터 상대적으로 상측에 위치하는 메모리 셀들이 먼저 프로그램될 수 있다. 그리고 기판으로부터 가까운 메모리 셀들일수록 나중에 프로그램된다. 이러한 프로그램 설정에 따르면, 채널 홀의 크기가 큰 메모리 셀들이 채널 홀의 크기가 작은 메모리 셀들보다 먼저 프로그램될 수 있다. 결과적으로 프로그램 금지된 셀 스트링들의 경우, 선택 워드 라인보다 하부에 위치하는 메모리 셀들은 모두 소거 상태(E0)를 유지하고 있어 패스 전압(Vpass)에 의한 채널 부스팅 효율이 높아지게 된다. 따라서, 프로그램 교란(Program Disturbance)에 의한 오류를 차단할 수 있다. 또한, 기판에 상대적으로 가까운 메모리 셀들이 선택되는 경우, 프로그램 금지된 메모리 셀들은 앞서 설명된 바와 같이 선택된 메모리 셀의 프로그램 속도가 빨라서 프로그램 전압의 영향을 덜 받게 된다.
- [0083] 이상의 설명에서 각각의 메모리 셀들(MC0~MC7)에 저장되는 데이터는 동일한 비트 수에 대응한다. 즉, 메모리 셀들(MC0~MC7) 각각이 멀티 비트를 저장하는 경우라면, 상술한 프로그램 시퀀스는 동일한 페이지 단위들(예를 들면, MSB 페이지 또는 LSB 페이지)의 프로그램 동작에서 적용될 수 있다.
- [0084] 도 9는 도 8의 순서에서, 동일한 층에 위치하는 메모리 셀들 중에서는 하부 워드 라인에 연결된 메모리 셀이 상부 워드 라인에 연결된 메모리 셀보다 먼저 프로그램되는 실시 예를 보여준다. 즉, 셀 스트링(S1)의 메모리 셀들 중에서 하부 워드 라인(WL<1>)에 연결되는 메모리 셀(MC1)이 가장 먼저 프로그램된다. 이어서, 상부 워드 라인(WL<0>)에 연결된 메모리 셀(MC0)이 프로그램될 것이다. 하부 워드 라인(WL<3>)에 연결되는 메모리 셀(MC3)이 프로그램된다. 그리고 상부 워드 라인(WL<2>)에 연결된 메모리 셀(MC2)이 프로그램될 것이다. 하부 워드 라인(WL<5>)에 연결되는 메모리 셀(MC5)이 프로그램된다. 상부 워드 라인(WL<4>)에 연결된 메모리 셀(MC4)이 프로그램될 것이다. 이어서 하부 워드 라인(WL<7>)에 연결되는 메모리 셀(MC7)이 프로그램된다. 상부 워드 라인(WL<6>)에 연결된 메모리 셀(MC6)이 프로그램될 것이다.
- [0085] 이상에서 설명된 프로그램 순서는 셀 스트링(S2)에서도 동일하게 적용될 수 있다. 채널 홀의 지름이 큰 메모리 셀들이 먼저 프로그램됨으로써, 수직 구조 불휘발성 메모리 셀의 프로그램 교란을 효율적으로 차단할 수 있다.
- [0086] 도 10은 본 발명의 또 다른 실시 예를 보여주는 블록도이다. 도 10을 참조하면, 메모리 시스템(500)은 메모리 컨트롤러(510)와 불휘발성 메모리 장치(520)를 포함한다. 여기서, 불휘발성 메모리 장치(520)는 기판에 대해 수

직으로 형성되는 관통 채널을 갖는 메모리 셀 어레이를 포함한다.

[0087] 메모리 컨트롤러(510)는 외부로부터의 명령어와 어드레스를 참조하여 불휘발성 메모리 장치(520)의 프로그램 순서를 채널 흘의 지름에 따라 재구성할 수 있다. 이러한 동작을 위해서 메모리 컨트롤러(510)는 어드레스 맵퍼(515)를 포함한다. 호스트로부터 쓰기 명령어와 어드레스를 제공받으면, 메모리 컨트롤러(510)는 외부에서 제공된 어드레스를 참조하여 선택된 메모리 블록의 워드 라인 어드레스를 재구성한다. 즉, 어드레스 맵퍼(515)에 의해서 기판으로부터 거리가 먼 워드 라인에 대응하는 메모리 셀들을 먼저 프로그램하도록 프로그램 시퀀스가 결정될 것이다.

[0088] 불휘발성 메모리 장치(520)는 셀 스트링의 채널이 기판에 대해서 수직으로 형성되는 수직 구조 불휘발성 메모리 장치이다. 특히, 불휘발성 메모리 장치(520)는 기판에 가까운 메모리 셀들이 먼저 프로그램되도록 설정된 디바이스이다.

[0089] 도 11은 도 10의 메모리 시스템에서의 프로그램 방법을 보여주는 순서도이다. 도 11을 참조하면, 메모리 컨트롤러(510)는 채널 흘의 직경에 따라 셀 스트링에서의 프로그램 순서를 재구성할 수 있다.

[0090] S110 단계에서, 메모리 컨트롤러(510)는 외부로부터 제공되는 쓰기 명령어, 논리 어드레스, 그리고 데이터를 제공받는다. 논리 어드레스는 호스트로부터 제공되는 선형 블록 어드레스(Linear Block Address: 이하, LBA)로 주어질 수 있다. 메모리 컨트롤러(510)는 현재의 불휘발성 메모리 장치(520)의 저장 영역의 상태를 참조하여 외부로부터의 쓰기 요청을 수락하게 될 것이다.

[0091] S120 단계에서, 메모리 컨트롤러(510)는 외부로부터 제공된 논리 어드레스를 플래시 어드레스(Flash address)로 변환한다. 플래시 메모리와 같은 불휘발성 메모리 장치(520)는 덮어쓰기가 불가능하다. 플래시 메모리의 경우에는 데이터를 기입하기 이전에 삭제 연산이 우선되어야 한다. 이러한 삭제 연산을 감추기 위해 플래시 변환 계층(Flash Translation Layer: FTL)이 사용된다. 플래시 변환 계층(FTL)은, 불휘발성 메모리 장치(520)로의 데이터 쓰기 동작시, 외부로부터의 논리 어드레스(Logical address)를 삭제 연산이 수행된 불휘발성 메모리 장치(520)의 물리 주소(Physical address)로 맵핑(Mapping)시켜 준다. 플래시 변환 계층(FTL)의 빠른 어드레스 맵핑을 위해 어드레스 맵핑 테이블(Address Mapping Table)의 사용될 수 있을 것이다.

[0092] S130 단계에서, 메모리 컨트롤러(510)는 변환된 물리 주소를 본 발명의 프로그램 기법을 적용하기 위하여 행 어드레스에 대한 재배열을 수행한다. 특히, 이러한 행 어드레스에 대한 재배열은 메모리 컨트롤러(520)에 포함되는 어드레스 맵퍼(515)에 의해서 수행된다. 즉, 선택된 메모리 블록에서 첫 번째로 선택되는 워드 라인은 기판에서 가장 먼 거리에 위치하는 워드 라인이 선택된다. 그리고 순차적으로 기판에 가까운 워드 라인들이 선택되도록 하나의 블록 내에서 행 어드레스가 재배열될 것이다.

[0093] S140 단계에서, 메모리 컨트롤러(510)는 재배열된 행 어드레스에 따라 제공된 데이터를 불휘발성 메모리 장치(520)에 프로그램할 것이다. 메모리 컨트롤러(510)에 의해서 제공되는 행 어드레스에 의하면, 앞서 설명된 도 3의 수직 구조의 불휘발성 메모리 장치(520)에서는 스트링 선택 라인(SSL)에 가까운 메모리 셀들부터 프로그램될 것이다. 메모리 컨트롤러(510)에 의해서 제공되는 행 어드레스에 의하면, 도 6의 수직 구조 불휘발성 메모리 장치(520)에서는 스트링 선택 라인(SSL) 또는 공통 소스 라인(CSL)에 가까운 메모리 셀들부터 프로그램될 것이다.

[0094] 이상에서 설명된 프로그램 방법에 따르면, 수직 구조의 불휘발성 메모리 장치의 프로그램 교란(Program Disturbance)이 효율적으로 차단될 수 있다. 따라서, 불휘발성 메모리 장치(520)에 저장되는 고용량의 데이터에 대한 무결성(Integrity)을 제공할 수 있다.

[0095] 도 12는 본 발명의 실시 예에 따른 솔리드 스테이트 디스크(이하, SSD)를 포함하는 사용자 장치를 보여주는 블록도이다. 도 12를 참조하면, 사용자 장치(1000)는 호스트(1100)와 SSD(1200)를 포함한다. SSD(1200)는 SSD 컨트롤러(1210), 베퍼 메모리(1220), 그리고 불휘발성 메모리 장치(1230)를 포함한다.

[0096] SSD 컨트롤러(1210)는 호스트(1100)와 SSD(1200)와의 물리적 연결을 제공한다. 즉, SSD 컨트롤러(1210)는 호스트(1100)의 버스 포맷(Bus format)에 대응하여 SSD(1200)와의 인터페이싱을 제공한다. 특히, SSD 컨트롤러(1210)는 호스트(1100)로부터 제공되는 명령어를 디코딩한다. 디코딩된 결과에 따라, SSD 컨트롤러(1210)는 불휘발성 메모리 장치(1230)를 액세스한다. 호스트(1100)의 버스 포맷(Bus format)으로 USB(Universal Serial Bus), SCSI(Small Computer System Interface), PCI express, ATA, PATA(Parallel ATA), SATA(Serial ATA), SAS(Serial Attached SCSI) 등이 포함될 수 있다.

[0097] 베퍼 메모리(1220)에는 호스트(1100)로부터 제공되는 쓰기 데이터 또는 불휘발성 메모리 장치(1230)로부터 읽혀

진 데이터가 일시 저장된다. 호스트(1100)의 읽기 요청시에 불휘발성 메모리 장치(1230)에 존재하는 데이터가 캐시되어 있는 경우에는, 버퍼 메모리(1220)는 캐시된 데이터를 직접 호스트(1100)로 제공하는 캐시 기능을 지원한다. 일반적으로, 호스트(1100)의 버스 포맷(예를 들면, SATA 또는 SAS)에 의한 데이터 전송 속도는 SSD(1200)의 메모리 채널의 전송 속도보다 월등히 빠르다. 즉, 호스트(1100)의 인터페이스 속도가 월등히 높은 경우, 대용량의 버퍼 메모리(1220)를 제공함으로써 속도 차이로 발생하는 폐포먼스 저하를 최소화할 수 있다.

[0098] 버퍼 메모리(1220)는 대용량의 보조 기억 장치로 사용되는 SSD(1200)에서 충분한 버퍼링을 제공하기 위해 동기식 DRAM(Synchronous DRAM)으로 제공될 수 있다. 하지만, 버퍼 메모리(1220)가 여기의 개시에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

[0099] 불휘발성 메모리 장치(1230)는 SSD(1200)의 저장 매체로서 제공된다. 예를 들면, 불휘발성 메모리 장치(1230)는 대용량의 저장 능력을 가지는 수직 구조 낸드 플래시 메모리(NAND-type Flash memory)로 제공될 수 있다. 불휘발성 메모리 장치(1230)는 복수의 메모리 장치로 구성될 수 있다. 이 경우, 각각의 메모리 장치들은 채널 단위로 SSD 컨트롤러(1210)와 연결된다. 저장 매체로서 불휘발성 메모리 장치(1230)가 낸드 플래시 메모리를 예로 들어 설명되었으나, 또 다른 불휘발성 메모리 장치들로 구성될 수 있다. 예를 들면, 저장 매체로서 PRAM, MRAM, ReRAM, FRAM, NOR 플래시 메모리 등이 사용될 수 있으며, 이종의 메모리 장치들이 혼용되는 메모리 시스템도 적용될 수 있다. 불휘발성 메모리 장치는 실질적으로 도 1에서 설명된 것과 동일하게 구성될 수 있다.

[0100] 상술한 SSD(1200)에서, 불휘발성 메모리 장치(1230)는 도 1의 불휘발성 메모리 장치와 실질적으로 동일하게 동작할 수 있다. 즉, SSD 컨트롤러(1210)로부터 제공되는 행 어드레스를 불휘발성 메모리 장치(1230)의 내부에서 디코딩하여 채널 홀의 직경을 고려한 프로그램을 수행할 수 있다. 또는, SSD 컨트롤러(1210)는 외부로부터의 제공되는 어드레스를 처리하여 불휘발성 메모리 장치(1230)의 프로그램 순서를 채널 홀의 직경에 따라 재구성할 수 있다.

[0101] 도 13은 본 발명의 다른 실시 예에 따른 메모리 시스템(2000)을 예시적으로 보여주는 블록도이다. 도 13을 참조하면, 본 발명에 따른 메모리 시스템(2000)은 메모리 컨트롤러(2200)와 불휘발성 메모리(2100)를 포함할 수 있다.

[0102] 불휘발성 메모리(2100)는 도 1의 불휘발성 메모리 장치(100)와 실질적으로 동일하게 구성될 수 있다. 따라서, 불휘발성 메모리(2100)에 대한 구체적인 설명은 생략하기로 한다.

[0103] 메모리 컨트롤러(2200)는 불휘발성 메모리(2100)를 제어하도록 구성될 수 있다. SRAM(2230)은 CPU(2210)의 워킹 메모리로 사용될 수 있다. 호스트 인터페이스(2220)는 메모리 시스템(2000)과 접속되는 호스트의 데이터 교환 프로토콜을 구비할 수 있다. 메모리 컨트롤러(2200)에 구비된 에러 정정 회로(2240)는 불휘발성 메모리(2100)로부터 읽어 온 읽기 데이터에 포함되어 있는 에러를 검출 및 정정할 수 있다. 메모리 인터페이스(2260)는 본 발명의 불휘발성 메모리(2100)와 인터페이싱 할 수 있다. CPU(2210)는 메모리 컨트롤러(2200)의 데이터 교환을 위한 제반 제어 동작을 수행할 수 있다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 시스템(2000)은 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(미도시됨) 등이 더 제공될 수 있다.

[0104] 메모리 컨트롤러(2100)는 USB, MMC, PCI-E, SAS, SATA, PATA, SCSI, ESDI, 그리고 IDE 등과 같은 다양한 인터페이스 프로토콜들 중 하나를 통해 외부(예를 들면, 호스트)와 통신하도록 구성될 것이다.

[0105] 상술한 메모리 시스템(2000)에서, 불휘발성 메모리 장치(2100)는 도 1의 불휘발성 메모리 장치와 실질적으로 동일하게 동작할 수 있다. 즉, 메모리 컨트롤러(2100)로부터 제공되는 행 어드레스를 불휘발성 메모리 장치(2100)의 내부에서 디코딩하여 채널 홀의 직경을 고려한 프로그램을 수행할 수 있다. 또는, 메모리 컨트롤러(2200)는 외부로부터의 제공되는 어드레스를 처리하여 불휘발성 메모리 장치(2100)의 프로그램 순서를 채널 홀의 직경에 따라 재구성할 수 있다.

[0106] 본 발명에 따른 메모리 시스템(2000)는, 컴퓨터, 휴대용 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA, 포터블(portable) 컴퓨터, 웹 태블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), 디지털 카메라(digital camera), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 사용자 장치들 중 하나에 적용될 수 있다.

[0107] 도 14는 본 발명의 다른 실시 예에 따른 데이터 저장 장치(3000)를 예시적으로 보여주는 블록도이다. 도 14를

참조하면, 본 발명에 따른 데이터 저장 장치(3000)는 플래시 메모리(3100)와 플래시 컨트롤러(3200)를 포함할 수 있다. 플래시 컨트롤러(3200)는 데이터 저장 장치(3000) 외부로부터 수신된 제어 신호들에 기초하여 플래시 메모리(3100)를 제어할 수 있다.

[0108] 상술한 데이터 저장 장치(3000)에서, 플래시 메모리(3100)는 도 1의 불휘발성 메모리 장치와 실질적으로 동일하게 동작할 수 있다. 즉, 플래시 컨트롤러(3200)로부터 제공되는 행 어드레스를 플래시 메모리(3100)의 내부에서 디코딩하여 채널 홀의 직경을 고려한 프로그램을 수행할 수 있다. 또는, 플래시 컨트롤러(3200)가 외부로부터의 제공되는 어드레스를 처리하여 불휘발성 메모리 장치(2100)의 프로그램 순서를 채널 홀의 직경에 따라 재구성할 수 있다.

[0109] 본 발명의 데이터 저장 장치(3000)는 메모리 카드 장치, SSD 장치, 멀티미디어 카드 장치, SD 카드, 메모리 스택 장치, 하드 디스크 드라이브 장치, 하이브리드 드라이브 장치, 또는 범용 직렬 버스 플래시 장치를 구성할 수 있다. 예를 들면, 본 발명의 데이터 저장 장치(3000)는 디지털, 카메라, 개인 컴퓨터 등과 같은 사용자 장치를 사용하기 위한 산업 표준을 만족하는 카드를 구성할 수 있다.

[0110] 도 15는 본 발명에 따른 플래시 메모리 장치(4100) 및 그것을 포함하는 컴퓨팅 시스템(4000)의 개략적인 구성을 보여주는 도면이다. 도 15를 참조하면, 본 발명에 따른 컴퓨팅 시스템(4000)은 버스(4400)에 전기적으로 연결된 플래시 메모리 장치(4100), 메모리 컨트롤러(4200), 베이스밴드 칩셋(baseband chipset)과 같은 모뎀(4300), 마이크로프로세서(4500), 그리고 사용자 인터페이스(4600)를 포함할 수 있다.

[0111] 도 15에 도시된 플래시 메모리 장치(4100)는 구성은 도 1에 도시된 불휘발성 메모리 장치(100)와 실질적으로 동일할 수 있다. 즉, 플래시 메모리 장치(4100)의 내부에서 입력되는 행 어드레스를 재구성하여 채널 홀의 직경을 고려한 프로그램을 수행할 수 있다. 또는, 메모리 컨트롤러(4200)가 외부로부터의 제공되는 어드레스를 처리하여 플래시 메모리 장치(4100)의 프로그램 순서를 채널 홀의 직경에 따라 재구성할 수 있다.

[0112] 본 발명에 따른 컴퓨팅 시스템이 모바일 장치인 경우, 컴퓨팅 시스템의 동작 전압을 공급하기 위한 배터리(4700)가 추가적으로 제공될 수 있다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 컴퓨팅 시스템에는 응용 칩셋(application chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 모바일 디램, 등이 더 제공될 수 있다. 메모리 컨트롤러(4200)와 플래시 메모리 장치(4100)는, 예를 들면, 데이터를 저장하는 데 불휘발성 메모리를 사용하는 SSD(Solid State Drive/Disk)를 구성할 수 있다.

[0113] 본 발명에 따른 불휘발성 메모리 장치 그리고/또는 메모리 컨트롤러는 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 본 발명에 따른 플래시 메모리 장치 그리고/또는 메모리 컨트롤러는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP), 등과 같은 패키지들을 이용하여 실장될 수 있다.

[0114] 이상에서와 같이 도면과 명세서에서 실시 예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특히 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특히 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

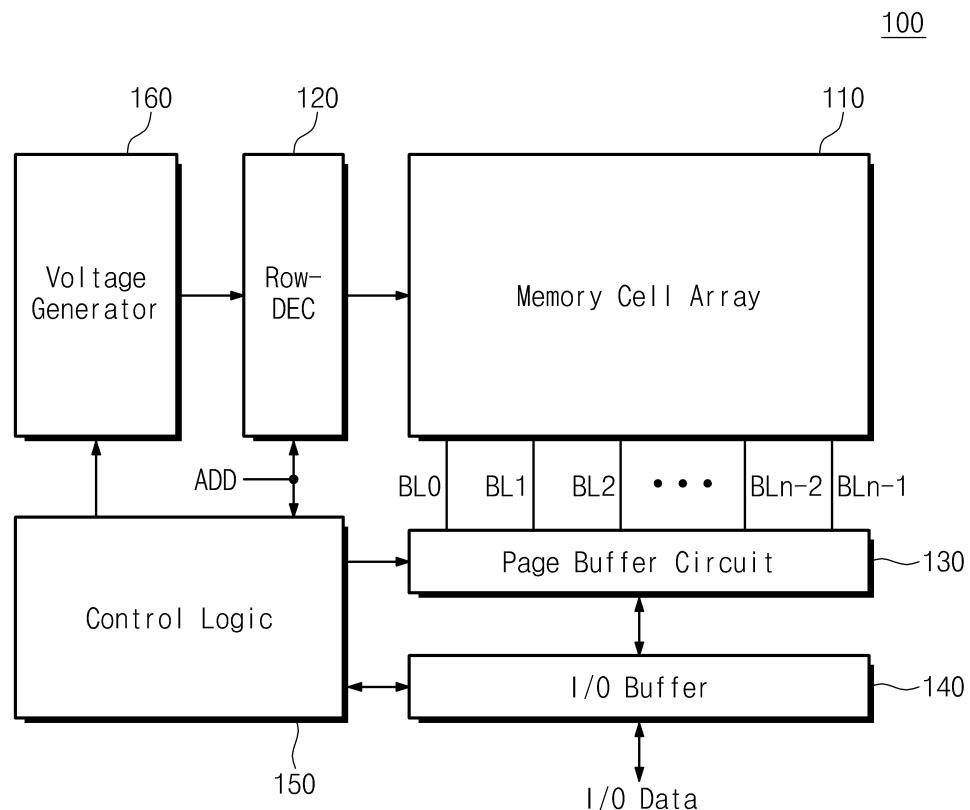
## 부호의 설명

110 : 셀 어레이	120 : 행 디코더
130 : 페이지 버퍼 회로	140 : 입출력 버퍼
150 : 제어 로직	160 : 전압 발생기
111 : 기판	112 : 절연 물질
113 : 필라	114 : 표면층

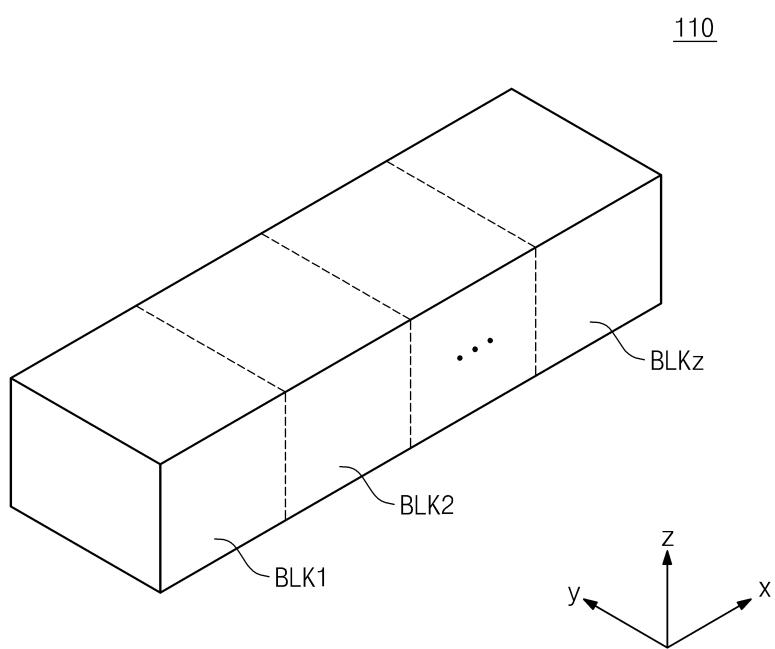
115 : 내부총	116 : 절연막
211, 221, 231, 241, 251, 261, 271, 281, 291 : 제 1 도전 물질	
213, 223, 233, 243, 253, 263, 273, 283, 293 : 제 1 도전 물질	
311, 312, 313, 314 : 도핑 영역	
320 : 드레인	331, 332, 333 : 비트 라인
510 : 메모리 컨트롤러	515 : 어드레스 맵퍼
520 : 불휘발성 메모리 장치	
1100 : 호스트	1200 : SSD
1210 : SSD 컨트롤러	1220 : 버퍼 메모리
1230 : 불휘발성 메모리 장치	2100 : 플래시 메모리
2200 : 메모리 컨트롤러	2210 : CPU
2220 : 호스트 인터페이스	2230 : SRAM
2240 : ECC	2260 : 메모리 인터페이스
3100 : 플래시 메모리	3200 : 플래시 인터페이스
4100 : 플래시 메모리	4200 : 메모리 컨트롤러
4300 : 모뎀	4400 : 시스템 버스
4500 : 마이크로 프로세서	4600 : 유저 인터페이스
4700 : 배터리	

## 도면

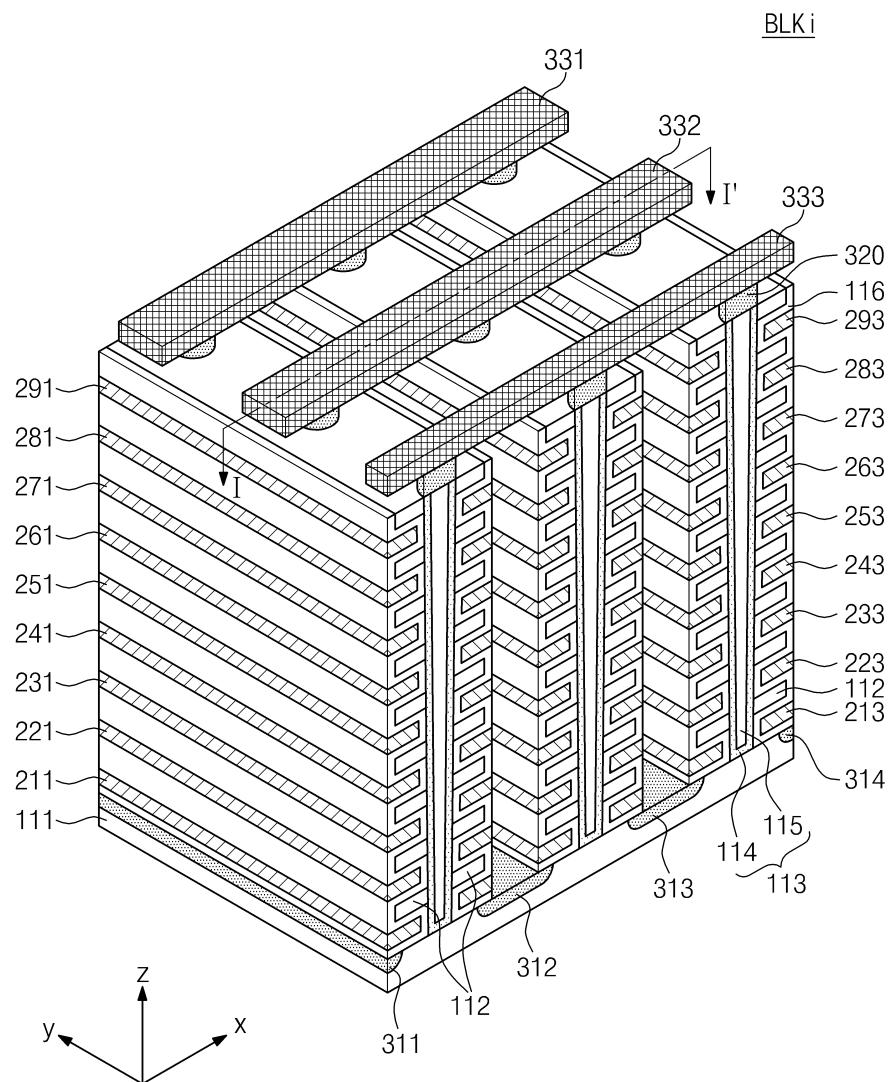
## 도면1



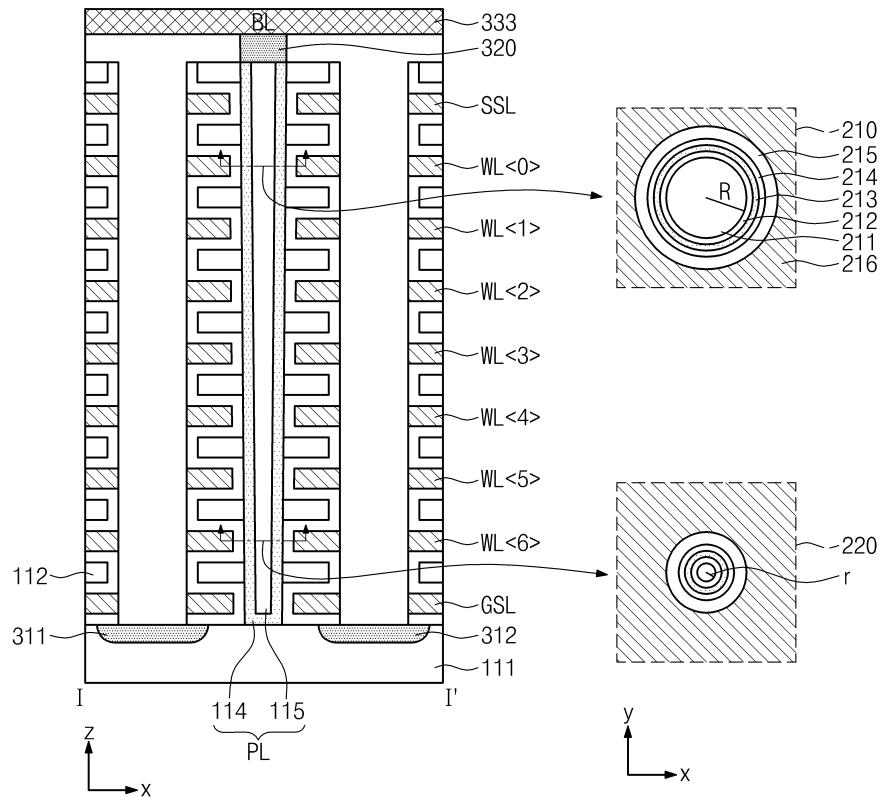
## 도면2



## 도면3



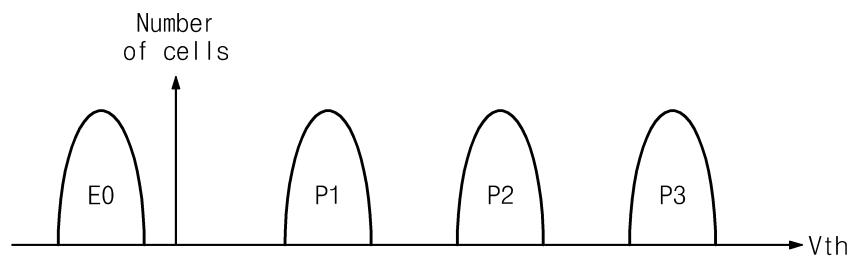
## 도면4



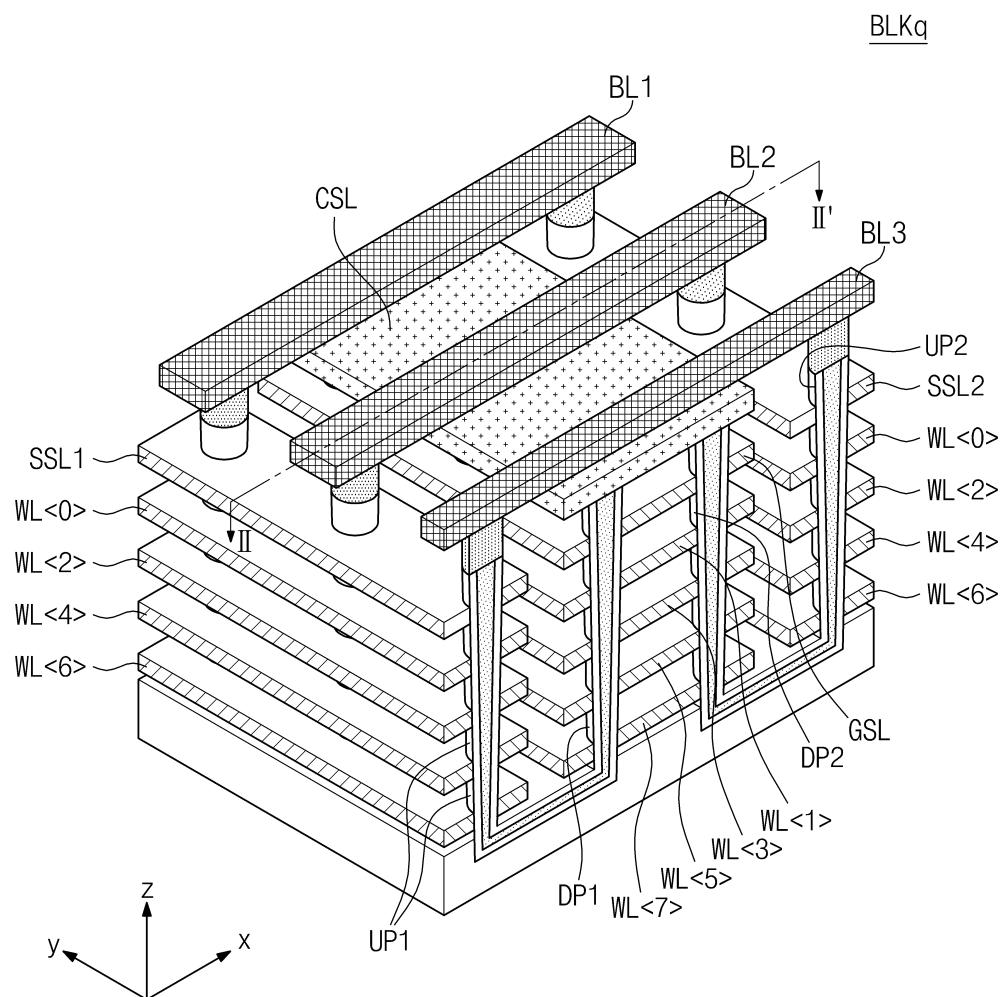
## 도면5a

Selected Cell String (CS1)		Inhibited Cell String (CS2)		
Symbol	Required PGM loop	Symbol	WL Voltage	Cell state
BL1	-	BL2	Vcc	-
SSL1	SST1	SSL2	SST2	-
WL<0>	MC00	WL<0>	MC10	Vpass P1
WL<1>	MC01	WL<1>	MC11	Vpass P2
WL<2>	MC02	WL<2>	MC12	Vpgm E0
WL<3>	MC03	WL<3>	MC13	Vpass E0
WL<4>	MC04	WL<4>	MC14	Vpass E0
WL<5>	MC05	WL<5>	MC15	Vpass E0
WL<6>	MC06	WL<6>	MC16	Vpass E0
GSL1	GST1	GSL2	GST2	Vss
CSL	-	CSL	-	-

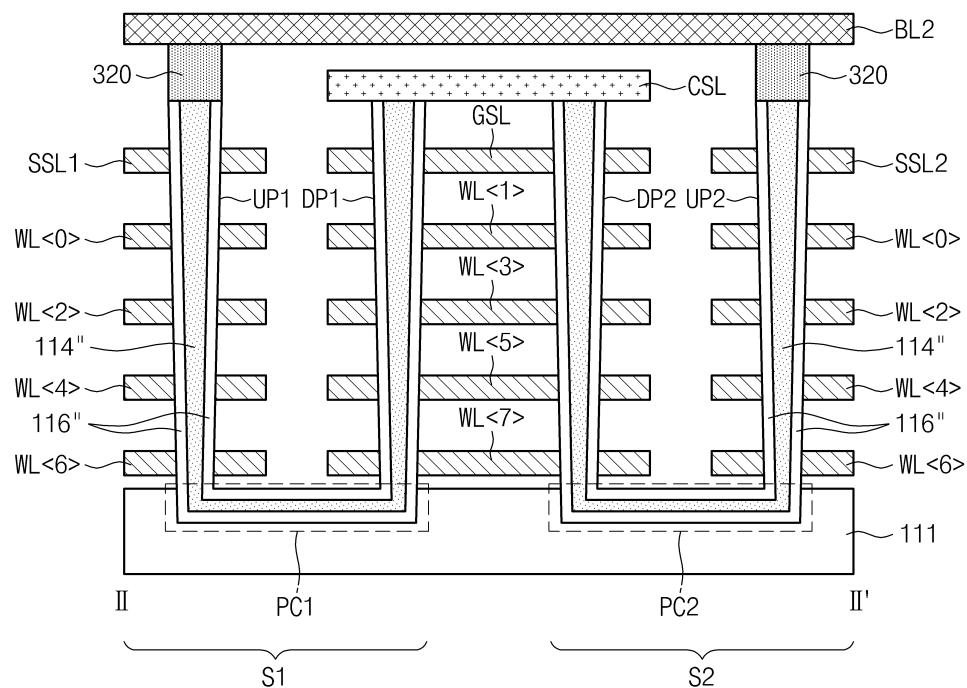
## 도면5b



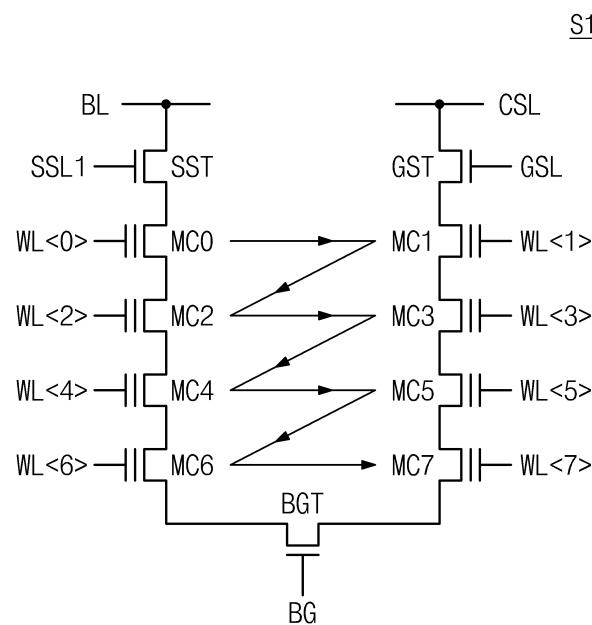
## 도면6



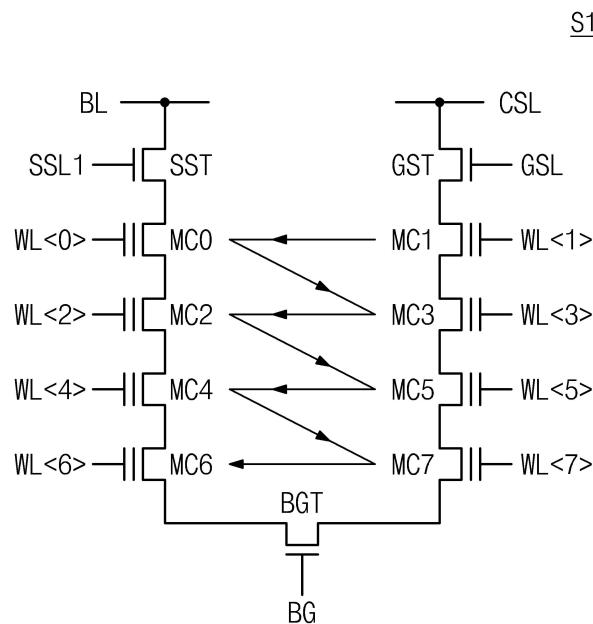
## 도면7



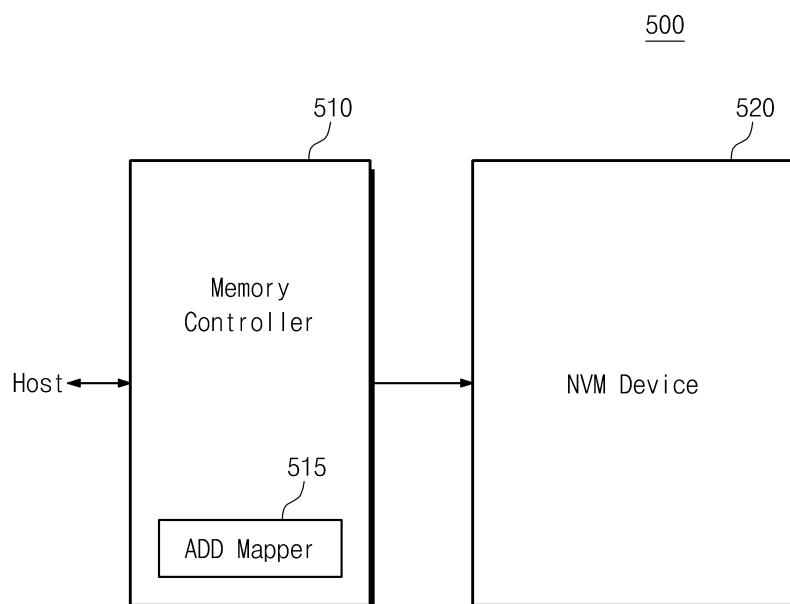
## 도면8



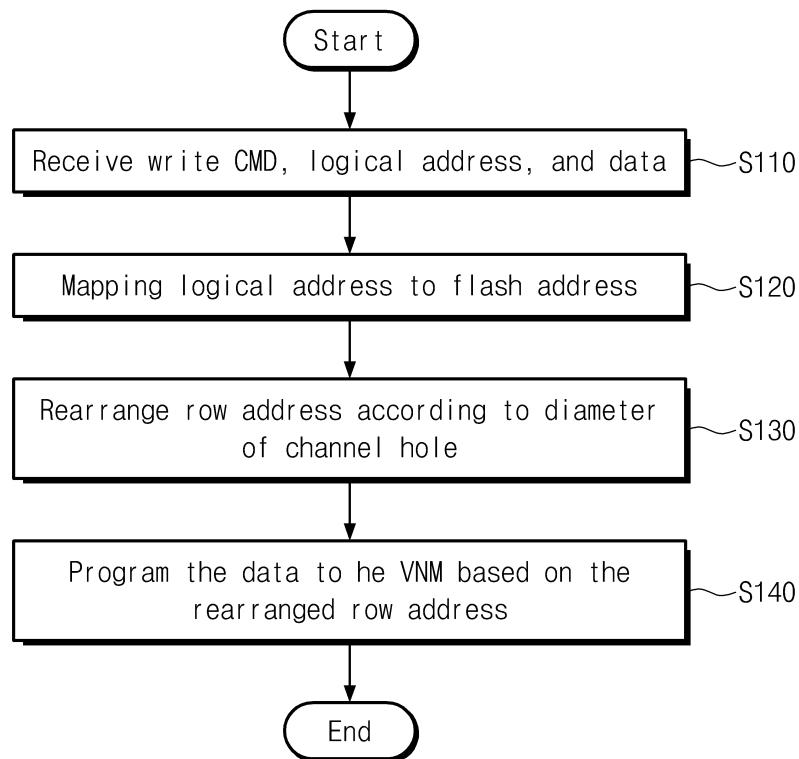
도면9



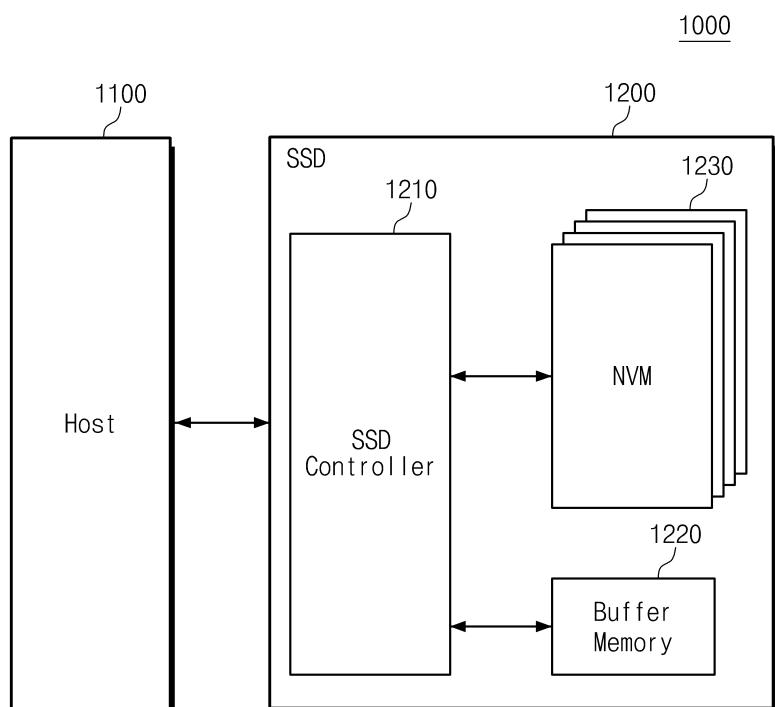
도면10



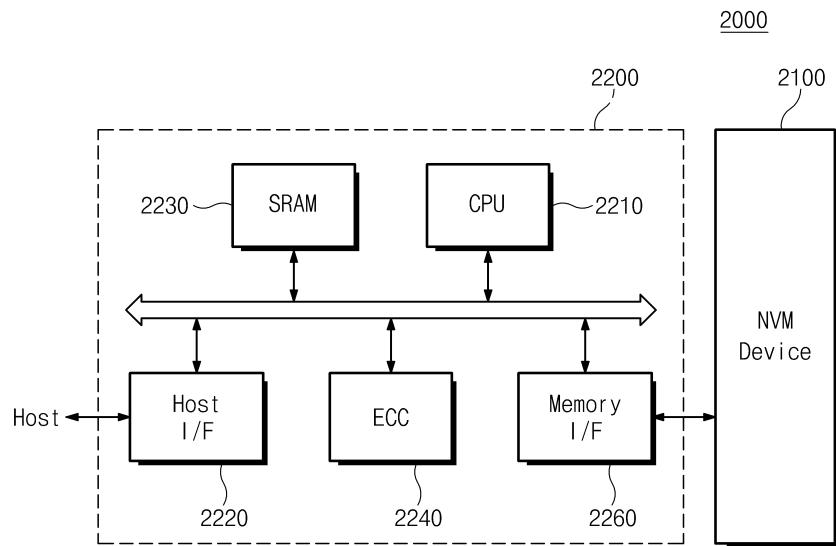
## 도면11



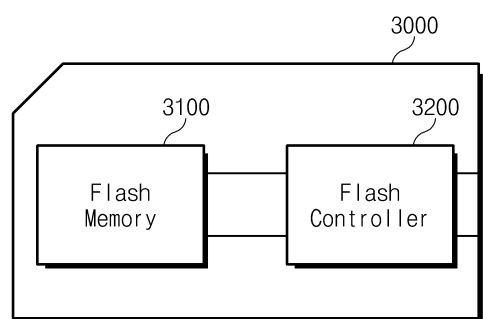
## 도면12



도면13



도면14



도면15

