



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년12월30일
(11) 등록번호 10-1691456
(24) 등록일자 2016년12월26일

- (51) 국제특허분류(Int. Cl.)
H03F 1/22 (2006.01) *H03F 1/30* (2006.01)
- (21) 출원번호 10-2014-0175592
(22) 출원일자 2014년12월09일
심사청구일자 2014년12월09일
(65) 공개번호 10-2015-0070011
(43) 공개일자 2015년06월24일
(30) 우선권주장
JP-P-2013-259217 2013년12월16일 일본(JP)
(56) 선행기술조사문현
JP2003347867 A*
JP2888923 B2*
KR1020100031061 A*
US08106711 B2*
*는 심사관에 의하여 인용된 문현

- (73) 특허권자
미쓰비시덴키 가부시키가이샤
일본국 도쿄도 지요다구 마루노우치 2쵸메 7반 3
고
(72) 발명자
타카하시 요시노리
일본국 도쿄도 지요다구 마루노우치 2쵸메 2반 3
고 미쓰비시덴키 가부시키가이샤 나이
미야시타 미요
일본국 도쿄도 지요다구 마루노우치 2쵸메 7반 3
고 미쓰비시덴키 가부시키가이샤 나이
야마모토 카즈야
일본국 도쿄도 지요다구 마루노우치 2쵸메 7반 3
고 미쓰비시덴키 가부시키가이샤 나이
(74) 대리인
이화의, 김홍두

전체 청구항 수 : 총 11 항

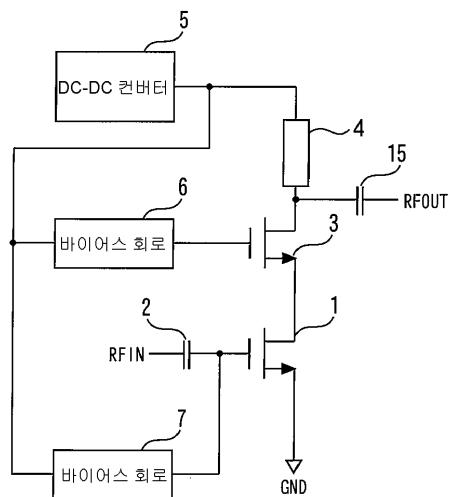
심사관 : 오성환

(54) 발명의 명칭 캐스코드 증폭기

(57) 요약

전원전압 제어 범위를 크게 하면서, 전력 부가 효율의 열화를 억제할 수 있는 캐스코드 증폭기를 얻는다. 트랜지스터 1은, 신호가 입력되는 게이트와, 접지된 소스와, 드레인을 갖는다. 트랜지스터 3은, 게이트와, 트랜지스터 1의 드레인에 접속된 소스와, 드레인을 갖는다. 부하(4)가 트랜지스터 3의 드레인에 접속되어 있다. DC-DC 컨버터(5)가, 출력 전력에 따라 가변하는 전원전압을 부하(4)를 거쳐 트랜지스터 3의 드레인에 공급한다. 바이어스 회로 6이, 전원전압의 함수로 표현되는 전압을 트랜지스터 3의 게이트에 공급한다.

대표도 - 도1



명세서

청구범위

청구항 1

신호가 입력되는 게이트와, 접지된 소스와, 드레인을 갖는 제1 트랜지스터와,
게이트와, 상기 제1 트랜지스터의 상기 드레인에 접속된 소스와, 드레인을 갖는 제2 트랜지스터와,
상기 제2 트랜지스터의 상기 드레인에 접속된 부하와,
출력 전력에 따라 가변하는 전원전압을 상기 부하를 거쳐 상기 제2 트랜지스터의 상기 드레인에 공급하는 DC-DC
컨버터와,
상기 전원전압의 함수로 표현되는 전압을 상기 제2 트랜지스터의 상기 게이트에 공급하는 제1 바이어스 회로를
구비한 것을 특징으로 하는 캐스코드 증폭기.

청구항 2

제 1항에 있어서,
상기 전원전압이 높을수록 상기 제1 바이어스 회로의 출력 전압이 높아지는 것을 특징으로 하는 캐스코드 증폭
기.

청구항 3

제 1항 또는 제 2항에 있어서,
상기 전원전압의 함수로 표현되는 전압을 상기 제1 트랜지스터의 상기 게이트에 공급하는 제2 바이어스 회로를
더 구비한 것을 특징으로 하는 캐스코드 증폭기.

청구항 4

제 3항에 있어서,
상기 전원전압이 높을수록 상기 제2 바이어스 회로의 출력 전압이 낮아지는 것을 특징으로 하는 캐스코드 증폭
기.

청구항 5

제 1항 또는 제 2항에 있어서,
상기 제1 바이어스 회로의 출력 전압의 함수로 표현되는 전압을 상기 제1 트랜지스터의 상기 게이트에 공급하는
제2 바이어스 회로를 더 구비한 것을 특징으로 하는 캐스코드 증폭기.

청구항 6

제 1항 또는 제 2항에 있어서,
상기 제1 바이어스 회로는, 상기 제1 트랜지스터의 드레인 전압이 어떤 일정한 전압 이상으로 되지 않도록 제한
하는 것을 특징으로 하는 캐스코드 증폭기.

청구항 7

제 1항 또는 제 2항에 있어서,

상기 제1 바이어스 회로는, 상기 제1 트랜지스터의 드레인 전압이 어떤 일정한 전압 이하로 되지 않도록 제한하는 것을 특징으로 하는 캐스코드 증폭기.

청구항 8

제 1항 또는 제 2항에 있어서,

외부에서 입력한 동작 모드 신호에 따라 상기 제1 바이어스 회로의 함수가 바뀌는 것을 특징으로 하는 캐스코드 증폭기.

청구항 9

제 1항 또는 제 2항에 있어서,

상기 제1 바이어스 회로는,

차동 입력 단자를 갖고, 상기 차동 입력 단자의 한쪽의 단자에 상기 전원전압이 입력되는 복수의 리미터 증폭기 와,

상기 복수의 리미터 증폭기의 상기 차동 입력 단자의 다른 쪽의 단자에 각각 참조 전압을 공급하는 복수의 참조 전압원과,

상기 복수의 리미터 증폭기의 출력을 가산하는 가산기를 갖는 것을 특징으로 하는 캐스코드 증폭기.

청구항 10

제 1항 또는 제 2항에 있어서,

상기 제1 바이어스 회로의 입력과 상기 제2 트랜지스터의 드레인 사이에 접속된 저역 통과 필터를 더 구비한 것을 특징으로 하는 캐스코드 증폭기.

청구항 11

제 1항 또는 제 2항에 있어서,

외부에서 입력된 디지털 정보를 기억하는 메모리를 더 구비하고,

상기 제1 바이어스 회로의 함수는 상기 디지털 정보에 따라 설정되는 것을 특징으로 하는 캐스코드 증폭기.

발명의 설명**기술 분야**

[0001] 본 발명은, 비교적 제조비용이 저렴한 실리콘 CMOS로 구성되는 캐스코드 증폭기에 관한 것으로서, 특히 전원전압 제어 범위를 크게 하면서, 전력 부가 효율의 열화를 억제할 수 있는 캐스코드 증폭기에 관한 것이다.

배경 기술

[0002] 일반적으로 휴대전화 등의 이동통신기에 사용되는 송신 신호 증폭용의 고출력 증폭기에는, 고주파 특성

이 양호하고 내압이 높은 GaAs HBT 등의 프로세스를 사용한 소자가 사용된다. 이들 프로세스로 제조된 고출력 증폭기는 최대 출력 전력시의 전력 부가 효율이 최대에 되도록 설계되고 있어, 출력 전력이 떨어졌을 때에 전력 부가 효율이 급속하게 열화한다. 따라서, 출력 전력에 따라 DC-DC 컨버터를 사용해서 고출력 증폭기의 전원전압을 제어함으로써 출력 전력 저하시의 효율 열화를 억제하는 방법이 있다(예를 들면, 비특허문헌 1 참조).

[0003] 또한, GaAs HBT 등의 프로세스는 제조비용이 비교적 고가이기 때문에, 양산시의 제조비용이 비교적 저렴한 실리콘의 CMOS 프로세스를 사용한 고출력 증폭기도 개발되어 있다. CMOS로 구성되는 고출력 증폭기의 경우, 트랜지스터의 고주파 특성이 높은 소자는 내압이 낮고, 내압이 높은 소자는 고주파 특성이 낮아진다. 따라서, 고출력 증폭기를 캐스코드 증폭기로서 구성하고, 소스 접지 트랜지스터에 저내압이고 고주파 특성이 높은 소자를 사용하고, 게이트 접지 트랜지스터에 고내압이고 고주파 특성이 낮은 소자를 사용한다. 게이트 접지 트랜지스터의 게이트 전압은 소스 접지 트랜지스터의 드레인 전압이 내압을 초과하지 않는 전압으로 설정된다.

선행기술문헌

비특허문헌

[0004] (비)특허문헌 0001) Douglas A. Teeter, "Average Current Reduction in (W)CDMA Power Amplifiers", Radio Frequency Integrated Circuits(RFIC) Symposium, 2006,

발명의 내용

해결하려는 과제

[0005] CMOS로 구성되는 캐스코드 증폭기의 경우에도, GaAs HBT로 구성되는 증폭기와 마찬가지로 전원전압을 DC-DC 컨버터를 사용해서 제어함으로써 출력 전력 저하시의 전력 부가 효율의 열화를 억제할 수 있다. 그러나, 게이트 접지 트랜지스터가 포화 동작으로부터 선형 동작으로 이행하는 동작점에 있어서 급격하게 출력 임피던스가 변화하기 때문에, 출력 신호가 왜곡된다. 이 때문에, 전원전압을 낮출 수 있는 하한이, 소스 접지 트랜지스터의 드레인 전압과 게이트 접지 트랜지스터의 포화 드레인 전압과 출력 진폭 마진의 합으로 된다.

[0006] 전원전압 제어 범위를 크게 하기 위해서는 소스 접지 트랜지스터의 드레인 전압을 가능한 한 낮게 설정하면 된다. 그러나, 출력 신호 전력이 커졌을 때에 소스 접지 트랜지스터의 드레인 전압의 동작 범위가 부족하기 때문에 소스 접지 트랜지스터가 선형 동작으로 되어 버려 출력 신호가 왜곡된다고 하는 문제가 있다.

[0007] 본 발명은, 전술한 것과 같은 과제를 해결하기 위해 이루어진 것으로, 그것의 목적은 전원전압 제어 범위를 크게 하면서, 전력 부가 효율의 열화를 억제할 수 있는 캐스코드 증폭기를 얻는 것이다.

과제의 해결 수단

[0008] 본 발명에 관한 캐스코드 증폭기는, 신호가 입력되는 게이트와, 접지된 소스와, 드레인을 갖는 제1 트랜지스터와, 게이트와, 상기 제1 트랜지스터의 상기 드레인에 접속된 소스와, 드레인을 갖는 제2 트랜지스터와, 상기 제2 트랜지스터의 상기 드레인에 접속된 부하와, 출력 전력에 따라 가변하는 전원전압을 상기 부하를 거쳐 상기 제2 트랜지스터의 상기 드레인에 공급하는 DC-DC 컨버터와, 상기 전원전압의 함수로 표현되는 전압을 상기 제2 트랜지스터의 상기 게이트에 공급하는 제1 바이어스 회로를 구비한 것을 특징으로 한다.

발명의 효과

[0009] 본 발명에서는 DC-DC 컨버터로부터 공급되는 전원전압의 함수로 표현되는 전압을 제2 트랜지스터의 게이트에 공급하는 제1 바이어스 회로를 사용한다. 이에 따라, 전원전압 제어 범위를 크게 하면서, 전력 부가 효율의 열화를 억제할 수 있다.

도면의 간단한 설명

[0010]

도 1은 본 발명의 실시형태 1에 관한 캐스코드 증폭기를 도시한 도면이다.

도 2는 본 발명의 실시형태 1에 관한 바이어스 회로를 도시한 도면이다.

도 3은 도 2의 바이어스 회로의 출력 특성을 도시한 도면이다.

도 4는 본 발명의 실시형태 2에 관한 캐스코드 증폭기를 도시한 도면이다.

도 5는 본 발명의 실시형태 3에 관한 캐스코드 증폭기를 도시한 도면이다.

도 6은 본 발명의 실시형태 3에 관한 바이어스 회로를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0011]

본 발명의 실시형태에 관한 캐스코드 증폭기에 대해서 도면을 참조해서 설명한다. 동일 또는 대응하는 구성요소에는 동일한 부호를 붙이고, 설명의 반복을 생략하는 경우가 있다.

[0012]

실시형태 1.

[0013]

도 1은, 본 발명의 실시형태 1에 관한 캐스코드 증폭기를 도시한 도면이다. 트랜지스터 1은, 게이트와, 접지된 소스와, 드레인을 갖는 소스 접지 트랜지스터다. 트랜지스터 1의 게이트에는, DC 컷트용의 용량 2를 거쳐 신호가 입력된다.

[0014]

트랜지스터 3은, 게이트와, 트랜지스터 1의 드레인에 접속된 소스와, 드레인을 갖는 게이트 접지 트랜지스터다. 부하(4)가 트랜지스터 3의 드레인에 접속되어 있다. 트랜지스터 3의 드레인으로부터, DC 컷트용의 용량 15를 거쳐 신호가 출력된다. 트랜지스터 1, 3은 실리콘의 MOSFET이다.

[0015]

DC-DC 컨버터(5)가, 출력 전력에 따라 가변하는 전원전압을 부하(4)를 거쳐 트랜지스터 3의 드레인에 공급한다. 바이어스 회로 6이, 전원전압의 함수로 표현되는 전압을 트랜지스터 3의 게이트에 공급한다. 바이어스 회로 7이, 전원전압의 함수로 표현되는 전압을 트랜지스터 1의 게이트에 공급한다.

[0016]

구체적으로는, DC-DC 컨버터(5)의 전원전압이 높을수록 트랜지스터 1의 드레인 전압이 높아지도록 바이어스 회로 6의 출력 전압은 높아진다. 트랜지스터 1로서 고주파 성능이 높고 게이트 길이가 짧은 트랜지스터를 사용하기 때문에, 쇼트 채널 효과의 영향으로 드레인 전압이 높아지면 바이어스 전류가 증가한다. 따라서, 전원전압이 높을수록 바이어스 회로 7의 출력 전압은 낮아지고, 트랜지스터 1의 게이트 전압은 낮아진다.

[0017]

또한, 전원전압에 따라 트랜지스터 1의 게이트 전압을 높게 하면, 고주파 특성이 우수한 트랜지스터 1의 내압은 낮다. 따라서, 바이어스 회로 6은, 트랜지스터 1의 드레인 전압이, 트랜지스터 1의 내압을 초과하지 않는 어떤 일정한 전압 이상으로 되지 않도록 제한한다. 반대로, 바이어스 회로 6이 트랜지스터 1의 드레인 전압이 어떤 일정한 전압 이하로 되지 않도록 제한해도 된다.

[0018]

도 2는, 본 발명의 실시형태 1에 관한 바이어스 회로를 도시한 도면이다. 복수의 리미터 증폭기(8)는 각각 차동 입력 단자를 갖는다. 복수의 리미터 증폭기(8)의 차동 입력 단자의 한쪽의 단자에 모니터 전압 V_{mon} (전원전압)이 입력된다. 복수의 참조 전압원(9)이 복수의 차동 입력 단자의 다른 쪽의 단자에 각각 참조 전압 V_1, \dots, V_n 을 공급한다. 가산기(10)가 복수의 리미터 증폭기(8)의 출력을 가산한다. 여기에서는 n 개의 리미터 증폭기를 사용하고 있다. 복수의 리미터 증폭기(8)는 복수의 참조 전압원(9)의 참조 전압 V_1, \dots, V_n 과 모니터 전압 V_{mon} 의 차전압에 의해 제어되어, 0으로부터 리미팅 레벨 L_1, \dots, L_n 까지의 레벨을 출력한다.

[0019]

도 3은, 도 2의 바이어스 회로의 출력 특성을 도시한 도면이다. 복수의 리미터 증폭기(8)의 단 수, 참조 전압 V_1, \dots, V_n , 리미팅 레벨 L_1, \dots, L_n , 및 복수의 리미터 증폭기(8)의 이득 $G_1 \dots G_n$ 을 적당히 설정함으로써, 모니터 전압 V_{mon} 에 대하여 임의의 함수의 출력 특성을 얻을 수 있다.

[0020]

이때, 도 3의 출력 특성은 꺾은선 형상이지만, 실제의 회로에서는 복수의 리미터 증폭기(8)의 상승 및 리미팅 특성은 매끄럽게 상승하고, 리미팅된다. 이 때문에, 가산기(10)의 출력 특성도 꺾은선이 아니고 매끄러워진다.

[0021]

본 실시형태에서는 DC-DC 컨버터(5)로부터 공급되는 전원전압의 함수로 표현되는 전압을 트랜지스터 3의

게이트에 공급하는 바이어스 회로 6을 사용함으로써, 전원전압 제어 범위를 크게 하면서, 전력 부가 효율의 열화를 억제할 수 있다. 또한, 전원전압을 모니터해서 트랜지스터 1의 게이트에 적절한 전압을 공급하는 바이어스 회로 7을 사용함으로써 더욱 더 전력 부가 효율을 개선 할 수 있다. 이때, 외부에서 입력한 동작 모드 신호에 따라 바이어스 회로 6의 함수가 전환되도록 하여도 된다.

[0022] 실시형태 2.

도 4는, 본 발명의 실시형태 2에 관한 캐스코드 증폭기를 도시한 도면이다. 저역 통과 필터(11)가 바이어스 회로 6의 입력과 트랜지스터 3의 드레인 사이에 접속되어 있다. 또한, 바이어스 회로 7은, 바이어스 회로 6의 출력 전압의 함수로 표현되는 전압을 트랜지스터 1의 게이트에 공급한다.

캐스코드 증폭기와 DC-DC 컨버터(5)는 동일 칩 위에 접적화하는 것이 곤란하기 때문에, 별개의 칩으로 형성된다. 따라서, 실시형태 1에서는 전원전압을 모니터하는 독립된 단자가 필요하기 때문에, 캐스코드 증폭기의 칩 사이즈의 증대와, DC-DC 컨버터(5)를 조합했을 때의 실장 면적의 증대의 원인이 된다. 따라서, 본 실시형태에서는 바이어스 회로 6의 입력을 트랜지스터 3의 드레인에 접속하고 있다. 이 때문에, 단자를 추가할 필요가 없어, 칩 사이즈와 실장 면적의 증대를 방지할 수 있다.

또한, 바이어스 회로 7은, 바이어스 회로 6의 출력 전압의 함수로 표현되는 전압을 트랜지스터 1의 게이트에 공급함으로써, 바이어스 회로 6이 복잡한 함수를 공급한 경우에도 바이어스 회로 7은 비교적 간단한 바이어스 회로로 구성할 수 있다.

[0026] 실시형태 3.

도 5는, 본 발명의 실시형태 3에 관한 캐스코드 증폭기를 도시한 도면이다. 디지털 인터페이스(12)가 외부에서 디지털 신호를 수신해서 디코드한다. 외부에서 입력된 디지털 정보를 메모리(13, 14)가 기억한다. 바이어스 회로(6, 7)의 함수는 메모리(13, 14)에 기억된 디지털 정보에 따라 설정된다. 이에 따라, 변조 방식의 차이 등에 의해 변하는 DC-DC 컨버터(5)의 제어 조건과 캐스코드 증폭기의 바이어스 조건에 대하여 최적의 조건을 설정할 수 있어, 다양한 동작조건에 대하여 양호한 전력 부가 효율을 얻을 수 있다.

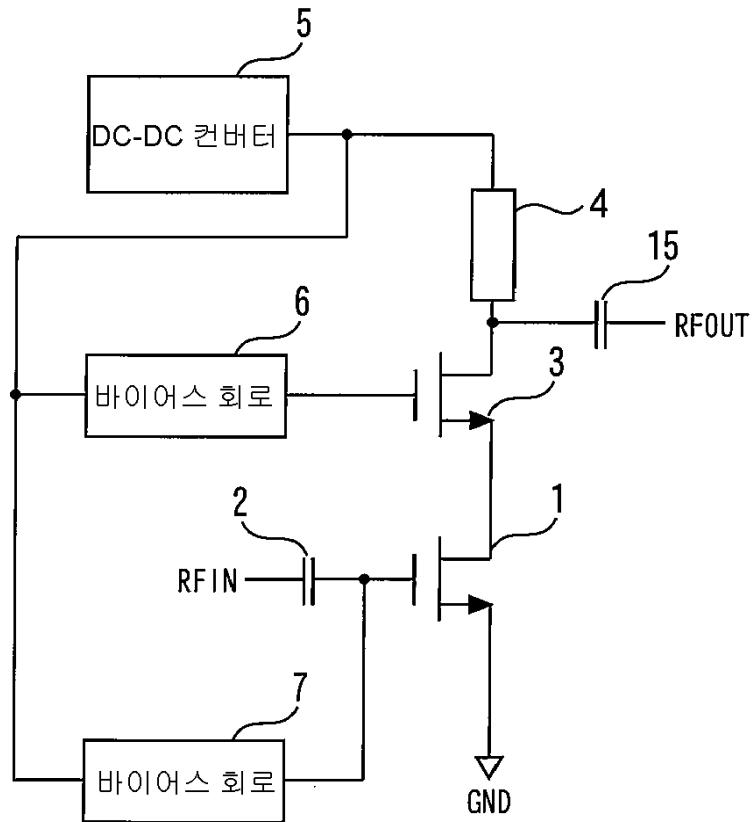
도 6은, 본 발명의 실시형태 3에 관한 바이어스 회로를 도시한 도면이다. 복수의 리미터 증폭기(8)와 복수의 참조 전압원(9)의 참조 전압 V_i ($i=1 \dots n$), 이득 G_i ($i=1 \dots n$), 및 리미팅 레벨 L_i ($i=1 \dots n$)은 가변이고, 각각 디지털 정보에 따라 설정된다. 따라서, 외부에서의 디지털 정보에 따라 임의의 출력 특성을 얻을 수 있다.

부호의 설명

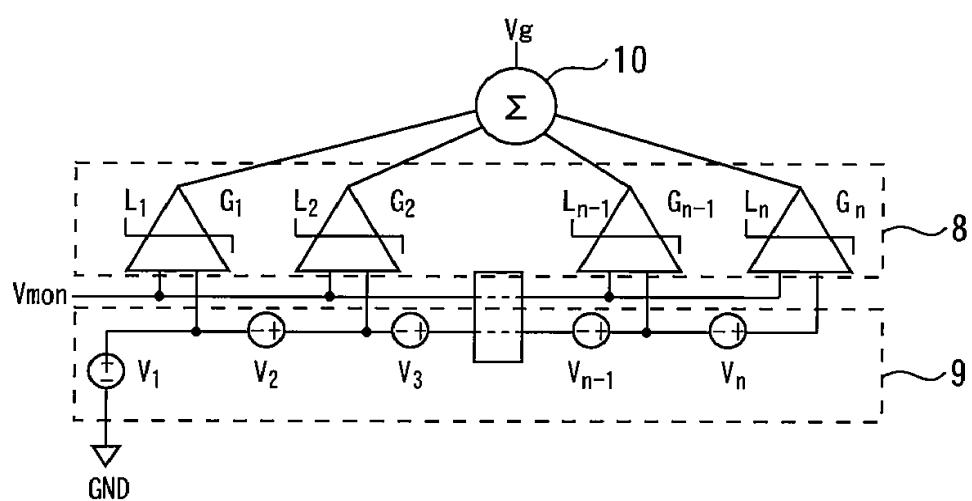
1, 3 트랜지스터, 4 부하, 5 DC-DC 컨버터, 6, 7 바이어스 회로, 8 리미터 증폭기, 9 참조 전압원, 10 가산기, 11 저역 통과 필터, 13, 14 메모리

도면

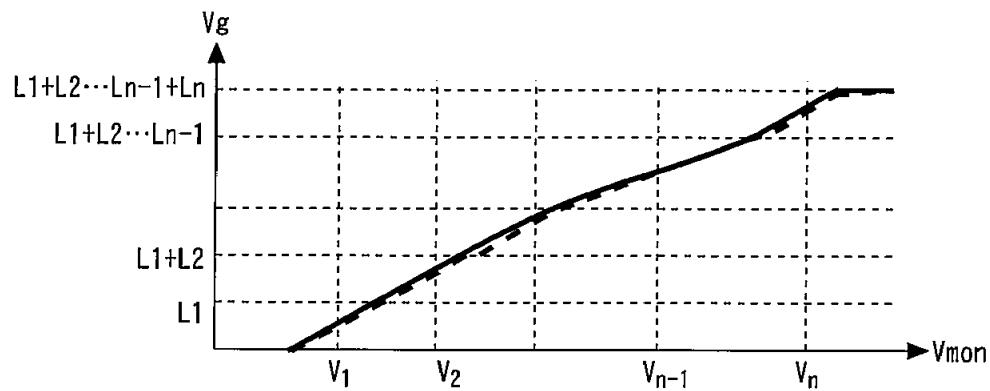
도면1



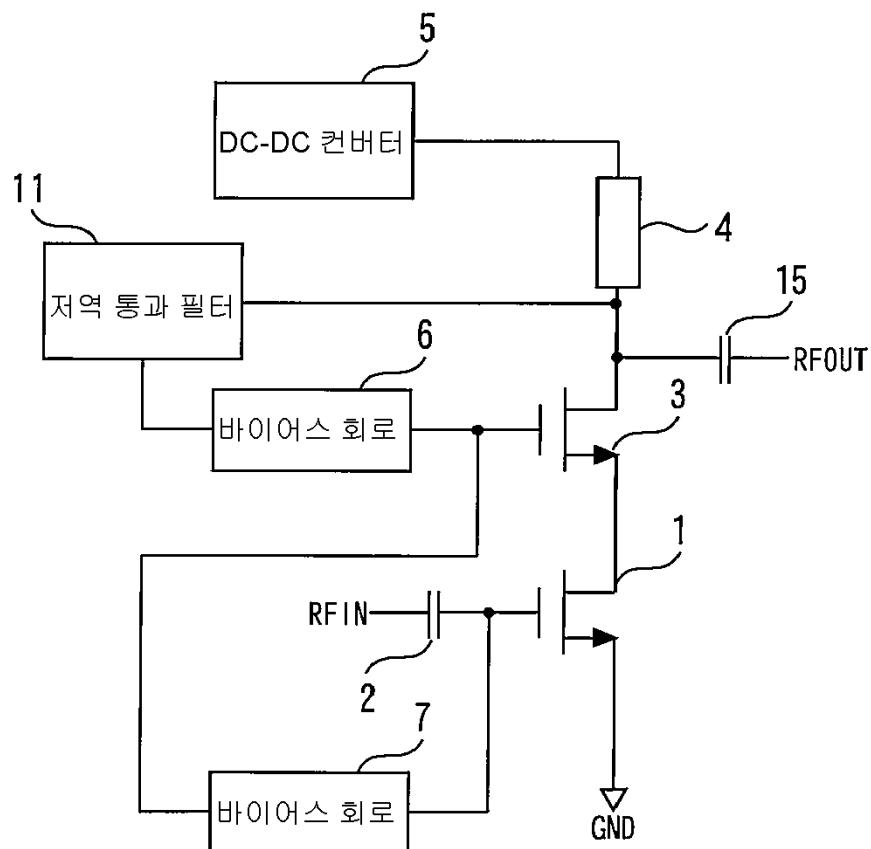
도면2



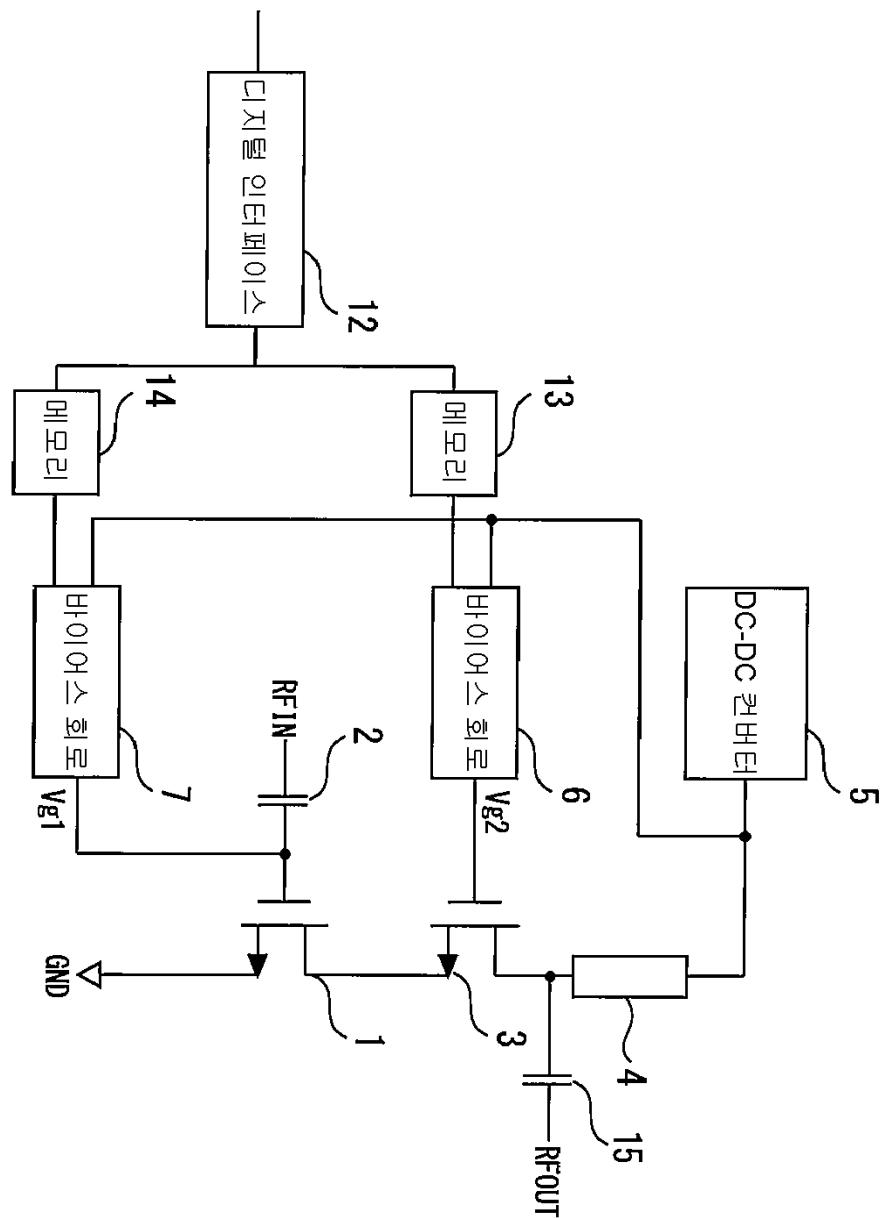
도면3



도면4



도면5



도면6

