



SUOMI-FINLAND

(FI)

Patentti- ja rekisterihallitus
Patent- och registerstyrelsen

(B) (11) KUULUTUSJULKAISU
UTLAGGNINGSSKRIFT

80548

C (10) Patentti- ja rekisterihallitus
Patentti- och registerstyrelsen 11 06 1999

(51) Kv.1k.5 - Int.c1.5

H 03M 3/02

(21) Patenttihakemus - Patentansökning	885156
(22) Hakemispäivä - Ansökningsdag	09.11.88
(24) Alkupäivä - Löpdag	09.11.88
(41) Tullut julkiseksi - Blivit offentlig	28.02.90
(44) Nähtäväksipanon ja kuul.julkaisun pvm. - Ansökan utlagd och utl.skriften publicerad	28.02.90

(71) Hakija - Sökande

1. Oy Nokia Ab, Mikonkatu 15 A, 00100 Helsinki, (FI)

(72) Keksijä - Uppfinnare

1. Karema, Teppo, Kraatarinkatu 1 B, 33270 Tampere, (FI)
2. Tenhunen, Hannu, Helakuja 4, 33720 Tampere, (FI)
3. Ritonieni, Tapani, Opiskelijankatu 4 D, 33720 Tampere, (FI)

(74) Asiamies - Ombud: Oy Kolster Ab

(54) Keksinnön nimitys - Uppfinningens benämning

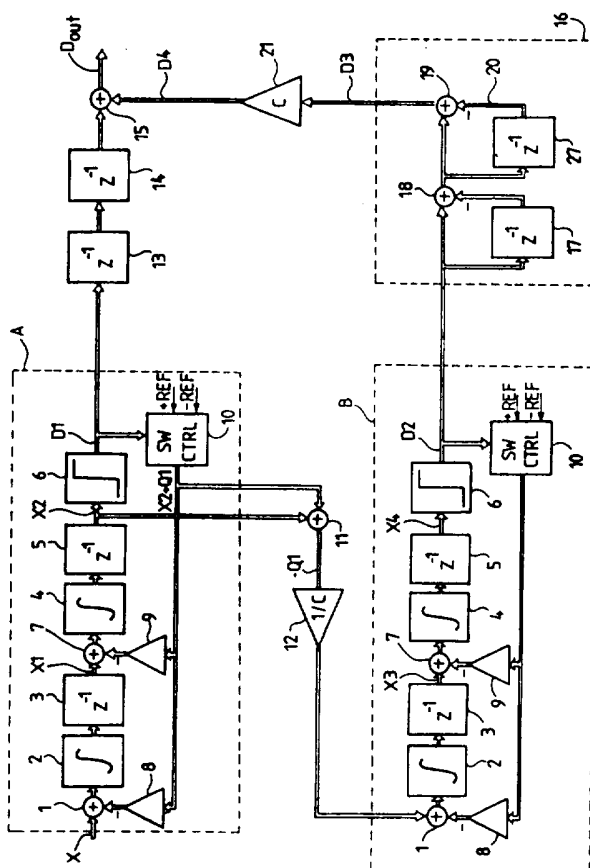
Menetelmä kahden tai useamman sigma-delta-modulaattorin kytkemiseksi kaskadiin sekä sigma-delta-modulaattorijärjestelmä
Förfarande för kaskadkoppling av två eller flera sigma-delta-modulatorer samt ett sigma-delta-modulatorsystem

(56) Viitejulkaisut - Anförda publikationer

US A 4704600 (H 03 M 3/00), US A 4733219 (H 03 M 7/32)

(57) Tiivistelmä - Sammandrag

Keksinnön kohteena on menetelmä kahden tai useamman sigma-delta-modulaattorin kytkemiseksi kaskadiin siten, että kaskadissa kulloinkin seuraavana olevalle modulaattorille syötetään kvantisoitavaksi edellisen modulaattorin kvantisointivirhettä edustava virhesignaali, minkä jälkeen kvantisoitu virhesignaali derivoidaan ja vähennetään edellisen modulaattorin kvantisoidusta ulostulosignaalista. Kaskadikytkennän suorituskyvyn parantamiseksi keksinnön mukaiselle menetelmälle on tunnusomaista, että virhesignaali skaalataan ennen mainittua seuraavaa modulaattoria ensimmäisellä kertoimella, joka on pienempi kuin 1, ja että kvantisoitu virhesignaali skaalataan toisella kertoimella, joka on oleellisesti yhtä suuri kuin ensimmäisen kertoimen käänteisluku, ennen sen vähentämistä mainitun edellisen modulaattorin kvantisoidusta ulostulosignaalista.



Uppfinningen avser ett förfarande för koppling av två eller flera sigma-delta-modulatorer i kaskad så, att till ifrågasvarande följande modulator i kaskaden inmatas för kvantisering en felsignal representerande föregående modulators kvantiseringsfel, varefter den kvantiserade felsignalen deriveras och subtraheras från föregående modulators kvantiserade utgångssignal. För förbättring av kaskadkopplingens prestationsförmåga kännetecknas förfarandet enligt uppfinningen av, att felsignalen skaleras före nämnda följande modulator med en första koefficient, som är mindre än 1, och den kvantiserade felsignalen skaleras med en andra koefficient, som väsentligen är lika med inversa värdet av den första koefficienten, förrän den subtraheras från nämnda föregående modulators kvantiserade utgångssignal.

Menetelmä kahden tai useamman sigma-delta-modulaattorin kytkemiseksi kaskadiin sekä sigma-delta-modulaattorijärjestelmä

5 Keksintö koskee menetelmää kahden tai useamman sigma-delta-modulaattorin kytkemiseksi kaskadiin siten, että kaskadissa kulloinkin seuraavana olevalle modulaattorille syötetään kvantisoitavaksi edellisen modulaattorin kvantisoituvirhettä edustava virhesignaali, minkä jälkeen
10 kvantisoitu virhesignaali derivoidaan ja vähennetään edellisen modulaattorin kvantisoidusta ulostulosignaalista. Keksintö koskee myös menetelmän mukaisesti muodostettua, patenttivaatimuksen 4 johdannossa esitettyä sigma-delta-modulaattorijärjestelmää.

15 Kuten esim. artikkelissa "A Use of Double Integration in Sigma-Delta-Modulation" IEEE Trans. on Comm., COM-33, s. 249-258, maaliskuu 1985, on esitetty, sigma-delta-modulaattori käsittää ainakin yhden integrointiasteen tai suodattimen ja sitä seuraavan kvantisointiasteen
20 (vertailijan) sekä vertailijan ulostulosta integrointiasteen sisääntuloon muodostetun takaisinkytkennän. Integrointiasteiden lukumäärän mukaisesti puhutaan toisen, kolmannen tai neljännen asteen sigma-delta-modulaattoreista. Tällaiset korkeamman asteen sigma-delta-modulaattorit
25 (SDM) ovat viime aikoina tulleet yhä kiinnostavammiksi audio- ja ISDN-sovellutuksissa. Niiden kiinnostavuus perustuu siihen, että siirryttäessä korkeamman asteen modulaattoreihin myös suoritettujen integrointiasteiden määrä kasvaa, minkä seurauksena kohinan tason päästökaistalla laskee ja kvantisoitukohina siirtyy korkeammille taajuuksille.
30 Tätä kutsutaan kvantisoitukohinan muotoilemiseksi integroimalla. Tällä tekniikalla saavutetaan suurempi signaalikohinasuhde ja tarkkuus. Tällöin korkeamman asteen sigma-delta-modulaattori tarjoaisi mielenkiintoisen sovellutuksen A/D- tai D/A-muuntimissa.
35

Tavanomaisella tavalla sarjaankytkettyjen integraattorien muodostama sigma-delta-modulaattori on kuitenkin käytännössä vaikea toteuttaa takaisinkytkentäsilmuksien aiheuttaman värähtelyn vuoksi. Artikkelissa "A 16-bit
5 Oversampling A-to-D Conversion Technology Using Triple-Integration Noise Shaping", IEEE Journal of Solid State Circuits, Vol. SC-22, nro 6, joulukuu 1987, sivut 921-929, on esitetty tämän ongelman voittamiseksi korkean asteen sigma-delta-modulaattorijärjestelmä, joka on muodostettu
10 kytkemällä kaskadiin useita stabiileja ensimmäisen asteen sigma-delta-modulaattoreita. Tätä tekniikkaa kutsutaan tämän jälkeen MASH-tekniikaksi. Kaskadissa ensimmäisessä olevan signaalin kvantisointivirhe johdettiin kaskadissa toisena olevalle sigma-delta-modulaattorille, joka kvan-
15 tisoi virhesignaalin. Kvantisointivirhesignaali derivoitiin digitaalisella derivaattorilla, joka suoritti digitaalisesti ensimmäisen modulaattorin integraattorin kohinansiirtofunktion. Tämän jälkeen kvantisoitu virhesignaali vähennettiin ensimmäisen modulaattorin kvantisoidusta
20 ulostulosignaalista, jolloin jäljelle jäi vain toisen modulaattorin kvantisointikohina. Vastaavasti toisen modulaattorin kvantisointivirhe johdettiin kaskadissa kolmantena olevalle modulaattorille, jonka kvantisoitu ulostulo puolestaan vähennettiin toisen modulaattorin kvanti-
25 soidusta ulostulosignaalista, joka puolestaan vähennettiin ensimmäisen modulaattorin ulostulosta, jolloin järjestelmän ulostuloon jäi vain kolmannen asteen kvantisointikohina. Tällä tavoin saatiin muodostettua stabiili kolmannen asteen sigma-delta-modulaattori. Tällä tavoin toteutetulla
30 A/D-muuntimella saavutetaan kuudentoista bitin signaali-kvantisointikohinasuhde (S/N_q) audiokaistalla (24 kHz).

Kaskadiin kytkettyjen asteiden lukumäärän kasvattaminen lisää jokaisen yksittäisen modulaattorin komponenttien tarkkuusvaatimuksia, kun bittitarkkuutta halutaan kasvattaa. Tämän vuoksi esitettyä korkeamman asteen
35

modulaattorijärjestelmän toteuttaminen lisäämällä kaskadiin neljäs tai viides ensimmäisen asteen sigma-delta-modulaattori johtaa helposti ongelmiin. Modulaattorit toteutetaan yleensä integroiduille piireille, jolloin modulaattorien lisääminen kuluttaa piirisirun pinta-alaa. Piirisirun pinta-alaa kuluttaa myös se, että ensimmäisen asteen modulaattorin luonteesta johtuen ensimmäinen modulaattori täytyy toteuttaa differentiaalisena ja sisäänmenoon täytyy kytkeä yhteismuotoisena kanttiaalto, jonka taajuus on päästökaistan ulkopuolella (dither).

Esillä olevan keksinnön päämääränä on korkeamman asteen sigma-delta-modulaattorijärjestelmä, jolla päästään aikaisempaa parempaan signaali-kvantisointikohinasuhteeseen ja joka kuitenkin on rakenteeltaan yksinkertaisempi ja asettaa alhaisemmat vaatimukset modulaattorin analogia-rakenteille.

Tämä saavutetaan patenttivaatimuksen 1 johdannon mukaisella menetelmällä, jolle on tunnusomaista, että virhesignaali skaalataan ennen mainittua seuraavaa modulaattoria ensimmäisellä kertoimella, joka on pienempi kuin 1, ja että kvantisoitu virhesignaali skaalataan toisella kertoimella, joka on oleellisesti yhtä suuri kuin ensimmäisen kertoimen käänteisluku, ennen sen vähentämistä mainitun edellisen modulaattorin kvantisoidusta ulostulosignaalistä.

Keksintö perustuu havaintoon, että esimerkiksi kaskadin ensimmäisessä modulaattorissa pääsignaalin ja siihen summautuneen takaisinkytketyn kvantisointikohinan yhdistetty taso on huomattavasti suurempi kuin signaalitaso modulaattorin sisääntulossa. Tästä on seurauksena, että myös seuraavalle modulaattorille johdettavalla virhesignaalilla on korkea taso. Modulaattorin takaisinkytkennässä integraattorin sisääntuloon summataan kvantisointiyksikön ulostulon mukaisesti joko plus- tai miinusmerkkinen sisäinen vertailujännite. Nämä vertailujännitteet määrittä-

vät maksimaaliset modulaattorin sisääntulotasot. Mikäli ensimmäisessä modulaattorissa käytetään hyväksi koko sen dynamiikka-alue, seuraavalle modulaattorille menevän virhesignaalin taso on niin suuri, että se ainakin välillä ylittää annetut vertailutasot ja aiheuttaa toisen modulaattorin virheellisen toiminnan. Esillä olevassa keksinnössä tämä on vältetty skaalaamalla seuraavalle modulaattorille menevän virhesignaalin taso ennalta määrätyllä skaalauskerroimella siten, että modulaattori ei yliohtaudu mutta sen maksimi dynamiikka-alue käytetään hyväksi. Modulaattorin kvantisoima virhesignaali kerrotaan sitten digitaalisessa kertojassa toisella skaalauskerroimella, joka on ensimmäisen käänteisluku, niin että ensimmäisen modulaattorin kvantisoidusta ulostulosta vähennettävän kvantisoidun virhesignaalin taso vastaa todellisen kvantisoitivirheen tasoa. Keksinnön mukaisen skaalauksen avulla jokainen modulaattori saadaan toimimaan optimaalisella dynamiikka-alueella, mikä oleellisesti kasvattaa järjestelmän signaali-kohtinasuhdetta aikaisempaan verrattuna.

Keksinnön ensisijaisessa suoritusmuodossa kaskadiin kytketään toisen asteen sigma-delta-modulaattoreita, joiden kunkin siirtofunktio on oleellisesti yksi. Nämä modulaattorit on lisäksi edullisesti varustettu kahdella takaisinkytkennällä, mikä antaa modulaattorille paremman stabilisuuden. Toisen asteen modulaattoreissa edellä mainittu skaalaus on vieläkin tärkeämpi kuin ensimmäisen asteen modulaattoreissa, sillä kohinan ja pääsignaalin summautunut taso ennen kvantisointia on jopa noin 3 - 4 kertaa suurempi kuin signaalin taso modulaattorin sisääntulossa. Tällöin toiseksi skaalauskerroimeksi valitaan edullisesti kaksi tai sitä suurempi kokonaisluku, koska binäärinen kertominen näillä luvuilla on yksinkertaista. Ensimmäiseksi skaalauskerroimeksi valitaan näiden kertoimien käänteisluku. Erityisen edullisesti ensimmäinen kerroin on 0,25 ja toinen 4.

Kytkemällä keksinnön mukaisesti kaskadiin kaksi toisen asteen sigma-delta-modulaattoria saadaan järjestelmä, jonka ulostulossa esiintyy vain neljännen asteen kvantisointikohinaa. Tällaisella ratkaisulla aikaansaadaan teoreettisesti noin 2,8 MHz näytteenottotaajuudella yli 18 bitin signaali-kvantisointikohinasuhde (S/N_q) audiokaistalle (24 kHz) ja 13 bittiä ISDN-kaistalle (80 kHz). Ehdotettu rakenne on kuitenkin yksinkertaisempi ja sirupinta-alaa tehokkaammin hyväksikäyttävä kuin edellä mainittu MASH-rakenne, koska värinäsignaalia ei tarvita ja operaatiovahvistimen vahvistuksen ja kondensaattoreiden suhteen tarkkuusvaatimus on pienempi.

Keksinnön kohteena on myös patenttivaatimuksen 4 mukainen modulaattorijärjestelmä.

Keksintöä selostetaan nyt yksityiskohtaisemmin suoritusesimerkkien avulla viitaten oheiseen piirrookseen, jossa

kuvio 1 esittää lohkokaaviomuodossa erästä keksinnön mukaista järjestelmää, jossa on kytketty kaskadiin kaksi toisen asteen modulaattoria, ja

kuvio 2 esittää lohkokaaviomuodossa vaihtoehtoisen toisen asteen modulaattorin käytettäväksi kuvion 1 järjestelmässä.

Kuvion 1 järjestelmässä on esitetty kaksi oleellisesti identtistä toisen asteen sigma-delta-modulaattoria A ja B. Selityksen helpottamiseksi on modulaattoreiden A ja B vastaavia osia merkitty samoilla viitenumeroilla. Kumpikin modulaattori A ja B käsittää seuraavassa järjestyksessä sarjaan kytkettyinä summainvälineen 1, integrointivälineen 2 (tai suodattimen), summainvälineen 7, integrointivälineen 4 (tai suodattimen) ja kvantisointiyksikön eli vertailijan 6, jonka ulostulossa esiintyy lopullinen kvantisoitu signaali D1 tai D2. Kumpikin modulaattori A ja B käsittää kaksiosaisen negatiivisen takaisinkytkennän. Takaisinkytkentä käsittää kytkentäyksikön 10, jonka yhteen

sisääntuloon johdetaan kvantisoitu ulostulosignaali D1 tai D2 ja jonka ulostulo kytketään skaalainvälineen 8 kautta summainelimen 1 toiseen sisääntuloon vähennettäväksi sisääntulosignaalista ja skaalainvälineen 9 kautta summainvälineen 7 toiseen sisääntuloon vähennettäväksi ensimmäisen integraattorin 2 ulostulosignaalista. Kytkentäyksikkö 10 kytkee kvantisoidun ulostulosignaalin D1 ja D2 tahdissa ja mukaisesti ulostulonsa joko positiiviseen vertailujännitteeseen +REF tai negatiiviseen vertailujännitteeseen REF. Ensimmäinen skaalainväline 8 skaalaa kytkentäyksikön 10 ulostulon luvulla 1 ja toinen skaalainväline 9 skaalaa kytkentäyksikön 10 ulostulon luvulla 2. Kuviossa 1 esitetyillä lohkoilla 3 ja 5 kuvataan vastaavasti integrointivälineiden 2 ja 4 sisältämää viivettä. Koska molemmat integraattorit 2 ja 4 ovat esimerkkitapauksia viiveellisiä, saadaan modulaattoreille A ja B siirtofunktioksi 1, kun ensimmäisen skaalainvälineen 8 skaalauskerroimen suhde toisen skaalainvälineen 9 skaalauskerroimeen on 1:2.

Kuviossa 2 on esitetty vaihtoehtoinen toisen asteen sigma-delta-modulaattori, jolla voidaan korvata jompikumpi tai molemmat kuvion 1 modulaattoreista A ja B. Kuviossa 2 on vastaavia osia merkitty samoilla viitenumeroilla kuin kuviossa 1. Seuraavassa selostetaan lähinnän vain eroavaisuudet. Kuvion 1 viiveellinen ensimmäinen integraattori 2 on korvattu viiveettömällä integraattorilla 23. Toisella integraattorilla 4 on edelleen viive 5. Tällöin myös toinen kuviossa 1 esitetyistä viiveistä 13 ja 14 jää pois. Viiveettömän integraattorin 23 johdosta on molempien skaalainvälineiden 9 ja 10 skaalauskerroimenä 1, jotta modulaattorille saataisiin siirtofunktioksi 1. Tämän toisen modulaattorivaihtoehdon etu on piirin alhaisempi kohina-taso, koska sen takaisinkytkentäkertoimet ovat yhtä suuret. Tämä tarkoittaa sitä, että koko käytettävissä oleva integraattorin dynamiikka-alue voidaan käyttää hyväksi vähemmällä kondensaattoreiden skaalauksella. Kuviossa 1

kuvatun viiveellisen modulaattorirakenteen etu on puolestaan se, että vertailujännitelähteiden +REF ja -REF ulostuloimpedanssit voivat olla korkeammat kuin kuvion 2 tapauksessa, koska vertailujännitelähteeseen ei ole kytkettyä Miller-kapasitanssia näytteenottovaiheessa. Näistä vaihtoehtoista voidaan valita kulloinkin käytettyyn integroitujen piirien valmistusteknologiaan parhaiten sopiva.

Kuvion 1 modulaattorin A kvantisoitu ulostulosignaali D1 voidaan esittää yhtälöllä:

10

$$D1 = X + (1-Z^{-1})^2 \cdot Q1 \quad (1)$$

missä

15 X on järjestelmään tuleva analoginen sisääntulosignaali,

Q1 on vertailijan 6 kvantisointikohina ja $(1-Z^{-1})^2$ kuvaa toisen asteen integroinnin vaikutusta kohinasignaaliin Q1.

20 Modulaattorin A vertailijan 6 sisääntulosignaali X2 johdetaan summaimeen 11 yhteen sisääntuloon. Summaimen 11 toiseen sisääntuloon johdetaan kytkentäyksikön 10 ulostulosignaali $X2+Q1$, joka vähennetään signaalista X2. Näin muodostetaan kvantisointivirhesignaali $-Q1$, joka on kvantisoidun signaalin D1 ja kvantisoimattoman signaalin X2 välinen ero. Kvantisointivirhesignaali $-Q1$ johdetaan skaalainvälineelle 12, joka skaalaa signaalin ykköistä pienemmällä skaalauskerroimella $1/C$ alentaen sen tason seuraavalle modulaattorille B sopivaksi.

25 Toisen modulaattorin tarkoituksena on kvantisoida ensimmäisen modulaattorin kvantisointivirhe siten, että se voidaan digitaalisesti vähentää kvantisoidusta ulostulosta D1. Toinen modulaattori B skaalataan skaalainvälineellä 12, koska on toivottavaa, että molemmat modulaattorit A ja B yliohtautuvat suurinpiirtein samalla sisääntulotasolla.

35

Toinen modulaattori B muodostaa skaalatusta virhesignaalista kvantisoidun ulostulosignaalin D2, joka voidaan esittää yhtälöllä:

$$D2 = (1/C) \cdot (-Q1) + (1-Z^{-1})^2 \cdot Q2 \quad (2)$$

missä

Q2 on modulaattorin B vertailijan 6 kvantisointivirhe ja

$(1-Z^{-1})^2$ esittää toisen asteen integroinnin vaikutusta virhesignaaliin -Q1 modulaattorissa B.

Modulaattorin B kvantisoitu ulostulosignaali D2 johdetaan derivointiyksikölle 16, joka suorittaa kvantisoidulle virhesignaaliin saman kohinasiiirtofunktion kuin modulaattorin A integrointivälineet 2 ja 4. Derivointiyksikkö 16 käsittää kaksi sarjaankytkettyä digitaalista derivoattoria, jotka sinänsä tunnetulla tavalla muodostuvat summainelimestä 18 ja vastaavasti 19 sekä yhden kellojaksen viiveestä 17 ja vastaavasti 27. Derivointiyksikön ulostulo D3 johdetaan digitaaliselle skaalainvälineelle 21, joka skaalaa signaalin D3 skaalauskerroimella C, joka on oleellisesti yhtä suuri kuin skaalainvälineen skaalauskerroimen $1/C$ käänteisluku. Näin kvantisoidun virhesignaalin D4 arvo skaalainvälineen 21 ulostulossa vastaa skaalainvälineen 12 sisääntulossa esiintyneen kvantisointivirhesignaalin -Q1 todellista tasoa. Signaalia D4 voidaan kuvata seuraavalla yhtälöllä:

$$D4 = -Q1 \cdot (1-Z^{-1})^2 + C \cdot (1-Z^{-1})^4 \cdot Q2 \quad (3)$$

Tämän jälkeen signaali D4 summataan summainelimestä 15 modulaattorin A kvantisoituun ulostulosignaaliin D1, jota on viivästetty kahden kellojaksen ajan, mitä kuvataan viivelohkoilla 13 ja 14. Näillä viivelohkoilla 13 ja 14 kom-

pensoidaan modulaattorin B integrointivälineiden 2 ja 4 viiveet 3 ja 5.

Järjestelmän lopullinen ulostulosignaali Dout voidaan esittää seuraavalla yhtälöllä

5

$$\text{Dout} = X + C \cdot (1-Z^{-1})^4 \cdot Q2 \quad (4)$$

Kuten yhtälöstä 4 voidaan nähdä, lopullisessa ulostulosignaalisissa Dout on mukana vain alkuperäinen signaali sekä neljännen asteen kohina.

On ymmärrettävä, että kun järjestelmä toteutetaan käytännössä, ei lopullisessa piiriratkaisussa voida kaikkia oheisissa kuvioissa esitettyjä lohkoja erottaa erillisinä piiriosina. Esimerkiksi käytettäessä niin sanottuja kytkettyjä kondensaattoreita (switched-capacitors), voidaan esimerkiksi summainelin 11, skaalainväline 12, summainelin 1 sekä skaalainväline 8 toteuttaa integraattorin 2 sisääntuloon kytketyillä erilaisilla kapasitanssiarvoilla, kuten alan ammattimiehet hyvin tietävät. Vastaavasti voidaan toteuttaa myös muut integraattoreiden sisääntuloissa olevat summainelimet ja skaalainvälinit. Tällöin ei voida myöskään selvästi erottaa kaikkia erillisiä signaaleja, jotka selityksessä on kuvattu.

Keksinnöllä on käyttösovellutuksia erityisesti analogia-digitaalimuuntimissa. Tällöin modulaattorijärjestelmän perään kytketään digitaalinen suodatin.

Kuvion 1 modulaattorit A ja B on mahdollista korvata täysin digitaalisilla modulaattoreilla, joiden sisääntulot ovat monibittiset digitaalisignaalit, ja vastaavasti summainelin 11 ja skaalainväline 12 toteuttaa digitaalisena, jolloin saadaan järjestelmä, joka muuntaa monibittisen sisääntulon yksibittiseksi ulostuloksi. Signaali Dout ei tarkasti ottaen ole yksibittinen, joten järjestelmän ulostulossa tulee lisäksi olla väline, joka korjaa ulostulon yksibittiseksi. Muutoin tällaiseen digitaaliseen

modulaattorijärjestelmään pätevät samat seikat kuin kuviossa 1 esitettyyn. Se soveltuu erityisesti digitaali-analogiamuuntimeen, jolloin sen ulostulossa on analoginen suodatin.

- 5 Muutenkin on ymmärrettävä, että kuviot ja niihin liittyvä selitys on tarkoitettu vain havainnollistamaan esillä olevan keksinnön toimintaa. Yksityiskohdiltaan esillä olevan keksinnön mukainen menetelmä ja järjestelmä voivat vaihdella oheisten patenttivaatimusten puitteissa.

Patenttivaatimukset:

1. Menetelmä kahden tai useamman sigma-delta-modulaattorin kytkemiseksi kaskadiin siten, että kaskadissa kulloinkin seuraavana olevalle modulaattorille syötetään kvantisoitavaksi edellisen modulaattorin kvantisointivirhettä edustava virhesignaali, minkä jälkeen kvantisoitu virhesignaali derivoidaan ja vähennetään edellisen modulaattorin kvantisoidusta ulostulosignaalista, t u n -
n e t t u siitä, että virhesignaali skaalataan ennen mainittua seuraavaa modulaattoria ensimmäisellä kertoimella, joka on pienempi kuin 1, ja että kvantisoitu virhesignaali skaalataan toisella kertoimella, joka on oleellisesti yhtä suuri kuin ensimmäisen kertoimen käänteisluku, ennen sen vähentämistä mainitun edellisen modulaattorin kvantisoidusta ulostulosignaalista.

2. Patenttivaatimuksen 1 mukainen menetelmä, t u n n e t t u siitä, että kaskadiin kytketään kaksi toisen asteen sigma-delta-modulaattoria, joiden kummankin siirtofunktio on oleellisesti 1, ja että kaskadissa toisena olevan modulaattorin kvantisoima virhesignaali derivoidaan kahdesti ennen sen vähentämistä ensimmäisen modulaattorin kvantisoidusta ulostulosignaalista.

3. Patenttivaatimuksen 1 tai 2 mukainen menetelmä, t u n n e t t u siitä, että toiseksi kertoimeksi valitaan 2 tai sitä suurempi kokonaisluku ja ensimmäiseksi kertoimeksi sen käänteisluku.

4. Sigma-delta-modulaattorijärjestelmä, jossa on ensimmäinen sigma-delta-modulaattori (A) pääsignaalin (X) kvantisoimiseksi,

väline (11) ensimmäisen sigma-delta-modulaattorin kvantisointivirhettä edustavan virhesignaalin (-Q1) muodostamiseksi,

toinen sigma-delta-modulaattori (B) mainitun virhesignaalin kvantisoimiseksi,

derivointiväline (16) kvantisoidun virhesignaalin

(D2) derivoimiseksi, ja

väline (15) derivoidun kvantisoidun virhesignaalin (D4) vähentämiseksi kvantisoidusta pääsignaalista (D1),
t u n n e t t u siitä, että järjestelmässä lisäksi on
5 ensimmäinen skaalainväline (12) virhesignaalin (-Q1) skaalaamiseksi ensimmäisellä, ykköstä pienemmällä skaalauskerroimella (1/C) ennen toista modulaattoria (B), ja

10 toinen skaalainväline (21) kvantisoidun virhesignaalin (D3) skaalaamiseksi toisella skaalauskerroimella (C), joka on oleellisesti yhtä suuri kuin ensimmäisen kerroimen käänteisluku.

5. Patenttivaatimuksen 4 mukainen järjestelmä,
t u n n e t t u siitä, että kumpikin modulaattori (A, B)
15 on toisen asteen sigma-delta-modulaattori, jonka ulostulosta on ensimmäinen takaisinkytkentä (8) modulaattorin (A, B) sisääntuloon ja toinen takaisinkytkentä (9) modulaattorin integraattoriasteiden (2-5) väliin, takaisinkytkentäkertoimien ollessa valittu siten, että modulaattorin
20 (A, B) siirtofunktio on oleellisesti yksi.

6. Patenttivaatimuksen 4 mukainen järjestelmä,
t u n n e t t u siitä, että sigma-delta-modulaattorin (A, B) molemmat integraattorit (2-5) ovat viiveellisiä, jolloin ensimmäisen (8) ja toisen takaisinkytkennän (9) takaisinkytkentäkertoimet ovat vastaavasti 1 ja 2.
25

7. Patenttivaatimuksen 4 mukainen järjestelmä,
t u n n e t t u siitä, että sigma-delta-modulaattorin ensimmäinen integraattori (23) on viiveetön ja toinen (4, 5) viiveellinen, jolloin takaisinkytkentöjen (8, 9) takaisinkytkentäkertoimet ovat yhtä suuret.
30

8. Jonkin patenttivaatimuksista 4 - 7 mukainen järjestelmä, t u n n e t t u siitä, että toinen skaalauskerroin (C) on 2 tai sitä suurempi kokonaisluku.

9. Jonkin patenttivaatimuksista 4 - 8 mukainen järjestelmä, t u n n e t t u siitä, että se on täysin digitaalinen.
35

Patentkrav:

1. Förfarande för koppling av två eller flera sigma-delta-modulatorer i kaskad så, att till ifrågavarande följande modulator i kaskaden inmatas för kvantisering en felsignal, som representerar föregående modulators kvantiseringsfel, varefter den kvantiserade felsignalen deriveras och subtraheras från föregående modulators kvantiserade utgångssignal, k ä n n e t e c k n a t därav, att felsignalen skaleras före nämnda följande modulator med en första koefficient, som är mindre än 1, och den kvantiserade felsignalen skaleras med en andra koefficient, som väsentligen är lika med inversa värdet av den första koefficienten, förrän den subtraheras från nämnda föregående modulators kvantiserade utgångssignal.

2. Förfarande enligt patentkravet 1, k ä n n e t e c k n a t därav, att i kaskad kopplas två sigma-delta-modulatorer av andra grad, hos vilka bägges överföringsfunktion väsentligen är 1, och att felsignalen, som kvantiseras av modulatorens som är andra i kaskaden, deriveras två gånger innan den subtraheras från den första modulatorens kvantiserade utgångssignal.

3. Förfarande enligt patentkravet 1 eller 2, k ä n n e t e c k n a t därav, att till andra koefficient väljs 2 eller heltal större än det och till första koefficient dess inversa tal.

4. Sigma-delta-modulatorsystem, vilket uppvisar en första sigma-delta-modulator (A) för kvantisering av en huvudsignal (X),
ett medel (11) för bildandet av en felsignal (-Q1), som representerar den första sigma-delta-modulatorens kvantiseringsfel,
en andra sigma-delta-modulator (B) för kvantisering av nämnda felsignal,
ett deriveringsmedel (16) för derivering av den kvantiserade felsignalen (D2), och

ett medel (15) för subtrahering av den deriverade kvantiserade felsignalen (D4) från den kvantiserade huvudsignalen (D1), k ä n n e t e c k n a t därav, att i systemet ytterligare finns

5 ett första skaleringsmedel (12) för skalering av felsignalen (-Q1) med en första skaleringskoefficient mindre än ett ($1/C$) före den andra modulatorn (B), och

10 ett andra skaleringsmedel (21) för skalering av den kvantiserade felsignalen (D3) med en andra skaleringskoefficient (C), som är väsentligen lika stor som den första koefficientens inversa tal.

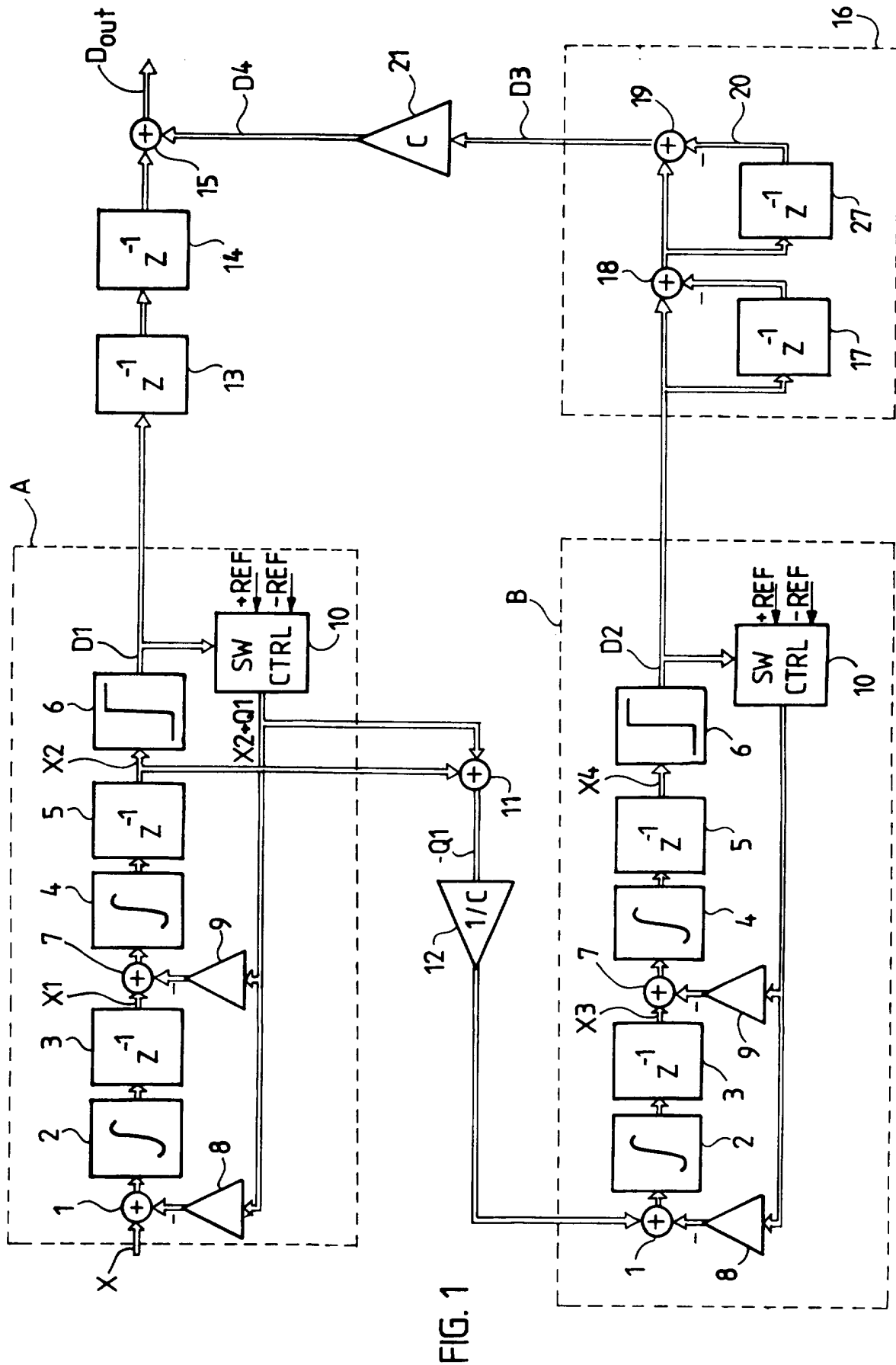
5. System enligt patentkravet 4, k ä n n e t e c k n a t därav, att vardera modulator (A, B) är en andra gradens sigma-delta-modulator, från vars utgång finns en första
15 återkoppling (8) till modulatorns (A, B) ingång och en andra återkoppling (9) mellan modulatorns integratorsteg (2-5), varvid återkopplingskoefficienten är vald så, att modulatorns (A, B) transmissionsfunktion är väsentligen ett.

20 6. System enligt patentkravet 4, k ä n n e t e c k n a t därav, att sigma-delta-modulatorns (A, B) bägge integratorer (2-5) har fördröjning, varvid den första (8) och den andra återkopplingens (9) återkopplingskoefficienter på motsvarande sätt är 1 och 2.

25 7. System enligt patentkravet 4, k ä n n e t e c k n a t därav, att sigma-delta-modulatorns första integrator (23) är utan fördröjning och den andra (4, 5) har fördröjning, varvid återkopplingarnas (8, 9) återkopplingskoefficienter är lika stora.

30 8. System enligt något av patentkraven 4 - 7, k ä n n e t e c k n a t därav, att den andra skaleringskoefficienten (C) är 2 eller ett heltal större än det.

9. System enligt något av patentkraven 4 - 8, k ä n n e t e c k n a t därav, att det är fullständigt digitalt.



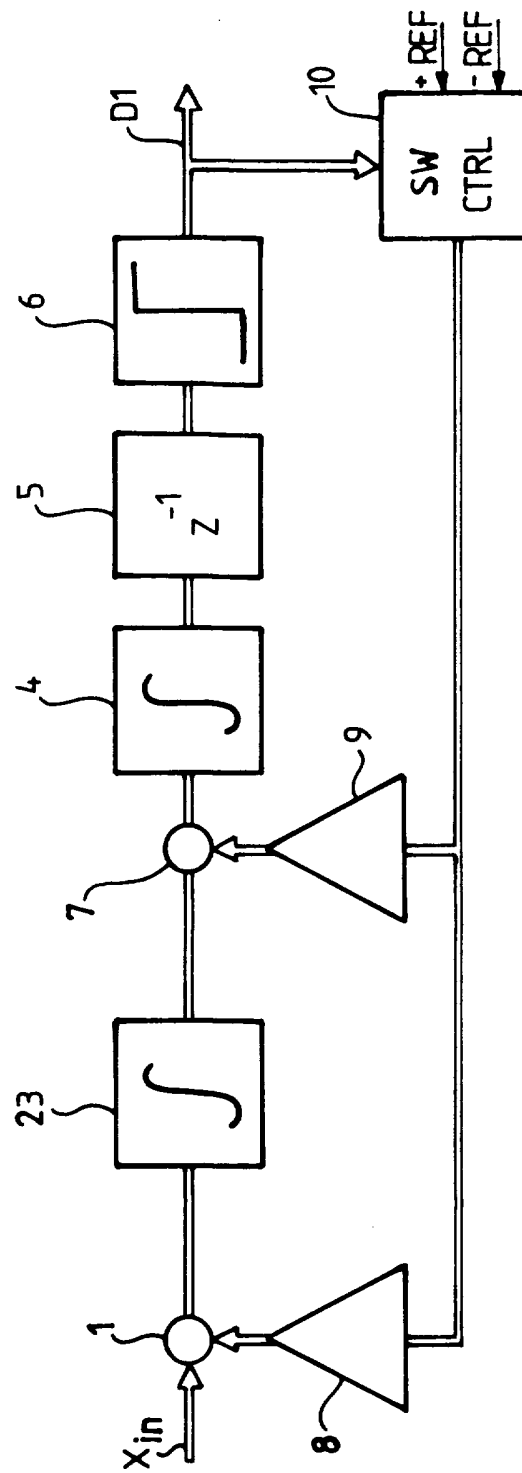


FIG. 2