

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H01L 21/28

(45) 공고일자 1995년 10월 06일
(11) 공고번호 특 1995-0011552

(21) 출원번호	특 1991-0007294	(65) 공개번호	특 1992-0022473
(22) 출원일자	1991년 05월 06일	(43) 공개일자	1992년 12월 19일

(71) 출원인	한국전기통신공사	이해욱	
	서울특별시 종로구 세종로 100재단법인 한국전자통신연구소		경상현
	대전광역시 유성구 가정동 161번지		

(72) 발명자	박영준		
	대전광역시 중구 대흥2동 236		
	백종태		
	대전광역시 유성구 도룡동 383-3 우성아파트 101-505		
	남기수		
	대전광역시 중구 오류동 삼성아파트 8동 1409호		

(74) 대리인 김영길

**심사관 : 박형식 (책
자공보 제4154호)**

(54) 반도체 장치의 저항접합(ohmic contact) 형성방법

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

반도체 장치의 저항접합(ohmic contact) 형성방법

[도면의 간단한 설명]

제1도는 종래의 접합형태를 나타낸 단면도.

제2도는 본 발명의 접합형태를 나타낸 단면도.

* 도면의 주요부분에 대한 부호의 설명

1 : 실리콘기판	6 : N ⁺ 형 또는 P ⁺ 형 실리콘 반도체
10 : P ⁺ 형 반도체	11 : N ⁺ 형 반도체
13 : 장벽금속	14 : 배선금속
15 : 제1차 배선금속	16 : 제2차 배선금속

[발명의 상세한 설명]

본 발명은 반도체 장치의 제조방법에 있어서 반도체와 배선금속(interconnection metal)간의 접합형성(contact formation)에 관한 것으로, N⁺형 반도체와, P⁺형 반도체 모두에 저항접합(ohmic contact)을 형성시키는 방법에 관한 것이다. 단결정 실리콘(Singel Crystalline Silicon), 다결정 실리콘(Poly Crystalline Silicon) 및 비정질 실리콘(Armorphous Silicon)반도체 회로에서는 여러 종류의 배선금속 간의, 그리고 배선금속과 반도체 간의 접합이 존재한다. 초기의 접합형성 공정은 P⁺형 또는 N⁺형 반도체에 실리콘 등이 함유되어 있는 Al 계 합금 배선금속을 직접 증착시키는 방법으로 저항접합을 형성하였다. 이경우 P⁺형 반도체에 대해서는 훌륭한 특성을 갖는 저항접합을 형성시킬 수 있지만, 열처리의

과정에서 배선금속에 포함되어 있는 저농도의 실리콘(Si)이 접합영역에 석출(precipitation)되어 에피택 시층을 형성하기 때문에 N^+ 형 반도체에 대해서는 접합저항이 크게될 뿐만 아니라 원하는 특성을 갖는 저항접합을 형성시킬 수가 없다. 특히, 이러한 현상을 접합영역의 크기가 작을수록 심화된다. 이러한 문제점을 개선하기 위해 제1도에 도시된 바와같이 종래에는 배선금속(14)과 반도체(6,10,11)사이에 장벽금속(barrier metal : 13)을 삽입하여, 반도체(6,10,11), 장벽금속(13), 배선금속(14)의 순서로 배열된 구조의 접합을 형성시켰다. 그러나, 이 구조의 경우에는 N^+ 형 반도체에 대하여 훌륭한 특성을 갖는 저항접합을 형성시킬 수 있으나, P^+ 형 반도체와 배선금속 간의 접합은 오히려 초기의 접합형성 방법보다 접합특성이 나빠지는 문제점이 있었다. 따라서 본 발명의 목적은 P^+ 형 반도체와 N^+ 형 반도체에 동시에 만족시키기 어려운 저항접합문제를 해결하여 반도체 제조공정에 적용시키는 것이다. LDD(Lightly Doped Drain)구조를 갖는 트윈-팁 (twin -tip)CMOS공정을 적용한 본 발명을 자세히 설명하면 다음과 같다. 제2a도는 실리콘 기판(1)에 일반적인 방법으로 P -우물(P -well; 2) 및 N -우물(N -well; 3)의 트윈-팁 형성, 액티브(active)정의 및 필드(field)산화(4)형성, 게이트 산화막(5)형성, 다결정 실리콘(6)증착, 이온주입(7,8) 측면벽(side wall; 9)형성, 소소·드레인 형성(10,11)LT0증착(12), 접합개방(contact open) 공정까지 진행된 것을 나타낸 것이다. 본 발명의 접합형성 방법은 제2b도에 도시된 바와같이 반도체(6,10,11), 제1차 배선금속 (15), 장벽금속(13), 제2차 배선금속(16)순서로 배열된 적층구조를 형성시킴으로써 N^+ 형 반도체와 P^+ 형 반도체 모두가 훌륭한 저항접합 특성을 갖게 한다. 이러한 구조를 갖는 본 발명의 저항접합의 제조공정을 상세히 설명한다. 저항접합을 형성하는데 필요한 최소두께(10 \AA ~ 400 \AA)의 제1차 $A\ell$ 계 합금 배선금속(15)박막을 먼저 반도체(6,10,11)위에 증착하여 접착영역에서의 접촉의 종래와 같이 반도체와 배선금속의 적층구조를 이루게 한 후에, TiW, TiN, 내화금속(refractory metal), 내화금속 질화 물(refractory metal silicide)등의 장벽금속(13)을 10 \AA ~ 1500 \AA 의 두께로 증착하고, 다시 그위에 충분한 두께(1000 \AA ~ 10000 \AA)의 제2차 $A\ell$ 계 배선금속을 증착하여 사진식각한 후 열처리(alloy)공정을 행한다. 이상과 같이 본 발명의 초기의 반도체(6,10,11)/ $A\ell$ 계 금속(15)구조를 유지시켜 주면서 열처리 공정에서 반도체와 배선금속 사이에 석출되는 실리콘량을 최소화 시킴으로써 N^+ 형 반도체 또는 P^+ 형 반도체와 배선금속 사이의 접합특성이 뛰어난 저항접합을 형성시킬 수 있다. 배선금속과 두가지 형태(N^+, P^+)의 반도체 사이의 구조별 접합특성을 비교해 보면 다음과 같다.

[표 1]

반도체 종	접합 특성
N^+ 형 반도체	종래구조 > 본 발명 구조 > 초기구조
P^+ 형 반도체	본 발명 구조 > 초기구조 > 종래구조

이상과 같은 접합특성을 갖기 때문에 N^+ 형 반도체(6,11)에서는 종래의 반도체/장벽금속(13)/배선금속(15)구조를 형성시키고, P^+ 형 반도체(6,10)에서는 본 발명의 반도체/제1차 배선금속(15)/장벽금속(13)/제2차 배선금속(16)구조를 형성시킴으로써 두가지 형태의 반도체 모두에 아주 탁월한 특성을 갖는 저항접합을 형성시킬 수 있다. 본 발명은 CMOS뿐만 아니라 쌍극형 트랜지스터(bipolar transistor) 및 박막 트랜지스터(bipolar transistor) 및 박막 트랜지스터(thin film transistor)등의 반도체와 배선금속 간의 접합에도 적용 가능하다.

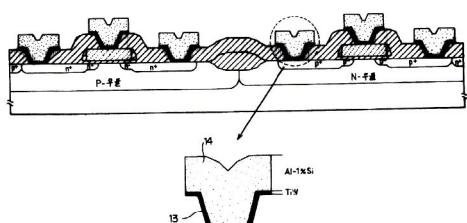
(57) 청구의 범위

청구항 1

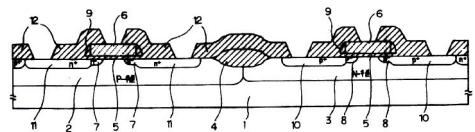
소정 도전형의 반도체와 배선금속과의 저항접합(ohmic contact)을 형성하는 방법에 있어서, N 형 반도체에는 장벽층/AISi층의 배선구조를 접합시키고, P 형 반도체에는 10 \AA ~ 400 \AA 정도의 최소두께를 갖는 AISi층, 10 \AA ~ 1500 \AA 두께의 장벽층, 및 1000 \AA ~ 10000 \AA 두께의 AISi층이 접합된 배선구조를 형성하는 것을 특징으로 하는 저항접합 형성방법.

도면

도면1



도면2a



도면2b

