



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201616613 A

(43) 公開日：中華民國 105 (2016) 年 05 月 01 日

(21) 申請案號：105101854 (22) 申請日：中華民國 99 (2010) 年 12 月 24 日

(51) Int. Cl. : *H01L21/8239(2006.01)* *H01L23/52 (2006.01)*
G11C16/02 (2006.01)

(30) 優先權：2009/12/28 日本 2009-297140

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
 LABORATORY CO., LTD. (JP)
 日本

(72) 發明人：鹽野入豐 SHIONOIRI, YUTAKA (JP)；三宅博之 MIYAKE, HIROYUKI (JP)；加
 藤清 KATO, KIYOSHI (JP)

(74) 代理人：林志剛

申請實體審查：有 申請專利範圍項數：1 項 圖式數：21 共 115 頁

(54) 名稱

記憶體裝置及半導體裝置

MEMORY DEVICE AND SEMICONDUCTOR DEVICE

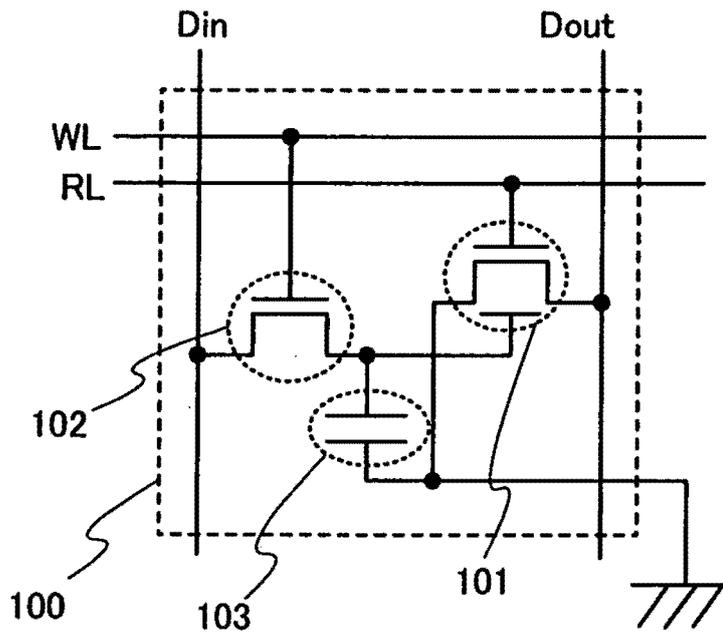
(57) 摘要

本發明之目的在於提供可抑制電力消耗之記憶體裝置以及包括該記憶體裝置之半導體裝置。作為用以保持累積在作為記憶體元件的電晶體中之電荷的切換元件，包括氧化物半導體膜作為主動層之電晶體係提供給該記憶體裝置中的各記憶體單元。被使用作為記憶體單元之該電晶體具有第一閘極電極；第二閘極電極；半導體膜，係位在該第一閘極電極與該第二閘極電極之間；第一絕緣膜，係位在該第一閘極電極與該半導體膜之間；第二絕緣膜，係位在該第二閘極電極與該半導體膜之間；以及源極電極和汲極電極，係與該半導體膜相接觸。

It is an object to provide a memory device whose power consumption can be suppressed and a semiconductor device including the memory device. As a switching element for holding electric charge accumulated in a transistor which functions as a memory element, a transistor including an oxide semiconductor film as an active layer is provided for each memory cell in the memory device. The transistor which is used as a memory element has a first gate electrode, a second gate electrode, a semiconductor film located between the first gate electrode and the second gate electrode, a first insulating film located between the first gate electrode and the semiconductor film, a second insulating film located between the second gate electrode and the semiconductor film, and a source electrode and a drain electrode in contact with the semiconductor film.

指定代表圖：

圖 1A



符號簡單說明：

100 . . . 記憶體單元

101 . . . 電晶體

102 . . . 電晶體

103 . . . 電容器

201616613

發明摘要

※申請案號：105101854 (由 99145814 合審)

※申請日：099年12月24日

※IPC分類：H01L 21/8239 (2006.01)

【發明名稱】(中文/英文)

H01L 23/52 (2006.01)

記憶體裝置及半導體裝置

G11C 16/02 (2006.01)

Memory device and semiconductor device

【中文】

本發明之目的在於提供可抑制電力消耗之記憶體裝置以及包括該記憶體裝置之半導體裝置。作為用以保持累積在用作為記憶體元件的電晶體中之電荷的切換元件，包括氧化物半導體膜作為主動層之電晶體係提供給該記憶體裝置中的各記憶體單元。被使用作為記憶體單元之該電晶體具有第一閘極電極；第二閘極電極；半導體膜，係位在該第一閘極電極與該第二閘極電極之間；第一絕緣膜，係位在該第一閘極電極與該半導體膜之間；第二絕緣膜，係位在該第二閘極電極與該半導體膜之間；以及源極電極和汲極電極，係與該半導體膜相接觸。

【 英文 】

It is an object to provide a memory device whose power consumption can be suppressed and a semiconductor device including the memory device. As a switching element for holding electric charge accumulated in a transistor which functions as a memory element, a transistor including an oxide semiconductor film as an active layer is provided for each memory cell in the memory device. The transistor which is used as a memory element has a first gate electrode, a second gate electrode, a semiconductor film located between the first gate electrode and the second gate electrode, a first insulating film located between the first gate electrode and the semiconductor film, a second insulating film located between the second gate electrode and the semiconductor film, and a source electrode and a drain electrode in contact with the semiconductor film.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

100：記憶體單元

101：電晶體

102：電晶體

103：電容器

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

記憶體裝置及半導體裝置

Memory device and semiconductor device

【技術領域】

本發明係有關非揮發性半導體記憶體裝置。尤其是，本發明係有關儲存資料之記憶體單元的結構及其驅動方法。

【先前技術】

半導體記憶體裝置（下面簡稱為記憶體裝置）的例子包括 DRAM 和 SRAM，它們被歸類為揮發性記憶體；遮罩 ROM、EPROM、EEPROM、快閃記憶體、和鐵電記憶體，它們被歸類為非揮發性記憶體之類。包括單晶半導體基板之這些記憶體的大部分已實際使用中。在上述半導體記憶體之中，快閃記憶體廣為販售，其主要被使用於諸如 USB 記憶體和記憶卡等行動儲存媒體。其原因即為快閃記憶體耐撞擊，且便於使用，因為它們是非揮發性記憶體，可重複寫入和刪除資料並且可在未供應電力之下儲存資料。

作為快閃記憶體的類型，具有 NAND 快閃記憶體，其中，複數個記憶體單元被串聯連接；以及 NOR 快閃記憶體，其中，複數個記憶體單元被排列成矩陣。這些快閃記

憶體的任一者具有用作為記憶體元件之電晶體在各記憶體單元中。另外，用作為記憶體元件之電晶體具有用以累積電荷之電極（被稱為浮動閘極）在閘極電極與用作為主動層的半導體膜之間。累積電荷在浮動閘極中能夠儲存資料。

專利文件 1 及 2 說明包括形成玻璃基板之上的浮動閘極之薄膜電晶體。

[參考]

[專利文件]

[專利文件 1] 日本公告專利申請案號 H6-021478

[專利文件 2] 日本公告專利申請案號 2005-322899

【發明內容】

需注意的是，通常，在資料寫入時被施加到非揮發性記憶體的記憶體元件之電壓的絕對值約為 20 V，其傾向高於被施加到揮發性記憶體的記憶體元件之電壓的絕對值。在可重複重寫資料之快閃記憶體的例子中，和在資料寫入時一樣，在資料拭除時也需要施加高電壓到被使用作為記憶體元件之電晶體。因此，當例如在資料寫入時和在資料拭除時之快閃記憶體操作時電力消耗變高，此為包括快閃記憶體作為記憶體裝置之電子裝置消耗高電力的其中一個因素。尤其是，當快閃記憶體被使用於諸如相機和行動電話等可攜式電子裝置時，高電力消耗產生連續使用時

間短的不利點。

此外，雖然快閃記憶體為非揮發性記憶體，但是資料會由於電荷的些微漏洩而喪失。因此，迄今資料儲存週期約五年至十年，及希望實現能夠確保更長久的儲存週期之快閃記憶體。

另外，雖然快閃記憶體能夠重複寫入和拭除資料，但是當電荷累積在浮動閘極中時，閘極絕緣膜由於穿隧電流容易劣化。因此，在一記憶體元件中的資料重寫次數至多約一萬次至十萬次，及希望實現能夠重寫一萬次至十萬次或更多之快閃記憶體。

鑑於上述問題，本發明之目的在於提供能夠抑制電力消耗之記憶體裝置和使用此記憶體裝置的半導體裝置。另外，本發明之目的在於提供能夠將資料儲存一段更長週期之記憶體裝置和使用此記憶體裝置的半導體裝置。而且，本發明之目的在於提供能夠重寫資料許多次之記憶體裝置和使用此記憶體裝置的半導體裝置。

在本發明的實施例中，非揮發性記憶體裝置係使用電晶體所形成，此電晶體係用作為記憶體元件及除了一般閘極電極以外還包括用以控制臨界電壓之第二閘極電極。此外，在上述記憶體裝置中，為了寫入資料，未以高電壓注射電荷到由絕緣膜所包圍的浮動閘極；取而代之的是，以具有極低的關閉狀態電流之電晶體來控制用以控制被使用作為記憶體元件之電晶體的臨界電壓之第二閘極電極的電位。換言之，根據本發明的一個實施例之記憶體裝置至少

包括其臨界電壓係受第二閘極電極所控制之電晶體；用以保持第二閘極電極的電位之電容器；以及被使用作為用以控制電容器的充電和放電的切換元件之電晶體。

被使用作為記憶體元件之電晶體的臨界電壓之位移量係受第二閘極電極之電位的高度所控制，尤其是，受源極電極與第二閘極電極之間的電位差所控制。此外，臨界電壓的高度差或由於臨界電壓之高度差所產生的源極電極與汲極電極之間的電阻差導致儲存在記憶體元件中之資料的差異。

只要是絕緣閘極型場效電晶體，被使用作為記憶體元件之電晶體可以是任何東西。尤其是，電晶體包括第一閘極電極；第二閘極電極；半導體膜，係位在第一閘極電極與第二閘極電極之間；第一絕緣膜，係位在第一閘極電極與半導體膜之間；第二絕緣膜，係位在該第二閘極電極與該半導體膜之間；以及源極電極和汲極電極，係與半導體膜相接觸。

而且，被使用作為切換元件之電晶體具有通道形成區，其包括具有寬於矽的能帶隙和低於矽的本徵載子密度之半導體材料。利用包括具有上述特性的半導體材料之通道形成區，可實現具有極低關閉狀態電流之電晶體。關於半導體材料，例如，可指定具有能帶隙約為矽的三倍之氧化物半導體、碳化矽、氮化鎵等等。

需注意的是，氧化物半導體為顯現包括高遷移率和均勻的元素特性二者之半導體特性的金屬氧化物。高遷移率

為微晶矽或多晶矽的特性，而均勻的元素特性為非晶矽的特性。此外，藉由降低可能是諸如濕氣或氫等電子供體（施體）的雜質來高度淨化之氧化物半導體（淨化的 OS）為 i 型（本徵半導體）或實質上為 i 型。包括上述氧化物半導體之電晶體具有極低的關閉狀態電流之特性。尤其是，在包括於氧化物半導體中的諸如濕氣或氫等雜質被去除之後，由二次離子質譜儀（SIMS）所測量之氧化物半導體中的氫濃度之值為 $5 \times 10^{19}/\text{cm}^3$ 或更少，較佳為 $5 \times 10^{18}/\text{cm}^3$ 或更少，更佳為 $5 \times 10^{17}/\text{cm}^3$ 或更少，且又更佳為 $5 \times 10^{16}/\text{cm}^3$ 或更少。此外，可由霍爾效應測量所測量之氧化物半導體膜的載子密度為少於 $1 \times 10^{14}/\text{cm}^{-3}$ ，較佳為少於 $1 \times 10^{12}/\text{cm}^{-3}$ ，更佳為少於 $1 \times 10^{11}/\text{cm}^{-3}$ ，此為最小測量限制或更少。也就是說，氧化物半導體膜中的載子密度極為接近零。而且，氧化物半導體的能帶為 2 eV 或更多，較佳為 2.5 eV 或更多，更佳為 3 eV 或更多。利用藉由充分降低諸如濕氣或氫等雜質濃度來高度淨化之氧化物半導體膜，可降低電晶體的關閉狀態電流。

此處說明氧化物半導體膜和導電膜中之氫濃度的分析。氧化物半導體膜和導電膜中之氫濃度係由 SIMS 所測量。已知原則上難以藉由 SIMS 獲得樣本表面附近或使用不同材料所形成的堆疊膜之間的介面附近的資料。因此，在由 SIMS 分析厚度方向上之膜的氫濃度之分佈的例子中，設置膜與可獲得彼此不會大幅改變及幾乎相同的值之區域中的平均值被利用作為氫濃度。另外，在膜的厚度小

之例子中，由於彼此鄰接的膜之氫濃度影響，在某些例子中無法發現可獲得值幾乎相同的區域。在此例中，設置膜之區域的氫濃度之最大值或最小值被利用作為膜的氫濃度。而且，在設置膜之區域中未存在具有最大值的山形和具有最小值的谷形之例子中，彎曲點的值被利用作為氫濃度。

需注意的是，發現藉由濺鍍等等所形成之氧化物半導體膜包括成為雜質的大量濕氣或氫。濕氣或氫容易形成施體能階，因而用作為氧化物半導體本身的雜質。因此，在本發明的一個實施例中，在氫氛圍、氧氛圍、超乾燥空氣（水的含量為 20 ppm 或更少，較佳為 1 ppm 或更少，且更佳為 10 ppb 或更少之氣體）的氛圍、或稀有氣體（如、氫和氮）氛圍中，對氧化物半導體膜執行熱處理，以降低氧化物半導體膜中之諸如濕氣或氫等雜質。以 500 °C 至 850 °C（另一選擇是，玻璃基板的應變點或更少）（含），較佳以 550 °C 至 750 °C（含）來執行上述熱處理。需注意的是，以未超出欲待使用的基板之溫度上限的溫度執行此熱處理。由熱吸附光譜法（TDS）證實藉由熱處理去除濕氣或氫之效果。

爐中的熱處理或快速熱退火法（RTA 法）被用於熱處理。作為 RTA 法，可利用使用燈光源之方法或在加熱氣體中移動基板的同時以短時間執行熱處理之方法。藉由使用 RTA 法，亦能夠使熱處理所需的時間短於 0.1 小時。

尤其是，在使用以上述熱處理所高度淨化的氧化物半

導體膜作為主動層之電晶體中，例如，甚至在具有通道寬度 (W) $1 \times 10^6 \mu\text{m}$ 和通道長度 (L) $10 \mu\text{m}$ 之元件中，在源極電極和汲極電極之間的電壓 (汲極電壓) 1 V 至 10 V 之範圍中，能夠獲得低於或等於半導體參數分析器的測量極限 (亦即，低於或等於 $1 \times 10^{-13} \text{ A}$) 之關閉狀態電流 (其為閘極電極和源極電極之間的電壓為 0 V 或更少之例子中的汲極電流)。因此，發現對應於以關閉狀態電流的值除以電晶體之通道寬度的值之此種方式所計算的數值之關閉狀態電流密度為 $100 \text{ zA}/\mu\text{m}$ 或更少。此外，藉由使用包括高度淨化的氧化物半導體膜之 100 nm 厚的閘極絕緣膜被使用作為用以保持電容器的電荷之切換元件的電晶體，以每單位時間之電容器中的電荷量之轉變來測量電晶體的關閉狀態電流。然後，發現當電晶體的源極電極和汲極電極之間的電壓為 3 V 時，低關閉狀態電流可如 $10 \text{ zA}/\mu\text{m}$ 至 $100 \text{ zA}/\mu\text{m}$ 一般低。因此，在關於本發明的實施例之記憶體裝置中，包括高度淨化的氧化物半導體膜作為主動層之電晶體的關閉狀態電流密度可為低於或等於 $100 \text{ zA}/\mu\text{m}$ ，較佳為低於或等於 $10 \text{ zA}/\mu\text{m}$ ，或更佳為低於或等於 $1 \text{ zA}/\mu\text{m}$ 。因此，當閘極電極和源極電極之間的電壓為 0 V 或更少時，使用高度淨化的氧化物半導體膜作為主動層之電晶體的關閉狀態電流遠低於使用具有晶性之矽的電晶體。

此外，包括高度淨化的氧化物半導體之電晶體顯現出與關閉狀態電流幾乎沒有溫度相依性。可說明這是因為藉

由去除氧化物半導體中的電子供體（施體）之雜質來高度淨化氧化物半導體及導電型接近本徵，使得 Fermi（費米）能階位在禁帶的中間。此亦起因於氧化物半導體具有能帶隙 3 eV 或更多及包括極少的熱激發載子。此外，源極電極和汲極電極在衰退狀態中，亦為未顯現溫度相依性之因素。主要以從衰退的源極電極注射到氧化物半導體內之載子操作電晶體，及可藉由溫度中的載子密度之獨立性來說明上述溫度中的關閉狀態電流之獨立性。

作為氧化物半導體，可使用四金屬元素的氧化物，諸如 In-Sn-Ga-Zn-O 類氧化物半導體等；三金屬元素的氧化物，諸如 In-Ga-Zn-O 類氧化物半導體、In-Sn-Zn-O 類氧化物半導體、In-Al-Zn-O 類氧化物半導體、Sn-Ga-Zn-O 類氧化物半導體、Al-Ga-Zn-O 類氧化物半導體、及 Sn-Al-Zn-O 類氧化物半導體等；兩金屬元素的氧化物，諸如 In-Zn-O 類氧化物半導體、Sn-Zn-O 類氧化物半導體、Al-Zn-O 類氧化物半導體、Zn-Mg-O 類氧化物半導體、Sn-Mg-O 類氧化物半導體、In-Mg-O 類氧化物半導體、及 In-Ga-O 類氧化物半導體等；In-O 類氧化物半導體；Sn-O 類氧化物半導體；Zn-O 類氧化物半導體；等等。需注意的是，在此說明書中，例如，In-Sn-Ga-Zn-O 類氧化物半導體意指包括銦（In）、錫（Sn）、鎵（Ga）、和鋅（Zn）之金屬氧化物，及並未特別限制化學計量組成比例。上述氧化物半導體可包括矽。

另一選擇是，可以化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表

示氧化物半導體。此處，M 表示選自 Ga（鎵）、Al（鋁）、Mn（錳）、及 Co（鈷）的其中一或多個金屬元素。

具有低關閉狀態電流之電晶體被使用作為用以保持累積在記憶體元件中之電荷的切換元件，藉以可防止電荷從記憶體元件漏洩。因此，可提供能夠長時間儲存資料之記憶體裝置和使用此記憶體裝置的半導體裝置。

另外，寫入資料和讀取資料至/自記憶體元件所需之電壓幾乎由用作為切換元件的電晶體之操作電壓所決定。因此，可提供操作電壓可遠低於習知快閃記憶體的操作電壓，和可抑制其電力消耗之記憶體裝置，以及使用此記憶體裝置的半導體裝置。

而且，可提供能夠增加重寫次數之記憶體裝置，及使用此記憶體裝置的半導體裝置，因為與習知快閃記憶體比較，可抑制由於穿隧電流所導致之閘極絕緣膜的劣化。

【圖式簡單說明】

圖 1A 及 1B 為記憶體單元的結構圖。

圖 2A 為記憶體元件的結構圖，而圖 2B 為其操作圖。

圖 3A 及 3B 各為記憶體單元的結構圖。

圖 4A 及 4B 各為記憶體單元的結構圖。

圖 5 為單元陣列的結構圖。

圖 6 為單元陣列的結構圖。

圖 7 為記憶體裝置的驅動法之時序圖。

圖 8 為記憶體裝置的結構圖。

圖 9 為讀取電路的結構圖。

圖 10A 至 10E 為圖解記憶體裝置的製造方法之記憶體單元的橫剖面圖。

圖 11A 及 11B 為記憶體單元的俯視圖。

圖 12 為使用氧化物半導體之反相交錯式電晶體的縱向橫剖面圖。

圖 13 為沿著圖 12 中的剖面 A-A' 之能帶圖（概要圖）。

圖 14A 為施加正電位（+VG）到閘極電極（GE）之狀態圖，而圖 14B 為施加負電位（-VG）到閘極電極（GE）之狀態圖。

圖 15 為真空位準和金屬的功函數（ ϕ_M ）之間以及真空位準和氧化物半導體的電子親和力（ χ ）之間的關係圖。

圖 16A 及 16B 為記憶體媒體的結構圖。

圖 17A 至 17C 各為電子裝置的結構圖。

圖 18 為測量用的電路之結構圖。

圖 19 為測量結果圖（經過的時間 Time 和輸出電位 V_{out} 之間的關係）。

圖 20 為測量結果圖（源極-汲極電壓 V 和關閉狀態電流 I 之間的關係）。

圖 21 為記憶體裝置的驅動法之時序圖。

【實施方式】

下面，將參考附圖詳細說明本發明的實施例。需注意的是，本發明並不侷限於下面說明，及精於本技藝之人士應容易明白，在不違背本發明的範疇和精神之下，可以各種方式改變模式和細節。因此，本發明不應被闡釋作侷限於下面實施例的說明。

需注意的是，本發明包括可使用記憶體裝置的所有半導體裝置在其類別中：例如，諸如微處理器和影像處理電路等積體電路、RF（射頻）標籤、記憶體媒體、和半導體顯示裝置。另外，半導體顯示裝置包括：使用半導體膜的電路元件包括在像素部或驅動器電路中之半導體顯示裝置，諸如液晶顯示裝置等；以有機發光元件（OLED）為代表之發光元件被提供給各像素之發光裝置；電子紙；數位微鏡裝置（DMD）；電漿顯示面板（PDP）；場發射顯示器（FED）等等在其類別中。

（實施例 1）

圖 1A 圖解本發明的記憶體裝置之最小單元之記憶體單元的電路圖之一個例子。圖 1A 中之記憶體單元 100 包括：電晶體 101，其用作為記憶體元件；以及電晶體 102，其能夠控制電位到電晶體 101 的第二閘極電極之供應且用作為切換元件。另外，記憶體單元可包括電容器 103，用以保持電晶體 101 的第二閘極電極之電位。

需注意的是，記憶體單元 100 可視需要另具有另一電路元件，諸如二極體、電阻器、或感應器等。

用作為記憶體元件之電晶體 101 具有第一閘極電極；第二閘極電極；半導體膜，係位在第一閘極電極和第二閘極電極之間；第一絕緣膜，係位在第一閘極電極和半導體膜之間；第二絕緣膜，係位在第二閘極電極和半導體膜之間；以及源極電極和汲極電極，係設置與半導體膜相接觸。利用電晶體 101 之第一閘極電極、第二閘極電極、源極電極、和汲極電極的電位，可控制記憶體裝置的各種操作。

用作為切換元件之電晶體 102 具有通道形成區，其包括具有寬於矽的能帶隙和低於矽的本徵載子密度之半導體材料。可藉由將此種半導體材料使用於電晶體 102 的通道形成區，而充分降低關閉狀態電流。

作為能帶隙寬於矽半導體的能帶隙且本徵載子密度低於矽的本徵載子密度之半導體材料的一個例子，可利用諸如碳化矽（SiC）或氮化鎵（GaN）等化合物半導體，由諸如氧化鋅（ZnO）等金屬氧化物所形成之氧化物半導體等等。在上述之中，氧化物半導體具有大規模產量之有利點，因為氧化物半導體係可藉由濺鍍、濕式處理（諸如、印刷法）等等來予以形成。此外，氧化物半導體的沉積溫度為 300°C 至 500°C（玻璃轉換溫度或更少，且最大為約 700°C），反之碳化矽的處理溫度和氮化鎵的處理溫度分別為約 1500°C 和約 1100°C。因此，氧化物半導體係可形

成在很廉價就可取得的玻璃基板之上，及能夠使用未具有高到足以耐受 1500°C 至 2000°C 的熱處理之耐熱性的半導體材料來堆疊由氧化物半導體所形成的半導體元件在積體電路之上。另外，可使用較大的基板。因此，在具有寬能帶隙之半導體之中，氧化物半導體特別具有大規模產量的有利點。另外，在爲了提高電晶體的特性（諸如、場效遷移緣）而欲獲得具有高晶性之氧化物半導體的例子中，可藉由 450°C 至 800°C 的熱處理容易就獲得具有晶性之氧化物半導體。

在下面說明中，指定具有上述有利點之氧化物半導體作爲第二電晶體 102 的半導體膜之情況作爲例子。

需注意的是，雖然在圖 1A 中記憶體單元 100 包括用作爲切換元件之一個電晶體 102，但是本發明並不侷限於此結構。在本發明的一個實施例中，只要用作爲切換元件之一個電晶體設置在各記憶體單元中都可接受，及此種電晶體的數目可以是複數。在記憶體單元 100 包括複數個用作爲切換元件的電晶體之例子中，複數個電晶體可彼此以並聯、串聯、或並聯連接與串聯連接的組合之方式來連接。

需注意的是，電晶體彼此串聯連接之狀態意指只有第一電晶體之源極電極和汲極電極的其中之一係連接到只有第二電晶體之源極電極和汲極電極的其中之一的狀態。另外，電晶體彼此並聯連接之狀態意指第一電晶體之源極電極連接到第二電晶體之源極電極，而第一電晶體的汲極電

極連接到第二電晶體的汲極電極之狀態。

此外，用作為切換元件之電晶體 102 不同於用作為記憶體元件之電晶體 101，因為只要包括設置在主動層的一側上之閘極電極都可接受。需注意的是，本發明並不侷限於此結構，及用作為切換元件之電晶體可包括具有主動層在其間的一對閘極電極，像用作為記憶體元件的電晶體一般。

另外，在本發明的一個實施例中，只要用作為切換元件的電晶體 102 至少具有有著寬能帶隙的上述半導體材料在主動層中都可接受。因此，氧化物半導體膜可被使用於用作為記憶體元件之電晶體 101 的主動層。另一選擇是，關於用作為記憶體元件之電晶體 101 的主動層，可使用除了氧化物半導體以外的下列半導體：非晶矽、微晶矽、多晶矽、單晶矽、非晶銻、微晶銻、多晶銻、單晶銻等等。需注意的是，當氧化物半導體膜被使用於記憶體單元 100 的所有電晶體時，可使處理簡化。

然後，將說明圖 1A 之記憶體單元 100 中的電晶體 101、電晶體 102、和電容器 103 之連接關係。

電晶體 102 的閘極電極連接到寫入字元線 WL。電晶體 102 之源極電極和汲極電極的其中之一係連接到輸入資料線 Din，及電晶體 102 之源極電極和汲極電極的另一個係連接到電晶體 101 的第二閘極電極。電晶體 101 的第一閘極電極連接到讀取字元線 RL。電晶體 101 之源極電極和汲極電極的其中之一係連接到輸出資料線 Dout，及電

晶體 101 之源極電極和汲極電極的另一個係連接到供應有諸如接地電位等固定電位之供電線。

另外，電容器 103 之一對電極的其中之一係連接到電晶體 101 的第二閘極電極，而電容器 103 之一對電極的另一個係連接到被供應有諸如接地電位等固定電位之供電線。

需注意的是，此說明書中的"連接"一詞意指電連接，及對應於可供應或傳送電流、電位、或電壓之狀態。因此，連接狀態不僅意指直接連接的狀態，而且意指經由諸如配線、電阻器、二極體、或電晶體等電路元件間接連接，使得能夠供應或傳送電流、電位、或電壓之狀態。

此外，甚至當在電路圖中不同組件彼此連接時，實際上具有一導電膜具有複數個組件的功能之例子，諸如配線的部分用作為電極之例子等。"連接"一詞亦意指一個導電膜具有複數個組件的功能之此種例子。

包括在電晶體中之"源極電極"和"汲極電極"的名稱依據電晶體的極性或施加到各自電極之電位的位準之間的差異而彼此互換。通常，在 n 通道電晶體中，施加較低電位之電極被稱為源極電極，而施加較高電位之電極被稱為汲極電極。另外，在 p 通道電晶體中，施加較低電位之電極被稱為汲極電極，而施加較高電位之電極被稱為源極電極。在此說明書中，為了方便，雖然在某些例子中假設固定源極電極和汲極電極之下來說明電晶體的連接關係；然而，實際上，源極電極和汲極電極的名稱可依據上述電位

之間的關係而彼此互換。

需注意的是，在圖 1A 中，電晶體 102 具有閘極電極在主動層的一側上。當電晶體 102 具有有著主動層在其間之一對閘極電極時，閘極電極的其中之一係連接到寫入字元線 WL，而閘極電極的另一個可在浮動狀態（亦即，電絕緣）或可被供應有電位。在後一例子中，可將具有相同位準的電位施加到此對電極，或只施加諸如接地電位等固定電位到閘極電極的另一個。當供應到閘極電極的另一個之電位的位準被控制時，可控制電晶體 102 的臨界電壓。

然後，圖 1B 圖解具有圖 1A 之電路結構的記憶體單元 100 之橫剖面圖的一個例子。圖 1B 之記憶體單元在具有絕緣表面的基板 110 之上包括電晶體 101，其用作為記憶體元件；以及電晶體 102，其用作為切換元件。

尤其是，電晶體 101 在具有絕緣表面的基板 110 之上包括：第一閘極電極 121；絕緣膜 112，係在該第一閘極電極 121 之上；氧化物半導體膜 123，其用作為主動層，及與第一閘極電極 121 重疊，且絕緣膜 112 係設置在氧化物半導體膜 123 與第一閘極電極 121 之間；源極電極 124 和汲極電極 125，係在氧化物半導體膜 123 之上；絕緣膜 116，係在氧化物半導體膜 123、源極電極 124、和汲極電極 125 之上；以及與氧化物半導體膜 123 重疊之第二閘極電極 126，係在絕緣膜 116 之上。另外，絕緣膜 117 係形成在第二閘極電極 126 之上，及被包括作為電晶體 101 的組件。

此外，電晶體 102 在具有絕緣表面的基板 110 之上包括：閘極電極 111；絕緣膜 112，係在閘極電極 111 之上；氧化物半導體膜 113，其用作為主動層，及與閘極電極 111 重疊，且絕緣膜 112 係設置在氧化物半導體膜 113 與閘極電極 111 之間；以及源極電極 114 和汲極電極 115，係在氧化物半導體膜 113 之上。絕緣膜 116 係形成在氧化物半導體膜 113、源極電極 114、和汲極電極 115 之上，及被包括作為電晶體 102 的組件。

此外，電容器 103 係形成在電晶體 101 的源極電極 124 和第二閘極電極 126 彼此重疊，且絕緣膜 116 係設置在電晶體 101 的源極電極 124 和第二閘極電極 126 之間的區域中。

接著，將參考圖 2A 及 2B 說明當電晶體 101 為 n 通道電晶體及使用二元資料時之操作，來作為用作為記憶體元件之電晶體的操作之一個例子。需注意的是，圖 2A 圖解電晶體 101 的電路圖。包括在電晶體 101 中之各電極的電位被表示如下：第一閘極電極的電位被表示為 V_{cg} ，第二閘極電極的電位被表示為 V_{bg} ，源極電極的電位被表示為 V_s ，及汲極電極的電位被表示為 V_d 。

首先，將說明資料寫入時之電晶體 101 的操作。在資料寫入時，等於或低於臨界電壓 V_{th_0} 之電壓被施加在電晶體 101 的第一閘極電極和源極電極之間。需注意的是，臨界電壓 V_{th_0} 對應於當第二閘極電極的電位 V_{bg} 等於接地電位 V_{gnd} 時之電晶體 101 的臨界電壓。尤其是，在資

料寫入時之第一閘極電極的電位和源極電極的電位之間的關係為 $(V_{cg}-V_s)\leq V_{th_0}$ 。因此，電晶體 101 在資料寫入時為關閉狀態，及電晶體 101 的汲極電極具有高阻抗。

然後，在資料寫入時，根據寫入之資料的值來控制第二閘極電極之電位 V_{bg} 的位準。當使用二元資料時，高電位 V_{dd} 或低電位 V_{ss} 被施加到第二閘極電極。電位之間的關係可被表示為 $V_{dd}>V_{ss}\geq V_{gnd}$ 。例如，當第二閘極電極的電位 V_{bg} 為等於 V_{gnd} 之低電位 V_{ss} 時，電晶體 101 的臨界電壓保持在 V_{th_0} 。另一方面，當第二閘極電極的電位 V_{bg} 為高電位 V_{dd} 時，電晶體 101 的臨界電壓位移到負側及變成 V_{th_1} 。

需注意的是，雖然在實施例 1 中，說明資料寫入時低電位 V_{ss} 等於 V_{gnd} 之情況作為例子，但是低電位 V_{ss} 不一定要等於接地電位 V_{gnd} 。例如，亦可接受 $V_{dd}>V_{ss}>V_{gnd}$ 。需注意的是，在該例子中，臨界電壓的位移量小於當第二閘極電極的電位 V_{bg} 為高電位 V_{dd} 時之臨界電壓的位移量。

接著，將說明資料儲存時之電晶體 101 的操作。在資料儲存時，用作為切換元件之電晶體 102 在關閉狀態中。因為如上述電晶體 102 的關閉狀態電流極低，所以保持在資料寫入時所設定之電位 V_{bg} 的位準。

然後，將說明資料讀取時之電晶體 101 的操作。在資料讀取時，高於臨界電壓 V_{th_1} 和低於臨界電壓 V_{th_0} 之電壓被施加到電晶體 101 的第一閘極電極和源極電極。

在資料讀取之前所執行的最新資料寫入時使電晶體 101 之臨界電壓成爲 V_{th1} 的例子中，電晶體 101 被導通，因爲電晶體 101 的第一閘極電極和源極電極之間的電壓變成高於臨界電壓 V_{th1} ，使得源極電極和汲極電極之間的電阻降低。因此，電晶體 101 之源極電極的電位 V_s 被供應到電晶體 101 的汲極電極。另一方面，在資料讀取之前所執行的最新資料寫入時使電晶體 101 之臨界電壓成爲 V_{th0} 的例子中，當第一閘極電極和源極電極之間的電壓高於臨界電壓 V_{th1} 但低於臨界電壓 V_{th0} 時，使電晶體 101 保持關閉。因此，源極電極和汲極電極之間的電阻高，使得電晶體 101 的汲極電極保持高阻抗。

因此，汲極電極的電位 V_d 依據資料讀取之前所執行的最新資料寫入時之施加到第二閘極電極的電位之位準來予以決定。圖 2B 圖解資料讀取時之第一閘極電極的電位 V_{cg} 和電晶體 101 的汲極電流 I_d 之間的關係。線 130 圖解當臨界電壓爲 V_{th1} 時的電位 V_{cg} 和汲極電流 I_d 之間的關係。線 131 圖解當臨界電壓爲 V_{th0} 時的電位 V_{cg} 和汲極電流 I_d 之間的關係。如圖 2B 所示，當第一閘極電極和源極電極之間的電壓爲高於臨界電壓 V_{th1} 但低於臨界電壓 V_{th0} 之電壓 V_{read} 時，從線 130 及線 131 可明白，在臨界電壓爲 V_{th1} 時所獲得之汲極電流 I_{d1} 高於在臨界電壓爲 V_{th0} 時所獲得之汲極電流 I_{d0} 。因此，當讀取汲極電流 I_d 的量或汲極電極的電位 V_d 時，可明白所寫入資料的值。

需注意的是，在實施例 1 中，雖然說明資料讀取時第一閘極電極和源極電極之間的電壓高於臨界電壓 V_{th1} 但低於臨界電壓 V_{th0} 之例子，但是本發明並不侷限於此結構。資料讀取時的第一閘極電極和源極電極之間的電壓不一定要低於或等於臨界電壓 V_{th0} 。例如，在資料讀取之前所執行的最新資料寫入時使電晶體 101 的臨界電壓成爲 V_{th1} 之例子中，當在讀取資料中第一閘極電極和源極電極之間的電壓高於臨界電壓 V_{th0} 時電晶體被導通，使得源極電極和汲極電極之間的電阻降低。以 R_{ds0} 表示那時源極電極和汲極電極之間的電阻。另一方面，在資料讀取之前所執行的最新資料寫入時使電晶體 101 之臨界電壓成爲 V_{th0} 的例子中，當在資料讀取中第一閘極電極和源極電極之間的電壓高於臨界電壓 V_{th0} 時電晶體被導通，使得源極電極和汲極電極之間的電阻降低。以 R_{ds1} 表示那時源極電極和汲極電極之間的電阻。至少在臨界電壓爲 V_{th1} 之例子中，電晶體 101 在飽和區中操作；因此，在電晶體 101 的臨界電壓爲 V_{th1} 及電晶體 101 的臨界電壓爲 V_{th0} 之兩例子中，甚至當電晶體 101 在導通狀態中時，源極電極和汲極電極之間的電阻差仍可被表示爲 $R_{ds0} < R_{ds1}$ 。尤其是，當 V_{gs} 表示第一閘極電極和源極電極之間的電壓時，及當 V_{ds} 表示源極電極和汲極電極之間的電壓時，電晶體 101 應在 $|V_{ds}| > |V_{gs} - V_{th0}|$ 的範圍中操作。當源極電極和汲極電極之間的電阻差被表示爲 $R_{ds0} < R_{ds1}$ 時，甚至當資料讀取時的第一閘極電極和源極電極之間的電壓高於

臨界電壓 V_{th0} 時，汲極電極的電位 V_d 仍可依據資料讀取之前所執行的最新資料寫入時之施加到第二閘極電極的電位之位準來予以決定。例如，如圖 2B 所示，當第一閘極電極和源極電極之間的電壓為高於臨界電壓 V_{th0} 之電壓 V_{read} 時，從線 130 及線 131 可明白，在臨界電壓為 V_{th1} 時所獲得之汲極電流 I_{d1} 高於在臨界電壓為 V_{th0} 時所獲得之汲極電流 I_{d0} 。因此，讀取汲極電流 I_d 的量或汲極電極的電位 V_d ，使得明白所寫入資料的值。

然後，將說明資料拭除時之電晶體 101 的操作。在資料拭除時，等於或低於臨界電壓 V_{th1} 之電壓被施加在電晶體 101 的第一閘極電極和源極電極之間，如同在資料寫入時一般。尤其是，在資料拭除時之第一閘極電極的電位和源極電極的電位之間的關係為 $(V_{cg} - V_s) \leq V_{th1}$ 。因此，電晶體 101 在資料拭除時為關閉狀態，及電晶體 101 的汲極電極具有高阻抗。此外，在資料拭除時，第二閘極電極的電位 V_{bg} 被設定成諸如接地電位等固定電位，及電晶體 101 的臨界電壓被設定成 V_{th0} 。

需注意的是，在實施例 1 中，雖然說明拭除所寫入資料之記憶體裝置的驅動方法，但是本發明並不侷限於此結構。根據本發明的一個實施例之記憶體裝置不同於習知快閃記憶體，因為不需要資料拭除，此為有利點之一。因此，例如，可寫入其他資料，使得所寫入資料可被覆寫。

需注意的是，在一般快閃記憶體之例子中，在資料寫入時，累積電荷之浮動閘極被覆蓋有絕緣膜且在絕緣狀態

中。因此，需要施加約 20 V 的高電壓到記憶體元件，以便藉由使用穿隧效應將電荷累積在浮動閘極中。另一方面，在本發明的一個實施例中，可藉由使用包括高度淨化的氧化物半導體膜作為電晶體之主動層的電晶體來執行寫入和讀取。因此，記憶體裝置的操作只需要幾伏特電壓，使得電力消耗明顯降低。需注意的是，因為用於快閃記憶體的記憶體元件之電晶體和用於根據本發明的一個實施例之記憶體元件的電晶體在結構和驅動法上不同，所以難以藉由施加到記憶體元件的各電極之電位來準確明白電力消耗的差異。然而，例如，當比較只在資料寫入中之電力消耗時，可在施加在第二閘極電極和源極電極之間的電壓為 5 V 之例子中，將資料適當寫入到根據本發明的一個實施例之記憶體裝置。相對地，在一般快閃記憶體中，至少需要施加約 16 V 的電壓在閘極電極和源極電極之間，使得能夠藉由累積電荷在浮動閘極中來寫入資料。電晶體的電力消耗對應於藉由將電晶體的閘極電壓之平方除以電晶體的負載電阻所獲得之值。因此，發現根據本發明的一個實施例之記憶體裝置的電力消耗約為一般快閃記憶體之電力消耗的 10%。因此，從資料寫入時之電力消耗的比較明白，可大幅降低操作時之電力消耗。

需注意的是，在使用一般快閃記憶體之半導體裝置中，因為快閃記憶體的操作所需之電壓（操作電壓）高，所以施加到快閃記憶體之電壓通常藉由步進式 dc-dc（直流-直流）轉換器等等來升壓。然而，因為在根據本發明

的一個實施例之記憶體裝置中可降低記憶體裝置的操作電壓，所以能夠降低電力消耗。因此，可減少半導體裝置中用於記憶體裝置的操作之外部電路的負載，諸如步進式 dc-dc（直流-直流）轉換器等，使得能夠擴展外部電路的功能，及可實現半導體裝置的較高性能。另外，可降低記憶體裝置的操作電壓，使得不需要掩蓋由於高操作電壓所導致的故障所需之冗餘電路設計；因此，可增加用於半導體裝置的積體電路之整合密度，及可形成較高性能的半導體裝置。

另外，在實施例 1 中，雖然說明使用二元數位資料時之驅動方法，但是本發明的記憶體裝置亦可使用具有三或更多值之多值資料。在使用具有三或更多值之多值資料的例子中，使得在資料寫入時能夠選擇第二閘極電極之電位 V_{bg} 的三或更多位準。因為臨界電壓的值受第二閘極電極之電位 V_{bg} 控制，所以藉由利用上述結構，可根據第二閘極電極的電位 V_{bg} 位準來設定臨界電壓的三或更多位準。可使用由於臨界電壓的位準差所產生之汲極電流的差，或者由於臨界電壓的位準差所產生之源極電極和汲極電極之間的電阻差，而讀取多值資料。另外，作為另一方法，事先準備位準稍微高於臨界電壓的位準之電壓，及將電壓施加到第一閘極電極，使得根據臨界電壓的位準來讀取資料。例如，在讀取四值資料之例子中，事先準備稍微高於四位準臨界電壓（ V_{th0} 、 V_{th1} 、 V_{th2} 、 V_{th3} ）之四電壓（ V_{read0} 、 V_{read1} 、 V_{read2} 、 V_{read3} ），及藉由使用四電

壓來讀取資料四次；因此，可讀取四值資料。藉由上述結構，在防止記憶體裝置的面積擴大同時，可增加記憶體裝置的記憶體容量。

需注意的是，在資料中具有三或更多值之多值資料的例子中，例如，因為臨界電壓的位準之間的差隨著值的數目增至四、五、及六而變得越來越小。因此，若存在些微的關閉狀態電流量，則改變第二閘極電極的電位；在此種狀態中，難以維持資料的準確性，及保持週期傾向更短。然而，在本發明的一個實施例中，因為藉由使用高度淨化的氧化物半導體膜大幅降低關閉狀態電流之電晶體被使用作為切換元件，所以可比包括矽之電晶體更有效地防止關閉狀態電流的產生。因此，可抑制由於值多工化所導致之保持週期的減短。

此外，圖 1B 圖解用作為切換元件的電晶體 102 為包括氧化物半導體膜 113 在閘極電極 111 之上的底閘極電晶體之例子。然而，電晶體 102 並不侷限於底閘極電晶體。只要電晶體 102 包括氧化物半導體膜作為主動層都可接受。例如，電晶體 102 可以是包括閘極電極在氧化物半導體膜之上的頂閘極電晶體。另外，電晶體 102 並不侷限於源極電極 114 和汲極電極 115 形成在氧化物半導體膜 113 之上的頂接觸電晶體。電晶體 102 可以是氧化物半導體膜 113 形成在源極電極 114 和汲極電極 115 之上的底接觸電晶體。而且，雖然電晶體 102 為與源極電極 114 和汲極電極 115 之間的絕緣膜 116 重疊之氧化物半導體膜 113 的部

分之厚度小於其他部位的通道蝕刻型電晶體，但是本發明並不侷限於此結構。電晶體 102 可以是通道保護型電晶體，其中，通道保護膜係設置在源極電極 114 和汲極電極 115 之間且在氧化物半導體膜 113 之上，以防止由於用以形成源極電極 114 和汲極電極 115 之蝕刻時的電漿所導致之破壞、由於蝕刻導致膜厚度的降低等等。

圖 3A 圖解具有圖 1A 的電路結構之記憶體單元 100 的橫剖面圖之一個例子。在圖 3A 的記憶體單元中，是通道保護電晶體且用作為記憶體元件之電晶體 101 以及是通道保護電晶體且用作為切換元件之電晶體 102 係形成在具有絕緣表面的基板 140 之上。

尤其是，電晶體 101 在具有絕緣表面的基板 140 之上包括：第一閘極電極 151；絕緣膜 142，係在第一閘極電極 151 之上；氧化物半導體膜 153，其與第一閘極電極 151 重疊，且絕緣膜 142 係設置在氧化物半導體膜 153 與第一閘極電極 151 之間，且用作為主動層；與閘極電極 151 重疊之通道保護膜 157，係在氧化物半導體膜 153 之上；源極電極 154 和汲極電極 155，係在氧化物半導體膜 153 之上；絕緣膜 146，係在氧化物半導體膜 153、通道保護膜 157、源極電極 154 和汲極電極 155 之上；以及與氧化物半導體膜 153 重疊之第二閘極電極 156，係在絕緣膜 146 之上。此外，絕緣膜 147 係形成在第二閘極電極 156 之上，及可被包括作為電晶體 101 的組件。

此外，電晶體 102 在具有絕緣表面的基板 140 之上包

括：閘極電極 141；絕緣膜 142，係在閘極電極 141 之上；氧化物半導體膜 143，其與閘極電極 141 重疊，且絕緣膜 142 係設置在氧化物半導體膜 143 與閘極電極 141 之間，且用作為主動層；通道保護膜 148，係在氧化物半導體膜 143 之上；以及源極電極 144 和汲極電極 145，係在氧化物半導體膜 143 之上。絕緣膜 146 係形成在氧化物半導體膜 143、通道保護膜 148、源極電極 144、和汲極電極 145 之上，及可被包括作為電晶體 102 的組件。

另外，電容器 103 係形成在電晶體 101 的源極電極 154 和第二閘極電極 156 彼此重疊，且絕緣膜 146 係設置在電晶體 101 的源極電極 154 和第二閘極電極 156 之間的區域中。

通道保護膜 157 和通道保護膜 148 係可藉由諸如電漿 CVD 或熱 CVD 法等化學氣相沉積或者濺鍍所形成。此外，通道保護膜 157 和通道保護膜 148 較佳係使用包括氧之無機材料（諸如，氧化矽、氮氧化矽、或氧氮化矽等）來予以形成。藉由將包括氧之無機材料用於通道保護膜 157 和通道保護膜 148，能夠以下列方法滿足化學計量組成比：將氧至少供應到分別與通道保護膜 157 和通道保護膜 148 相接觸之氧化物半導體膜 153 和氧化物半導體膜 143 的區域，及即使由於用於降低氧化物半導體膜 153 和氧化物半導體膜 143 中的濕氣或氫之熱處理而導致氧不足，仍可降低用作為施體的氧不足。因此，通道形成區可以是本徵或實質上為本徵，及降低由於氧不足所導致之電

晶體的電特性變化；因此，可提高電特性。

需注意的是，通道形成區對應於與閘極電極重疊且閘極絕緣膜係設置在半導體膜和閘極電極之間的半導體膜之區域。在電晶體被使用作為記憶體元件之例子中，通道形成區對應於在源極電極和汲極電極之間且與第一閘極電極或第二閘極電極重疊且閘極絕緣膜係設置在半導體膜和第一閘極電極或第二閘極電極之間的半導體膜之區域。

然後，圖 3B 圖解具有圖 1A 的電路結構之記憶體單元 100 的橫剖面圖之一個例子。圖 3B 之記憶體單元在具有絕緣表面的基板 160 之上包括是底接觸電晶體且用作為記憶體元件之電晶體 101 以及是底接觸電晶體且用作為切換元件之電晶體 102。

尤其是，電晶體 101 在具有絕緣表面的基板 160 之上包括：第一閘極電極 171；絕緣膜 162，係在第一閘極電極 171 之上；源極電極 174 和汲極電極 175，係在絕緣膜 162 之上；與第一閘極電極 171 重疊且絕緣膜 162 係設置在氧化物半導體膜 173 與第一閘極電極 171 之間的氧化物半導體膜 173，係與源極電極 174 和汲極電極 175 相接觸，且用作為主動層；絕緣膜 166，係在氧化物半導體膜 173、源極電極 174、和汲極電極 175 之上；以及與氧化物半導體膜 173 重疊之第二閘極電極 176，係在絕緣膜 166 之上。此外，絕緣膜 167 係形成在第二閘極電極 176 之上，及可被包括作為電晶體 101 的組件。

另外，電晶體 102 在具有絕緣表面的基板 160 之上包

括：絕緣膜 162，係在閘極電極 161 之上；源極電極 164 和汲極電極 165，係在絕緣膜 162 之上；以及與閘極電極 161 重疊且絕緣膜 162 係設置在氧化物半導體膜 163 與閘極電極 161 之間的氧化物半導體膜 163，係與源極電極 164 和汲極電極 165 相接觸，且用作為主動層。絕緣膜 166 係形成在氧化物半導體膜 163、源極電極 164、和汲極電極 165 之上，及可被包括作為電晶體 102 的組件。

另外，電容器 103 係形成在電晶體 101 的源極電極 174 和第二閘極電極 176 彼此重疊，且絕緣膜 166 係設置在電晶體 101 的源極電極 174 和第二閘極電極 176 之間的區域中。

此外，圖 1A、圖 3A、及圖 3B 圖解氧化物半導體膜被用於用作為記憶體元件之電晶體 101 的主動層之例子。然而，如上述，關於電晶體 101 的主動層，亦可使用除了氧化物半導體以外的下列半導體：非晶矽、微晶矽、多晶矽、單晶矽、非晶鍺、微晶鍺、多晶鍺、單晶鍺等等。

圖 4A 圖解當包括矽的半導體膜被用於用作為記憶體元件之電晶體 101 的主動層時之記憶體單元 100 的橫剖面圖之一個例子。在圖 4A 之記憶體單元中，用作為記憶體元件之電晶體 101 和用作為切換元件之電晶體 102 係形成在具有絕緣表面的基板 200 之上。

尤其是，電晶體 102 在具有絕緣表面的基板 200 之上包括：閘極電極 211；絕緣膜 230，係在閘極電極 211 之上；氧化物半導體膜 213，其與閘極電極 211 重疊且絕緣

膜 230 係設置在氧化物半導體膜 213 與閘極電極 211 之間，且用作為主動層；以及源極電極 214 和汲極電極 215，係在氧化物半導體膜 213 之上。絕緣膜 231 係形成在氧化物半導體膜 213、源極電極 214、和汲極電極 215 之上，及可被包括作為電晶體 102 的組件。

另外，電晶體 101 在形成於具有絕緣表面的基板 200 之上的絕緣膜 231 之上包括：第一閘極電極 221；絕緣膜 212，係在第一閘極電極 221 之上；半導體膜 223，其與第一閘極電極 221 重疊且絕緣膜 212 係設置在半導體膜 223 與第一閘極電極 221 之間，且用作為包括矽之主動層；源極電極 224 和汲極電極 225，係在半導體膜 223 之上；絕緣膜 216，係在半導體膜 223、源極電極 224、和汲極電極 225 之上；以及與半導體膜 223 重疊之第二閘極電極 226，係在絕緣膜 216 之上。此外，絕緣膜 217 係形成在第二閘極電極 226 之上，及可被包括作為電晶體 101 的組件。

另外，電容器 103 係形成在電晶體 101 的汲極電極 225 和第二閘極電極 226 彼此重疊，且絕緣膜 216 係設置在電晶體 101 的汲極電極 225 和第二閘極電極 226 之間的區域中。

然後，圖 4B 圖解當包括矽之半導體膜被用於用作為記憶體元件之電晶體 101 的主動層時之記憶體單元 100 的橫剖面圖之一個例子。在圖 4B 的記憶體單元中，用作為記憶體元件之電晶體 101 和用作為切換元件之電晶體 102

係形成在具有絕緣表面的基板 270 之上。

尤其是，電晶體 102 在形成於基板 270 之上的絕緣膜 247 之上包括：閘極電極 241；絕緣膜 260，係在閘極電極 241 之上；氧化物半導體膜 243，其與閘極電極 241 重疊且絕緣膜 260 係設置在氧化物半導體膜 243 與閘極電極 241 之間，且用作為主動層；以及源極電極 244 和汲極電極 245，係在氧化物半導體膜 243 之上。絕緣膜 261 係形成在氧化物半導體膜 243、源極電極 244、和汲極電極 245 之上，及可被包括作為電晶體 102 的組件。

此外，電晶體 101 在基板 270 之上包括：第一閘極電極 251；絕緣膜 242，係在第一閘極電極 251 之上；半導體膜 253，其與第一閘極電極 251 重疊且絕緣膜 242 係設置在半導體膜 253 與第一閘極電極 251 之間，且用作為包括矽之主動層；源極電極 254 和汲極電極 255，係在半導體膜 253 之上；絕緣膜 246，係在半導體膜 253、源極電極 254、和汲極電極 255 之上；以及與半導體膜 253 重疊之第二閘極電極 256，係在絕緣膜 246 之上。此外，絕緣膜 247 係形成在第二閘極電極 256 之上，及可被包括作為電晶體 101 的組件。

另外，電容器 103 係形成在電晶體 101 的汲極電極 255 和第二閘極電極 256 彼此重疊，且絕緣膜 246 係設置在電晶體 101 的汲極電極 255 和第二閘極電極 256 之間的區域中。

需注意的是，雖然圖 4A 及圖 4B 圖解電晶體 101 為

底閘極電晶體之例子，但是電晶體 101 可以是頂閘極電晶體或底接觸電晶體。此外，雖然電晶體 101 為通道蝕刻型電晶體，但是電晶體 101 可以是通道保護型電晶體。另外，雖然圖 4A 及圖 4B 圖解電晶體 102 為底閘極電晶體之例子，但是電晶體 102 可以是頂閘極電晶體或底接觸電晶體。此外，雖然電晶體 102 為通道蝕刻型電晶體，但是電晶體 102 可以是通道保護型電晶體。

(實施例 2)

在實施例 2 中，將說明包括複數個記憶體單元之記憶體裝置的結構及其驅動方法之例子。

作為例子，圖 5 圖解複數個記憶體單元 300 被排列成矩陣之 NOR 型記憶體裝置中的單元陣列之電路圖。包括在圖 5 之記憶體裝置中的各記憶體單元 300 之結構可參考實施例 1 中的記憶體單元 100 之結構的說明。

尤其是，記憶體單元 300 包括用作為記憶體元件之電晶體 301 和用作為切換元件及可控制到電晶體 301 的第二閘極電極之電位的供應之電晶體 302。此外，記憶體單元 300 可包括用以保持電晶體 301 的第二閘極電極之電位的電容器 303。記憶體單元 300 可視需要另具有另一電路元件，諸如二極體、電阻器、或感應器等。

圖 5 中之單元陣列包括各種配線，諸如複數個輸入資料線 Din、複數個輸出資料線 Dout、複數個寫入字元線 WL、和複數個讀取字元線 RL 等。經由這些配線，將來自

單元陣列的驅動器電路之供電電位或信號供應到記憶體單元 300 的每一個。因此，配線的數目係可藉由記憶體單元 300 的數目和記憶體單元 300 的配置予以決定。

尤其是，圖 5 中之單元陣列包括：設置在三列和三行之記憶體單元彼此排列成矩陣；及設置至少輸入資料線 Din1 至 Din3、輸出資料線 Dout1 至 Dout3、寫入字元線 WL1 至 WL3、和讀取字元線 RL1 至 RL3。

然後，將說明連接到輸入資料線 Din1、輸出資料線 Dout1、寫入字元線 WL1、和讀取字元線 RL1 之記憶體單元 300 的其中之一作為記憶體單元 300 中之配線和電路的連接結構之例子。電晶體 302 的閘極電極連接到寫入字元線 WL1。電晶體 302 之源極電極和汲極電極的其中之一係連接到輸入資料線 Din1，而電晶體 302 之源極電極和汲極電極的另一個係連接到電晶體 301 的第二閘極電極。電晶體 301 的第一閘極電極連接到讀取字元線 RL1。電晶體 301 之源極電極和汲極電極的其中之一係連接到輸出資料線 Dout1，而電晶體 301 之源極電極和汲極電極的另一個係連接到被供應有諸如接地電位等固定電位之供電線 304。

另外，電容器 303 之一對電極的其中之一係連接到電晶體 301 的第二閘極電極，而電容器 303 之電極的另一個係連接到被供應有諸如接地電位等固定電位的供電線 304。

作為例子，圖 6 圖解複數個記憶體單元 300 串聯連接

之 NAND 型記憶體裝置中的單元陣列之電路圖。圖 6 中的結構與圖 5 中的結構相同，及包括在圖 6 之記憶體裝置中的各記憶體單元之結構可參考實施例 1 中的記憶體單元 100 之結構的說明。

圖 6 中的單元陣列包括三個記憶體單元被串聯連接之五行單元陣列。尤其是，單元陣列包括設置在五行和三列中之記憶體單元；及輸入資料線 Din1 至 Din3、輸出資料線 Dout1 至 Dout3、寫入字元線 WL1 至 WL3、讀取字元線 RL1 至 RL3、選擇信號線 SEL1 及 SEL2、和供電線 304。經由這些配線，將來自單元陣列的驅動器電路之供電電位或信號供應到記憶體單元的每一個。因此，配線的數目係可由記憶體單元 300 的數目予以決定。

然後，將說明記憶體單元 300 中之配線和電路元件的連接結構。例如，將重心聚焦於連接到輸入資料線 Din1、輸出資料線 Dout1、寫入字元線 WL1、和讀取字元線 RL1 之記憶體單元 300。電晶體 302 的閘極電極連接到寫入字元線 WL1。電晶體 302 之源極電極和汲極電極的其中之一係連接到輸入資料線 Din1，而電晶體 302 之源極電極和汲極電極的另一個係連接到電晶體 301 的第二閘極電極。電晶體 301 的第一閘極電極連接到讀取字元線 RL1。此外，在輸出資料線 Dout1 和被供應有諸如接地電位等固定電位的供電線 304 之間，電晶體 301 在彼此鄰接的記憶體單元之中串聯連接。

另外，電容器 303 之一對電極的其中之一係連接到電

晶體 301 的第二閘極電極，而電容器 303 之電極的另一個係連接到被供應有諸如接地電位等固定電位的供電線 304。

然後，將參考指定圖 6 中的記憶體陣列作為例子之圖 21 說明根據本發明的一個實施例之記憶體裝置的操作。圖 21 為隨著時間過去之輸入到配線的信號之電位變化的時序圖。圖 21 圖解電晶體 301 和電晶體 302 為 n 通道電晶體及使用二元資料之例子。

首先，將說明資料寫入時之記憶體裝置的操作。在資料寫入時，當具有脈波的信號被輸入到寫入字元線 WL1 時，脈波的電位，尤其是高位準電位，被供應到電晶體 302 的閘極電極。閘極電極連接到寫入字元線 WL1 之各電晶體 302 是在導通狀態中。同時，當低位準電位被輸入到讀取字元線 RL1 時，低位準電位被供應到電晶體 301 的第一閘極電極。第一閘極電極連接到讀取字元線 RL1 之各電晶體 301 是在關閉狀態中。

然後，具有資料的信號連續輸入到輸入資料線 Din1 至 Din3。圖 21 圖解具有高位準電位之信號被輸入到輸入資料線 Din1 和輸入資料線 Din3，以及具有低位準電位之信號被輸入到輸入資料線 Din2 的例子。無須說，輸入到輸入資料線 Din1 至 Din3 之信號的電位位準視資料而改變。

經由在導通狀態中之電晶體 302，將輸入到輸入資料線 Din1 至 Din3 之電位供應到電晶體 301 的第二閘極電

極。根據第二閘極電極的電位決定電晶體 301 之臨界電壓的位移量。尤其是，因為具有高位準電位之信號被輸入到輸入資料線 Din1 及輸入資料線 Din3，所以在連接到輸入資料線 Din1 之記憶體單元 300 和連接到輸入資料線 Din3 之記憶體單元 300 的每一個中，電晶體 301 的第二閘極電極之電位是在高位準中。亦即，在此種記憶體單元 300 中，用作為記憶體元件之電晶體 301 依據圖 2B 的線 130 來操作。另一方面，因為具有低位準的電位之信號被輸入到輸入資料線 Din2，所以在連接到輸入資料線 Din2 之記憶體單元 300 的每一個中，電晶體 301 的第二閘極電極之電位是在低位準中。亦即，在此種記憶體單元 300 中，用作為記憶體元件之電晶體 301 依據圖 2B 的線 131 來操作。

當完成輸入具有脈波之信號到寫入字元線 WL1 時，閘極電極連接到寫入字元線 WL1 之各電晶體 302 被關閉。然後，具有脈波之信號連續輸入到寫入字元線 WL2 和寫入字元線 WL3，及在包括寫入字元線 WL2 之記憶體單元和包括寫入字元線 WL3 之各記憶體單元中同樣重複上述操作。

然後，將說明資料儲存時之記憶體裝置的操作。在資料儲存時，所有寫入字元線 WL1 至 WL3 被供應有具有關閉電晶體 302 的位準之電位，尤其是，低位準電位。因為電晶體 302 的關閉狀態電流如上述極低，所以保持資料寫入時所設定之第二閘極電極的電位位準。低位準電位被供

應到所有讀取字元線 RL1 至 RL3。

在圖 21 之時序圖中，爲了說明資料儲存的操作而提供保持週期。然而，記憶體的实际操作不一定要提供保持週期。

然後，將說明資料讀取時之記憶體裝置的操作。在資料讀取時，如同在資料儲存時一般，所有寫入字元線 WL1 至 WL3 被供應有具有關閉電晶體 302 的位準之電位，尤其是，低位準電位。

在 NAND 型記憶體裝置中，在輸入資料線和被供應有諸如接地電位等固定電位的供電線之間，鄰接的記憶體單元彼此串聯連接。在記憶體單元中的資料將被讀取之例子中，可以是否藉由控制連接到與記憶體單元相同的輸入資料線之記憶體單元而連接記憶體單元之輸入資料線與被供應有諸如接地電位等固定電位的供電線在導電狀態中，來區分所儲存的二元資料。

尤其是，重心聚焦在連接到輸入資料線 Din1、輸出資料線 Dout1、寫入字元線 WL1、和讀取字元線 RL1 之記憶體單元 300，及考慮讀取儲存在記憶體單元 300 中之高位準資料的例子。爲了選擇連接記憶體單元 300 之輸出資料線 Dout1，使 SEL1 及 SEL2 具有高位準電位，使得能夠使連接到 SEL1 之電晶體 320 和連接到 SEL2 之電晶體 321 在導通狀態中。然後，連接到記憶體單元 300 中之電晶體 301 的第一閘極電極之讀取字元線 RL1 具有低位準電位。另外，讀取字元線 RL2 及 RL3 被供應有高位準電位，使

得連接到讀取字元線 RL2 及 RL3 之各電晶體 301 可被導通。高位準資料被寫入到記憶體單元 300 的電晶體 301 之第二閘極電極。亦即，根據用作為圖 2B 所示的記憶體元件之電晶體 301 的操作將臨界電壓位移到負側及變成 V_{th1} 。因此，電晶體 301 是在導通狀態中。因此，連接到輸出資料線 Dout1 的各個電晶體是在導通狀態中，及輸出資料線 Dout1 和被供應有接地之供電線成為導電狀態，使得能夠使輸出資料線 Dout1 具有與接地實質上相同的電位。

隨後，重心聚焦在連接到輸入資料線 Din2、輸出資料線 Dout2、寫入字元線 WL1、和讀取字元線 RL1 之記憶體單元 300，及考慮讀取儲存在記憶體單元 300 中之低位準資料的例子。為了選擇輸出資料線 Dout2，使 SEL1 及 SEL2 具有低位準電位，使得能夠使連接到 SEL1 之電晶體 320 和連接到 SEL2 之電晶體 321 被導通。然後，連接到記憶體單元 300 中之電晶體 301 的第一閘極電極之讀取字元線 RL1 具有低位準電位。另外，讀取字元線 RL2 及 RL3 被供應有高位準電位，使得連接到讀取字元線 RL2 及 RL3 之各電晶體 301 可被導通。低位準資料被寫入到記憶體單元 300 的電晶體 301 之第二閘極電極。亦即，根據用作為圖 2B 所示的記憶體元件之電晶體 301 的操作，未將臨界電壓位移及變成 V_{th0} 。因此，電晶體 301 是在關閉狀態中。因此，輸出資料線 Dout2 和被供應有接地之供電線未在導電狀態，及使輸出資料線 Dout2 具有高阻抗。

需注意的是，輸出資料線 *Dout* 的每一個連接到讀取電路，及讀取電路的輸出信號為記憶體的实际輸出。

需注意的是，在實施例 2 中，當在資料讀取中選擇輸出資料線時，圖解使用兩選擇信號線 *SEL1* 及 *SEL2* 和閘極電極連接到信號線之電晶體的例子。因為當在資料讀取中選擇輸出資料線時，只要能夠選擇輸出資料線和連接至此的讀取電路是在導電狀態還是未導電狀態都可接受，所以可設置至少一選擇信號線和連接到選擇信號線之電晶體。

雖然在實施例 2 中，說明在複數個記憶體單元中連續執行資料的寫入、儲存、和讀取之驅動方法，但是本發明並不侷限於此結構。具有指定位址之唯一記憶體單元亦可經過上述操作。

此外，在圖 6 之單元陣列中，四個配線（輸入資料線 *Din*、輸出資料線 *Dout*、寫入字元線 *WL*、和讀取字元線 *RL*）連接到各記憶體單元。然而，在本發明的記憶體裝置中，連接到各記憶體單元的配線數目並不侷限於四個。可適當決定配線數目和連接結構，使得記憶體單元 300 可被供應有控制電晶體 301 的導通/關閉之信號、控制電晶體 302 的切換之信號、和供應電位到電晶體 301 的第二閘極電極之信號，及具有電晶體 301 的汲極電流量或者源極電極和汲極電極之間的電阻之電位作為資料可被傳送到驅動器電路。

需注意的是，在圖 21 之時序圖中，輸出資料線

Dout1、Dout2、及 Dout3 中的陰影部表示資料未決定之狀態。另外，雖然各信號垂直上升和下降，但是精於本技藝之人士應明白，實際信號的波形由於信號線的負載、雜訊等等之影響而減弱。

然後，將參考指定圖 5 中的單元陣列作為例子之圖 7 說明根據本發明的一個實施例之記憶體裝置的操作。圖 7 為隨著時間過去之輸入到配線的信號之電位變化的時序圖。圖 7 圖解電晶體 301 和電晶體 302 為 n 通道電晶體及使用二元資料之例子。

首先，將說明資料寫入時之記憶體裝置的操作。在資料寫入時，當具有脈波的信號被輸入到寫入字元線 WL1 時，脈波的電位，尤其是高位準電位，被供應到電晶體 302 的閘極電極。閘極電極連接到寫入字元線 WL1 之各電晶體 302 是在導通狀態中。另一方面，具有低於圖解用作為記憶體元件的電晶體之操作的圖 2B 中之 V_{th1} 的電位之信號被輸入到讀取字元線 RL1；因此，第一閘極電極連接到讀取字元線 RL1 之各電晶體 301 保持關閉。

然後，具有資料的信號連續輸入到輸入資料線 Din1 至 Din3。雖然圖 7 圖解具有高位準電位之信號被輸入到輸入資料線 Din1 至 Din3 的每一個之例子。但無須說，輸入到輸入資料線 Din1 至 Din3 的信號之電位位準視資料的內容而改變。另外，在使用二元資料的例子中，只要輸入到輸入資料線 Din1 至 Din3 的信號之電位對應於兩種供電電壓（諸如，Vdd 及 Vss）都可接受。在使用具有三或更

多值之多值資料的例子中，依據資料中所使用的基數來決定電位的位準種類。

經由在導通狀態中之電晶體 302，將輸入到輸入資料線 Din1 至 Din3 之電位供應到電晶體 301 的第二閘極電極。電晶體 301 的臨界電壓位移量係根據第二閘極電極的電位來決定。

當完成輸入具有脈波之信號到寫入字元線 WL1 時，閘極電極連接到寫入字元線 WL1 之各電晶體 302 被關閉。然後，具有脈波之信號連續輸入到寫入字元線 WL2 和寫入字元線 WL3，及在具有寫入字元線 WL2 之記憶體單元和包括寫入字元線 WL3 之各記憶體單元中同樣重複上述操作。

然後，將說明資料儲存時之記憶體裝置的操作。在資料儲存時，所有寫入字元線 WL1 至 WL3 被供應有具有關閉電晶體 302 的位準之電位，尤其是，低位準電位。因為電晶體 302 的關閉狀態電流如上述極低，所以保持資料寫入時所設定之第二閘極電極的電位位準。另外，所有讀取字元線 RL1 至 RL3 被供應有具有關閉電晶體 302 的位準之電位，尤其是，低於圖解用作為記憶體元件之電晶體的操作之圖 2B 中的 V_{th1} 之電位。

在圖 7 之時序圖中，為了說明資料儲存的提供而提供保持週期。然而，記憶體的實際操作並不一定要提供保持週期。

然後，將說明資料讀取時之記憶體裝置的操作。在資

料讀取時，如同在資料儲存時一般，所有寫入字元線 WL1 至 WL3 被供應有具有關閉電晶體 302 的位準之電位，尤其是，低位準電位。

另一方面，在資料讀取時，具有脈波之信號被連續輸入到讀取字元線 RL1 至 RL3。尤其是，首先，當具有脈波之信號被輸入到讀取字元線 RL1 時，脈波的電位，尤其是高於圖解用作為記憶體元件之電晶體的操作之圖 2B 中的 V_{th1} 但低於 V_{th0} 之電位或高於 V_{th0} 之電位，被施加到電晶體 301 的第一閘極電極。當電晶體 301 的第一閘極電極被供應有高於圖解用作為記憶體元件之電晶體的操作之圖 2B 中的 V_{th1} 但低於 V_{th0} 之電位或高於 V_{th0} 之電位時，電晶體 301 的源極電極和汲極電極之間的電阻或汲極電流係根據資料讀取之前的最新資料寫入時所設定之臨界電壓予以決定。

具有電晶體 301 的汲極電流量或電晶體 301 的源極電極和汲極電極之間的電阻值之電位作為資料，亦即，經由輸出資料線 Dout1 至 Dout3，將連接到輸出資料線 Dout1 至 Dout3 的電晶體 301 之源極電極和汲極電極的其中之一的電位係供應到驅動器電路。

需注意的是，供應到輸出資料線 Dout1 至 Dout3 之電位的位準係根據寫入到記憶體單元之資料所決定。因此，以理想觀點，當具有相同值之資料被儲存在複數個記憶體單元時，應供應具有相同位準之電位到連接於記憶體單元的所有輸出資料線。然而，實際上，具有電晶體 301 或電

晶體 302 的特性在記憶體單元之間變化的情況；因此，即使欲待讀取的所有資料具有相同值，供應到輸出資料線的電位仍會改變，使得有時電位的值分佈廣泛。因此，在記憶體裝置中設置讀取電路作為驅動器電路。在讀取電路中，甚至當微小變化發生在供應到輸出資料線 Dout1 至 Dout3 之電位中時，仍會產生包括讀取自上述電位的資料且具有根據理想規格所處理的振幅和波形之信號。

圖 9 圖解讀取電路的電路圖之例子。圖 9 之讀取電路包括：用作為切換元件之電晶體 310_1 至 310_3，用以控制輸入輸出資料線 Dout1 至 Dout3 的電位到讀取電路；以及用作為電阻器之電晶體 311_1 至 311_3。此外，圖 9 之讀取電路包括運算放大器 312_1 至 312_3。

尤其是，電晶體 311_1 至 311_3 的閘極電極分別連接到電晶體 311_1 至 311_3 的汲極電極。此外，高位準供電電位 Vdd 被供應到閘極電極和汲極電極。另外，電晶體 311_1 至 311_3 的源極電極分別連接到運算放大器 312_1 至 312_3 的非反相輸入端子 (+)。因此，電晶體 311_1 至 311_3 用作為連接在被供應有供電電位 Vdd 的節點和運算放大器 312_1 至 312_3 的非反相輸入端子 (+) 之間的電阻器。需注意的是，雖然在圖 9 中閘極電極連接到汲極電極之電晶體被使用作為電阻器，但是本發明並不侷限於此。另一選擇是，可使用用作為電阻器的元件。

另外，用作為切換元件之電晶體 310_1 至 310_3 的閘極電極分別連接到位元線 BL1 至 BL3。然後，輸出資料線

Dout1 至 Dout3 和電晶體 311_1 至 311_3 的源極電極之間的連接係根據位元線 BL1 至 BL3 之電位來控制。

例如，當電晶體 310_1 被導通時，記憶體單元 300 中的電晶體 301 和讀取電路中的電晶體 311_1 被串聯連接。然後，連接的節點上之電位 V_{data} 被供應到運算放大器 312_1 至 312_3 的非反相輸入端子 (+)。電位 V_{data} 的位準係根據電晶體 301 的源極電極和汲極電極之間的電阻對電晶體 311_1 的源極電極和汲極電極之間的電阻之比率來決定；因此，電位 V_{data} 的位準反映所讀取資料的值。

相對地，運算放大器 312_1 至 312_3 的反相輸入端子 (-) 被供應有參考電位 V_{ref} 。輸出端子 V_{out} 的電位位準視相關於參考電位 V_{ref} 的電位 V_{data} 之位準而改變。因此，可獲得間接包括資料之信號。

需注意的是，即使具有相同值之資料儲存在記憶體單元中，所讀取電位 V_{data} 的位準之波動仍會由於記憶體單元的特性變化而發生，使得有時電位的值會廣泛分佈。參考電位 V_{ref} 的位準係考量節點的電位 V_{data} 之波動來決定，以準確讀取資料的值。

此外，雖然在圖 9 中將用以讀取資料的一運算放大器用於各輸出資料線，但運算放大器的數目並不侷限於此。當使用 n 值資料 (n 為 2 或更大的自然數) 時，用於各輸出資料線之運算放大器的數目為 $(n-1)$ 。

然後，將說明資料拭除時之記憶體裝置的操作。在資料拭除時，如同在資料寫入時一般，當具有脈波之信號被

輸入到寫入字元線 WL1 時，脈波的電位，尤其是高位準電位，被供應到電晶體 302 的閘極電極。閘極電極連接到字元線 WL1 之各電晶體 302 是在導通狀態中。另一方面，具有低於圖解用作為記憶體元件之電晶體的操作之圖 2B 中的 V_{th1} 之電位的信號被輸入到讀取字元線 RL1；因此，第一閘極電極連接到讀取字元線 RL1 之各電晶體 301 保持關閉。

諸如接地電位等固定電位被供應到輸入資料線 Din1 至 Din3。圖 7 圖解具有低位準電位之信號被輸入到所有輸入資料線 Din1 至 Din3 的例子。經由在導通狀態中的電晶體 302，將以低位準輸入到輸入資料線 Din1 至 Din3 之低位準固定電位供應到電晶體 301 的第二閘極電極。電晶體 301 的臨界電壓之位準係根據第二閘極電極的電位來重設。

當完成輸入具有脈波之信號到寫入字元線 WL1 時，閘極電極連接到寫入字元線 WL1 之各電晶體 302 被關閉。然後，具有脈波之信號連續輸入到寫入字元線 WL2 和寫入字元線 WL3，及在具有寫入字元線 WL2 之記憶體單元和具有寫入字元線 WL3 之各記憶體單元中同樣重複上述操作。

在圖 7 之時序圖中，提供拭除週期以說明拭除的操作。然而，在記憶體的實際操作中，不一定需要拭除週期。在此例中，可寫入另一資料，以便覆寫所寫入的資料。根據本發明的一個實施例之記憶體裝置具有有利點，

因為不一定需要提供拭除週期。

雖然在實施例 2 中說明在複數個記憶體單元中連續執行資料的寫入、儲存、讀取、和拭除之驅動方法，但是本發明定不侷限於此結構。具有指定位址之唯一記憶體單元亦可經過上述操作。

此外，在圖 5 之單元陣列中，四個配線（輸入資料線 Din、輸出資料線 Dout、寫入字元線 WL、和讀取字元線 RL）連接到各記憶體單元。然而，在本發明的記憶體裝置中，連接到各記憶體單元的配線數目並不侷限於四個。可適當決定配線數目和連接結構，使得記憶體單元 300 可被供應有控制電晶體 301 的導通/關閉之信號、控制電晶體 302 的切換之信號、和供應電位到電晶體 301 的第二閘極電極之信號，及具有電晶體 301 的汲極電流量或者源極電極和汲極電極之間的電阻之電位作為資料可被傳送到驅動器電路。

然後，指定使用圖 5 之單元陣列的記憶體裝置作為例子，及說明根據本發明的一個實施例之記憶體裝置中的驅動器電路之結構。

圖 8 圖解根據本發明的一個實施例之記憶體裝置的結構之方塊圖作為例子。需注意的是，在圖 8 之方塊圖中，根據其功能分類記憶體裝置中的電路，及圖解分開的區塊。然而，難以完全根據其功能來分類實際電路，及一個電路能夠具有複數個功能。

圖 8 之記憶體裝置包括：單元陣列 500，其中，複數

個單元陣列排列成矩陣；以及驅動器電路 501，用以控制單元陣列 500 的驅動。驅動器電路 501 包括：讀取電路 502，其產生具有讀取自單元陣列 500 之資料的信號；字元線驅動器電路 503，其每一列選擇包括在單元陣列 500 中之記憶體單元；資料線驅動器電路 504，其控制所選擇的記憶體單元中之資料的寫入和拭除；以及控制電路，其控制讀取電路 502、字元線驅動器電路 503、和資料線驅動器電路 504 之操作。另外，字元線驅動器電路 503 包括字元線解碼器 506。此外，資料線驅動器電路 504 包括資料線解碼器 508 和資料線選擇器 509。

需注意的是，只要根據本發明的一個實施例之記憶體裝置包括至少單元陣列 500 都可接受。單元陣列和驅動器電路的部分或全部連接到單元陣列之記憶體模組亦被列入根據本發明的一個實施例之記憶體裝置的範疇內。記憶體模組可被設置有可安裝在印刷配線板等等上之連接端子，以及可以樹脂等等加以保護（亦即，可被封裝）。

另外，可將上述驅動器電路 501 的全部或部分形成在與單元陣列 500 相同或不同的基板之上。在將驅動器電路 501 的全部或部分設置在與單元陣列 500 不同的基板之上的例子中，可經由 FPC（可撓性印刷電路）等等將驅動器電路 501 的全部或部分連接到單元陣列 500。在那例子中，可藉由 COF（膜上置晶片）法將驅動器電路 501 的部分連接到 FPC。另外，可藉由 COG（玻璃上置晶片）將驅動器電路 501 的全部或部分連接到單元陣列 500。

當單元陣列 500 和驅動器電路 501 形成在一基板之上時，連接到記憶體裝置之外部電路的組件數目被降低；因此，可藉由降低組裝步驟和檢測步驟數目來實現成本降低。另外，在記憶體裝置和外部電路彼此連接之連接部中可降低接點的數目；因此，可防止產量減少，及可防止由於連接部的機械性薄弱所導致之可靠性降低。另一選擇是，只有諸如字元線驅動器電路 503、資料線選擇器 509 等驅動頻率低於其他電路的驅動頻率至極低之電路可形成在與單元陣列 500 同一基板之上。因此，當驅動器電路 501 的部分設置在與被設置有單元陣列 500 同一基板之上時，可享有下面有利點至某種程度：例如，可避免連接缺陷所導致的產量降低、可避免連接部中的機械性薄弱、及可藉由降低組裝步驟和檢測步驟的數目來降低成本。另外，與單元陣列 500 和所有驅動器電路 501 形成在一基板上之例子比較，可增加具有高驅動頻率之電路的性能特性。

當具有位址 (A_x , A_y) 作為資料之信號 AD 被輸入到記憶體裝置時，控制電路 505 將相關於位址中的行方向之資料的位址 A_x 以及相關於位址中的列方向之資料的位址 A_y 分別傳送到資料線驅動器電路 504 和字元線驅動器電路 503。此外，控制電路 505 傳送包括輸入到記憶體裝置之資料的信號 DATA 到資料線驅動器電路 504。

由供應到控制電路 505 之信號 RE (讀取賦能)、WE (寫入賦能)、EE (拭除賦能) 等等來決定資料被寫入、

讀取、還是拭除。需注意的是，當複數個單元陣列 500 設置在記憶體裝置中時，用以選擇單元陣列之信號 CE（晶片賦能）可輸入到控制電路 505。

當由信號 WE 選擇資料寫入的操作時，由包括在字元線驅動器電路 503 中之字元線解碼器 506，將具有脈波之信號輸入到對應於位址 A_y 之寫入字元線 WL，以回應來自控制電路 505 的指令。另一方面，當由信號 WE 選擇資料寫入的操作時，資料線解碼器 508 供應用以控制資料線選擇器 509 的操作之信號到資料線驅動器電路 504 中的資料線選擇器 509，以回應來自控制電路 505 的指令。在資料線選擇器 509 中，根據來自資料線解碼器 508 之信號而取樣具有資料之信號 DATA，及所取樣的信號被輸入到對應於位址 A_x 之輸入資料線 Din。

當由信號 RE 選擇資料讀取的操作時，從包括在字元線驅動器電路 503 中之字元線解碼器 506 輸入具有脈波之信號到對應於位址 A_y 之讀取字元線 RL，以回應來自控制電路 505 的指令。另一方面，當由信號 RE 選擇資料寫入的操作時，在讀取電路 502 中，對應於位址 A_x 之位元線 BL 的電位被控制，以回應來自控制電路 505 的指令，使得對應於位址 A_x 之電晶體 310_1 至 310_3 以外的電晶體被導通。然後，使用對應於位址 A_x 之輸出資料線 Dout 的電位來讀取儲存在具有對應位址之記憶體單元中的資料，及產生具有資料的信號。

當由信號 EE 選擇資料拭除的操作時，從包括在字元

線驅動器電路 503 中之字元線解碼器 506 輸入具有脈波之信號到對應於位址 A_y 之寫入字元線 WL，以回應來自控制電路 505 的指令。另一方面，當由信號 EE 選擇資料拭除的操作時，資料線解碼器 508 供應用以控制資料線選擇器 509 的操作之信號到資料線驅動器電路 504 中的資料線選擇器 509，以回應來自控制電路 505 的指令。在資料線選擇器 509 中，根據來自資料線解碼器 508 之信號，而將用以拭除資料之信號輸入到對應於位址 A_x 之輸入資料線 Din。

需注意的是，雖然在圖 8 之記憶體裝置中，字元線驅動器電路 503 控制信號到寫入字元線 WL 之輸入以及信號到讀取字元線 RL 之輸入，但是本發明並不侷限於此結構。可在記憶體裝置中設置控制信號到寫入字元線 WL 之輸入的驅動器電路以及控制信號到讀取字元線 RL 之輸入的驅動器電路。

此實施例可與上述實施例的任一者適當組合實施。

(實施例 3)

指定通道蝕刻型底閘極電晶體作為例子，及將說明根據本發明的一個實施例之記憶體裝置的製造方法。需注意的是，在實施例 3 中，指定使用氧化物半導體膜作為用作為記憶體元件之電晶體和用作為切換元件之電晶體二者中的主動層之事例作為說明的例子。

如圖 10A 所示，閘極電極 401 和閘極電極 402 係形成

在具有絕緣表面的基板 400 之上。

雖然並未特別限制可被使用作為具有絕緣表面的基板 400 之基板，但是基板必須具有高到足以至少耐受稍後步驟所執行的熱處理之耐熱性。例如，可使用藉由玻璃熔化處理或飄浮處理所形成之玻璃基板。在使用玻璃基板和稍後步驟所執行的熱處理之溫度高的例子中，較佳使用應變點為 730°C 或更高之玻璃基板。作為玻璃基板，例如，使用諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或鋇硼矽酸鹽玻璃等玻璃材料。需注意的是，通常，藉由含氧化鋇 (BaO) 的量大於氧化硼的量，可獲得耐熱且更實用的玻璃基板。因此，使用含 BaO 和 B₂O₃ 之玻璃基板，較佳使得 BaO 的量大於 B₂O₃ 的量之玻璃基板。

需注意的是，作為上述玻璃基板，可使用由絕緣體所形成之基板，諸如陶瓷基板、石英基板、或藍寶石基板等。另一選擇是，可使用結晶玻璃等等。可使用具有設置有絕緣層的表面之不銹鋼合金等等的金屬基板。

另外，諸如塑膠等等由可撓性合成樹脂所形成之基板通常傾向具有低的溫度上限，但是只要基板能夠耐受稍後製造步驟中的處理溫度仍可被使用作為基板 400。塑膠基板的例子包括以聚乙烯對苯二甲酸酯 (PET) 為代表之聚酯、聚醚 (PES)、聚萘二甲酸乙二酯 (PEN)、聚碳酸酯 (PC)、聚二醚酮 (PEEK)、聚砜 (PSF)、聚醚醯亞胺 (PEI)、聚芳酯化合物 (PAR)、聚對苯二甲酸丁二酯 (PBT)、聚醯亞胺、丙烯腈-丁二烯-苯乙烯樹脂、聚

氯乙烯、聚丙烯、聚乙烯醇、丙烯酸樹脂等。

用作為基底膜之絕緣膜係可形成在基板 400 與閘極電極 401 和閘極電極 402 之間。作為基底膜，例如，可使用氧化矽膜、氮氧化矽膜、氮化矽膜、氧氮化矽膜、氮化鋁膜、或氧氮化鋁膜的單層，或者複數個這些膜的疊層。尤其是，具有高障壁特性之絕緣膜，例如氮化矽膜、氧氮化矽膜、氮化鋁膜、或氧氮化鋁膜被用於基底膜，使得可防止諸如濕氣或氫等氛圍中的雜質，或者諸如鹼性金屬或重金屬等包括在基板 400 中之雜質進入氧化物半導體膜、閘極絕緣膜、或在氧化物半導體膜與另一絕緣膜之間的介面中及其附近。

在此說明書中，氮氧化物意指包括氧多於氮之物質，而氧氮化物意指包括氮多於氧之物質。

閘極電極 401 及 402 係可被形成有使用使用諸如鉬、鈦、鉻、鉭、鎢、釹、或釷等金屬材料或者包括這些金屬材料的任一者作為主要成分之合金材料，或者這些金屬的氮化物之一或多個導電膜的單層或疊層。需注意的是，若鋁或銅能夠耐受稍後步驟所執行的熱處理之溫度，則亦可使用鋁或銅作為此種金屬材料。較佳鋁或銅與耐火金屬材料相組合，以便防止低耐熱性的問題和腐蝕的問題。作為耐火金屬材料，可使用鉬、鈦、鉻、鉭、鎢、釹、釷等等。

例如，作為閘極電極 401 及 402 的兩層結構，下面結構較佳：鉬膜堆疊在鋁膜之上的兩層結構，鉬膜堆疊在銅

膜之上的兩層結構，氮化鈦膜或氮化鉬膜堆疊在銅膜之上的兩層結構，及堆疊氮化鈦膜和鉬膜之兩層結構。作為閘極電極 401 及 402 的三層結構，下面結構較佳：鋁膜、鋁和矽的合金膜、鋁和鈦的合金膜、或鋁和鈷的合金膜被使用作為中間層，並且夾置在選自鎢膜、氮化鎢膜、氮化鈦膜、或鈦膜作為頂層和底層的兩膜之間的堆疊結構。

另外，當諸如氧化銮膜、氧化銮和氧化錫的合金之膜、氧化銮和氧化鋅的合金之膜、氧化鋅膜、氧化鋅鋁膜、氮氧化鋅鋁膜、氧化鋅鎳膜等等之透光氧化物導電膜被用於閘極電極 401 及 402 時，可提高像素部的孔徑比。

閘極電極 401 及 402 的厚度各為 10 nm 至 400 nm，較佳為 100 nm 至 200 nm。在實施例 3 中，在使用鎢靶材藉由濺鍍將用於閘極電極的導電膜形成具有厚度 150 nm 之後，藉由蝕刻將導電膜處理（圖案化）成想要的形狀，藉以形成閘極電極 401 及 402。需注意的是，所形成的閘極電極之端部位較佳為錐形，因為提高與形成在其上的閘極絕緣膜之覆蓋範圍。需注意的是，可以噴墨法形成抗蝕遮罩。以噴墨法形成抗蝕遮罩無須光罩；因此可降低製造成本。

接著，閘極絕緣膜 403 係形成在閘極電極 401 及 402 之上。藉由電漿 CVD、濺鍍等等，將閘極絕緣膜 403 形成具有氧化矽膜、氮化矽膜、氮氧化矽膜、氧氮化矽膜、氧化鋁膜、氮化鋁膜、氮氧化鋁膜、氧氮化鋁膜、氧化鉛膜、或氧化鉬膜之單層結構或疊層結構。較佳的是閘極絕

緣膜 403 包括盡可能少的諸如濕氣或氫等雜質。在藉由濺鍍形成氧化矽膜之例子中，使用矽靶材或石英靶材作為靶材，及使用氧或氧和氫的混合氣體作為濺鍍氣體。

藉由去除雜質使其為本徵氧化物半導體或實質上為本徵氧化物半導體之氧化物半導體（被高度淨化的氧化物半導體）對介面態和介面電荷極為敏感；因此，高度淨化的氧化物半導體和閘極絕緣膜 403 之間的介面相當重要。因此，與高度淨化的氧化物半導體相接觸之閘極絕緣膜（GI）必須具有較高的品質。

例如，較佳使用微波（2.45 GHz）之高密度電漿 CVD，因為可形成具有高耐壓之濃密的高品質絕緣膜。這是因為當高度淨化的氧化物半導體與高品質的閘極絕緣膜緊密接觸時，可降低介面態及介面特性可令人滿意。

無須說，只要能夠形成高品質絕緣膜作為閘極絕緣膜，可應用諸如濺鍍或電漿 CVD 等其他膜形成法。而且，能夠形成經由形成絕緣膜之後所執行的熱處理來提高與氧化物半導體之介面的品質和特性之絕緣膜。在任一例子中，形成具有令人滿意的膜品質之絕緣膜作為閘極絕緣膜、及可降低與氧化物半導體的介面態密度以形成令人滿意的介面之絕緣膜。

閘極絕緣膜 403 可被形成具有結構如下：使用具有高障壁特性的材料所形成之絕緣膜和諸如氧化矽膜或氮氧化矽膜等具有較低的氮比例之絕緣膜加以堆疊。在此例中，諸如氧化矽膜或氮氧化矽膜等絕緣膜係形成在具有高障壁

特性的絕緣膜和氧化物半導體膜之間。作為具有高障壁特性的絕緣膜，例如，可指定氮化矽膜、氧氮化矽膜、氮化鋁膜、氧氮化鋁膜等等。利用具有高障壁特性的絕緣膜，可防止諸如濕氣或氫等氛圍中的雜質、或諸如鹼性金屬或重金屬等包括在基板 400 中之雜質進入氧化物半導體膜、閘極絕緣膜、或在氧化物半導體膜與另一絕緣膜之間的介面中及其附近。此外，諸如氧化矽膜或氮氧化矽膜等具有較低的氮比例之絕緣膜被形成，以便與氧化物半導體膜相接觸，使得能夠防止具有高障壁特性的絕緣膜直接與氧化物半導體膜相接觸。

例如，藉由濺鍍形成具有厚度 50 nm 至 200 nm（含）之氮化矽膜（ SiN_y ($y>0$)) 作為第一閘極絕緣膜，而將具有厚度 5 nm 至 300 nm（含）之氧化矽膜（ SiO_y ($y>0$)) 堆疊在第一閘極絕緣膜之上作為第二閘極絕緣膜；因此，可使用這些膜作為 100 nm 厚的閘極絕緣膜 403。可依據電晶體所需的特性來適當決定閘極絕緣膜 403 之厚度，及可約為 350 nm 至 400 nm。

在實施例 3 中，形成具有結構如下的閘極絕緣膜 403：藉由濺鍍所形成之具有厚度 100 nm 的氧化矽膜堆疊在藉由濺鍍所形成之具有厚度 50 nm 的氮化矽膜。

為了使閘極絕緣膜 403 中含有盡可能少的氫、氫氧根、和濕氣，較佳的是形成閘極電極 401 及 402 之基板 400 在濺鍍設備的預熱室中預熱，使得諸如吸附於基板 400 上之諸如濕氣或氫等雜質被消除和去除，作為膜形成

的預處理。需注意的是，預熱的溫度為 100℃ 至 400℃（含），較佳為 150℃ 至 300℃（含）。作為設置在預熱室中之抽空單元，低溫泵較佳。需注意的是，可省略此預熱處理。

接著，在閘極絕緣膜 403 之上，氧化物半導體膜 404 被形成具有厚度 2 nm 至 200 nm（含），較佳為 3 nm 至 50 nm（含），更佳為 3 nm 至 20 nm（含）。藉由使用氧化物半導體作為靶材，以濺鍍形成氧化物半導體膜 404。而且，可在稀有氣體（諸如，氬）氛圍、氧氛圍、或包括稀有氣體（諸如，氬）和氧之混合氛圍中，以濺鍍形成氧化物半導體膜 404。

需注意的是，在藉由濺鍍形成氧化物半導體膜 404 之前，藉由引進氬氣和產生電漿，較佳以反向濺鍍來去除閘極絕緣膜 403 的基板上之灰塵。反向濺鍍意指在未施加電壓到靶材側之下，在氬氛圍中，使用 RF 電源來施加電壓到基板側以修改表面。需注意的是，可使用氮氛圍、氦氛圍等等來取代氬氛圍。另一選擇是，可使用添加氧、氧化亞氮等等之氬氛圍。另一選擇是，可使用添加氯、四氯化碳等等之氬氛圍。

關於氧化物半導體膜 404，可使用如上述此種氧化物半導體。

在實施例 3 中，作為氧化物半導體膜 404，使用以包括銦（In）、鎵（Ga）、和鋅（Zn）之氧化物半導體靶材，藉由濺鍍法所獲得的具有厚度 30 nm 之 In-Ga-Zn-O

類非單晶膜。在使用濺鍍之例子中，含 2 wt%至 10 wt% (含) 的 SiO_2 之靶材可被用於膜形成。包括 In、Ga、及 Zn 之氧化物半導體靶材的充填率為 90%至 100% (含)，較佳為 95%至 99.9% (含)。藉由使用具有高充填率之氧化物半導體靶材，形成濃密的氧化物半導體膜。

以將基板支托在維持於降壓的處理室中，在去除處理室內所剩餘的濕氣同時，將已去除氫和濕氣之濺鍍氣體引進處理室內，及使用金屬氧化物作為靶材之此種方式，將氧化物半導體膜 404 形成在基板 400 之上。在膜形成時，基板溫度可以為 100°C 至 600°C (含)，較佳為 200°C 至 400°C (含)。在加熱基板的同時執行膜形成，藉以可降低所形成的氧化物半導體層所含有之雜質濃度。此外，可降低由於濺鍍的破壞。為了去除處理室中的剩餘濕氣，較佳使用誘捕式真空泵。例如，較佳使用低溫泵、離子泵、或鈦昇華泵。抽空單元可以是設置有冷阱之渦輪泵。在以低溫泵抽空之沉積室中，例如，去除氫原子、諸如水 (H_2O) 等含氫原子之化合物 (較佳含氧原子之化合物) 等等，藉以可降低沉積室所形成之氧化物半導體膜中的雜質濃度。

作為沉積條件的一個例子，基板和靶材之間的距離為 100 mm、壓力為 0.6 Pa、直流 (DC) 電源為 0.5 kW、及氛圍為氧氛圍 (氧流率的比率為 100%)。需注意的是，脈衝式直流 (DC) 電源較佳，因為可降低亦被稱為粒子及在膜形成時產生之灰塵，及可使膜厚度均勻。氧化物半

導體膜較佳具有厚度 5 nm 至 30 nm (含)。因為適當厚度係依據所使用的氧化物半導體材料而定，所以可視材料而適當決定厚度。

爲了使氧化物半導體膜 404 盡可能不含有諸如氫、氫氧根、或濕氣等雜質，在膜形成之前，於濺鍍設備的預熱室中預熱被設置有閘極絕緣膜 403 之基板 400，較佳的是使得吸附於基板 400 上之諸如濕氣或氫等雜質被消除或去除。需注意的是，預熱的溫度爲 100°C 至 400°C (含)，較佳爲 150°C 至 300°C (含)。作爲設置在預熱室中之抽空單元，低溫泵較佳。需注意的是，可省略此預熱處理。此外，在形成絕緣膜 411 之前，可在形成源極電極 407、汲極電極 408、源極電極 409、和汲極電極 410 之基板 400 上同樣執行預熱。

濺鍍的例子包括：RF 濺鍍法，其中，高頻電源被用於濺鍍電源；DC 濺鍍法；及脈衝式 DC 濺鍍法，其中，以脈衝方式施加偏壓。RF 濺鍍法主要用在形成絕緣膜時，而 DC 濺鍍法主要用在形成金屬膜時。

此外，亦具有能夠設定不同材料的複數個靶材之多源濺鍍設備。利用多源濺鍍設備，可將不同材料的膜形成堆疊在同一室中，或可在同一室中同時藉由放電形成複數種材料的膜。

另一選擇是，被設置有磁性系統在室內之濺鍍設備被用於磁電管濺鍍，或可使用用於在未使用輝光放電之下使用微波所產生的電漿之 ECR 濺鍍的濺鍍設備。

另外，作為使用濺鍍之沉積方法，可使用反應性濺鍍，其中，在膜形成期間靶材物質和濺鍍氣體成分彼此起化學反應以形成其薄的化合物膜；或者偏壓濺鍍，其中，在膜形成期間亦施加電壓。

可在未暴露於空氣之下連續形成閘極絕緣膜 403 和氧化物半導體膜 404。在未暴露於空氣之下之連續膜形成能夠在未受到諸如水、碳氫化合物等飄浮在空氣中的氛圍成分或雜質元素等等之污染之下而獲得疊層之間的各介面。因此，可降低電晶體的特性變化。

接著，如圖 10B 所示，藉由蝕刻等等將氧化物半導體膜 404 處理（圖案化）成想要的形狀，藉以在島型氧化物半導體膜 405 及 406 與閘極電極 401 及 402 重疊之位置中，將島型氧化物半導體膜 405 及 406 形成在閘極絕緣膜 403 之上。

可以噴墨法形成用以形成島型氧化物半導體膜 405 及 406 之抗蝕遮罩。以噴墨法形成抗蝕遮罩無須光罩；因此可降低製造成本。

在閘極絕緣膜 403 中形成接觸孔之例子中，在形成島型氧化物半導體膜 405 及 406 時可執行形成接觸孔之步驟。

需注意的是，用以形成島型氧化物半導體膜 405 及 406 之蝕刻可以是濕式蝕刻、乾式蝕刻、或乾式蝕刻和濕式蝕刻二者。作為用於乾式蝕刻的蝕刻氣體，使用含氯的氣體（氯類氣體，諸如氯（ Cl_2 ）、氯化硼（ BCl_3 ）、氯

化矽 (SiCl_4)、或四氯化碳 (CCl_4) 等) 等等。另一選擇是，可使用含氟的氣體 (氟類氣體，諸如四氟化碳 (CF_4)、氟化硫 (SF_6)、氟化氮 (NF_3)、或三氟甲烷 (CHF_3) 等)；溴化氫 (HBr)；氧 (O_2)；添加諸如氦 (He) 或氬 (Ar) 等稀有氣體之這些氣體的任一個等等。

作為乾式蝕刻，可使用平行板 RIE (反應性離子蝕刻) 法或 ICP (電感式耦合電漿) 蝕刻法。為了將層蝕刻成想要的形狀，適當地調整蝕刻條件 (施加到線圈型電極之電力量，施加到基板側上之電極的電力量，基板側上的電極之溫度等)。

作為用於濕式蝕刻之蝕刻劑，可使用磷酸、乙酸、硝酸的混合溶液等。另一選擇是，可使用 ITO07N (由 KANTO 化學股份有限公司所製造) 等等。藉由清潔將濕式蝕刻之後的蝕刻劑與所蝕刻的材料一起去除。可將包括蝕刻劑和被蝕刻掉的材料之廢棄液體淨化及再使用材料。當從蝕刻之後的廢棄液體收集包括在氧化物半導體膜中之諸如銮等材料及再使用時，可有效使用資源和可降低成本。

需注意的是，在隨後步驟中之導電膜的形成之前執行反向濺鍍，較佳的是使得附著於島型氧化物半導體膜 405、島型氧化物半導體膜 406、和閘極絕緣膜 403 的表面上之抗蝕劑剩餘物等等被去除。

然後，在氮氛圍、氧氛圍、超乾燥空氣 (水含量為低於或等於 20 ppm，較佳為低於或等於 1 ppm，更佳為及低

於或等於 10 ppb 之空氣）的氛圍、或稀有氣體（諸如，氫和氮）氛圍中，對氧化物半導體膜 405 及 406 執行熱處理。對氧化物半導體膜 405 及 406 執行熱處理，可消除氧化物半導體膜 405 及 406 中之濕氣或氫。尤其是，可以 350°C 至 850°C（或玻璃基板的應變點或更少）（含），且較佳為 550°C 至 750°C（含）來執行熱處理。例如，可以 600°C 執行熱處理約三分鐘至六分鐘（含）。因為以 RTA 法可以短時間執行脫水處理或除氫處理，所以甚至載波離基板的應變點之上的溫度中仍可執行熱處理。另一選擇是，可在基板溫度約 450°C 之狀態中執行熱處理約一小時。

在實施例 3 中，在基板溫度約 600°C 之狀態中，於氮氛圍中，以熱處理設備的其中之一的電爐，對氧化物半導體膜 405 及 406 執行熱處理達六分鐘。熱處理之後，氧化物半導體膜 405 及 406 未暴露於空氣，以防止濕氣或氫的再次進入。

需注意的是，熱處理設備並不侷限於電爐，及可包括藉由來自諸如電阻加熱元件等加熱元件的熱傳導或熱輻射來加熱欲待處理的物體之裝置。例如，可使用諸如 GRTA（氣體快速熱退火）設備或 LRTA（燈快速熱退火）等 RTA（快速熱退火）設備。LRTA 設備為用以藉由從諸如鹵素燈、金屬鹵化物燈、氬弧光燈、碳弧光燈、高壓鈉燈、或高壓水銀燈等燈所發出的光之輻射（電磁波）來加熱欲待處理的物體之設備。GRTA 設備為使用高溫氣體的

熱處理之設備。作為氣體，使用不由於熱處理而與欲待處理的物體起反應之鈍氣，諸如氮或諸如氬等稀有氣體等。

例如，熱處理可利用 GRTA，其中，基板被移至已被加熱至高溫 650°C 至 700°C 之鈍氣中，在那裡加熱幾分鐘，而後將基板移出鈍氣之外。利用 GRTA，可達成短時間週期之高溫熱處理。

需注意的是，在熱處理中，較佳的是濕氣、氬等等未包含在氮或諸如氬、氦、或氬等稀有氣體中。例如，引進到熱處理設備之氮或諸如氬、氦、或氬等稀有氣體的純度為 6N (99.9999%) 或更大，較佳為 7N (99.99999%) 或更大 (亦即，雜質濃度為 1 ppm 或更低，較佳為 0.1 ppm 或更低) 較佳。

另外，當在溫度為 85°C 及施加到閘極之電壓為 2×10^6 V/cm 的條件下，將含諸如濕氣或氬等雜質之氧化物半導體經過閘極偏壓-溫度應力測試 (BT 測試) 達 12 小時時，可藉由高電場 (B: 偏壓) 和高溫 (T: 溫度) 劈開雜質和氧化物半導體的主要成分之間的接合，及所產生的懸鍵引起臨界電壓 (V_{th}) 的飄移。然而，如上所述，提高閘極絕緣膜和氧化物半導體膜之間的介面中之特性，及盡可能去除氧化物半導體膜中的雜質，尤其是濕氣、氬等等，使得能夠獲得耐受 BT 測試的電晶體。

經由上述步驟，可降低氧化物半導體膜中之氬的濃度，及高度淨化氧化物半導體膜。因此，能夠使氧化物半導體膜穩定。此外，低於或等於玻璃轉換溫度之溫度的熱

處理能夠形成載子密度極低之具有寬能帶隙的氧化物半導體膜。因此，能夠使用大面積基板來製造電晶體；因此，可提高大量生產力。此外，藉由使用降低氫濃度之高度淨化的氧化物半導體膜，能夠製造具有高耐壓、縮減的短通道效應、和高開關比之電晶體。

需注意的是，當加熱氧化物半導體膜時，平面狀晶體形成在上表面中，雖然其視氧化物半導體膜的材料和加熱條件而定。較佳的是平面狀晶體為 c 軸對準在垂直於氧化物半導體膜的表面之方向上的單晶。另外，使用 a-b 平面在通道形成區中彼此對應之多晶，或者 a 軸或 b 軸在通道形成區中彼此對應之多晶，且為 c 軸對準在垂直於氧化物半導體膜的表面之方向上者較佳。需注意的是，當氧化物半導體膜的基表面不平均時，平面狀晶體為多晶。

然後，如圖 10C 所示，欲成為源極電極和汲極電極（包括形成在與源極電極和汲極電極相同層中之配線）之導電膜係形成在與閘極絕緣膜 403、氧化物半導體膜 405、和氧化物半導體膜 406 之上，然後，將導電膜圖案化。然後，源極電極 407 和汲極電極 408 係形成在氧化物半導體膜 405 之上，及源極電極 409 和汲極電極 410 係形成在氧化物半導體膜 406 之上。導電膜係可藉由濺鍍或真空蒸發法來形成。作為欲成為源極電極和汲極電極（包括形成在與源極電極和汲極電極相同層中之配線）之導電膜，具有選自 Al（鋁）、Cr（鉻）、Cu（銅）、Ta（鉭）、Ti（鈦）、Mo（鉬）、及 W（鎢）之元素；包

括這些元素的任一者作為成分之合金；組合包括這些元素的任一者之合金等等。此外，可使用諸如 Cr、Ta、Ti、Mo、或 W 等耐火金屬的膜堆疊在 Al、Cu 等等的金屬膜之下側或上側上的結構。而且，可使用添加諸如矽、鈦、鉬、鎢、鉬、鉻、釵、鈦、或鈮等防止小丘或鬚狀物產生在鋁膜中之元素的鋁材，因而提高耐熱性。

另外，導電膜可具有單層結構或兩或多層之堆疊結構。例如，可指定包括矽之鋁膜的單層結構，鈦膜堆疊在鋁膜之上的兩層結構，鈦膜、鋁膜、和鈦膜以此順序加以堆疊之三層結構等等。

另一選擇是，欲成為源極電極和汲極電極（包括形成在與源極電極和汲極電極相同層中之配線）之導電膜係可使用導電金屬氧化物來形成。作為導電金屬氧化物，可使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦和氧化錫的合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫為 ITO）、氧化銦和氧化鋅的合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）、或添加矽或氧化矽之金屬氧化物材料。

在形成導電膜之後執行熱處理的例子中，較佳的是導電膜具有足夠高到耐受熱處理之耐熱性。

然後，抗蝕遮罩係形成在導電膜之上。藉由選擇性蝕刻來形成源極電極 407、汲極電極 408、源極電極 409、和汲極電極 410。之後，去除抗蝕遮罩。

紫外線、KrF 雷射光束、或 ArF 雷射光束被用於光致微影步驟中用以形成抗蝕遮罩之曝光。欲在稍後步驟所形

成之電晶體的各通道長度 L 係由氧化物半導體膜 405 及 406 之上彼此鄰接的源極電極的下端和汲極電極的下端之間的距離所決定。在通道長度 L 短於 25 nm 及執行光致微影步驟中用以形成抗蝕遮罩之曝光的例子中，使用具有波長短如幾奈米至幾十奈米之超紫外線。利用超紫外線的曝光產生高解析度和大的焦點深度。因此，稍後步驟所完成之電晶體的通道長度 L 可以是 10 nm 至 1000 nm (含)，及可增加電路的操作速度，而且關閉狀態電流的值極小，使得可達成低電力消耗。

需注意的是，適當調整各材料和蝕刻條件，使得在蝕刻導電膜時盡可能不去除氧化物半導體膜 405 及 406。

在實施例 3 中，使用鈦膜作為導電膜，及藉由使用包括氨和氧化的水之溶液（過氧化氨混合物），對導電膜執行濕式蝕刻，使得源極電極 407、汲極電極 408、源極電極 409、和汲極電極 410 被形成。作為包括過氧化氨混合物之溶液，尤其是，使用以體積比 5:2:2 混合氧化的水（31 wt%過氧化氫）、氨水（28 wt%銨）、和水之溶液。另一選擇是，可使用含氯（ Cl_2 ）、氯化硼（ BCL_3 ）等等之氣體，對導電膜執行乾式蝕刻。

當經由上述圖案化形成源極電極 407、汲極電極 408、源極電極 409、和汲極電極 410 時，島型氧化物半導體膜 405 中之曝光部的部分被蝕刻，使得有時形成溝槽（凹下部）。可以噴墨法形成用以形成源極電極 407、汲極電極 408、源極電極 409、和汲極電極 410 之抗蝕遮

罩。以噴墨法形成抗蝕遮罩無須光罩；因而可降低製造成本。

此外，爲了降低用於光致微影步驟之光罩數目和步驟數目，可藉由使用由多色調遮罩所形成之抗蝕遮罩來執行蝕刻。經由多色調遮罩透射光以具有複數個強度。藉由使用多色調遮罩所形成之抗蝕遮罩具有複數個厚度，及可進一步藉由蝕刻改變形狀；因此，可在複數個蝕刻步驟中使用抗蝕遮罩，以處理成不同圖案。因此，對應於至少兩或多種不同圖案之抗蝕遮罩係可由一多色調遮罩所形成。因此，可降低曝光罩的數目，及亦可降低對應的光致微影步驟之數目，藉以可實現處理的簡化。

接著，使用諸如 N_2O 、 N_2 、或 Ar 等執行電漿處理。藉由電漿處理，去除附著於氧化物半導體膜的露出表面之水等。另一選擇是，也可使用氧和氫的混合氣體執行電漿處理。

需注意的是，在執行電漿處理之後，如圖 10D 所示，絕緣膜 411 被形成，以便覆蓋源極電極 407、汲極電極 408、源極電極 409、汲極電極 410、氧化物半導體膜 410、氧化物半導體膜 405、及氧化物半導體膜 406。較佳的是絕緣膜 411 包括盡可能少之諸如濕氣或氫等雜質，及絕緣膜 411 係可使用單層絕緣膜或堆疊的複數個絕緣膜所形成。當氫包括在絕緣膜 411 中時，發生氫進入氧化物半導體膜或氧化物半導體膜中的氧被氫擷取，藉以氧化物半導體膜的背通道部具有較低電阻（n 型導電性）；因此，

可形成寄生通道。因此，爲了形成含有盡可能少的氫之絕緣膜 411，較佳利用未使用氫的膜形成法。較佳的是具有高障壁特性之材料被使用於絕緣膜 411。例如，作爲具有高障壁特性的絕緣膜，可使用氮化矽膜、氧氮化矽膜、氮化鋁膜、氧氮化鋁膜等等。當使用堆疊的複數個絕緣膜時，諸如氧化矽膜或氮氧化矽膜等具有比具有高障壁特性之絕緣膜低的氮比例之絕緣膜形成在接近氧化物半導體膜 405 及 406 的側邊上。然後，具有高障壁特性的絕緣膜被形成，以便與源極電極 407、汲極電極 408、源極電極 409、汲極電極 410、氧化物半導體膜 405、和氧化物半導體膜 406 重疊，且具有較低氮比例之絕緣膜在具有障壁特性的絕緣膜與源極電極、汲極電極、和氧化物半導體膜之間。利用具有高障壁特性之絕緣膜，可防止諸如濕氣或氫等雜質進入氧化物半導體膜 405 和氧化物半導體膜 406、閘極絕緣膜 403，或在另一絕緣膜與氧化物半導體膜 405 及 406 的每一個之間的介面中及其附近。此外，諸如氧化矽膜或氮氧化矽膜等具有較低的氮比例之絕緣膜被形成，以便與氧化物半導體膜 405 及 406 相接觸，使得能夠防止具有高障壁特性的絕緣膜直接與氧化物半導體膜 405 及 406 相接觸。

在實施例 3 中，形成具有結構如下之絕緣膜 411：藉由濺鍍所形成之具有厚度 100 nm 的氮化矽膜堆疊在藉由濺鍍所形成之具有厚度 200 nm 的氧化矽膜之上。膜形成時之基板溫度可在室溫至 300°C（含）的範圍中，及在實

施例 3 中為 100°C。

需注意的是，可在形成絕緣膜 411 之後執行熱處理。以 200°C 至 400°C（含），例如 250°C 至 350°C（含），在氮氛圍、氧氛圍、超乾燥空氣（水含量低於或等於 20 ppm，較佳為低於或等於 1 ppm，且更佳為低於或等於 10 ppb 之空氣）的氛圍、或稀有氣體（諸如，氫和氦）氛圍中執行熱處理。在實施例 3 中，以 250°C 在氮氛圍中執行熱處理達一小時。另一選擇是，在形成源極電極 407、汲極電極 408、源極電極 409、和汲極電極 410 之前，可執行在短時間中以高溫所執行的熱處理之 RTA 處理，如同當氧化物半導體膜經過熱處理時一般。在設置包括氧的絕緣膜 411 以便與形成在源極電極 407 與汲極電極 408 之間的氧化物半導體膜 405 之露出區相接觸之後，或者在設置包括氧的絕緣膜 411 以便與形成在源極電極 409 和汲極電極 410 之間的氧化物半導體膜 406 之露出區相接觸之後執行熱處理；因此，甚至當在氧化物半導體膜上所執行的熱處理使氧不足發生在氧化物半導體膜 405 及 406 中，仍將氧供應到氧化物半導體膜 405 及氧化物半導體膜 406。氧被供應到與絕緣膜 411 相接觸之氧化物半導體膜 405 及 406 的部分，以降低用作為施體之氧不足，使得能夠實現滿足化學計量組成比之結構。結果，可使氧化物半導體膜 405 及 406 成為本徵半導體膜或實質上為本徵半導體膜。因此，可提高電晶體的電特性及可降低其電特性的變化。只要其在形成絕緣膜 411 之後執行，並未特別限制此熱處

理的時序。當此熱處理亦用作為另一步驟的熱處理時，例如，形成樹脂膜時的熱處理或用以降低透明導電膜的電阻之熱處理，在不增加步驟數目之下，氧化物半導體膜 405 及 406 可以是本徵（i 型）或實質上為本徵。

圖 11A 圖解完成到圖 10D 的步驟之後的記憶體裝置的俯視圖。需注意的是，沿著圖 11A 中的虛線 A1-A2 所取之橫剖面圖對應於圖 10D。

然後，藉由蝕刻等等將接觸孔 412 形成在絕緣膜 411 中，以露出汲極電極 408 的部分。接著，如圖 10E 所示，在藉由圖案化形成在絕緣膜 411 之上的導電膜以便與氧化物半導體膜 406 重疊而形成背閘極電極 413 之後，絕緣膜 414 被形成，以便覆蓋背閘極電極 413。背閘極電極 413 連接到接觸孔 412 中的汲極電極 408。背閘極電極 413 係可使用類似於閘極電極 401 及 402 或源極電極 407、汲極電極 408、源極電極 409、和汲極電極 410 的材料和結構來形成。

背閘極電極 413 的厚度被設定為 10 nm 至 400 nm，較佳為 100 nm 至 200 nm。在實施例 3 中，形成以鈦膜、鋁膜、和鈦膜堆疊之導電膜，藉由光致微影法等等形成抗蝕遮罩，及藉由蝕刻去除不必要部位，使得導電膜被處理（圖案化）成想要的形狀之此種方式來形成背閘極電極 413。

較佳的是絕緣膜 414 係使用具有能夠防止氛圍中之濕氣、氫、氧等等影響電晶體的特性之高障壁特性的材料來

予以形成。例如，藉由電漿 CVD、濺鍍等等，可將絕緣膜 414 形成具有氮化矽膜、氧氮化矽膜、氮化鋁膜、氧氮化鋁膜等等之單層結構或疊層結構，作為具有高障壁特性的絕緣膜。為了獲得障壁特性的效果，例如，較佳的是絕緣膜 414 被形成而具有厚度 15 nm 至 400 nm。

在實施例 3 中，藉由電漿 CVD 將絕緣膜形成厚度 300 nm。在下列條件之下形成絕緣膜：矽烷氣體的流率為 4 sccm；一氧化二氮 (N_2O) 的流率為 800 sccm；及基板溫度為 400°C。

經由上述步驟，形成用作為切換元件之電晶體 420、用作為記憶體元件之電晶體 421、和電容器 430。圖 11B 圖解圖 10E 所示之記憶體單元的俯視圖。圖 10E 對應於沿著圖 11B 的虛線 A1-A2 所取之橫剖面圖。

電晶體 420 包括：閘極電極 401，係形成在具有絕緣表面的基板 400 之上；閘極絕緣膜 403，係在閘極電極 401 之上；氧化物半導體膜 405，其與閘極電極 401 重疊且在閘極絕緣膜 403 之上；以及一對源極電極 407 和汲極電極 408，係形成在氧化物半導體膜 405 之上。電晶體 420 可包括設置在氧化物半導體膜 405 之上的絕緣膜 411 作為其組件。圖 10E 所示之電晶體 420 具有通道蝕刻型結構，其中，氧化物半導體膜 405 在源極電極 407 和汲極電極 408 之間被部分蝕刻。

需注意的是，雖然說明電晶體 420 作為單閘極電晶體，但是視需要可藉由具有彼此電連接的複數個閘極電極

401，而形成具有複數個通道形成區之多閘極電晶體。

另外，電晶體 421 包括：閘極電極 402，其係設置在具有絕緣表面的基板 400 之上；閘極絕緣膜 403，係在閘極電極 402 之上；氧化物半導體膜 406，係與閘極電極 402 重疊且在閘極絕緣膜 403 之上；源極電極 409 和汲極電極 410 之一對電極，係設置在氧化物半導體膜 406 之上；絕緣膜 411，係形成在氧化物半導體膜 406、源極電極 409、和汲極電極 410 之上；以及背閘極電極 413，係與氧化物半導體膜 406 和閘極電極 402 重疊且在絕緣膜 411 之上。可包括形成在背閘極電極 413 之上的絕緣膜 414 作為電晶體 421 的組件。圖 10E 所示之電晶體 421 具有通道蝕刻型結構，其中，氧化物半導體膜 406 在源極電極 409 和汲極電極 410 之間被部分蝕刻。

需注意的是，雖然說明電晶體 421 作為單閘極電晶體，但是視需要可藉由具有彼此電連接的複數個閘極電極 402，而形成具有複數個通道形成區之多閘極電晶體。

電容器 430 係形成在電晶體 421 的源極電極 409 與電晶體 421 的背閘極電極 413 彼此重疊，且絕緣膜 411 係設置在電晶體 421 的源極電極 409 與電晶體 421 的背閘極電極 413 之間的區域中。

包括在電晶體 421 中之閘極電極 402 用作為第一電極，其可藉由控制電極 402 的電位來選擇諸如寫入、讀取、儲存、和拭除等記憶體元件之操作。背閘極電極 413 用作為第二電極，其可控制使用作為記憶體元件之電晶體

421 的臨界電壓。需注意的是，雖然在實施例 3 中，指定電晶體 421 用作為具有在形成氧化物半導體膜 406 之前所形成的閘極電極 402 作為第一電極，及在形成氧化物半導體膜 406 之後所形成的背閘極電極 413 作為第二電極之記憶體元件的記憶體單元作為例子，但是本發明並不侷限於此結構。例如，亦可利用在電晶體 421 中，在形成氧化物半導體膜 406 之前所形成的閘極電極 402 用作為第二電極，及在形成氧化物半導體膜 406 之後所形成的背閘極電極 413 作為第一電極之結構。需注意的是，在此例中，取代背閘極電極 413 的閘極電極 402 連接到電晶體 420 的汲極電極 408。

此外，在圖 11B 中，圖解背閘極電極 413 重疊整個氧化物半導體膜 416 之事例作為例子，但是本發明並不侷限於此結構。只要背閘極電極 413 重疊包括在氧化物半導體中之通道形成區的至少部分，可利用任何結構。

需注意的是，氧化物半導體的能帶隙、碳化矽的能帶隙、和氮化鎵的能帶隙分別為 3.0 eV 至 3.5 eV、3.26 eV、及 3.39 eV：它們約為矽的能帶隙三倍寬。諸如碳化矽和氮化鎵等化合物半導體與氧化物半導體一樣，因為它們為寬能帶隙半導體，其特性具有提高電晶體的耐壓、降低電力損耗等等之有利點。

隨後，如同在實施例 3 中一般，將說明藉由盡可能去除氧化物半導體膜所含有之諸如濕氣、氫等雜質來高度淨化氧化物半導體膜將如何影響電晶體的特性。

圖 12 為包括氧化物半導體之反相交錯式電晶體的縱向橫剖面圖。氧化物半導體膜 (OS) 係設置在閘極電極 (GE) 之上，且閘極絕緣膜 (GI) 在氧化物半導體膜 (OS) 和閘極電極 (GE) 之間，源極電極 (S) 和汲極電極 (D) 係設置在其上，及絕緣膜被設置，以便覆蓋源極電極 (S) 和汲極電極 (D)。

圖 13 為沿著圖 12 所示之剖面 A-A' 的能帶圖 (概要圖)。在圖 13 中，黑圈 (●) 和白圈 (○) 分別表示電子和電洞及具有電荷 $-q$ 及 $+q$ 。以施加到汲極電極 (D) 的正電壓 ($V_D > 0$)，虛線表示沒有電壓施加到閘極電極 (GE) ($V_G = 0$) 時，而實線表示正電壓施加到閘極電極 (GE) ($V_G > 0$) 時。在沒有電壓施加到閘極電極 (GE) 時，因為高電位障壁，所以載子 (電子) 未從源極電極 (S) 注射到氧化物半導體膜 (OS) 側，使得沒有電流流動，此意謂關閉狀態。反之，當正電壓施加到閘極電極 (GE) 時，電位障壁降低，使得電流流動，此意謂導通狀態。

圖 14A 及 14B 為沿著圖 12 所示之剖面 B-B' 的能帶圖 (概要圖)。圖 14A 圖解正電位 ($V_G > 0$) 施加到閘極電極 (GE) 之狀態以及載子 (電子) 流動在源極電極 (S) 和汲極電極 (D) 之間的導通狀態。圖 14B 圖解負電壓 ($V_G < 0$) 施加到閘極電極 (GE) 之狀態以及關閉狀態 (少數載子不流動)。

圖 15 圖解真空位準和金屬的功函數 (ϕ_M) 之間以及

真空位準和氧化物半導體的電子親和力 (χ) 之間的關係。

在一般溫度中，金屬中的電子退化及費米能階位在導電帶中。另一方面，通常，習知氧化物半導體為 n 型半導體，及其費米能階 (E_f) 位在較接近導電帶 (E_c) 而遠離位在能帶隙的中間之本徵費米能階 (E_i)。需注意的是，已知氧化物半導體中之氫的部分為施體及產生 n 型氧化物半導體的因素之一。另外，已知氧不足為產生 n 型氧化物半導體的成因之一。

相對地，根據本發明的一個實施例，從氧化物半導體去除氧不足及去除 n 型雜質之氫以便高度淨化，使得盡可能不包括除了氧化物半導體的主要成分之外的雜質；因此，使氧化物半導體極為接近本徵氧化物半導體。亦即，非藉由添加雜質，而是藉由盡可能去除氧不足和諸如濕氣或氫等雜質以具有高純度，使得獲得本徵 (i 型) 半導體或實質上為本徵 (i 型) 半導體之氧化物半導體，而使氧化物半導體極為接近本徵氧化物半導體。利用上述結構，費米能階 (E_f) 可實質上接近與本徵費米能階 (E_i) 相同的位準，如箭頭所示。

在氧化物半導體的能帶隙 (E_g) 為 3.15 V，電子親和力 (χ) 可說是 4.3 eV。包括在源極電極和汲極電極中之鈦 (Ti) 的功函數實質上等於氧化物半導體的電子親和力 (χ)。在那例子中，對電子的 Schottky (肖特基) 障壁未形成在金屬和氧化物半導體之間的介面中。

在此例中，如圖 14A 所示，電子沿著閘極絕緣膜和高度淨化的氧化物半導體之間的介面中之能量穩定的氧化物半導體之最下面部分移動。

在圖 14B 中，當負電位施加到閘極電極（GE）時，少數載子之電洞實質上為零；因此，電流實質上接近零。

然後，計算氧化物半導體中的本徵載子密度。In-Ga-Zn-O 類氧化物半導體的能帶隙為 3.05 eV，及根據此值來計算本徵載子密度。已知實心的電子之能量分佈 $f(E)$ 遵循以下面公式所表示之費米-狄拉克統計。

[公式 1]

$$f(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{kT}\right)} \quad (1)$$

在載子密度不是非常高（未產生）之一般半導體之例子中，滿足下面關係式。

[公式 2]

$$|E - E_F| > kT \quad (2)$$

因此，藉由以下面公式所表示之波爾茲曼分佈的公式來大致估計公式 1 的費米-狄拉克分佈。

[公式 3]

$$f(E) = \exp\left[-\frac{E - E_F}{kT}\right] \quad (3)$$

當使用公式 3 來計算半導體之本徵載子密度（ n_i ）時，可獲得下面公式。

[公式 4]

$$n_i = \sqrt{N_c N_v} \exp\left(-\frac{E_g}{2kT}\right) \quad (4)$$

然後，Si（矽）的能帶隙（ E_g ）和 In-Ga-Zn-O 類氧化物半導體之能態的有效密度（ N_c 及 N_v ）之值被取代到公式 4 內，及計算本徵載子密度。結果圖示於表格 1。

表 1

	矽	IGZO
N_c (300K) [cm ⁻³]	2.8×10^{19}	5.0×10^{18}
N_v (300K) [cm ⁻³]	1.04×10^{19}	5.0×10^{18}
E_g (300K) [eV]	1.08	3.05
n_i (300K) [cm ⁻³]	1.45×10^{10}	1.2×10^{-7}

發現與 Si 比較，In-Ga-Zn-O 類氧化物半導體具有極低的本徵載子密度。在選擇值 3.05 eV 作為 In-Ga-Zn-O 類氧化物半導體的能帶隙之例子中，假設費米-狄拉克分佈法則可應用到本徵載子密度，則可說明 Si 的載子密度為 In-Ga-Zn-O 類氧化物半導體的載子密度約 10^{17} 倍一樣大。

然後，將說明測量包括高度淨化的氧化物半導體膜之電晶體的關閉狀態電流之方法及其結果。

圖 18 圖解測量時所使用的測量電路之結構。圖 18 之測量電路包括具有高度淨化的氧化物半導體膜作為用以保持電荷在儲存電容器中之切換元件的電晶體。利用測量電路，藉由每單位小時之儲存電容中的電荷量變化來測量電

晶體之關閉狀態電流。

尤其是，圖 18 之測量電路具有用以測量關閉狀態電流之測量系統 801-1 至 801-3 並聯連接之結構。測量系統 801-1 至 801-3 各包括電容器 802 和欲待測量的電晶體 803。測量系統 801-1 至 801-3 各包括電晶體 804 至 806。

在各測量系統中，電晶體 803 的閘極電極連接到被供應有電位 V_{gb} 之節點。電晶體 803 的源極電極連接到被供應有電位 V_b 之節點，及電晶體 803 的汲極電極連接到節點 A。電晶體 804 的閘極電極連接到被供應有電位 V_{ga} 之節點。電晶體 804 的源極電極連接到節點 A，及電晶體 804 的汲極電極連接到被供應有電位 V_a 之節點。電晶體 805 的閘極電極和汲極電極連接到被供應有電位 V_a 之節點。電晶體 806 的閘極電極連接到節點 A，及電晶體 806 的源極電極連接到被供應有電位 V_b 之節點。電晶體 805 的源極電極和電晶體 806 的汲極電極彼此連接，及從各測量系統輸出這兩電極的電位作為電位 V_{out1} 、電位 V_{out2} 、或電位 V_{out3} 。電容器 802 之一對電極的其中之一係連接到節點 A，而另一個係連接到被供應有電位 V_b 之節點。

此外，在實施例 3 中，欲待測量的電晶體 803 包括高度淨化之 30 nm 厚的氧化物半導體膜和 100 nm 厚的閘極絕緣膜。電晶體 803 的通道形成區具有通道長度 L 10 μm 及通道寬度 W 50 μm 。此外，包括在測量系統中之電容器 802 的電容分別為 100 fF、1 pF、及 3 pF。

在測量之前執行初始化。首先，電位 V_{gb} 具有足夠高到導通電晶體 803 之位準。因此，電晶體 803 被導通，及節點 A 被供應有電位 V_b ，亦即，低電位 V_{SS} 。之後，使電位 V_{gb} 具有足夠低到關閉電晶體 803 之位準。接著，使電位 V_{ga} 具有足夠高到導通電晶體 804 之位準。因此，節點 A 被供應有電位 V_a ，亦即，高位準電位 V_{DD} ，及低位準電位 V_{SS} 和高位準電位 V_{DD} 之間的電位差被施加在電容器 802 的一對電極之間。之後，使電位 V_{ga} 具有足夠低到關閉電晶體 804 之位準，使得電晶體 804 被關閉及節點 A 進入浮動狀態。

接著，執行測量操作。當執行測量時，各別使電位 V_a 和電位 V_b 具有電荷流至/自節點 A 之位準。在實施例 3 中，電位 V_a 和電位 V_b 為低位準電位 V_{SS} 。需注意的是，雖然電位 V_a 在測量電位 V_{out} 之時序時暫時為高位準電位 V_{DD} ，但是除了上述時序之外，電位 V_a 和電位 V_b 都保持在低位準電位 V_{SS} 。

因為些許關閉狀態電流流經電晶體 803，所以保持在節點 A 中之電荷量隨著時間過去而改變。此外，因為節點 A 的電位視保持在節點 A 中之電荷量的變化而改變，所以電位 V_{out1} 至 V_{out3} 之位準根據電晶體 803 的關閉狀態電流之值而改變。

尤其是，在測量中，電位 V_{DD} 為 5 V 而電位 V_{SS} 為 0 V。電位 V_{out1} 至 V_{out3} 被測量如下：電位 V_a 基本上為電位 V_{SS} ，及以間隔 100 sec 至 300 sec 改變成電位 V_{DD}

達 100 msec。

圖 19 圖解測量電流時的消逝時間 Time 和輸出電位 Vout 之間的關係。電位在約 90 小時之後改變。

事先獲得節點 A 的電位 V_A 和輸出電位 Vout 之間的關係，藉以可使用輸出電位 Vout 而獲得節點 A 的電位 V_A 。通常，可藉由下面方程式將節點 A 的電位 V_A 表示為輸出電位 Vout 的函數。

[公式 5]

$$V_A = F(Vout)$$

可藉由使用節點 A 的電位 V_A 、連接到節點 A 的電容 C_A 、和常數 (const)，以下面方程式來表示節點 A 的電荷 Q_A 。此處，連接到節點 A 的電容 C_A 為電容器 802 的電容和其他電容 (諸如大如包括電晶體 805 和電晶體 806 之電路的輸入電容) 的總和。

[公式 6]

$$Q_A = C_A V_A + const$$

因為節點 A 的電流 I_A 係藉由微分相關於時間之流至節點 A 的電荷 (或流自節點 A 的電荷) 所獲得，所以節點 A 的電流 I_A 係以下面方程式來表示。

[公式 7]

$$I \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(Vout)}{\Delta t}$$

以此方式，節點 A 的電流 I_A 可係可從連接到節點 A 的電容 C_A 和電位 Vout1 至 Vout3 予以獲得。

圖 20 圖解在上述電流測量中所計算的關閉狀態電流。另外，當電流 I 流經電晶體 803 時所使用的 Δt 約為 30,000 秒。需注意的是，圖 20 圖解源極電極和汲極電極之間的關閉狀態電流 I 和電壓 V 之間的關係。根據圖 20，發現關閉狀態電流約為 $40 \text{ zA}/\mu\text{m}$ ，其中，源極電極和汲極電極之間的電壓為 4 V。

以此方式，氧化物半導體膜被高度淨化，使得盡可能含有除了氧化物半導體的主要成分之外的諸如濕氣或氫等雜質越少越好，藉以可使電晶體的操作令人滿意。

此實施例可與上述實施例的任一者適當組合實施。

(實施例 4)

在實施例 4 中，將說明使用根據本發明之一個實施例的記憶體裝置之半導體裝置的其中之一的行動記憶體媒體之例子。

圖 16A 圖解根據本發明的一個實施例之記憶體媒體的結構作為例子。在圖 16A 之記憶體媒體中，下面組件被安裝在印刷配線板 706 上：根據本發明的一個實施例之記憶體裝置 701；連接器 702，其執行驅動器電路和記憶體媒體之間的電連接；介面 703，其根據各種信號經由連接器 702 而對各信號輸入或輸出執行信號處理；發光二極體 704，其根據記憶體媒體等的操作而發光；以及控制器 705，其控制記憶體媒體中的電路和半導體元件之操作，諸如記憶體裝置 701、介面 703、和發光二極體 704 等。

另外，可額外設置被用於產生用以控制控制器 705 的時脈信號之石英振盪器、用以控制記憶體媒體中的供電電壓之位準的調節器等等。

如圖 16B 所示，可藉由覆蓋有使用樹脂等等的覆蓋材料 707，以便露出連接器 702 的部分和發光二極體 704 的部分，以保護圖 16A 之印刷配線板 706。

因為在根據本發明的一個實施例之記憶體裝置 701 中，可抑制操作時之電力消耗，所以可實現降低使用記憶體裝置 701 之記憶體媒體的電力消耗，並且降低連接到記憶體媒體之驅動裝置的電力消耗。另外，因為在根據本發明的一個實施例之記憶體裝置 701 中，所以可長時間儲存資料及可增加重寫次數，可增強記憶體媒體的可靠性。而且，因為可長時間儲存資料及可增加重寫次數，所以減輕記憶體媒體的操作條件；因此，可提高記憶體媒體的多用途。

此實施例可與上述實施例的任一者適當組合實施。

[例子 1]

藉由使用根據本發明的一個實施例之半導體裝置，可設置高度可靠的電子裝置、具有低電力消耗的電子裝置、和具有高速驅動之電子裝置。尤其是，在連續接收電力上有困難之可攜式電子裝置的例子中，當添加根據本發明的一個實施例之具有低電力消耗的半導體裝置作為裝置的組件時，可獲得增加連續工作週期（duty period）之有利

點。

而且，利用本發明的半導體裝置，可抑制製造處理時之熱處理溫度；因此，甚至當薄膜電晶體形成在使用諸如塑膠等耐熱性低於玻璃的耐熱性之可撓性合成樹脂所形成的基板之上時，仍可形成具有絕佳特性的高度可靠薄膜電晶體。因此，藉由使用根據本發明的一個實施例之製造方法，可設置可撓性半導體裝置。塑膠基板的例子包括：以聚乙烯對苯二甲酸酯（PET）為代表之聚酯、聚醚（PES）、聚萘二甲酸乙二酯（PEN）、聚碳酸酯（PC）、聚二醚酮（PEEK）、聚砜（PSF）、聚醚醯亞胺（PEI）、聚芳酯化合物（PAR）、聚對苯二甲酸丁二酯（PBT）、聚醯亞胺、丙烯酸腈-丁二烯-苯乙烯樹脂、聚氯乙烯、聚丙烯、聚乙烯醇、丙烯酸樹脂等。

根據本發明的一個實施例之半導體裝置可被用於顯示裝置、膝上型電腦、或設置有記錄媒體之再生裝置（典型上為再生諸如數位影音光碟（DVD）等記錄媒體之內容且具有用以顯示所再生的影像之顯示器的裝置）。除了上述，作為可使用根據本發明的一個實施例之半導體裝置的電子裝置，可指定行動電話、可攜式遊戲機、可攜式資訊端子、電子書閱讀器、視頻相機、數位靜態相機、護目型顯示器（頭戴型顯示器）、導航系統、聲頻再生裝置（諸如大如汽車聲頻系統和數位聲頻播放器）、影印機、傳真機、列印機、多功能列印機、自動櫃員機（ATM）、自動販賣機等等。圖 17A 至 17C 圖解這些電子裝置的特別例

子。

圖 17A 圖解可攜式遊戲機，其包括機殼 7031、機殼 7032、顯示部 7033、顯示部 7034、麥克風 7035、揚聲器 7036、操作鍵 7037、電子筆 7038 等等。根據本發明的一個實施例之半導體裝置亦可用於用以控制可攜式遊戲機的驅動之積體電路。根據本發明的一個實施例之半導體裝置可被用於用以控制可攜式遊戲機的驅動之積體電路，使得可設置高度可靠的可攜式遊戲機、具有低電力消耗的可攜式遊戲機、及較高性能的可攜式遊戲機。需注意的是，雖然圖 17A 所示之可攜式遊戲機包括兩顯示部 7033 及 7034，但是包括在可攜式遊戲機中的顯示部數目並不侷限於二。

圖 17B 圖解行動電話，其包括機殼 7041、顯示部 7042、聲頻輸入部 7043、聲頻輸出部 7044、操作鍵 7045、光接收部 7046 等等。光接收部 7046 所接收的光被轉換成電信號，藉以可載入外部影像。根據本發明的一個實施例之半導體裝置亦可用於用以控制行動電話的驅動之積體電路。根據本發明的一個實施例之半導體裝置可被用於用以控制行動電話的驅動之積體電路，使得可設置高度可靠的行動電話，具有低電力消耗的行動電話、及較高性能的行動電話。

圖 17C 圖解可攜式資訊端子，其包括機殼 7051、顯示部 7052、操作鍵 7053 等等。數據機可結合在圖 17C 所示之可攜式資訊端子的機殼 7051 中。根據本發明的一個

實施例之半導體裝置亦可用於用以控制可攜式資訊端子的驅動之積體電路。根據本發明的一個實施例之半導體裝置可被用於用以控制可攜式資訊端子的驅動之積體電路，使得可設置高度可靠的可攜式資訊端子、具有低電力消耗的可攜式資訊端子、及較高性能的可攜式資訊端子。

此實施例可與上述實施例的任一者適當組合實施。

此申請案係依據日本專利局於 2009、12、28 所發表之日本專利申請案序號 2009-297140，藉以併入其全文做為參考。

【符號說明】

100：記憶體單元

101：電晶體

102：電晶體

103：電容器

110：基板

111：閘極電極

112：絕緣膜

113：氧化物半導體膜

114：源極電極

115：汲極電極

116：絕緣膜

117：絕緣膜

121：閘極電極

- 123 : 氧化物半導體膜
- 124 : 源極電極
- 125 : 汲極電極
- 126 : 閘極電極
- 130 : 線
- 131 : 線
- 140 : 基板
- 141 : 閘極電極
- 142 : 絕緣膜
- 143 : 氧化物半導體膜
- 144 : 源極電極
- 145 : 汲極電極
- 146 : 絕緣膜
- 147 : 絕緣膜
- 148 : 通道保護膜
- 151 : 閘極電極
- 153 : 氧化物半導體膜
- 154 : 源極電極
- 155 : 汲極電極
- 156 : 閘極電極
- 157 : 通道保護膜
- 160 : 基板
- 161 : 閘極電極
- 162 : 絕緣膜

- 163 : 氧化物半導體膜
- 164 : 源極電極
- 165 : 汲極電極
- 166 : 絕緣膜
- 167 : 絕緣膜
- 171 : 閘極電極
- 173 : 氧化物半導體膜
- 174 : 源極電極
- 175 : 汲極電極
- 176 : 閘極電極
- 200 : 基板
- 208 : 氧化物半導體膜
- 211 : 閘極電極
- 212 : 絕緣膜
- 213 : 氧化物半導體膜
- 214 : 源極電極
- 215 : 汲極電極
- 216 : 絕緣膜
- 217 : 絕緣膜
- 221 : 閘極電極
- 223 : 一半導體膜
- 224 : 源極電極
- 225 : 汲極電極
- 226 : 閘極電極

- 230 : 絕緣膜
- 231 : 絕緣膜
- 241 : 閘極電極
- 242 : 絕緣膜
- 243 : 氧化物半導體膜
- 244 : 源極電極
- 245 : 汲極電極
- 246 : 絕緣膜
- 247 : 絕緣膜
- 251 : 閘極電極
- 253 : 一半導體膜
- 254 : 源極電極
- 255 : 汲極電極
- 256 : 閘極電極
- 260 : 絕緣膜
- 261 : 絕緣膜
- 270 : 基板
- 300 : 記憶體單元
- 301 : 電晶體
- 302 : 電晶體
- 303 : 電容器
- 304 : 供電線
- 310_1 : 電晶體
- 310_2 : 電晶體

310_3 : 電晶體
311_1 : 電晶體
311_2 : 電晶體
311_3 : 電晶體
312_1 : 運算放大器
312_2 : 運算放大器
312_3 : 運算放大器
320 : 電晶體
321 : 電晶體
400 : 基板
401 : 閘極電極
402 : 閘極電極
403 : 閘極絕緣膜
404 : 氧化物半導體膜
405 : 氧化物半導體膜
406 : 氧化物半導體膜
407 : 源極電極
408 : 汲極電極
409 : 源極電極
410 : 汲極電極
411 : 絕緣膜
412 : 接觸孔
413 : 背閘極電極
414 : 絕緣膜

- 420 : 電晶體
- 421 : 電晶體
- 430 : 電容器
- 500 : 記憶體單元
- 501 : 驅動器電路
- 502 : 一讀取電路
- 503 : 字元線驅動器電路
- 504 : 資料線驅動器電路
- 505 : 控制電路
- 506 : 字元線解碼器
- 508 : 資料線解碼器
- 509 : 資料線選擇器
- 701 : 記憶體裝置
- 702 : 連接器
- 703 : 介面
- 704 : 發光二極體
- 705 : 控制器
- 706 : 印刷配線板
- 707 : 覆蓋材料
- 801-1 : 測量系統
- 801-2 : 測量系統
- 801-3 : 測量系統
- 802 : 電容器
- 803 : 電晶體

- 804 : 電晶體
- 805 : 電晶體
- 806 : 電晶體
- 7031 : 機殼
- 7032 : 機殼
- 7033 : 顯示部
- 7034 : 顯示部
- 7035 : 麥克風
- 7036 : 揚聲器
- 7037 : 操作鍵
- 7038 : 電子筆
- 7041 : 機殼
- 7042 : 顯示部
- 7043 : 聲頻輸入部
- 7044 : 聲頻輸出部
- 7045 : 操作鍵
- 7046 : 光接收部
- 7051 : 機殼
- 7052 : 顯示部
- 7053 : 操作鍵

申請專利範圍

1. 一種半導體裝置，包含：

第一線、第二線、第三線、第四線、第一電晶體及第二電晶體，

其中，該第一電晶體包含第一導電層、第二導電層、第三導電層、第四導電層及第一半導體膜，其中：

該第一導電層設置在絕緣表面之上；

該第一半導體膜設置在該第一導電層之上；

該第二導電層設置在該第一半導體膜之上；

該第一導電層具有介隔著第一絕緣膜而與該第一半導體膜重疊的區域；

該第二導電層具有介隔著第二絕緣膜而與該第一半導體膜重疊的區域；

該第三導電層與該第一半導體膜電連接；

該第四導電層與該第一半導體膜電連接；

該第一導電層具有可作為該第一電晶體的第一閘極的功能；

該第二導電層具有可作為該第一電晶體的第二閘極的功能；

該第三導電層具有可作為該第一電晶體的源極與汲極的其中之一功能；及

該第四導電層具有可作為該第一電晶體的該源極與該汲極的其中之一功能，

其中，該第二電晶體包含第五導電層、第六導電層、

第七導電層及第二半導體膜，其中：

該第五導電層設置在該絕緣表面之上；

該第二半導體膜設置在該第五導電層之上；

該第五導電層具有介隔著該第一絕緣膜而與該第二半導體膜重疊的區域；

該第六導電層與該第二半導體膜電連接；

該第七導電層與該第二半導體膜電連接；

該第五導電層具有可作為該第二電晶體的閘極的功能；

該第六導電層具有可作為該第二電晶體的源極與汲極的其中之一功能；及

該第七導電層具有可作為該第二電晶體的該源極與該汲極的其中之一功能，

其中，該第一導電層與該第一線電連接，

其中，該第五導電層與該第二線電連接，

其中，該第三導電層與該第三線電連接，

其中，該第六導電層與該第四線電連接，

其中，該第七導電層與該第二導電層電連接，及

其中，該第二半導體膜具有氧化物半導體。

圖式

圖 1A

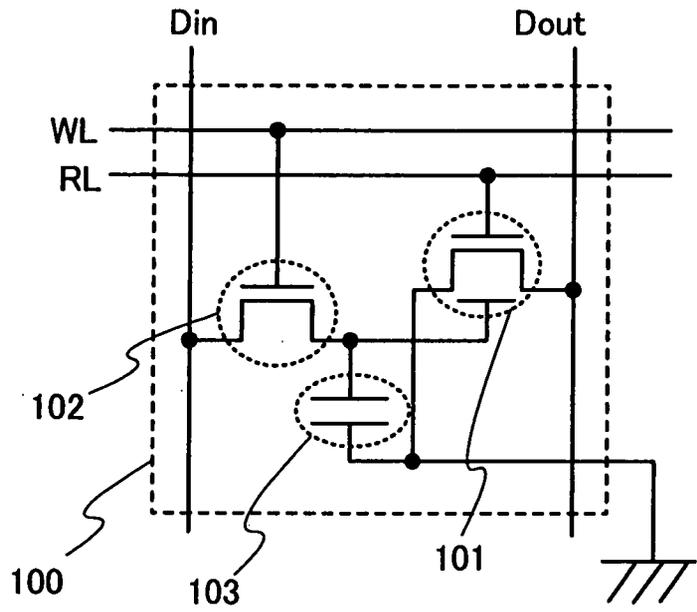


圖 1B

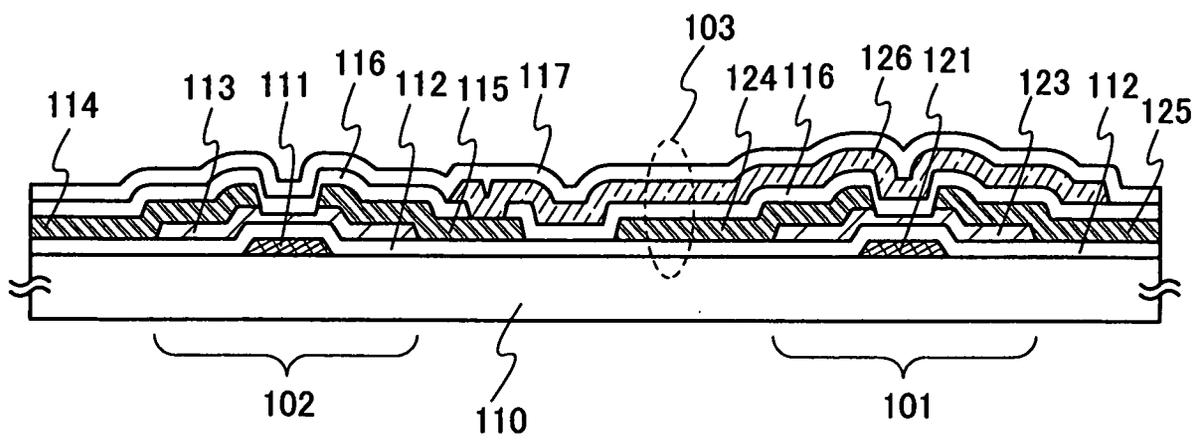


圖 2A

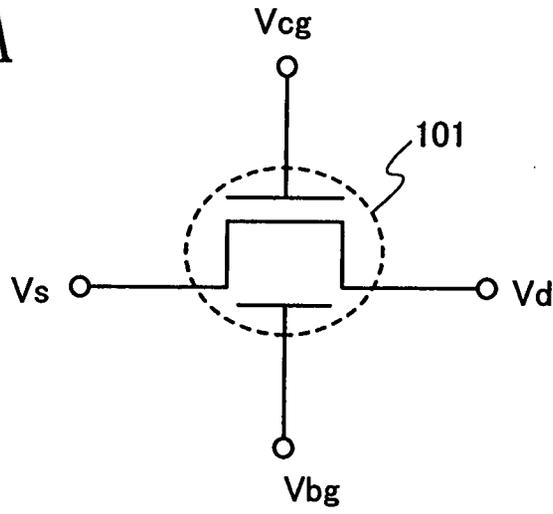


圖 2B

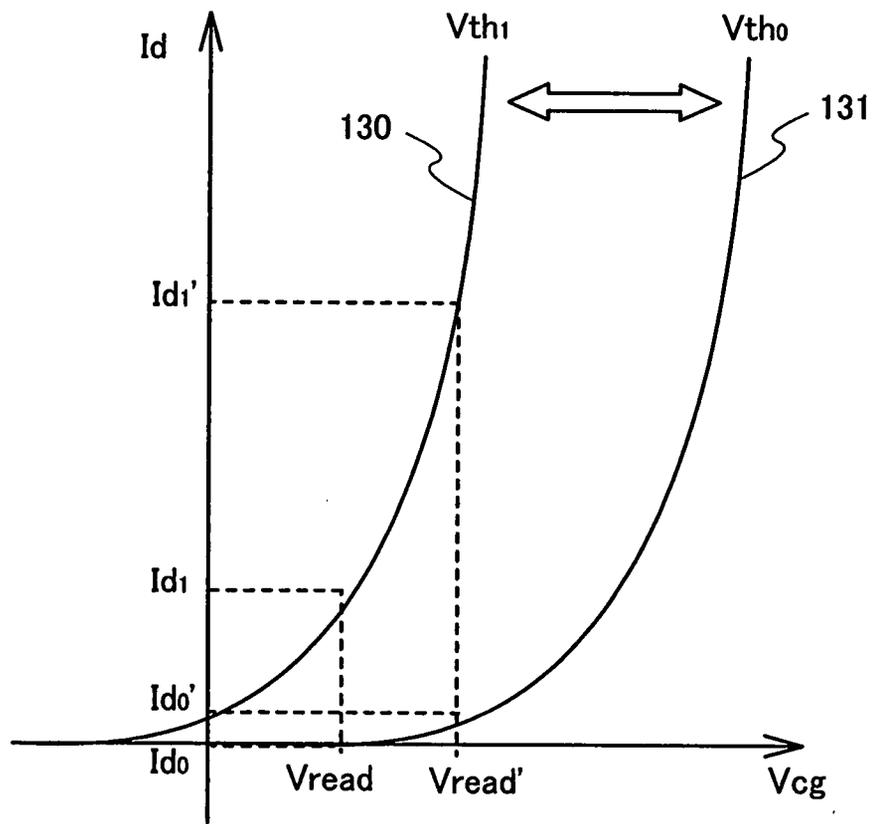


圖 3A

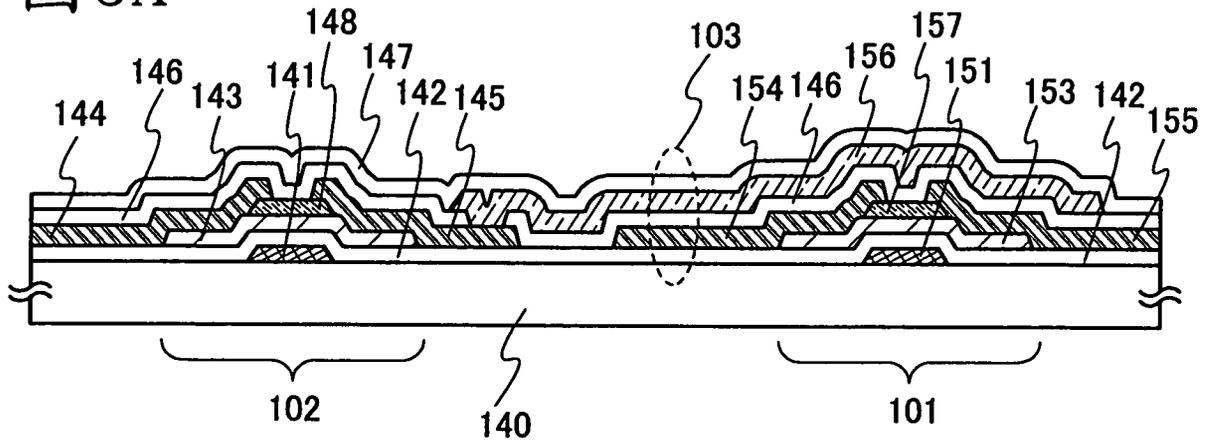


圖 3B

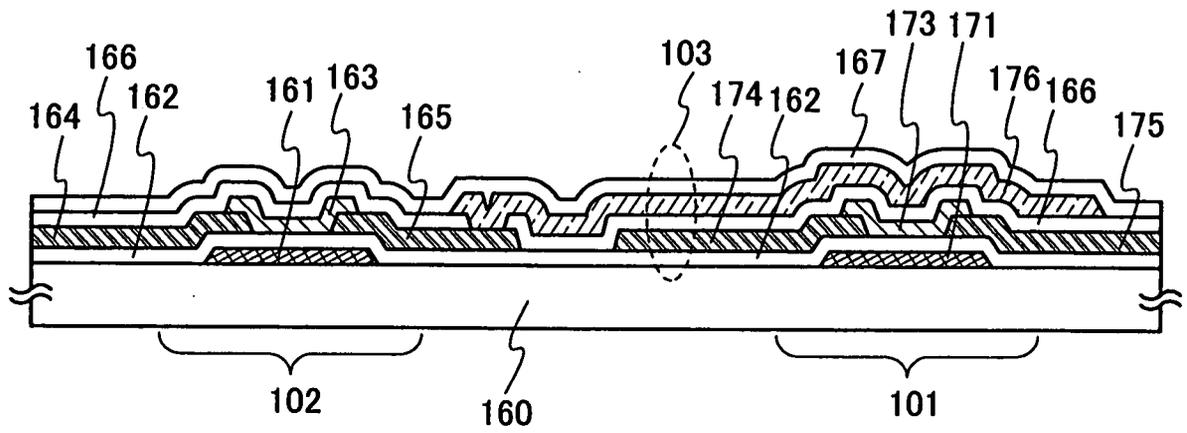


圖 4A

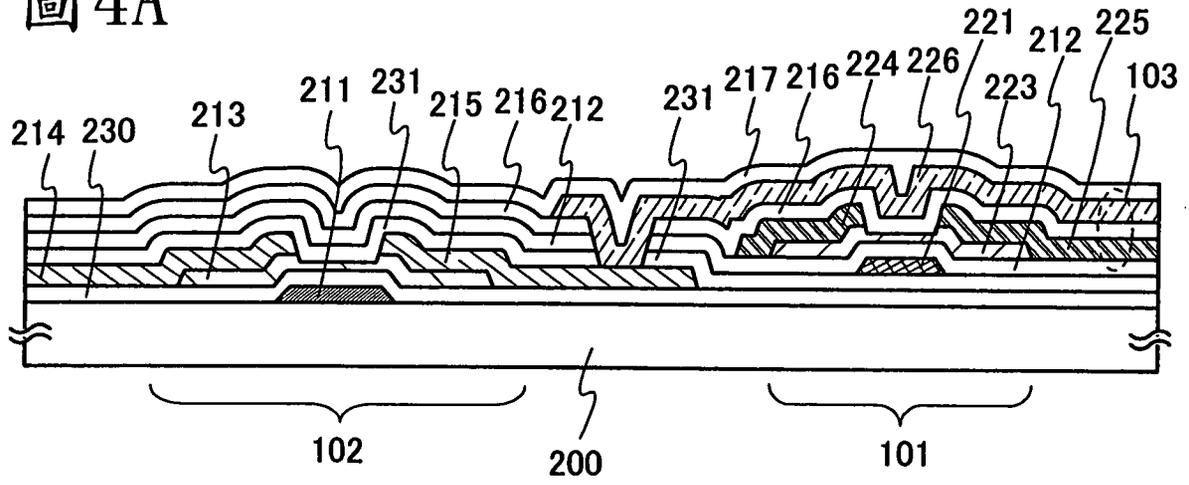


圖 4B

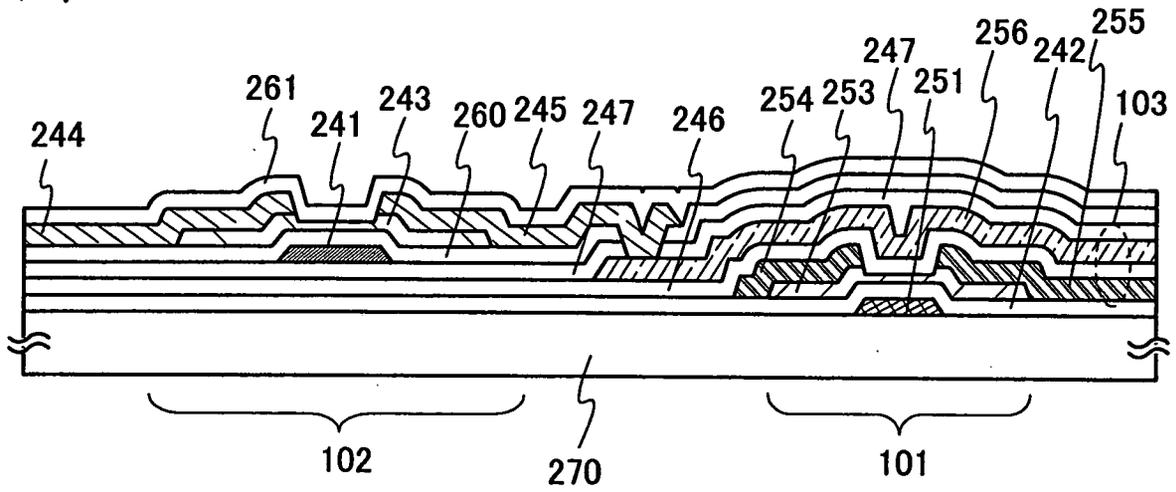


圖5

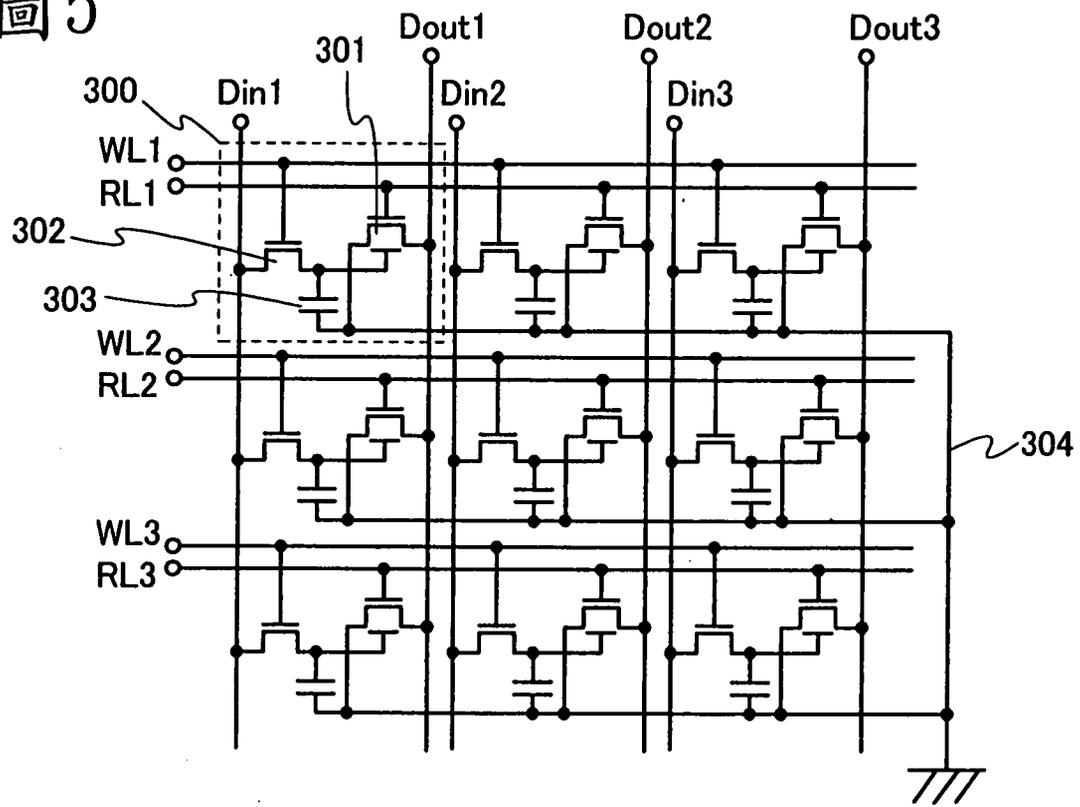


圖6

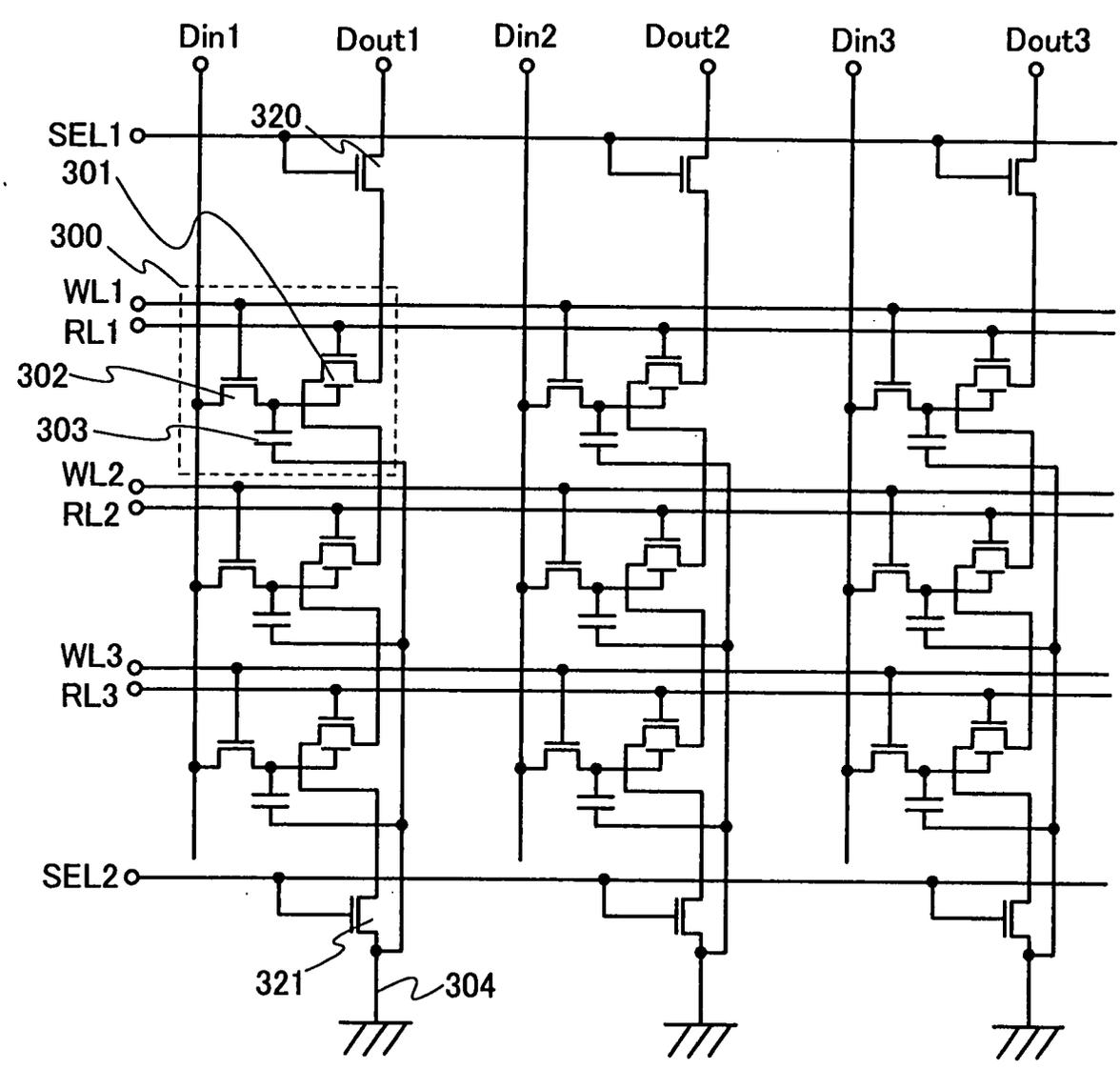


圖 7

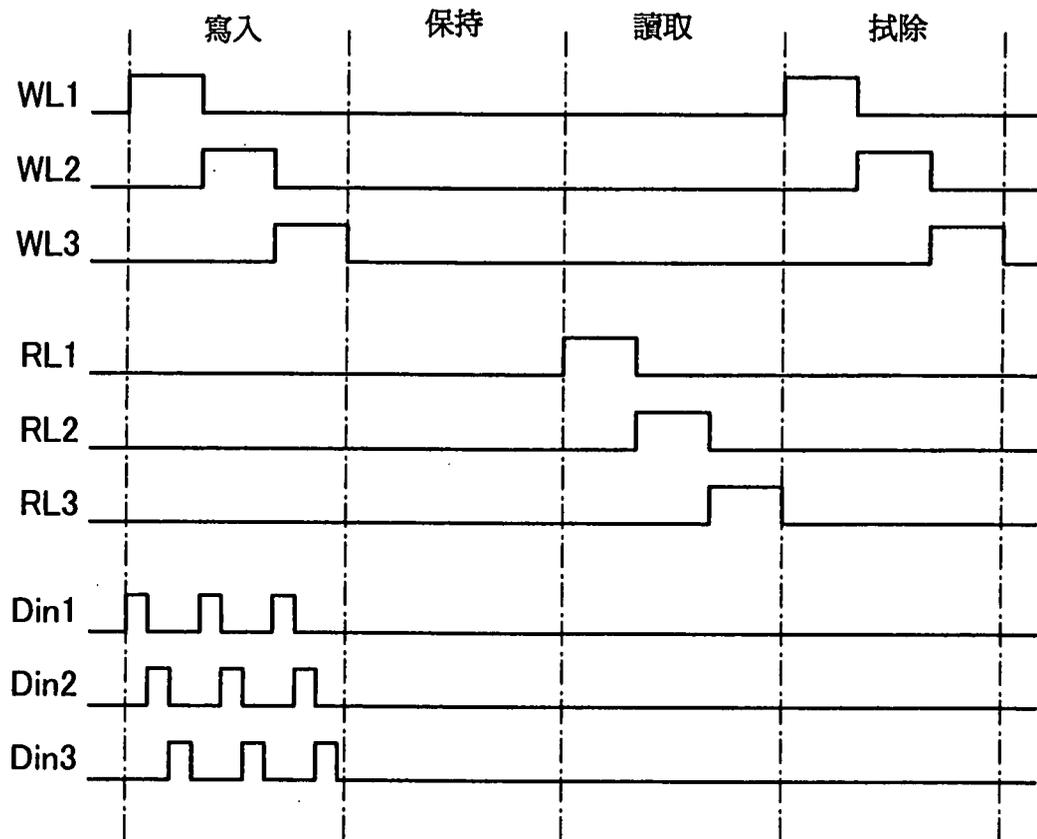


圖 8

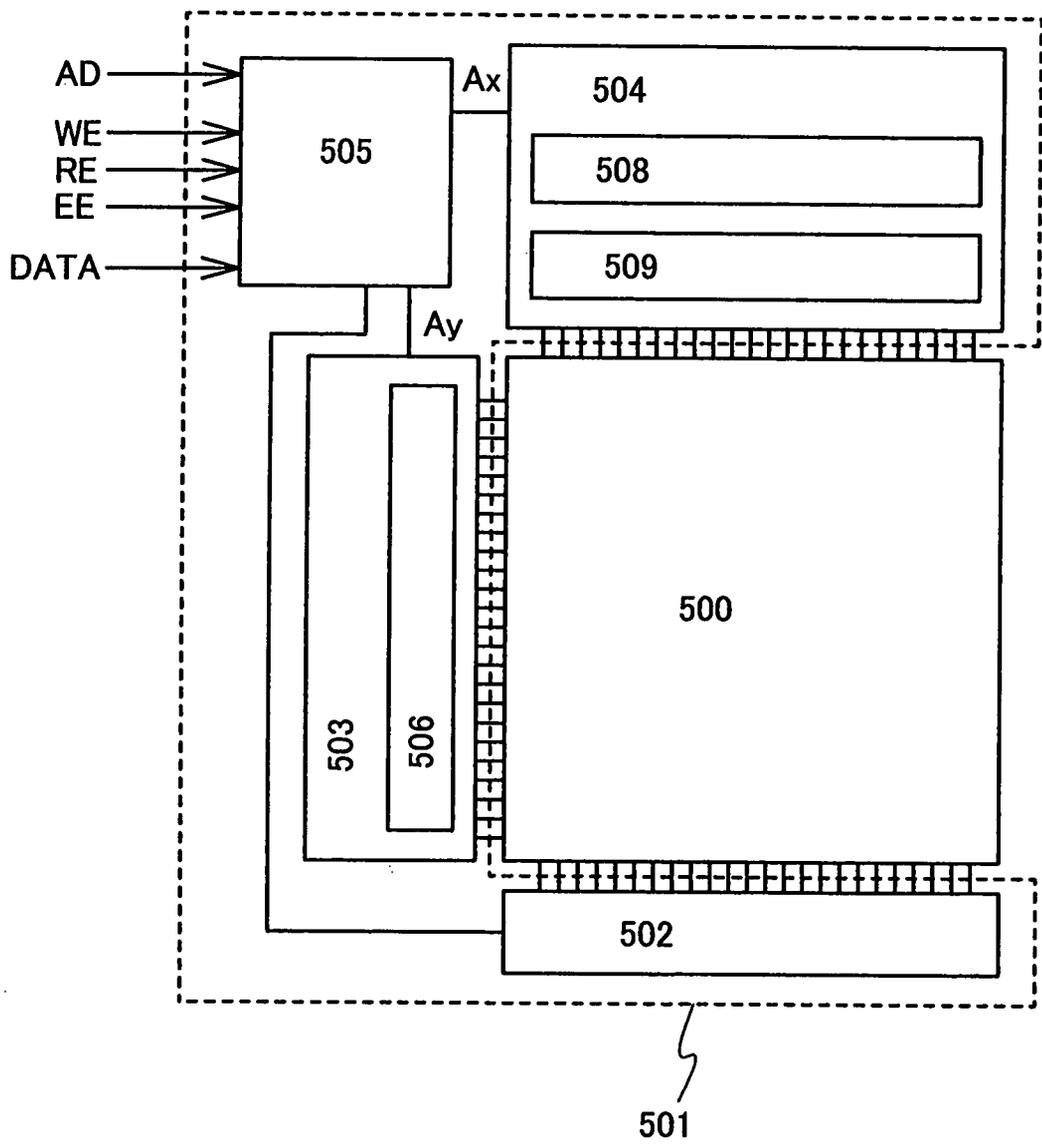


圖 9

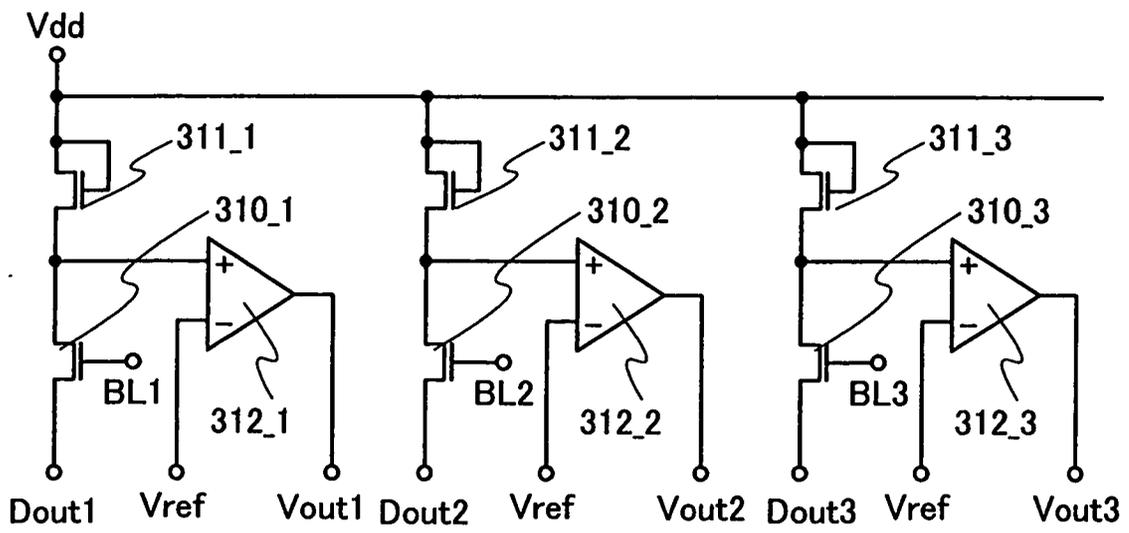


圖 10A

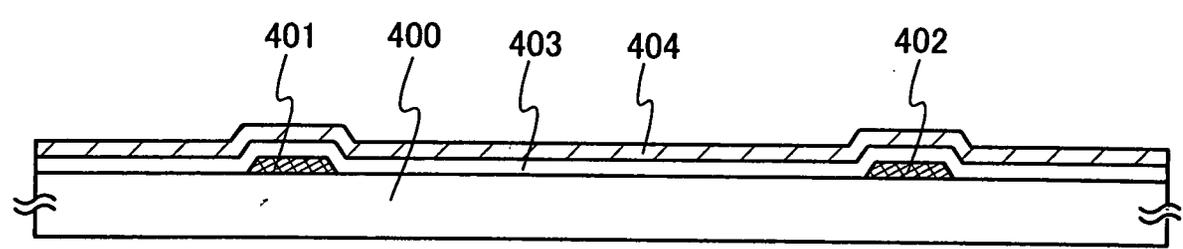


圖 10B

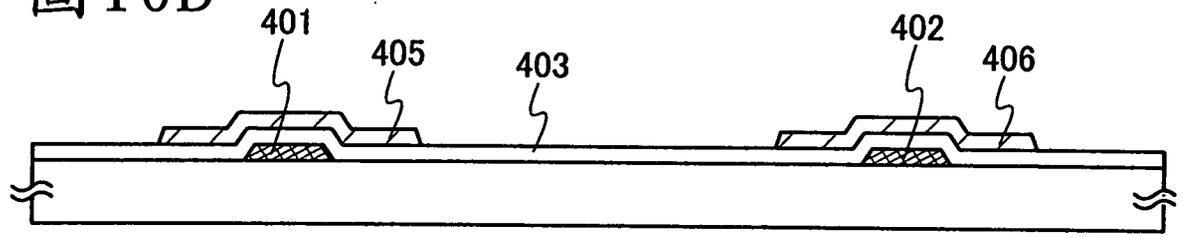


圖 10C

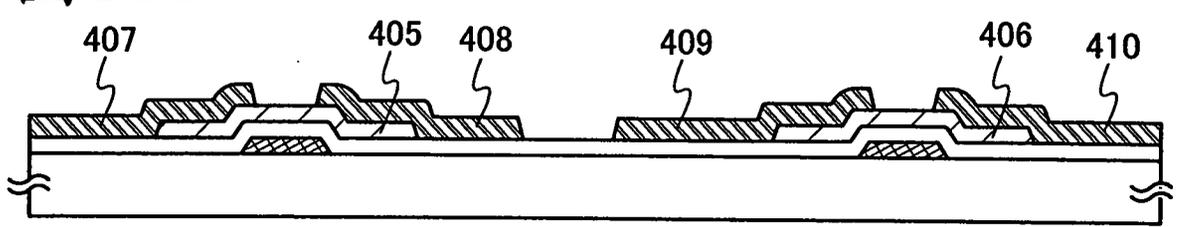


圖 10D

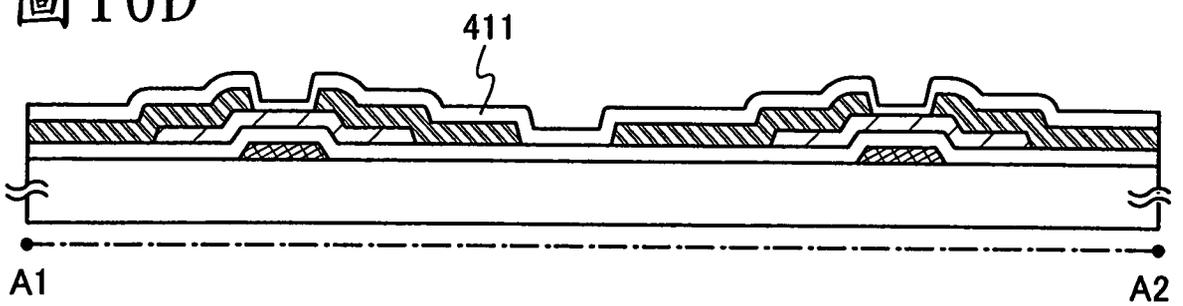


圖 10E

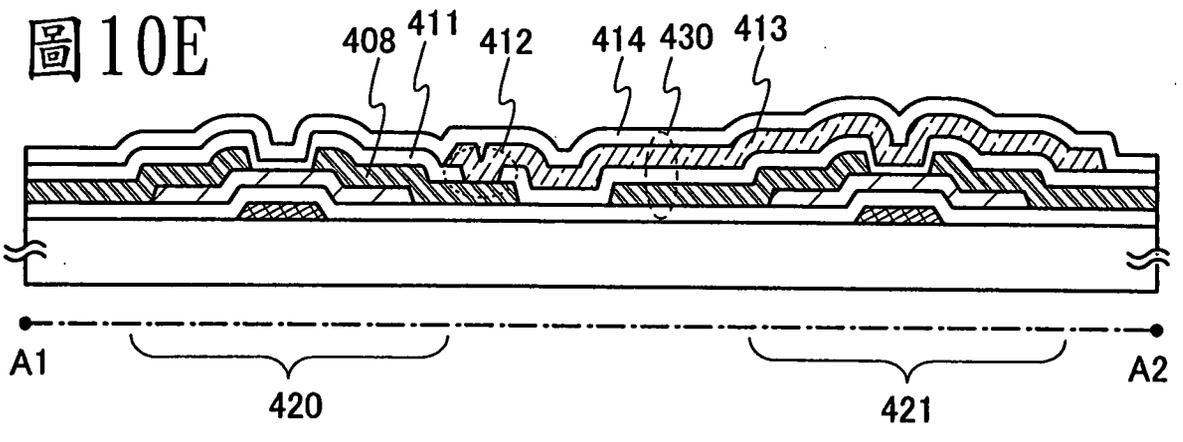


圖 11A

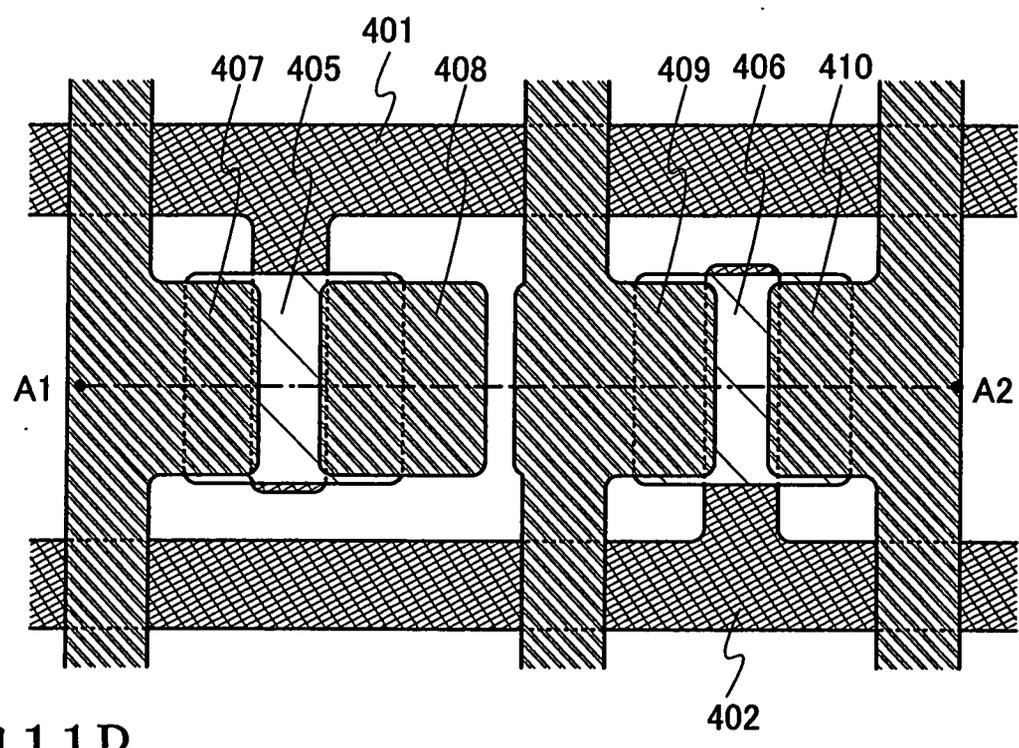


圖 11B

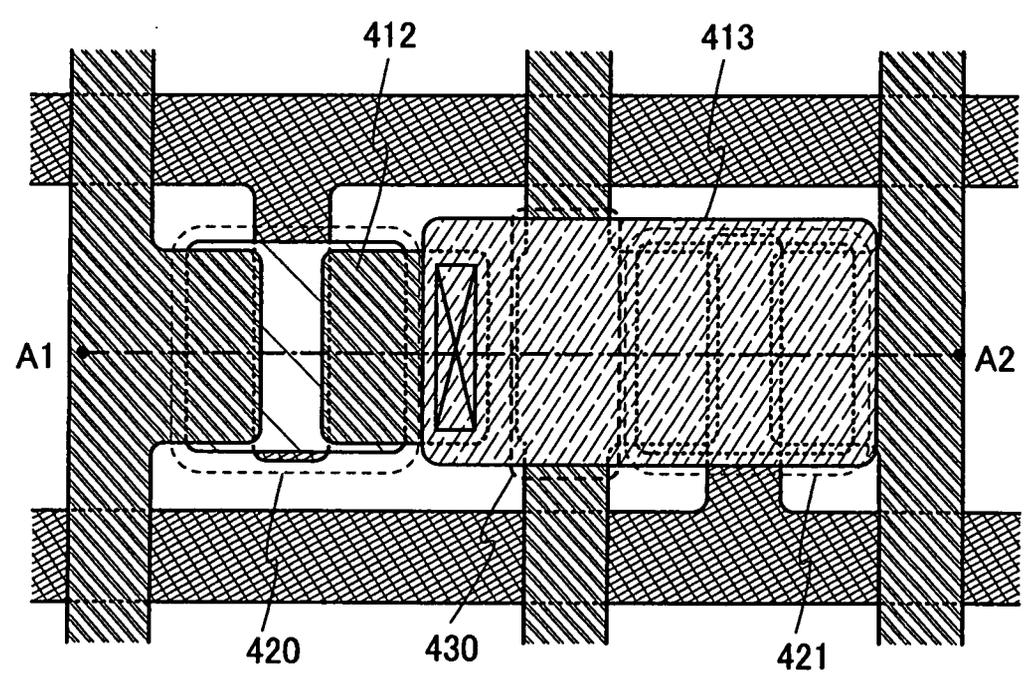


圖 12

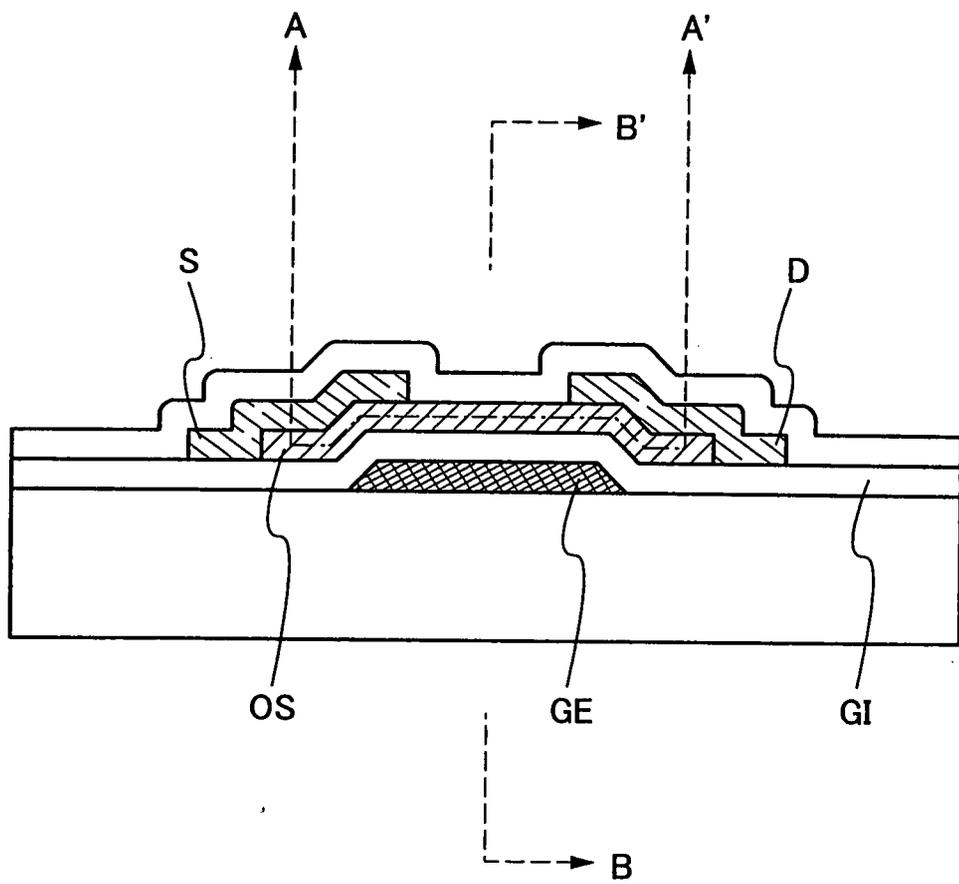


圖 13

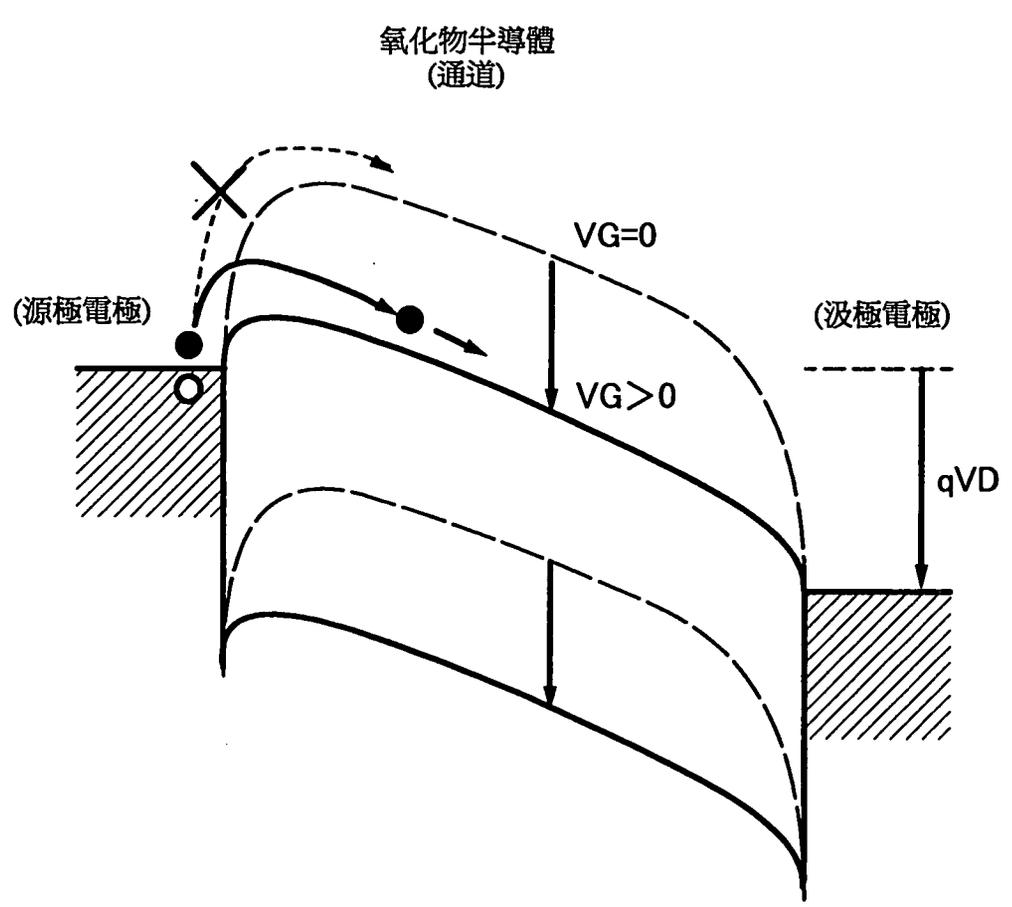


圖 14A

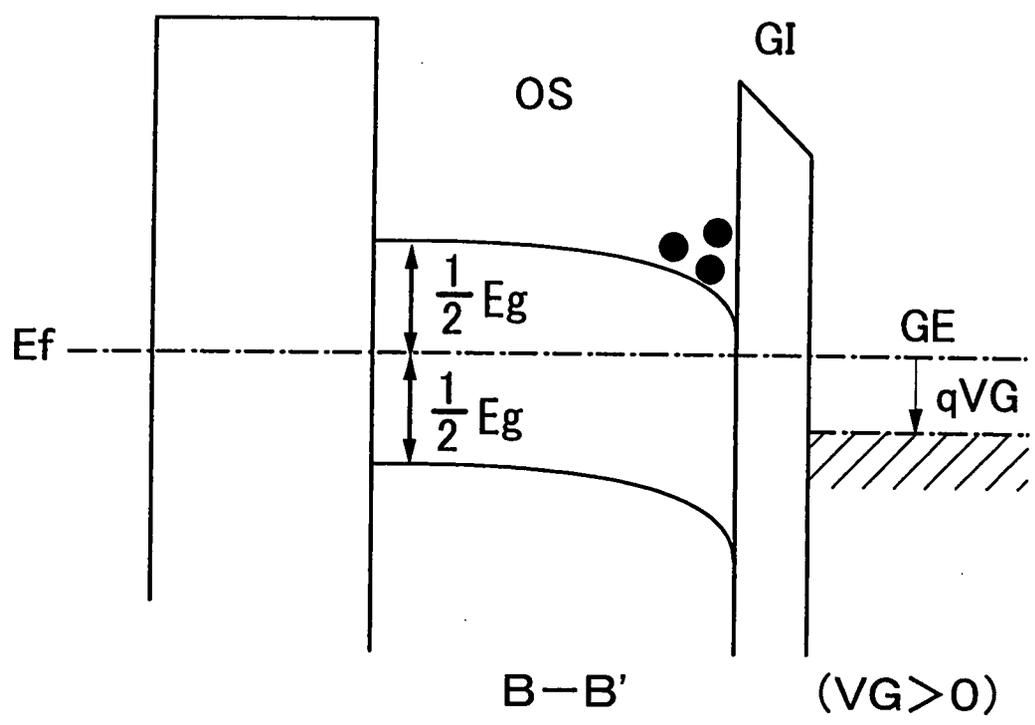


圖 14B

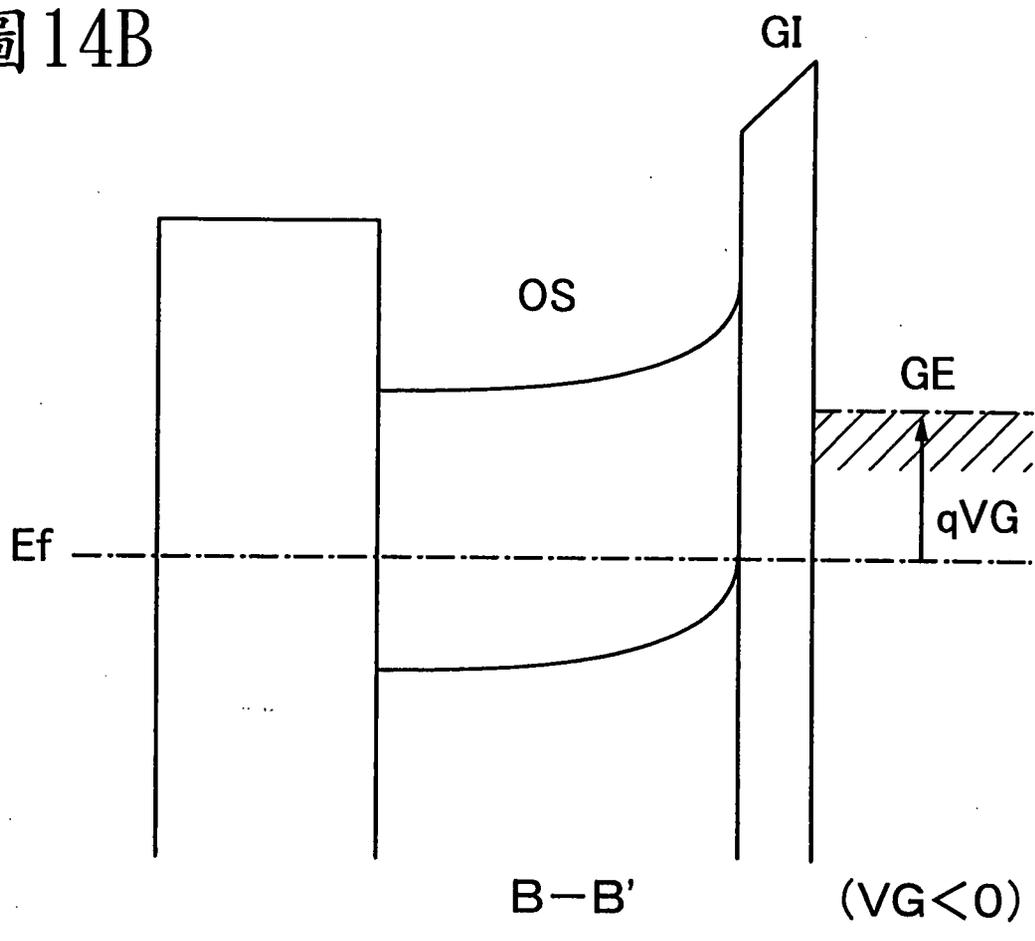


圖15

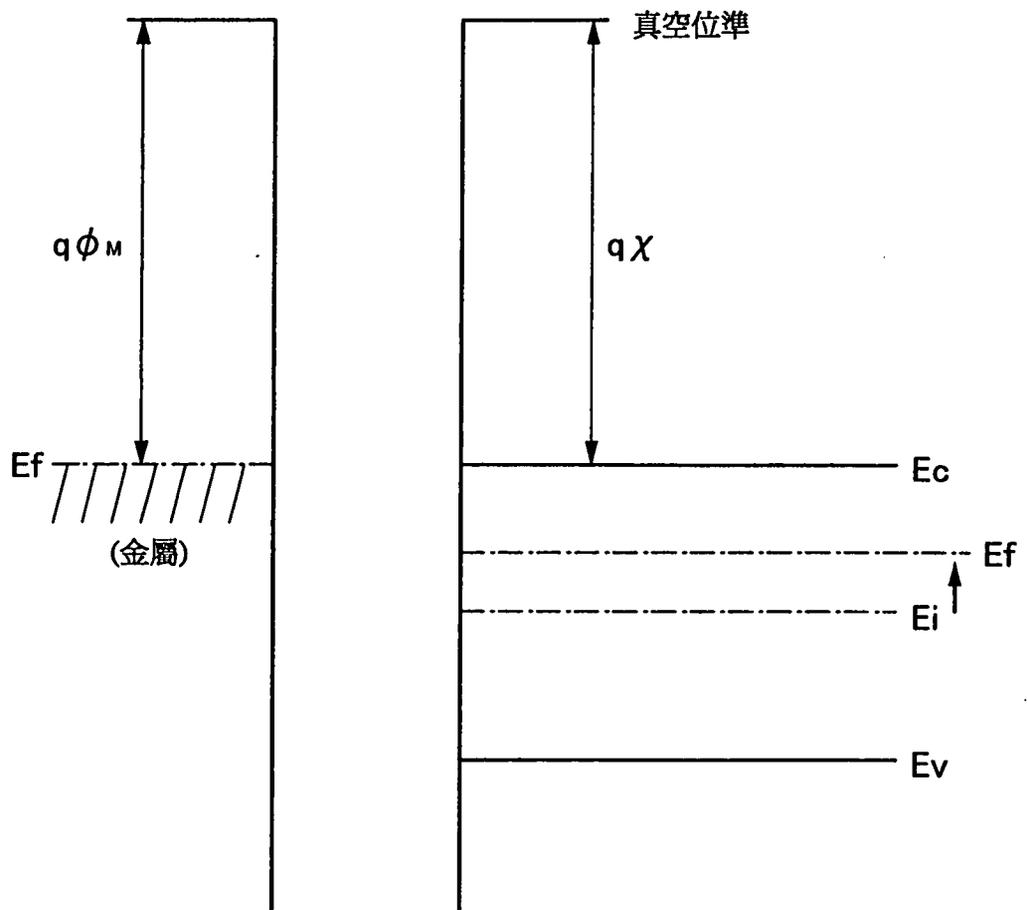


圖 16A

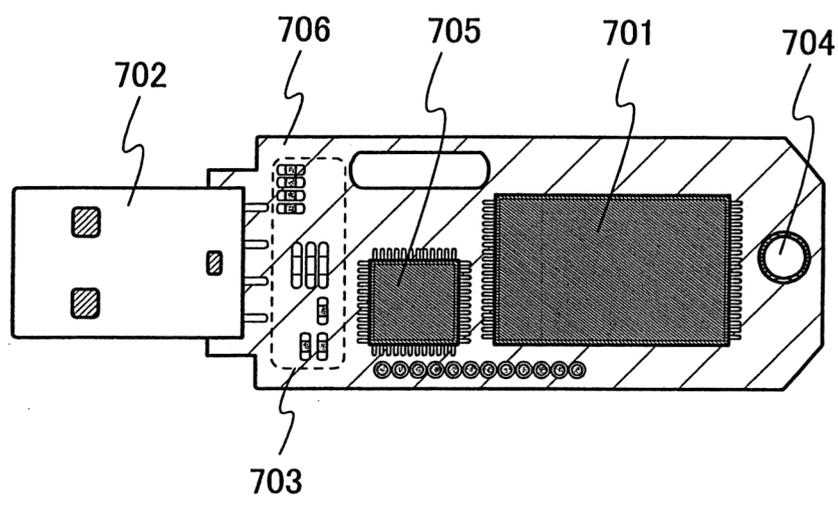


圖 16B

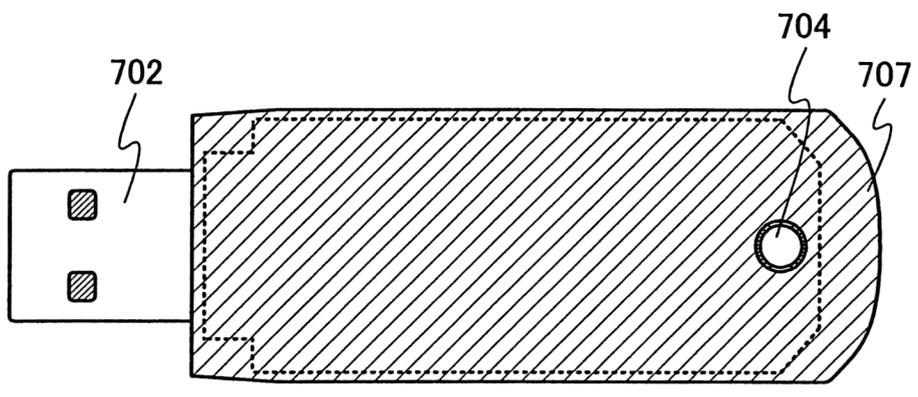


圖 17A

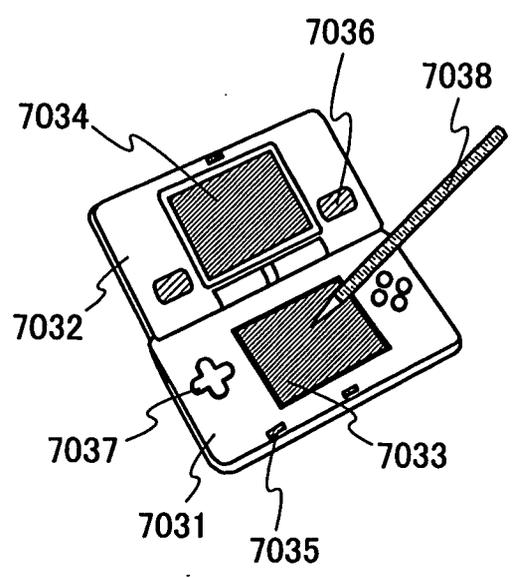


圖 17B

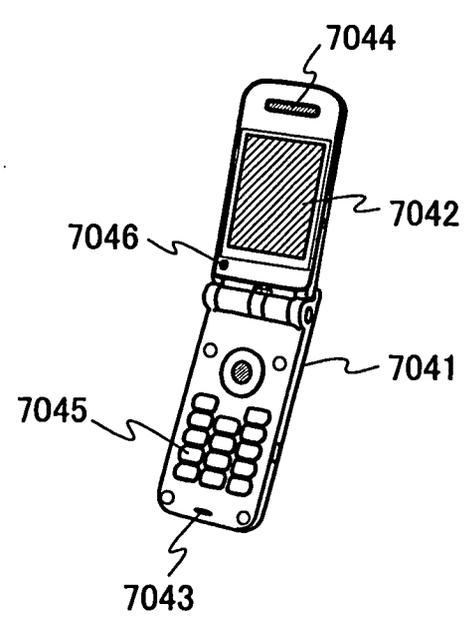


圖 17C

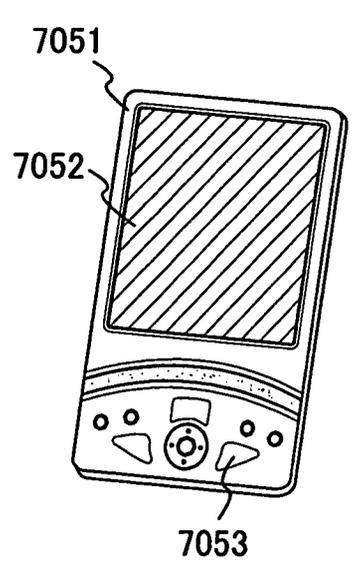


圖 18

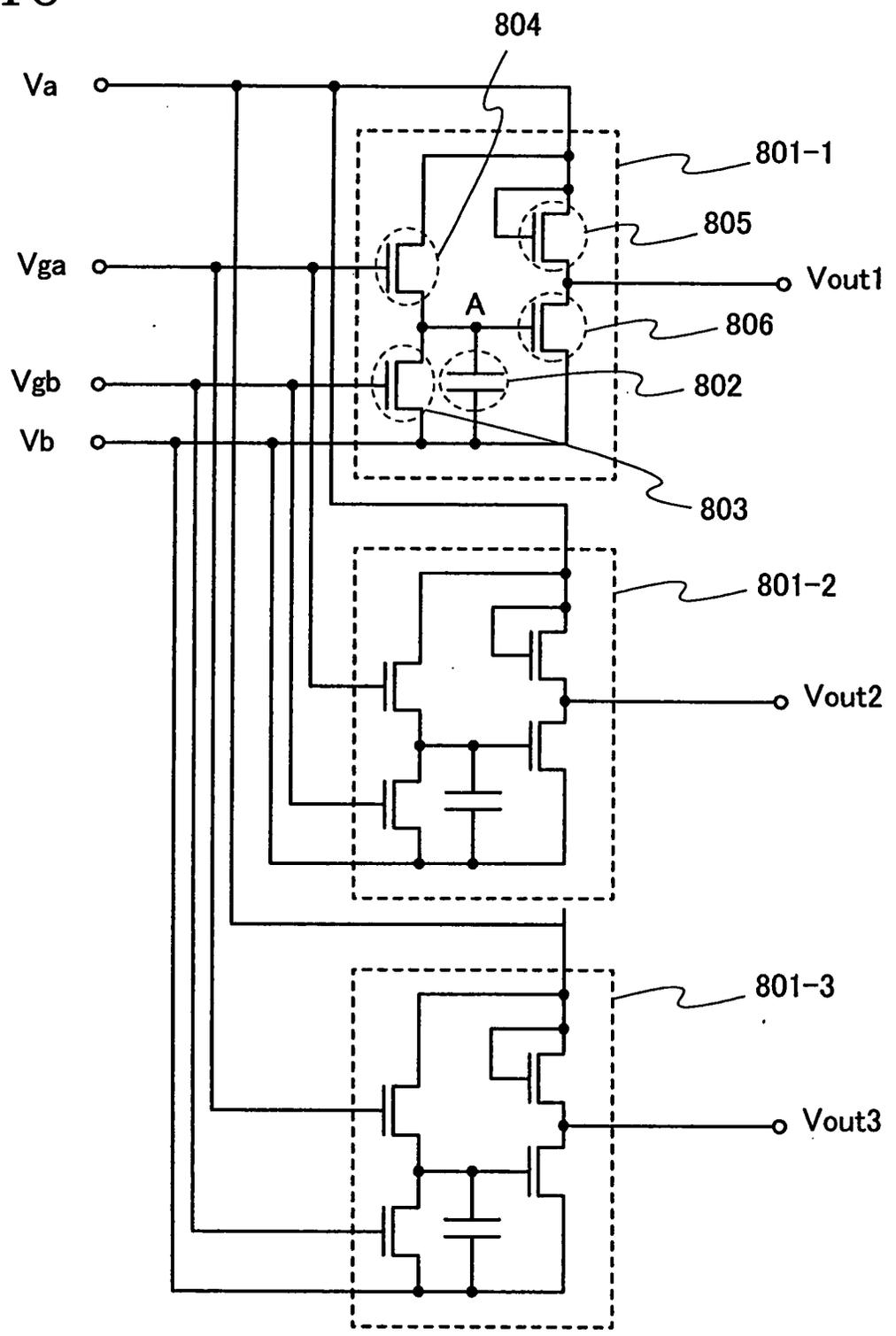


圖19

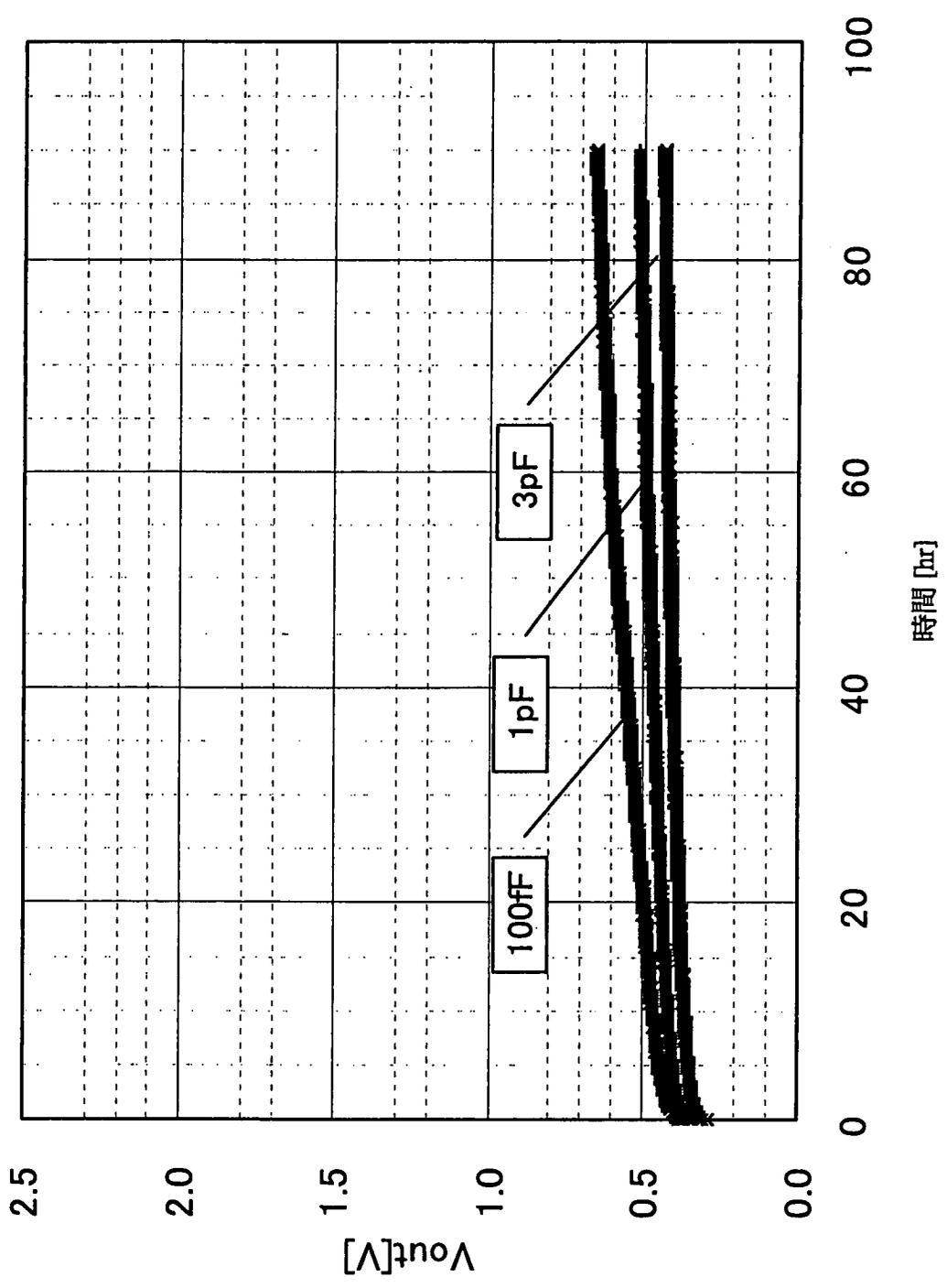


圖 20

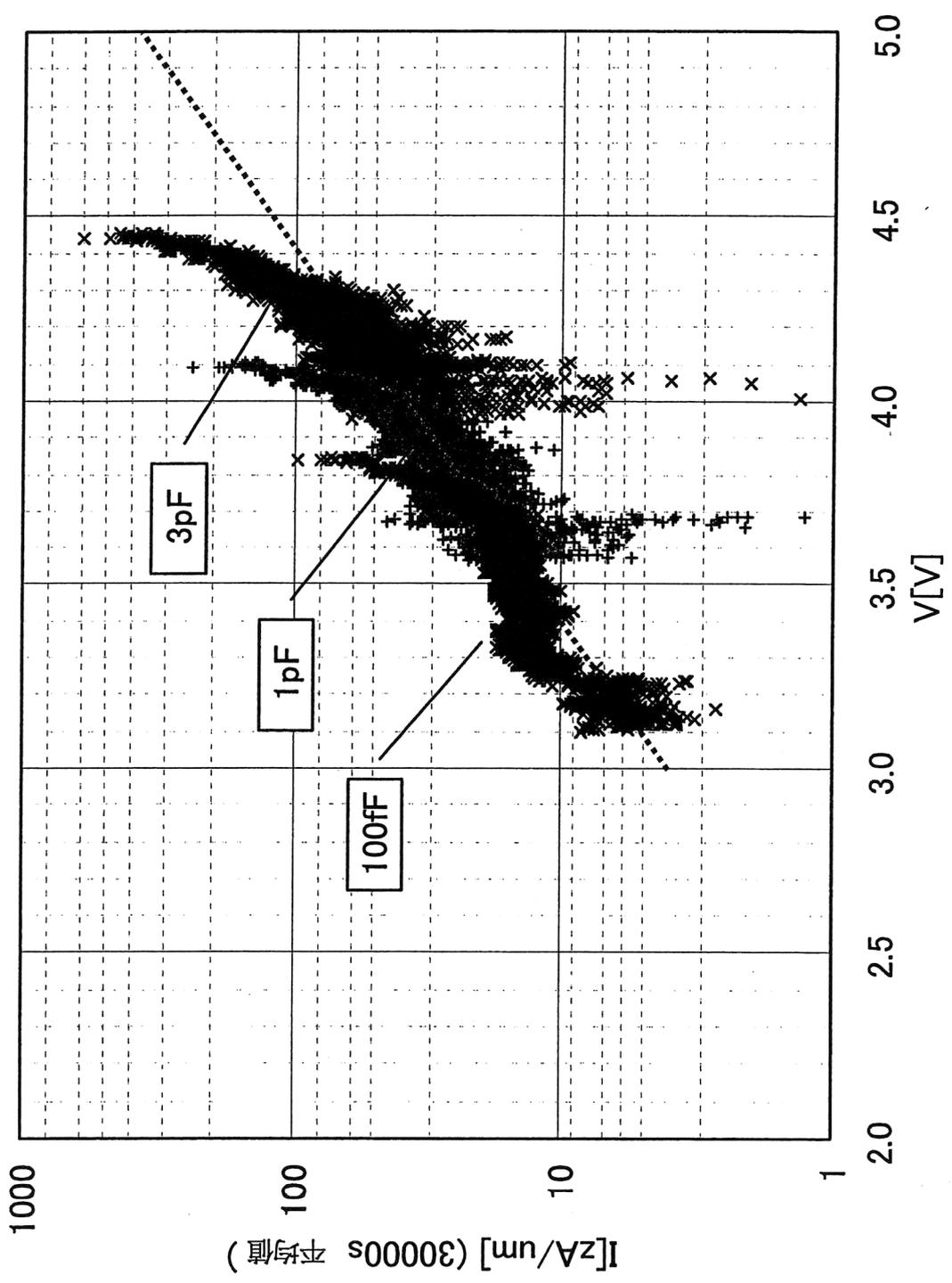


圖 21

