



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I836583 B

(45)公告日：中華民國 113 (2024) 年 03 月 21 日

(21)申請案號：111133074

(22)申請日：中華民國 102 (2013) 年 05 月 06 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L29/40 (2006.01)

(30)優先權：2012/05/10 日本

2012-108899

(71)申請人：日商半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；宮本敏行 MIYAMOTO, TOSHIYUKI (JP)；野村昌史 NOMURA, MASAFUMI (JP)；羽持貴士 HAMOCHI, TAKASHI (JP)；岡崎健一 OKAZAKI, KENICHI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2010/0140612A1

US 2011/0124163A1

WO 2008/139669A1

審查人員：黃鼎翰

申請專利範圍項數：6 項 圖式數：14 共 98 頁

(54)名稱

半導體裝置

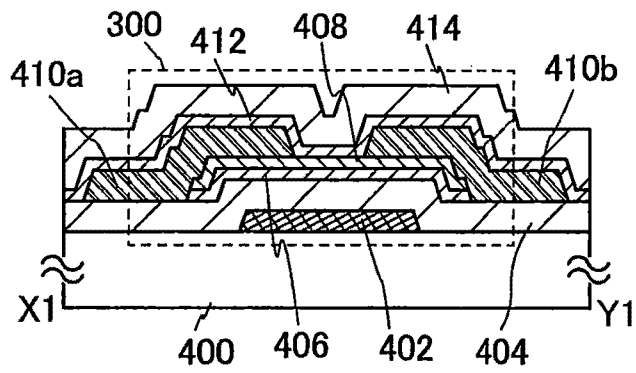
(57)摘要

本發明的一個方式的目的是藉由防止由於靜電破壞引起的良率的下降來提供可靠性高的半導體裝置。提供一種半導體裝置，該半導體裝置包括：閘極電極層；閘極電極層上的閘極絕緣層；閘極絕緣層上的氧化物絕緣層；接觸於氧化物絕緣層上並重疊於閘極電極層的氧化物半導體層；以及電連接到氧化物半導體層的源極電極層及汲極電極，閘極絕緣層包括含有氮的矽膜而構成，氧化物絕緣層含有從氧化物半導體層的構成元素中選擇的一種或多種金屬元素，閘極絕緣層的厚度比氧化物絕緣層的厚度厚。

A highly reliable semiconductor device the yield of which can be prevented from decreasing due to electrostatic discharge damage is provided. A semiconductor device is provided which includes a gate electrode layer, a gate insulating layer over the gate electrode layer, an oxide insulating layer over the gate insulating layer, an oxide semiconductor layer being above and in contact with the oxide insulating layer and overlapping with the gate electrode layer, and a source electrode layer and a drain electrode layer electrically connected to the oxide semiconductor layer. The gate insulating layer includes a silicon film containing nitrogen. The oxide insulating layer contains one or more metal elements selected from the constituent elements of the oxide semiconductor layer. The thickness of the gate insulating layer is larger than that of the oxide insulating layer.

指定代表圖：

圖 1B



符號簡單說明：

410a:源極電極層

300:電晶體

412:氧化物絕緣層

408:氧化物半導體層

414:保護絕緣層

410b:汲極電極層

404:閘極絕緣層

402:閘極電極層

406:氧化物絕緣層

400:基板

【發明摘要】

【中文發明名稱】

半導體裝置

【英文發明名稱】

SEMICONDUCTOR DEVICE

【中文】

本發明的一個方式的目的是藉由防止由於靜電破壞引起的良率的下降來提供可靠性高的半導體裝置。提供一種半導體裝置，該半導體裝置包括：閘極電極層；閘極電極層上的閘極絕緣層；閘極絕緣層上的氧化物絕緣層；接觸於氧化物絕緣層上並重疊於閘極電極層的氧化物半導體層；以及電連接到氧化物半導體層的源極電極層及汲極電極，閘極絕緣層包括含有氮的矽膜而構成，氧化物絕緣層含有從氧化物半導體層的構成元素中選擇的一種或多種金屬元素，閘極絕緣層的厚度比氧化物絕緣層的厚度厚。

【 英文 】

A highly reliable semiconductor device the yield of which can be prevented from decreasing due to electrostatic discharge damage is provided. A semiconductor device is provided which includes a gate electrode layer, a gate insulating layer over the gate electrode layer, an oxide insulating layer over the gate insulating layer, an oxide semiconductor layer being above and in contact with the oxide insulating layer and overlapping with the gate electrode layer, and a source electrode layer and a drain electrode layer electrically connected to the oxide semiconductor layer. The gate insulating layer includes a silicon film containing nitrogen. The oxide insulating layer contains one or more metal elements selected from the constituent elements of the oxide semiconductor layer. The thickness of the gate insulating layer is larger than that of the oxide insulating layer.

【代表圖】

【本案指定代表圖】：圖 1B

【本代表圖之符號簡單說明】

410a:源極電極層

300:電晶體

412:氧化物絕緣層

408:氧化物半導體層

414:保護絕緣層

410b:汲極電極層

404:閘極絕緣層

402:閘極電極層

406:氧化物絕緣層

400:基板

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

【發明說明書】

【中文發明名稱】

半導體裝置

【英文發明名稱】

SEMICONDUCTOR DEVICE

【技術領域】

本說明書所公開的發明係關於一種半導體裝置及半導體裝置的製造方法。

注意，本說明書等中的半導體裝置是指藉由利用半導體特性而能夠工作的所有裝置，因此電光裝置、發光顯示裝置、半導體電路以及電子裝置都是半導體裝置。

【先前技術】

使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到關注。該電晶體被廣泛地應用於如積體電路（IC）及影像顯示裝置（有時簡稱為顯示裝置）等的電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知。作為其他材料，氧化物半導體受到關注。

例如，公開了作為氧化物半導體使用氧化鋅或 In-Ga-Zn 類氧化物半導體來製造電晶體的技術（參照專利文獻 1 及專利文獻 2）。

[專利文獻 1] 日本專利申請公開第 2007-123861 號公報

[專利文獻 2] 日本專利申請公開第 2007-96055 號公報

在進行使用氧化物半導體的半導體裝置的大量生產（以下，簡稱為量產）的情況下，從開發成本及開發速度的角度來看，有效的是利用實用化了的量產技術，即利用使用非晶矽或多晶矽等矽類半導體材料的電晶體的結構、製程條件或生產裝置等。

另一方面，氧化物半導體的載流子產生機制與矽類半導體材料的載流子產生機制大不相同，該氧化物半導體的物性極大地影響到電晶體特性或電晶體的可靠性。

尤其是，當將用於矽類半導體材料的閘極絕緣層用於氧化物半導體時，閘極絕緣層與該氧化物半導體之間的介面特性不夠好。因此，需要開發適於使用氧化物半導體的半導體裝置的閘極絕緣層。

另外，由使用非晶矽或微晶矽等矽類半導體材料的電晶體構成的半導體裝置可應用於第八代（2160mm 長×2460mm 寬）或更高代的玻璃基板，所以具有生產性高及成本低的優點。然而，當使用玻璃基板時，由於玻璃基板具有較高的絕緣性及較大的面積，靜電放電（ESD：Electro-Static Discharge）的問題尤其明顯。這是在使用氧化物半導體材料的情況下當然也需要考慮的問題。

【發明內容】

鑒於上述問題，本發明的一個方式的目的之一是在不太改變實用化了的量產技術的電晶體結構、製程條件或生產裝置等的情況下提供一種具有穩定的電特性和高可靠性的半導體裝置。

另外，本發明的一個方式是提供一種能夠防止由靜電破壞引起的良率的下降的半導體裝置。

本發明的一個方式是一種半導體裝置，該半導體裝置在閘極電極層與氧化物半導體層之間包括從閘極電極層一側依次層疊含有氮的矽膜與含有從氧化物半導體層的構成元素中選擇的一種或多種金屬元素的氧化物絕緣層的疊層結構。

與氧化矽膜相比，含有氮的矽膜的介電常數高，因此為了得到相等的靜電容量所需要的厚度大。由此，藉由使用含有氮的矽膜構成閘極絕緣層，可以在物理上加厚閘極絕緣層而可以抑制絕緣耐壓的下降，可以較佳為提高絕緣耐壓。因此，可以抑制這樣的包括閘極絕緣層的半導體裝置的靜電破壞。

較佳的是，將含有氮的矽膜的厚度設定為 325nm 以上且 550nm 以下，更較佳為 355nm 以上且 550nm 以下。此外，作為含有氮的矽膜，使用氮化矽膜較佳。

因為含有氮的矽膜也作為非晶矽或多晶矽等矽類半導體材料的閘極絕緣層被實用化，所以可以轉用製程條件或生產裝置等。因此，藉由將含有氮的矽膜適用於閘極絕緣

層，可以以低成本量產使用氧化物半導體的電晶體。

另外，藉由以接觸於氧化物半導體層的方式設置使用從氧化物半導體層的構成元素中選擇的一種或多種金屬元素的氧化物絕緣層，可以良好地保持該氧化物絕緣層和氧化物半導體層之間的介面狀態，而能夠防止介面的退化。尤其藉由抑制在氧化物絕緣層和氧化物半導體層之間的介面上的載流子的捕獲，可以減少電晶體的光劣化（例如光負偏壓劣化），而能夠得到可靠性高的電晶體。

就是說，根據本發明的一個方式，藉由利用一部分已被實用化的矽類半導體材料的量產技術並採用包括含有氮的矽膜、含有從氧化物半導體層的構成元素中選擇的一種或多種金屬元素的氧化物絕緣層以及氧化物半導體層的疊層結構，來可以提供與使用矽類半導體材料的半導體裝置不同並發揮新效果的半導體裝置。明確而言，可以採用下面的結構。

本發明的一個方式是一種半導體裝置，包括：閘極電極層；閘極電極層上的閘極絕緣層；閘極絕緣層上的氧化物絕緣層；接觸於氧化物絕緣層上並重疊於閘極電極層的氧化物半導體層；以及電連接到氧化物半導體層的源極電極層及汲極電極，其中閘極絕緣層包括含有氮的矽膜，氧化物絕緣層含有從氧化物半導體層的構成元素中選擇的一種或多種金屬元素，閘極絕緣層的厚度比氧化物絕緣層的厚度厚。

在上述半導體裝置中，較佳為氧化物半導體層和氧化

物絕緣層的端部一致。另外，在本說明書等中，一致也包括大概一致。例如，使用同一個遮罩進行蝕刻的疊層結構的層 A 的端部和層 B 的端部被看作一致。

除了接觸於氧化物半導體層的下層而設置的含有從氧化物半導體層的構成元素中選擇的一種或多種金屬元素的氧化物絕緣層和含有氮的矽膜的疊層結構，也可以接觸於氧化物半導體層的上層地設置該疊層結構。藉由採用該結構，可以對半導體裝置賦予穩定的電特性及/或能夠進一步地防止半導體裝置的靜電破壞。

就是說，本發明的另一個方式是一種半導體裝置，包括：閘極電極層；閘極電極層上的閘極絕緣層；閘極絕緣層上的第一氧化物絕緣層；接觸於第一氧化物絕緣層上並重疊於閘極電極層的氧化物半導體層；電連接到氧化物半導體層的源極電極層及汲極電極層；覆蓋源極電極層及汲極電極層並接觸於氧化物半導體層的一部分的第二氧化物絕緣層；以及第二氧化物絕緣層上的保護絕緣層，其中閘極絕緣層及保護絕緣層包括含有氮的矽膜，第一氧化物絕緣層及第二氧化物絕緣層含有從氧化物半導體層的構成元素中選擇的一種或多種的金屬元素，閘極絕緣層的厚度比第一氧化物絕緣層的厚度厚，保護絕緣層的厚度比第二氧化物絕緣層的厚度厚。

另外，在上述半導體裝置中，較佳為氧化物半導體層與第一氧化物絕緣層的端部一致。

另外，在上述半導體裝置的任一種中，閘極絕緣層的

厚度較佳為 325nm 以上且 550nm 以下。另外，作為閘極絕緣層，使用氮化矽膜較佳。

此外，接觸於氧化物半導體層的氧化物絕緣層較佳為包括超過化學計量組成的氧的區域（以下，也稱為氧過剩區域）。藉由使接觸於氧化物半導體層的氧化物絕緣層包括氧過剩區域，可以對氧化物半導體層提供氧。對氧化物半導體來說，氧缺陷成為施體，而在氧化物半導體中生成成為載流子的電子，因此藉由對氧化物半導體層供應氧而填補氧缺陷，來能夠提供可靠性高的電晶體。

藉由本發明的一個方式提供的半導體裝置是利用與實用化了的量產技術相差不多的製造方法製造的具有穩定的電特性和高可靠性的半導體裝置。

另外，藉由本發明的一個方式可以提供能夠防止由靜電破壞引起的良率的下降的半導體裝置。

【圖式簡單說明】

在圖式中：

[圖 1A 至 1C]是示出半導體裝置的一個方式的平面圖及剖面圖；

[圖 2A 至 2C]是示出半導體裝置的一個方式的平面圖及剖面圖；

[圖 3A 至 3D]是示出半導體裝置的製造製程的一個例子的圖；

[圖 4A 至 4C]是說明半導體裝置的一個方式的圖；

[圖 5A 和 5B]是說明半導體裝置的一個方式的圖；

[圖 6A 和 6B]是說明半導體裝置的一個方式的圖；

[圖 7A 和 7B]是說明半導體裝置的一個方式的圖；

[圖 8A 至 8C]是示出電子裝置的圖；

[圖 9A 至 9C]是示出電子裝置的圖；

[圖 10A 至 10C]是示出半導體裝置的一個方式的平面圖及剖面圖；

[圖 11A 至 11C]是示出半導體裝置的一個方式的平面圖及剖面圖；

[圖 12A 和 12B]是 ESR 測試的結果；

[圖 13A 和 13B]是 TDS 測試的結果；

[圖 14]是包含在本發明的一個方式的電晶體中的疊層結構的能帶圖。

【實施方式】

具體實施模式

下面，參照圖式詳細地說明本發明的實施模式。但是，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本發明的方式及詳細內容可以被變換為各種各樣的形式而不侷限於以下說明。從而，本發明不應被看作僅限定於以下實施模式的描述內容。

另外，在以下說明的本發明的結構中，在不同圖式之間共同使用同一符號表示同一部分或具有同樣功能的部分而省略其重複說明。此外，當表示具有相同功能的部分時

有時使用相同的陰影線，而不特別附加元件符號。

另外，在本說明書所說明的每個圖式中，每個結構的大小、膜的厚度或區域為了清晰可見而有時被誇大。因此，不一定侷限於其尺度。

在本說明書等中，為方便起見，附加了第一、第二等序數詞，這些序數詞並不表示製程順序或疊層順序。另外，這些序數詞在本說明書等中不表示用來特定發明的事項的固有名稱。

實施模式 1

在本實施模式中，參照圖 1A 至圖 3D、以及圖 10A 至圖 11C 對半導體裝置及半導體裝置的製造方法的一個方式進行說明。在本實施模式中，作為半導體裝置的一個例子示出包含氧化物半導體層的底閘極型電晶體。

〈半導體裝置的結構例 1〉

圖 1A 至 1C 示出電晶體 300 的結構實例。圖 1A 是電晶體 300 的平面圖，圖 1B 是沿著圖 1A 中的虛線 X1-Y1 的剖面圖，圖 1C 是沿著圖 1A 中的虛線 V1-W1 的剖面圖。

電晶體 300 包含：設置在具有絕緣表面的基板 400 上的閘極電極層 402；設置在閘極電極層 402 上的閘極絕緣層 404；閘極絕緣層 404 上的氧化物絕緣層 406；接觸於氧化物絕緣層 406 上並重疊於閘極電極層 402 的氧化物半

導體層 408；電連接到氧化物半導體層 408 的源極電極層 410a 及汲極電極層 410b。

在電晶體 300 中，閘極絕緣層 404 包含含有氮的矽膜而構成。與氧化矽膜相比，含有氮的矽膜的介電常數高，為了得到相等的靜電容量所需要的厚度大，所以可以在物理上加厚閘極絕緣層。從而，可以抑制電晶體 300 的絕緣耐壓的下降，進而可以藉由提高絕緣耐壓來抑制半導體裝置的靜電破壞。

將閘極絕緣層 404 的厚度至少設定為比氧化物絕緣層 406 厚，較佳的是，設定為 325nm 以上且 550nm 以下，更較佳為 355nm 以上且 550nm 以下。

例如，作為含有氮的矽膜可以舉出氮化矽膜、氮氧化矽膜、氧氮化矽膜。由於氮含量越多介電常數越高，所以採用氮化矽膜較佳。此外，由於與氧化矽的能隙 8eV 相比氮化矽的能隙低，為 5.5eV，相應的固有電阻也低，所以藉由使用氮化矽膜可以賦予更高的耐 ESD 性能。另外，當利用 CVD 法形成氮化矽膜時，不需要使用在利用 CVD 法形成氮氧化矽膜等含有氧及氮的矽膜時使用的作為溫室效應氣體的 N₂O 氣體。注意，在本說明書中，“氧氮化矽膜”是指在其組成中氧含量多於氮含量的膜，而“氮氧化矽膜”是指在其組成中氮含量多於氧含量的膜。

在電晶體 300 中，氧化物絕緣層 406 包含含有從氧化物半導體層 408 的構成元素中選擇的一種或多種金屬元素而構成。藉由採用這種材料構成氧化物絕緣層 406，可以

使與氧化物半導體層 408 的介面穩定化，而能夠抑制電荷在該介面被捕獲。因此，可以防止電晶體的退化，尤其是光劣化，而能夠提供可靠性高的電晶體。

明確而言，作為氧化物絕緣層 406，較佳為設置例如氧化鎵膜（也表示為 GaO_x 。注意， x 不侷限於自然數，包括非自然數）、氧化鎵鋅膜（也表示為 $\text{Ga}_2\text{Zn}_x\text{O}_y$ （ $x=1$ 至 5））、 $\text{Ga}_2\text{O}_3(\text{Gd}_2\text{O}_3)$ 膜、以及鎵的含量多且銮的含量少的絕緣性的 In-Ga-Zn 類氧化物膜等。

也可以使氧化物絕緣層 406 和氧化物半導體層 408 的構成元素為相同，並使兩者的組成不同。例如，作為氧化物半導體層 408，在使用 In-Ga-Zn 類氧化物半導體層的情況下，根據銮（In）和鎵（Ga）的比率，可以控制能隙，因此將氧化物半導體層 408 的原子數比設定為 In : Ga : Zn=1 : 1 : 1 或設定為 In : Ga : Zn=3 : 1 : 2，將氧化物絕緣層 406 的原子數比設定為 In : Ga : Zn=1 : 3 : 2，即可。注意，藉由濺射法可以形成氧化物絕緣層 406 及氧化物半導體層 408，若濺射靶材含有銮，則可以減少成膜時的微粒的發生。因此，較佳為採用含有銮的氧化物絕緣層 406 及含有銮的氧化物半導體層 408。

另外，在圖 1A 至 1C 的電晶體 300 中，表示藉由將氧化物半導體層 408 加工為島狀時的蝕刻處理，將氧化物絕緣層 406 也加工為島狀的例子。由此，氧化物半導體層 408 與氧化物絕緣層 406 的端部一致。

以下說明氧化物半導體層的結構。

氧化物半導體層大致分為單晶氧化物半導體層和非單晶氧化物半導體層。非單晶氧化物半導體層包括非晶氧化物半導體層、微晶氧化物半導體層、多晶氧化物半導體層及 CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor : c 軸配向結晶氧化物半導體) 膜等。

非晶氧化物半導體層具有無序的原子排列並不具有結晶成分。其典型例子是在微小區域中也不具有結晶部而膜整體具有完全的非晶結構的氧化物半導體層。

微晶氧化物半導體層例如包括大於或等於 1nm 且小於 10nm 的尺寸的微晶 (也稱為奈米晶) 。因此，微晶氧化物半導體層的原子排列的有序度比非晶氧化物半導體層高。因此，微晶氧化物半導體層的缺陷態密度低於非晶氧化物半導體層。

CAAC-OS 膜是包含多個結晶部的氧化物半導體層之一，大部分的結晶部為能夠容納在一邊短於 100nm 的立方體的尺寸。因此，有時包括在 CAAC-OS 膜中的結晶部為能夠容納在一邊短於 10nm、短於 5nm 或短於 3nm 的立方體的尺寸。CAAC-OS 膜的缺陷態密度低於微晶氧化物半導體層。下面，詳細說明 CAAC-OS 膜。

在利用透射電子顯微鏡 (TEM : Transmission Electron Microscope) 所得到的 CAAC-OS 膜的影像中，不能明確地觀察到結晶部與結晶部之間的邊界，即晶界 (grain boundary) 。因此，在 CAAC-OS 膜中，不容易產生起因於晶界的電子遷移率的降低。

由從大致平行於樣本面的方向利用 TEM 所得到的 CAAC-OS 膜的影像（剖面 TEM 影像）可知，在結晶部中金屬原子排列為層狀。各金屬原子層具有反映被形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

在本說明書中，“平行”是指在 -10° 以上且 10° 以下的角度的範圍中配置兩條直線的狀態，因此也包括 -5° 以上且 5° 以下的角度的狀態。另外，“垂直”是指在 80° 以上且 100° 以下的角度的範圍中配置兩條直線的狀態，因此也包括 85° 以上且 95° 以下的角度的狀態。

另一方面，由從大致垂直於樣本面的方向利用 TEM 所得到的 CAAC-OS 膜的影像（平面 TEM 影像）可知，在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間沒有確認到金屬原子的排列的有序性。

由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

使用 X 射線繞射 (XRD: X-Ray Diffraction) 裝置對 CAAC-OS 膜進行結構分析。例如，在藉由 out-of-plane 法分析包括 InGaZnO_4 的結晶的 CAAC-OS 膜的情況下，在繞射角度 (2θ) 為 31° 附近有時出現峰值。由於該峰值歸屬於 InGaZnO_4 結晶的 (009) 面，所以可以確認到 CAAC-OS 膜的結晶具有 c 軸配向性並且 c 軸在大致垂直於 CAAC-OS 膜的被形成面或頂面的方向上配向。

另一方面，在藉由從大致垂直於 c 軸的方向使 X 線入射到樣本的 in-plane 法分析 CAAC-OS 膜的情況下，在 2θ 為 56° 附近有時出現峰值。該峰值歸屬於 InGaZnO_4 結晶的 (110) 面。在此，假設樣本是 InGaZnO_4 的單晶氧化物半導體層，在將 2θ 固定為 56° 附近的狀態下，一邊以樣本面的法線向量為軸 (ϕ 軸) 旋轉樣本一邊進行分析 (ϕ 掃描)，此時觀察到六個歸屬於等價於 (110) 面的結晶面的峰值。另一方面，在該樣本是 CAAC-OS 膜的情況下，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能觀察到明確的峰值。

由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸在平行於被形成面或頂面的法線向量的方向上配向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於平行於結晶的 ab 面的面。

注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸在平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向上配向。由此，例如，在藉由蝕刻等改變 CAAC-OS 膜的形狀的情況下，有時結晶的 c 軸未必平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

此外，CAAC-OS 膜中的晶化度未必均勻。例如，在 CAAC-OS 膜的結晶部藉由從 CAAC-OS 膜的頂面近旁產生的結晶生長而形成的情況下，有時頂面附近的區域的晶化

度高於被形成面附近的區域。另外，在對 CAAC-OS 膜添加雜質時，被添加雜質的區域的晶化度變化，有時部分性地形成晶化度不同的區域。

注意，在藉由 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 膜的情況下，除了 2θ 為 31° 附近的峰值之外，有時還觀察到 2θ 為 36° 附近的峰值。 2θ 為 36° 附近的峰值示出不具有 c 軸配向性的結晶包括在 CAAC-OS 膜的一部分中。較佳的是，CAAC-OS 膜在 2θ 為 31° 附近出現峰值並在 2θ 為 36° 附近不出現峰值。

在本說明書中，六方晶系包括三方晶系和菱方晶系。

在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。因此，該電晶體具有高可靠性。

注意，氧化物半導體層 408 例如為包括非晶氧化物半導體層、微晶氧化物半導體層和 CAAC-OS 膜中的任何一個的結構，也可以為它們的混合膜。另外，也可以是上述中的兩種以上的疊層膜。

另外，與氧化物半導體層 408 相比，有時氧化物絕緣層 406 的結晶性低。例如，有時氧化物絕緣層 406 包括非晶部或奈米晶。

作為電晶體 300 的構成要素，也可以包括覆蓋源極電極層 410a 及汲極電極層 410b 並接觸於氧化物半導體層 408 的氧化物絕緣層 412 及/或氧化物絕緣層 412 上的保護絕緣層 414。

作為氧化物絕緣層 412，與氧化物絕緣層 406 同樣，較佳為使用從氧化物半導體層 408 的構成元素中選擇的一種或多種金屬元素構成的層。藉由採用這種材料，可以使氧化物絕緣層 412 和氧化物半導體層 408 之間的介面穩定化。因為氧化物絕緣層 412 是接觸於氧化物半導體層 408 的背通道一側的絕緣層，所以藉由抑制該兩層之間的介面上的電荷捕獲，能夠抑制寄生通道的發生。

此外，藉由以夾著氧化物半導體層 408 的方式設置含有從氧化物半導體層的構成元素中選擇的一種或多種金屬元素的氧化物絕緣層，有阻擋對氧化物半導體層造成影響的雜質（例如氬或金屬元素等）從外部擴散並侵入的功能。由此，藉由以夾著氧化物半導體層或圍繞氧化物半導體層的方式設置該氧化物絕緣層，可以將被圍繞的氧化物半導體層的組成及純度保持為一定，而能夠實現具有穩定的電特性的半導體裝置。

作為保護絕緣層 414，可以使用氧化矽膜、氧化鎳膜、氧化鋁膜、氮化矽膜、氧氮化矽膜、氧氮化鋁膜或氮氧化矽膜等。

〈半導體裝置的結構例 2〉

圖 2A 至 2C 示出電晶體 310 的結構例。圖 2A 是電晶體 310 的平面圖，圖 2B 是沿著圖 2A 中的虛線 X2-Y2 的剖面圖，圖 2C 是沿著圖 2A 的虛線 V2-W2 的剖面圖。

與圖 1A 至 1C 的電晶體 300 同樣，圖 2A 至 2C 所示

的電晶體 310 包括：設置在具有絕緣表面的基板 400 上的閘極電極層 402；設置在閘極電極層 402 上的閘極絕緣層 404；閘極絕緣層 404 上的氧化物絕緣層 406；接觸於氧化物絕緣層 406 上並重疊於閘極電極層 402 的氧化物半導體層 408；電連接到氧化物半導體層 408 的源極電極層 410a 及汲極電極層 410b。此外也可以作為電晶體 310 的構成要素包含覆蓋源極電極層 410a 及汲極電極層 410b 並接觸於氧化物半導體層 408 的氧化物絕緣層 412、以及氧化物絕緣層 412 上的保護絕緣層 414。

電晶體 310 中的閘極絕緣層 404 和氧化物半導體層 408 的結構與電晶體 300 中的結構不同。就是說，在電晶體 310 中閘極絕緣層 404 包含接觸於閘極電極層 402 的閘極絕緣層 404a 及設置在閘極絕緣層 404a 和氧化物絕緣層 406 之間的閘極絕緣層 404b 而構成。此外，在電晶體 310 中，氧化物半導體層 408 包含接觸於氧化物絕緣層 406 的氧化物半導體層 408a 及接觸於氧化物絕緣層 412 的氧化物半導體層 408b 而構成。另外，在電晶體 310 中，閘極絕緣層 404 及氧化物半導體層 408 之外的結構與電晶體 300 的結構相同，可以參考電晶體 300 的說明。

在電晶體 310 中，閘極絕緣層 404a 及閘極絕緣層 404b 包含氮化矽膜。

閘極絕緣層 404a 包含比閘極絕緣層 404b 厚度大且膜中缺陷少的氮化矽膜。例如，將閘極絕緣層 404a 的厚度設定為 300nm 以上且 400nm 以下。另外，對應於在電子

自旋共振 (ESR: Electron Spin Resonance) 法中在 Nc 中心 (g 值為 2.003) 出現的信號的自旋密度較佳為 1×10^{17} spins/cm³ 以下, 更較佳為 5×10^{16} spins/cm³ 以下的氮化矽膜。如此, 藉由作為閘極絕緣層 404a 使用膜中缺陷少且厚度大 (例如, 300nm 以上) 的氮化矽膜, 例如可以將閘極絕緣層 404a 的耐耐受電壓值提高到 300V 以上。

另外, 由於閘極絕緣層 404b 與氧化物半導體層 408 接觸, 所以作為閘極絕緣層 404b 使用含有氫濃度低的氮化矽膜, 該氫濃度至少低於閘極絕緣層 404a 的氫濃度。例如, 在利用電漿 CVD 法形成閘極絕緣層 404a 及閘極絕緣層 404b 的情況下, 藉由降低供應氣體中的氫濃度, 可以使閘極絕緣層 404b 的氫濃度低於閘極絕緣層 404a。明確而言, 當作為閘極絕緣層 404a 及閘極絕緣層 404b 形成氮化矽時, 使用來形成閘極絕緣層 404b 的供應氣體中的氫流量低於用來形成閘極絕緣層 404a 的供應氣體中的氫流量, 或者在不使用氫的情況下形成閘極絕緣層 404b 即可。

另外, 將閘極絕緣層 404b 的厚度設定為 25nm 以上且 150nm 以下。作為閘極絕緣層 404b 設置氫濃度低的氮化矽膜, 這樣可以抑制氫或氫化合物 (例如, 水) 混入氧化物絕緣層 406 及氧化物半導體層 408。由於在氧化物半導體中氫為載流子生成要因而有可能使電晶體的臨界電壓向負漂移 (shift), 所以藉由作為閘極絕緣層 404b 設置氫濃度低的氮化矽膜, 可以使電晶體的電特性穩定化。另

外，藉由作為閘極絕緣層 404b 設置氫濃度低的氮化矽膜，閘極絕緣層 404b 還用作防止閘極絕緣層 404a 所含有的氫或氫化合物等雜質擴散到氧化物絕緣層 406 及氧化物半導體層 408 中的障壁膜。

另外，在本實施模式中，由於閘極絕緣層 404a 及閘極絕緣層 404b 都是氮化矽膜，所以有時根據材料和成膜條件閘極絕緣層之間的介面不明確。因此，在圖 2B 和 2C 中，示意性地以虛線示出閘極絕緣層 404a 與閘極絕緣層 404b 之間的介面。這在下面的各圖式中也是同樣的。

較佳的是，將包含在氧化物半導體層 408 中的氧化物半導體層 408a 和氧化物半導體層 408b 的構成元素設定為相同，並使兩者的組成不同。在作為氧化物半導體層 408a 及氧化物半導體層 408b 形成包含銦及鎵的氧化物半導體層的情況下，較佳的是，將離閘極電極層 402 近的一側（通道一側）的氧化物半導體層 408a 的銦及鎵的含量比設定為 $\text{In} > \text{Ga}$ 。此外，較佳的是，將離閘極電極層 402 遠的一側（背通道一側）的氧化物半導體層 408b 的銦及鎵的含量比設定為 $\text{In} \leq \text{Ga}$ 。

在氧化物半導體中，重金屬的 s 軌道有助於載流子傳導，藉由增加銦的含量比呈現增加 s 軌道的重疊率的傾向，由此具有 $\text{In} > \text{Ga}$ 的組成的氧化物的遷移率比具有 $\text{In} \leq \text{Ga}$ 的組成的氧化物高。另外，Ga 的氧缺陷的形成能量比 In 大而 Ga 不容易產生氧缺陷，由此具有 $\text{In} \leq \text{Ga}$ 的組成的氧化物與具有 $\text{In} > \text{Ga}$ 的組成的氧化物相比具有穩定的特

性。

藉由在通道一側使用具有 $\text{In} > \text{Ga}$ 的組成的氧化物半導體並在背通道一側使用具有 $\text{In} \leq \text{Ga}$ 的組成的氧化物半導體，可以進一步地提高電晶體的遷移率及可靠性。例如，也可以將氧化物半導體層 408a 的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ ，將氧化物半導體層 408b 的原子數比設定為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 。

另外，將接觸於氧化物半導體層 408a 的氧化物絕緣層 406 的構成元素設定為與氧化物半導體層 408a 相同，並使兩者的組成不同，當對氧化物絕緣層 406 賦予絕緣性時，能夠使兩者的介面進一步穩定化，所以這是較佳的。接觸於氧化物半導體層 408b 的氧化物絕緣層 412 也是同樣的。

另外，對氧化物半導體層 408a 及氧化物半導體層 408b 也可以使用結晶性不同的氧化物半導體。就是說，也可以採用適當地組合單晶氧化物半導體、多晶氧化物半導體、奈米晶氧化物半導體、非晶氧化物半導體或 CAAC-OS 的結構。另一方面，非晶氧化物半導體容易吸收氫等雜質，並且，容易產生氧缺陷而容易成為 n 型化。由此，通道一側的氧化物半導體層 408a 較佳為使用 CAAC-OS 等具有結晶性的氧化物半導體。

此外，當對背通道一側的氧化物半導體層 408b 使用非晶氧化物半導體時，由於形成源極電極層 410a 及汲極電極層 410b 時的蝕刻處理發生氧缺陷，而容易被 n 型

化。因此，對氧化物半導體層 408b 較佳為使用具有晶性的氧化物半導體。

圖 14 是在本實施模式的電晶體中層疊閘極絕緣層 GI、氧化物絕緣層 OI1、氧化物半導體層 OS1、OS2、氧化物絕緣層 OI2、以及保護絕緣層 Passi 的結構中的能帶圖（模式圖）。在圖 14 中假設閘極絕緣層、氧化物絕緣層、氧化物半導體層及保護絕緣層都為理想的本質狀態，並且示出作為閘極絕緣層 GI 及保護絕緣層 Passi 使用氮化矽膜（帶隙 E_g 為 5eV ）；作為氧化物絕緣層 OI1 及氧化物絕緣層 OI2 使用 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 的 In-Ga-Zn 類氧化物絕緣層（帶隙 E_g 為 3.6eV ）；作為氧化物半導體層 OS1 使用 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ 的 In-Ga-Zn 類氧化物半導體層（帶隙 E_g 為 2.8eV ）；以及作為氧化物半導體層 OS2 使用 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 的 In-Ga-Zn 類氧化物半導體層（帶隙 E_g 為 3.2eV ）的情況。

另外，在圖 14 中將氧化物絕緣層 OI1、氧化物絕緣層 OI2、氧化物半導體層 OS1 及氧化物半導體層 OS2 的介電常數都假設為 15。另外，將氧化物絕緣層 OI1 及氧化物絕緣層 OI2 的遷移率設定為 $4\text{cm}^2/\text{Vs}$ ，將氧化物半導體層 OS1 的遷移率設定為 $25\text{cm}^2/\text{Vs}$ ，以及將氧化物半導體層 OS2 的遷移率設定為 $10\text{cm}^2/\text{Vs}$ 。此外，將閘極絕緣層 GI 的厚度設定為 325nm ，將氧化物絕緣層 OI1 的厚度設定為 30nm ，將氧化物半導體層 OS1 的厚度設定為 10nm ，將氧化物半導體層 OS2 的厚度設定為 10nm ，將氧

化物絕緣層 OI2 的厚度設定為 30nm，以及將保護絕緣層 Passi 的厚度設定為 300nm 而進行計算。

如圖 14 所示，在氧化物半導體層 OS1 的閘極電極一側（通道一側），氧化物半導體層 OS1 和氧化物絕緣層 OI1 之間的介面存在有勢壘。與此同樣，在氧化物半導體層 OS2 的背通道一側（與閘極電極相反一側），氧化物半導體層 OS2 和氧化物絕緣層 OI2 之間的介面存在有勢壘。因在氧化物半導體層和氧化物絕緣層之間的介面有這種勢壘，阻礙載流子在該介面移動，所以載流子不從氧化物半導體層中移動到氧化物絕緣層中，而在氧化物半導體層中移動。就是說，藉由使用與氧化物半導體相比其帶隙分階段地增大的材料來夾著氧化物半導體層而形成疊層結構，載流子在氧化物半導體層 OS1 及氧化物半導體層 OS2 中移動。

〈半導體裝置的製造方法〉

圖 3A 至 3D 示出電晶體 310 的製造方法的一個例子。

首先，在具有絕緣表面的基板 400 上形成閘極電極層 402。

對可用作具有絕緣表面的基板 400 的基板沒有特別的限制，但是基板 400 需要至少具有能夠承受在後面進行的加熱處理的程度的耐熱性。例如，可以使用諸如硼矽酸鋇玻璃和硼矽酸鋁玻璃等玻璃基板、陶瓷基板、石英基板、

藍寶石基板等。另外，作為基板 400，可以採用以矽或碳化矽等為材料的單晶半導體基板或多晶半導體基板、以矽鍺為材料的化合物半導體基板、SOI 基板等，並且也可以使用在這些基板上設置有半導體元件的基板。

閘極電極層 402 可以使用鉬、鈦、鉭、鎢、鋁、銅、鉻、釹、銦等金屬材料或以上述金屬材料為主要成分的合金材料。此外，閘極電極層 402 可以使用以摻雜有磷等雜質元素的多晶矽膜為代表的半導體膜、鎳矽化物等矽化物膜。閘極電極層 402 既可以是單層結構，又可以是疊層結構。也可以使閘極電極層 402 具有錐形形狀，例如可以將錐角設定為 30° 以上且 70° 以下。在此，錐角是指具有錐形形狀的層的側面與該層的底面之間的角度。

另外，作為閘極電極層 402 的材料還可以使用氧化銮、氧化錫、含有氧化鎢的氧化銮、含有氧化鎢的氧化銮鋅、含有氧化鈦的氧化銮、含有氧化鈦的氧化銮錫、氧化銮氧化鋅、添加有氧化矽的氧化銮錫等導電材料。

或者，作為閘極電極層 402 的材料還可以使用含有氮的 In-Ga-Zn 類氧化物、含有氮的 In-Sn 類氧化物、含有氮的 In-Ga 類氧化物、含有氮的 In-Zn 類氧化物、含有氮的 Sn 類氧化物、含有氮的 In 類氧化物、金屬氮化物膜（氮化銮、氮化鋅、氮化鉭、氮化鎢等）。由於上述材料具有 5eV 以上的功函數，所以藉由使用上述材料形成閘極電極層 402，可以使電晶體的臨界電壓成為正值，由此可以實現常截止（normally-off）的開關電晶體。

接著，以覆蓋閘極電極層 402 的方式形成包含閘極絕緣層 404a 及閘極絕緣層 404b 的閘極絕緣層 404（參照圖 3A）。閘極絕緣層 404 可以採用含有氮的矽膜。在本實施模式中，層疊由氮化矽膜構成的閘極絕緣層 404a 與由氮化矽膜構成的閘極絕緣層 404b 而形成閘極絕緣層 404。從降低面內的不均勻性、微粒的混入以及成膜時間（節拍時間）的觀點來看，有效的是利用 CVD 法形成閘極絕緣層 404。另外，當在大面積基板上進行成膜的情況下 CVD 法也是有效的。

在本實施模式中，利用電漿 CVD 法連續地形成閘極絕緣層 404a 及閘極絕緣層 404b。首先，在以矽烷（ SiH_4 ）、氮（ N_2 ）及氨（ NH_3 ）的混合氣體為供應氣體的狀態下形成用作閘極絕緣層 404a 的氮化矽膜，然後將供應氣體轉換為矽烷（ SiH_4 ）與氮（ N_2 ）的混合氣體並形成用作閘極絕緣層 404b 的氮化矽膜。

在以矽烷（ SiH_4 ）、氮（ N_2 ）及氨（ NH_3 ）的混合氣體為電漿 CVD 法的供應氣體的狀態下形成的氮化矽膜的膜中缺陷少於在以矽烷（ SiH_4 ）與氮（ N_2 ）的混合氣體為供應氣體的狀態下形成的氮化矽膜。因此，閘極絕緣層 404a 的膜中缺陷至少少於閘極絕緣層 404b。例如，可以將對應於在電子自旋共振（ESR）法中在 Nc 中心（ g 值為 2.003）出現的信號的自旋密度設定為 $1 \times 10^{17} \text{spins/cm}^3$ 以下較佳，更較佳的是，設定為 $5 \times 10^{16} \text{spins/cm}^3$ 以下。另外，由於在混合氣體含有氮的狀態下形成的氮化矽膜與以

矽烷與氨的混合氣體為供應氣體的情況相比具有更高的覆蓋性，所以作為與閘極電極層 402 接觸的閘極絕緣層設置使用上述混合氣體而形成的氮化矽膜是有效的。另外，藉由作為閘極絕緣層 404a 使用膜中缺陷少且厚度為 300nm 以上且 400nm 以下的氮化矽膜，可以將閘極絕緣層 404a 的耐受電壓提高到 300V 以上。

另外，在材料氣體不含有氨的情況下形成的閘極絕緣層 404b 的氮濃度比閘極絕緣層 404a 低。藉由將這種膜的厚度設定為 25nm 以上且 150nm 以下並設置在氧化物絕緣層 406 和閘極電極層 402 之間，可以抑制氮從閘極絕緣層 404b 混入氧化物絕緣層 406 及氧化物半導體層 408。另外，閘極絕緣層 404b 還用作防止閘極絕緣層 404a 所含有的氮或氮化合物混入到氧化物絕緣層 406 及氧化物半導體層 408 中的障壁膜。

藉由作為閘極絕緣層 404 層疊膜中缺陷少且厚度大的閘極絕緣層 404a 與氮濃度低的閘極絕緣層 404b，在改善絕緣耐壓的同時可以抑制氮等雜質擴散到氧化物絕緣層 406 及氧化物半導體層 408 中。由此，可以抑制包含該閘極絕緣層 404 的電晶體的靜電破壞，並且可以使電特性穩定化。

接著，在閘極絕緣層 404b 上形成氧化物絕緣層及氧化物半導體層並利用蝕刻處理將其加工為島狀來形成氧化物絕緣層 406、包括氧化物半導體層 408a 及氧化物半導體層 408b 的氧化物半導體層 408（參照圖 3B）。該蝕刻

處理可以使用同一個光遮罩來進行，因此從平面看時的氧化物絕緣層 406 和氧化物半導體層 408 的圖案形狀為相同，且端部一致。

作為氧化物絕緣層 406 設置含有從氧化物半導體層 408 的構成元素中選擇的一種或多種金屬元素的氧化物絕緣層。例如，較佳的是，使用氧化鎵膜、氧化鎵鋅膜、氧化鎵釩膜、或鎵的含量多且銮的含量少的絕緣性的 In-Ga-Zn 類氧化物膜等的絕緣膜。

氧化物半導體層 408 既可以具有非晶結構又可以具有結晶性。在使成膜之後的氧化物半導體層具有非晶結構的情況下，可以藉由在後面的製造製程中進行加熱處理來形成具有結晶性的氧化物半導體層 408。用來使該非晶氧化物半導體層結晶化的加熱處理的溫度為 250℃ 以上且 700℃ 以下，較佳為 400℃ 以上，更較佳為 500℃ 以上，進一步較佳為 550℃ 以上。另外，該加熱處理也可以兼作製造製程中的其他加熱處理。

作為氧化物絕緣層 406 及氧化物半導體層 408 的成膜方法，可以適當地利用濺射法、MBE (Molecular Beam Epitaxy：分子束磊晶) 法、CVD 法、脈衝雷射沉積法、ALD (Atomic Layer Deposition：原子層沉積) 法等。

當形成氧化物絕緣層 406 及氧化物半導體層 408 時，盡可能地降低膜中的氫濃度較佳。為了降低氫濃度，例如，在藉由濺射法進行成膜時，作為供應到濺射裝置的成膜室內的氛圍氣體適當地使用：如氫、水、羥基或者氫化

物等雜質被去除的高純度的稀有氣體（典型的有氫）、氧、稀有氣體和氧的混合氣體。

另外，藉由在去除殘留在成膜室內的水分的同时引入去除了氫及水分的濺射氣體來進行成膜，可以降低所形成的氧化物絕緣層及氧化物半導體層的氫濃度。為了去除殘留在成膜室內的水分，較佳為使用吸附型真空泵，例如，低溫泵、離子泵、鈦昇華泵。此外，也可以使用具備冷阱的渦輪泵。由於低溫泵對如氫分子、水（ H_2O ）等包含氫原子的化合物（還包括包含碳原子的化合物較佳）等進行排出的能力較高，所以可以降低在利用低溫泵進行了排氣的成膜室中形成的膜中的雜質濃度。

另外，較佳的是，以不暴露於大氣的方式連續地形成氧化物絕緣層和氧化物半導體層。藉由以不暴露於大氣的方式連續地形成氧化物絕緣層和氧化物半導體層，可以防止氫或氫化合物（例如，吸著的水等）附著於氧化物絕緣層表面或層疊的氧化物半導體層表面，所以可以抑制雜質的混入。

另外，在藉由濺射法形成氧化物絕緣層或氧化物半導體層的情況下，使用於成膜的金屬氧化物靶材的相對密度（填充率）為 90%以上且 100%以下，較佳為 95%以上且 99.9%以下。藉由使用相對密度高的金屬氧化物靶材，可以形成緻密的膜。

另外，為了降低有可能包含在氧化物半導體層中的雜質的濃度，在將基板 400 保持為高溫的狀態下形成氧化物

半導體層也是有效的。將加熱基板 400 的溫度設定為 150℃ 以上且 450℃ 以下，較佳的是，將基板溫度設定為 200℃ 以上且 350℃ 以下即可。另外，藉由在進行成膜時以高溫加熱基板，可以形成結晶氧化物半導體層。

當作為氧化物半導體層 408 使用 CAAC-OS 膜時，作為獲得該 CAAC-OS 膜的方法，例如可以將成膜溫度設定為 200℃ 以上且 450℃ 以下來形成氧化物半導體層，而實現大致垂直於其表面的 c 軸配向。或者，也可以在形成薄的氧化物半導體層之後，進行 200℃ 以上且 700℃ 以下的加熱處理，而實現大致垂直於其表面的 c 軸配向。或者，也可以在形成薄的第一層之後，進行 200℃ 以上且 700℃ 以下的加熱處理，然後形成第二層，而實現大致垂直於其表面的 c 軸配向。

用於氧化物半導體層 408 的氧化物半導體至少含有銦 (In)。尤其較佳為含有銦及鋅 (Zn)。此外，作為用來減小使用該氧化物半導體的電晶體的電特性的不均勻的穩定劑 (stabilizer)，較佳為除了上述元素以外還含有鎵 (Ga)。此外，作為穩定劑較佳為含有錫 (Sn)、鉿 (Hf)、鋁 (Al) 和銪 (Zr) 中的一種或多種。

另外，作為其他穩定劑，也可以含有鑰系元素的鑰 (La)、鐮 (Ce)、鐮 (Pr)、釹 (Nd)、釷 (Sm)、鎔 (Eu)、釷 (Gd)、鐮 (Tb)、鐮 (Dy)、釷 (Ho)、鐮 (Er)、鐮 (Tm)、鐮 (Yb)、鐮 (Lu) 中的一種或多種。

例如，作為氧化物半導體，可以使用：氧化銦、氧化錫、氧化鋅；二元金屬氧化物的 In-Zn 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物的 In-Ga-Zn 類氧化物、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；以及四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

例如，In-Ga-Zn 類氧化物是指作為主要成分含有 In、Ga、Zn 的氧化物，對 In、Ga、Zn 的比率沒有限制。此外，也可以含有 In、Ga、Zn 以外的金屬元素。

另外，作為氧化物半導體，也可以使用以 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ ，且 m 不是整數) 表示的材料。注意，M 表示選自 Ga、Fe、Mn 和 Co 中的一種金屬元素或多種金屬元素。另外，作為氧化物半導體，也可以使用以 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ ，且 n 是整數) 表示的材料。

例如，可以使用其原子數比為 In:Ga:Zn=1:1:1 ($=1/3:1/3:1/3$)、In:Ga:Zn=2:2:1 ($=2/5:2/5:1/5$) 或 In:Ga:Zn=3:1:2 ($=1/2:1/6:1/3$) 的 In-Ga-Zn 類氧化物或與

其相似的組成的氧化物。或者，較佳的是，使用其原子數比為 $\text{In:Sn:Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In:Sn:Zn}=2:1:3$ ($=1/3:1/6:1/2$) 或 $\text{In:Sn:Zn}=2:1:5$ ($=1/4:1/8:5/8$) 的 In-Sn-Zn 類氧化物或與其相似的組成的氧化物。

注意，使用含有銦的氧化物半導體的電晶體不侷限於此，可以根據所需要的電特性（場效應遷移率、臨界值、不均勻性等）而使用適當的組成的氧化物半導體。另外，較佳的是，採用適當的載流子濃度、雜質濃度、缺陷密度、金屬元素和氧之間的原子數比、原子間距離、密度等，以得到所需要的電特性。

例如，使用 In-Sn-Zn 類氧化物半導體的電晶體可以較容易獲得較高的場效應遷移率。但是，使用 In-Ga-Zn 類氧化物半導體的電晶體也可以藉由降低塊內缺陷密度來提高場效應遷移率。

另外，例如 In 、 Ga 、 Zn 的原子數比為 $\text{In:Ga:Zn}=a:b:c$ ($a+b+c=1$) 的氧化物的組成與原子數比為 $\text{In:Ga:Zn}=A:B:C$ ($A+B+C=1$) 的氧化物的組成相似是指 a 、 b 、 c 滿足如下算式： $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 。 r 例如可以為 0.05 。其他氧化物也是同樣的。

另外，較佳的是，對氧化物絕緣層 406 及/或氧化物半導體層 408 進行用來去除膜中的過剩的氫（包括水及羥基）（脫水化或脫氫化）的加熱處理。將加熱處理的溫度設定為 300°C 以上且 700°C 以下或低於基板的應變點。加熱處理可以在減壓下或氮氛圍下進行。藉由進行該加熱處

理可以去除賦予 n 型導電性的雜質的氫。

另外，用於脫水化或脫氫化的加熱處理只要在形成氧化物絕緣層及/或氧化物半導體層之後就可以在電晶體的製造製程中的任何時序進行。另外，用於脫水化或脫氫化的加熱處理也可以多次進行，還可以兼作其他加熱處理。

另外，在氧化物絕緣層包括氧過剩區域的情況下，在將氧化物絕緣層及氧化物半導體層加工為島狀之前進行用來脫水化或脫氫化的熱處理，這樣能夠防止包含在氧化物絕緣層的氧由於熱處理釋放，所以是較佳的。

在加熱處理中，氮或氮、氬、氫等稀有氣體不包含水、氫等較佳。另外，較佳的是，將引入到加熱處理裝置中的氮或氮、氬、氫等稀有氣體的純度設定為 6N（99.9999%）以上，設定為 7N（99.99999%）以上（即，將雜質濃度設定為 1ppm 以下，較佳設定為 0.1ppm 以下）較佳。

另外，可以在藉由加熱處理對氧化物半導體層 408 進行加熱之後，在維持該加熱溫度的狀態下或在從該加熱溫度降溫的過程中，對相同爐內引入高純度的氧氣體、高純度的一氧化二氮氣體或超乾燥空氣（使用 CRDS（Cavity Ring Down laser Spectroscopy：光腔衰蕩光譜法）方式的露點計進行測試時的水分量是 20ppm（露點換算為 -55℃）以下，較佳的是 1ppm 以下，更較佳的是 10ppb 以下的空氣）。不使氧氣體或一氧化二氮氣體包含水、氫等較佳。或者，較佳的是，將引入到加熱處理裝置中的氧氣體

或一氧化二氮氣體的純度設定為 6N 以上，較佳為 7N 以上（也就是說，將氧氣體或一氧化二氮氣體中的雜質濃度設定為 1ppm 以下，設定為 0.1ppm 以下較佳）。即使在利用脫水化處理或脫氫化處理的雜質排出製程中氧化物半導體的主要構成要素的氧減少，也可以藉由利用氧氣體或一氧化二氮氣體供給氧，來使氧化物半導體層高度純化且電性 i 型（本質）化。

另外，當進行脫水化處理或脫氫化處理時氧化物半導體的主要構成要素的氧有可能脫離而減少，所以可以對經過脫水化處理或脫氫化處理的氧化物半導體層引入氧（至少包括氧自由基、氧原子和氧離子中的一種）來對該層供應氧。

藉由對經過脫水化處理或脫氫化處理的氧化物半導體層引入氧而供應氧，可以使氧化物半導體層高度純化且 i 型（本質）化。包含高度純化了且 i 型（本質）化了的氧化物半導體的電晶體的電特性變動被抑制，所以該電晶體在電性上穩定。

當對氧化物半導體層 408 引入氧時，既可以對氧化物半導體層 408 直接引入氧，又可以以透過在後面形成的絕緣層的方式對氧化物半導體層 408 引入氧。作為氧（至少包括氧自由基、氧原子和氧離子中的一種）的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒式離子植入法、電漿處理等。另外，可以使用含有氧的氣體進行氧的引入處理。作為含有氧的氣體，可以使用氧、一氧化二

氮、二氧化氮、二氧化碳、一氧化碳等。此外，在氧的引入處理中，也可以使含有氧的氣體包含稀有氣體。

例如當藉由離子植入法對氧化物半導體層 408 注入氧離子時，可以將劑量設定為 $1 \times 10^{13} \text{ions/cm}^2$ 以上且 $5 \times 10^{16} \text{ions/cm}^2$ 以下。

此外，也可以將接觸於氧化物半導體層的氧化物絕緣層 406 用作包括氧過剩區域的層，藉由在該氧化物絕緣層 406 和氧化物半導體層 408 接觸的狀態下進行熱處理，來將過剩地包括在氧化物絕緣層 406 中的氧擴散到氧化物半導體層 408 中，以對氧化物半導體層 408 供應氧。該熱處理可以兼用作電晶體的製造製程中的其他熱處理。

為了在氧化物絕緣層 406 中設有氧過剩區域，例如在氧氛圍下形成氧化物絕緣層即可。或者，也可以對形成後的氧化物絕緣層引入氧，來在氧化物絕緣層 406 中形成氧過剩區域。

另外，對氧化物絕緣層 406 或氧化物半導體層 408 供應氧的製程只要在形成氧化物絕緣層或氧化物半導體層之後就可以在電晶體的製造製程中的任何時序進行。另外，氧的引入也可以多次進行。

接著，在氧化物半導體層 408 上形成導電膜並對其進行加工來形成源極電極層 410a 及汲極電極層 410b（參照圖 3C）。

作為源極電極層 410a 及汲極電極層 410b，例如可以使用含有選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的

金屬膜或以上述元素為成分的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）等。另外，還可以在 Al、Cu 等的金屬膜的下側和上側中的一者或兩者上層疊 Ti、Mo、W 等的高熔點金屬膜或它們的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）。另外，源極電極層 410a 及汲極電極層 410b 也可以使用導電金屬氧化物形成。導電金屬氧化物例如可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ）、氧化銦氧化鋅（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或者使這些金屬氧化物材料含有氧化矽的材料。

另外，作為源極電極層 410a 及汲極電極層 410b 可以使用含有氮的 In-Ga-Zn-O 膜、含有氮的 In-Sn-O 膜、含有氮的 In-Ga-O 膜、含有氮的 In-Zn-O 膜、含有氮的 Sn-O 膜、含有氮的 In-O 膜等金屬氮化物膜。由於這些膜含有與氧化物半導體層 408 相同的構成元素，所以可以使源極電極層 410a 或汲極電極層 410b 與氧化物半導體層 408 之間的介面穩定。例如，源極電極層 410a 及汲極電極層 410b 可以採用從與氧化物半導體層 408 接觸的一側依次層疊含有氮的 In-Ga-Zn-O 膜與鎢膜的疊層結構。

接著，以覆蓋源極電極層 410a、汲極電極層 410b 以及露出的氧化物半導體層 408 的方式形成氧化物絕緣層 412。氧化物絕緣層 412 可以使用與氧化物絕緣層 406 相同的材料及相同的製造方法而形成。

然後，在氧化物絕緣層 412 上形成保護絕緣層 414

(參照圖 3D)。

保護絕緣層 414 可以利用電漿 CVD 法、濺射法使用氧化矽膜、氧化鎵膜、氧化鋁膜、氮化矽膜、氧氮化矽膜、氧氮化鋁膜或者氮氧化矽膜等形成。注意，當作為保護絕緣層 414 使用包含氮的矽膜，較佳為使用包含氮化矽膜的層時，進一步可以降低半導體裝置的製造製程中或者形成之後的半導體裝置中的靜電破壞，所以是較佳的。

藉由上述步驟可以形成本實施模式的電晶體 310。

〈半導體裝置的結構例 3〉

圖 10A 至 10C 示出電晶體 320 的結構實例。圖 10A 是電晶體 320 的平面圖，圖 10B 是沿著圖 10A 中的虛線 X3-Y3 的剖面圖，圖 10C 是沿著圖 10A 的虛線 V3-W3 的剖面圖。

與圖 1A 至 1C 的電晶體 300 同樣，圖 10A 至 10C 所示的電晶體 320 包括：設置在具有絕緣表面的基板 400 上的閘極電極層 402；設置在閘極電極層 402 上的閘極絕緣層 404；閘極絕緣層 404 上的氧化物絕緣層 406；接觸於氧化物絕緣層 406 上並重疊於閘極電極層 402 的氧化物半導體層 408；電連接到氧化物半導體層 408 的源極電極層 410a 及汲極電極層 410b。此外也可以作為電晶體 320 的構成要素包含覆蓋源極電極層 410a 及汲極電極 410b 並接觸於氧化物半導體層 408 的氧化物絕緣層 412、以及氧化物絕緣層 412 上的保護絕緣層 414。

電晶體 320 中的閘極絕緣層 404 和氧化物半導體層 408 的結構與電晶體 300 中的不同。就是說，在電晶體 320 中閘極絕緣層 404 包含接觸於閘極電極層 402 的閘極絕緣層 404c、閘極絕緣層 404c 上的閘極絕緣層 404a 及設置在閘極絕緣層 404a 和氧化物絕緣層 406 之間的閘極絕緣層 404b 而構成。此外，在電晶體 320 中，與電晶體 310 同樣，氧化物半導體層 408 包含接觸於氧化物絕緣層 406 的氧化物半導體層 408a 及接觸於氧化物絕緣層 412 的氧化物半導體層 408b 而構成。

另外，在電晶體 320 中，閘極絕緣層 404 及氧化物半導體層 408 之外的結構與電晶體 300 的相同，可以參考電晶體 300 的說明。

另外，包含在電晶體 320 中的氧化物半導體層 408 的結構與電晶體 310 相同，可以參照電晶體 310 的說明。另外，在電晶體 320 中示出在氧化物半導體層 408b 中，與絕緣層 412 接觸的區域的厚度小於與源極電極層 410a 或汲極電極層 410b 接觸的區域的厚度。藉由當對成為源極電極層 410a 及汲極電極層 410b 的導電膜進行加工時對其一部分進行蝕刻，或者藉由在形成源極電極層 410a 及汲極電極層 410b 之後對氧化物半導體層 408b 的露出的區域進行蝕刻處理來可以形成該厚度小的區域。該厚度小的區域用作電晶體 320 的通道形成區域。藉由減小通道形成區域的厚度，可以使與源極電極層 410a 以及汲極電極層 410b 接觸的區域的電阻小於通道形成區。因此，可以

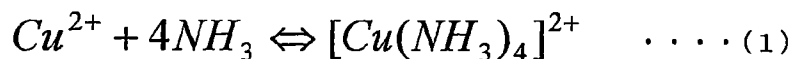
降低氧化物半導體層 408 與源極電極層 410a 及汲極電極層 410b 之間的接觸電阻。

包括在電晶體 320 中的閘極絕緣層 404 包含接觸於閘極電極層 402 的閘極絕緣層 404c、接觸於閘極絕緣層 404c 上的閘極絕緣層 404a 及接觸於氧化物絕緣層 406 的閘極絕緣層 404b 而構成。

在本實施模式中，作為閘極絕緣層 404c、閘極絕緣層 404a 及閘極絕緣層 404b 使用氮化矽膜，各閘極絕緣層利用電漿 CVD 法連續地形成。首先，在以矽烷 (SiH_4)、氮 (N_2) 的混合氣體為供應氣體的狀態下形成用作閘極絕緣層 404c 的氮化矽膜之後，將供應氣體轉換為矽烷 (SiH_4)、氮 (N_2) 及氨 (NH_3) 的混合氣體而形成用作閘極絕緣層 404a 的氮化矽膜，然後將供應氣體轉換為矽烷 (SiH_4) 與氮 (N_2) 的混合氣體並形成用作閘極絕緣層 404b 的氮化矽膜。

藉由供應矽烷 (SiH_4) 與氮 (N_2) 的混合氣體形成的閘極絕緣層 404c 中的成膜時或膜中的氮至少少於藉由供應矽烷 (SiH_4)、氮 (N_2) 及氨 (NH_3) 的混合氣體形成的閘極絕緣層 404a 中的成膜氛圍中或膜中的氮。由於氮原子中的孤電子對的作用，氮用作金屬錯合物的配體。因此，例如在將銅用於閘極電極層 402 的情況下，如果以與該閘極電極層接觸的方式形成氮含量多的閘極絕緣層，則藉由如下算式 1 所示的反應銅有可能擴散到閘極絕緣層中。

[算式 1]



在圖 10A 至 10C 所示的電晶體 320 中，藉由以與閘極電極層 402 接觸的方式形成氮含量至少比閘極絕緣層 404a 低的閘極絕緣層 404c，可以抑制閘極電極層 402 的材料（例如，銅）擴散到閘極絕緣層 404 中。換句話說，閘極絕緣層 404c 可以用作構成閘極電極層 402 的金屬材料的障壁膜。藉由設置閘極絕緣層 404c，可以進一步提高電晶體的可靠性。

另外，在包括於電晶體 320 中的閘極絕緣層 404 中，閘極絕緣層 404a 及閘極絕緣層 404b 可以採用與電晶體 310 相同的結構。藉由設置具有上述結構的閘極絕緣層，可以防止電晶體的靜電破壞並可以對電晶體賦予穩定的電特性，由此可以獲得可靠性高的半導體裝置。

將閘極絕緣層 404c 的厚度設定為 30nm 以上且 100nm 以下，較佳的是，設定為 30nm 以上且 50nm 以下。另外，如上所述，較佳的是，將用來防止電晶體的靜電破壞而設置的閘極絕緣層 404a 的厚度設定為 300nm 以上且 400nm 以下，較佳的是，將用作防止氮擴散到氧化物半導體層 408 中的障壁膜的閘極絕緣層 404b 的厚度設定為 25nm 以上且 150nm 以下。注意，較佳的是，適當地調節各閘極絕緣層的厚度，來使閘極絕緣層 404 的厚度（閘極絕緣層 404c、閘極絕緣層 404a 及閘極絕緣層 404b 的厚度

的總和) 為 355nm 以上且 550nm 以下。

〈半導體裝置的結構例 4〉

圖 11A 至 11C 示出電晶體 330 的結構實例。圖 11A 是電晶體 330 的平面圖，圖 11B 是沿著圖 11A 中的虛線 X4-Y4 的剖面圖，圖 11C 是沿著圖 11A 的虛線 V4-W4 的剖面圖。

圖 11A 至 11C 所示的電晶體 330 包括：設置在具有絕緣表面的基板 400 上的閘極電極層 402；設置在閘極電極層 402 上的閘極絕緣層 404；閘極絕緣層 404 上的氧化物絕緣層 406；接觸於氧化物絕緣層 406 上並重疊於閘極電極層 402 的氧化物半導體層 408；電連接到氧化物半導體層 408 的源極電極層 410a 及汲極電極層 410b；覆蓋源極電極層 410a 及汲極電極層 410b 並接觸於氧化物半導體層 408 的氧化物絕緣層 412；以及氧化物絕緣層 412 上的保護絕緣層 414。

在電晶體 330 中，保護絕緣層 414 具有接觸於氧化物絕緣層 412 的保護絕緣層 414a 與保護絕緣層 414a 上的保護絕緣層 414b 的疊層結構，分別可以使用氮化矽膜。

保護絕緣層 414a 可以採用與電晶體 310 的閘極絕緣層 404b 相同的結構。藉由設置保護絕緣層 414a，能夠抑制氫或氫化合物混入於氧化物絕緣層 412、以及氧化物半導體層 408 中，因此可以使電晶體的電特性進一步穩定化。

保護絕緣層 414b 可以採用與電晶體 310 的閘極絕緣層 404a 相同的結構。藉由設置保護絕緣層 414b，可以進一步地降低製造製程中或形成後的半導體裝置的靜電破壞。

另外，電晶體 330 中的其他構成要素可以採用與電晶體 310 相同的構成要素，而可以參照電晶體 310 的說明。

另外，雖然圖 1A 至圖 2C、圖 10A 至圖 11C 所示的電晶體的結構彼此有所不同，但是本發明的一個方式不侷限於上述結構，可以彼此組合而採用各種結構。

在本實施模式所示的電晶體中，作為閘極絕緣層包含厚度大（例如，325nm 以上且 550nm 以下）的含有氮的矽膜，並且在該閘極絕緣層和氧化物半導體層之間包括含有從氧化物半導體層的構成元素中選擇的一種或多種金屬元素而構成的氧化物絕緣層。含有氮的矽膜可以適用已被實用化的量產技術來形成，此外，藉由設置厚度大的含有氮的矽膜，可以在物理上加厚閘極絕緣層，而能夠抑制電晶體的絕緣耐壓的降低，而且提高絕緣耐壓可以抑制半導體裝置的靜電破壞。此外，藉由包含氧化物絕緣層，可以使與氧化物半導體層的介面穩定化，而能夠抑制電荷在該介面被捕獲。因此，可以防止電晶體的退化，而能夠提供可靠性高的電晶體。

以上，本實施模式所示的結構、方法等可以與其他實施模式所示的結構、方法等適當地組合而使用。

實施模式 2

藉由使用實施模式 1 所示的電晶體可以製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，藉由將包括電晶體的驅動電路的一部分或全部與像素部一體地形成在相同的基板上，可以形成系統整合型面板（system-on-panel）。

在圖 4A 中，以圍繞設置在基板 4001 上的像素部 4002 的方式設置密封材料 4005，使用基板 4006 進行密封。在圖 4A 中，在基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在 IC 晶片或另行準備的基板上的掃描線驅動電路 4004、信號線驅動電路 4003。此外，藉由信號線驅動電路 4003 和掃描線驅動電路 4004 供應到像素部 4002 的各種信號及電位由 FPC（Flexible printed circuit：撓性印刷電路）4018a 及 4018b 供應。

在圖 4B 和 4C 中，以圍繞設置在基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有基板 4006。因此，像素部 4002、掃描線驅動電路 4004 與顯示元件一起由基板 4001、密封材料 4005 以及基板 4006 密封。在圖 4B 和 4C 中，在基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在 IC 晶片或另行準備的基板上的信號線驅動電路 4003。在圖 4B 和 4C 中，藉由信

號線驅動電路 4003 和掃描線驅動電路 4004 供應到像素部 4002 的各種信號及電位由 FPC4018 供應。

此外，圖 4B 和 4C 示出另行形成信號線驅動電路 4003 並且將該信號線驅動電路 4003 安裝到基板 4001 的例子，但是不侷限於該結構。既可以另行形成掃描線驅動電路並進行安裝，又可以僅另行形成信號線驅動電路的一部分或者掃描線驅動電路的一部分並進行安裝。

另外，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG (Chip On Glass: 玻璃上晶片) 方法、打線接合方法、TAB (Tape Automated Bonding: 捲帶式自動接合) 方法等。圖 4A 是藉由 COG 方法安裝信號線驅動電路 4003、掃描線驅動電路 4004 的例子，圖 4B 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，圖 4C 是藉由 TAB 方法安裝信號線驅動電路 4003 的例子。

此外，顯示裝置包括顯示元件處於密封狀態的面板和在該面板中安裝有包括控制器的 IC 等狀態的模組。注意，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置或光源 (包括照明設備)。另外，顯示裝置除了密封有顯示元件的面板之外還包括：安裝有諸如 FPC 或 TCP 的連接器的模組；在 TCP 的端部設置有印刷線路板的模組；或者藉由 COG 方法將 IC (積體電路) 直接安裝到顯示元件的模組。

此外，設置在基板上的像素部及掃描線驅動電路具有多個電晶體，可以應用實施模式 1 所示的電晶體。

作為設置在顯示裝置中的顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）。發光元件包括由電流或電壓控制亮度的元件，明確而言，包括無機 EL（Electro Luminescence：電致發光）、有機 EL 等。此外，也可以應用電子墨水顯示裝置（電子紙）等的對比度因電作用而發生變化的顯示媒介。

使用圖 4A 至圖 6B 對半導體裝置的一個方式進行說明。圖 6A 和 6B 相當於沿著圖 4B 的線 M-N 的剖面圖。

如圖 4A 至 4C 以及圖 6A 和 6B 所示那樣，半導體裝置包括連接端子電極 4015 及端子電極 4016，連接端子電極 4015 及端子電極 4016 藉由各向異性導電層 4019 電連接到 FPC4018、FPC4018b 所具有的端子。

連接端子電極 4015 由與第一電極層 4034 相同的導電層形成，並且，端子電極 4016 由與電晶體 4010、4011 的源極電極層及汲極電極層相同的導電層形成。

此外，設置在基板 4001 上的像素部 4002、掃描線驅動電路 4004 具有多個電晶體，在圖 6A 和 6B 中例示出像素部 4002 所包括的電晶體 4010 以及掃描線驅動電路 4004 所包括的電晶體 4011。在圖 6A 中，在電晶體 4010、4011 上設置有氧化物絕緣層 4030、以及保護絕緣層 4032，在圖 6B 中還設置有用作平坦化絕緣層的絕緣層 4021。

作為電晶體 4010、4011，可以使用實施模式 1 所示的電晶體。在本實施模式中示出應用具有與實施模式 1 所

示的電晶體 300 相同的結構的電晶體的例子。電晶體 4010、4011 是底閘極結構的電晶體。

在電晶體 4010、4011 中，作為接觸於氧化物半導體層的絕緣層的氧化物絕緣層 4020b 及氧化物絕緣層 4030，使用含有從氧化物半導體層的構成元素中選擇的一種或多種金屬元素的氧化物絕緣層，並且電晶體 4010、4011 包含用作閘極絕緣層 4020a 的厚度大（例如，厚度為 325nm 以上且 550nm 以下）且含有氮的矽膜。因此，電晶體 4010、4011 的電特性變動及靜電破壞得到抑制。

此外，可以在與驅動電路用的電晶體 4011 的氧化物半導體層的通道形成區域重疊的位置還設置導電層。藉由將導電層設置在與氧化物半導體層的通道形成區域重疊的位置，可以進一步降低電晶體 4011 的臨界電壓的變化量。此外，導電層的電位可以與電晶體 4011 的閘極電極層的電位相同或不同，並且，還可以將導電層用作第二閘極電極層。此外，導電層的電位可以處於浮動狀態。

此外，該導電層還具有遮蔽外部的電場，即不使外部的電場作用到內部（包括電晶體的電路部）的功能（尤其是，遮蔽靜電的靜電遮蔽功能）。藉由利用導電層的遮蔽功能，可以防止由於靜電等外部的電場的影響而使電晶體的電特性變動。

設置在像素部 4002 中的電晶體 4010 與顯示元件電連接，而構成顯示面板。顯示元件只要能夠進行顯示就沒有特別的限制，而可以使用各種各樣的顯示元件。

圖 6A 示出作為顯示元件使用液晶元件的液晶顯示裝置的例子。在圖 6A 中，液晶元件 4013 包括第一電極層 4034、第二電極層 4031 以及液晶層 4008。另外，以夾持液晶層 4008 的方式設置有用作對準膜的絕緣層 4038、4033。第二電極層 4031 設置在基板 4006 一側，第一電極層 4034 和第二電極層 4031 隔著液晶層 4008 而層疊。

此外，間隔物 4035 是藉由對絕緣層進行選擇性地蝕刻而獲得的柱狀間隔物，並且它是為了控制液晶層 4008 的厚度（單元間隙（cell gap））而設置的。另外，也可以使用球狀間隔物。

當作為顯示元件使用液晶元件時，可以使用熱致液晶、鐵電液晶、反鐵電液晶等。上述液晶材料既可以是低分子化合物又可以是高分子化合物。上述液晶材料（液晶組成物）根據條件而呈現膽固醇相、近晶相、立方相、手性向列相、各向同性相等。

另外，也可以作為液晶層 4008 使用不使用對準膜的呈現藍相的液晶組成物。此時，液晶層 4008 與第一電極層 4034 和第二電極層 4031 接觸。藍相是液晶相的一種，是指當使膽固醇相液晶的溫度上升時即將從膽固醇相轉變到各向同性相之前出現的相。使用混合了液晶及手性試劑的液晶組成物可以呈現藍相。此外，為了擴大呈現藍相的溫度範圍，對呈現藍相的液晶組成物添加聚合性單體及聚合引發劑等，藉由進行高分子穩定化的處理來可以形成液晶層。由於呈現藍相的液晶組成物的回應時間短，並且其

具有光學各向同性，所以不需要配向處理，且視角依賴性小。另外，由於不需要設置對準膜而不需要摩擦處理，因此可以防止由於摩擦處理而引起的靜電損壞，並可以降低製造製程中的液晶顯示裝置的故障、破損。因此，可以提高液晶顯示裝置的生產率。

此外，液晶材料的固有電阻為 $1 \times 10^9 \Omega \cdot \text{cm}$ 以上，較佳為 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上，更較佳為 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上。另外，本說明書中的固有電阻值為在 20°C 下測量的值。

考慮到配置在像素部中的電晶體的洩漏電流等而以能夠在所定的期間中保持電荷的方式設定設置在液晶顯示裝置中的儲存電容器的大小。根據電晶體的關態電流（off-state current）等設定儲存電容器的大小即可。藉由使用具有本說明書所公開的氧化物半導體層的電晶體，設置具有各像素中的液晶電容的 $1/3$ 以下，較佳為 $1/5$ 以下的電容的儲存電容器，就足夠了。

使用本說明書所公開的氧化物半導體層的電晶體可以將截止狀態下的電流值（關態電流值）控制為低。因此，可以延長影像信號等電信號的保持時間，也可以延長寫入間隔。因此，可以降低更新工作的頻率，所以有抑制耗電量的效果。

此外，使用本說明書所公開的氧化物半導體層的電晶體可以得到較高的場效應遷移率，所以能夠進行高速驅動。例如，藉由將這種電晶體用於液晶顯示裝置，可以在同一基板上形成像素部的開關電晶體及用於驅動電路部的

驅動電晶體。另外，在像素部中也藉由使用這種電晶體，可以提供高品質的影像。

液晶顯示裝置可以採用 TN (Twisted Nematic : 扭曲向列) 模式、IPS (In-Plane-Switching : 平面內轉換) 模式、FFS (Fringe Field Switching : 邊緣電場轉換) 模式、ASM (Axially Symmetric aligned Micro-cell : 軸對稱排列微單元) 模式、OCB (Optical Compensated Birefringence : 光學補償彎曲) 模式、FLC (Ferroelectric Liquid Crystal : 鐵電性液晶) 模式、AFLC (Anti Ferroelectric Liquid Crystal : 反鐵電性液晶) 模式等。

此外，也可以使用常黑型液晶顯示裝置，例如採用垂直配向 (VA) 模式的透過型液晶顯示裝置。作為垂直配向模式，可以舉出幾個例子，例如可以使用 MVA (Multi-Domain Vertical Alignment : 多象限垂直配向) 模式、PVA (Patterned Vertical Alignment : 垂直配向構型) 模式、ASV (Advanced Super View : 高級超視覺) 模式等。另外，也可以用於 VA 型液晶顯示裝置。VA 型液晶顯示裝置是一種控制液晶顯示面板的液晶分子的排列的方式。VA 型液晶顯示裝置是在不被施加電壓時液晶分子朝向垂直於面板的方向的方式。此外，也可以使用將像素 (pixel) 分成幾個區域 (子像素) 且使分子分別倒向不同方向的被稱為多疇化或多域設計的方法。

此外，在顯示裝置中，適當地設置黑矩陣 (遮光層)、偏振構件、相位差構件、抗反射構件等的光學構件

(光學基板)等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。此外，作為光源，也可以使用背光、側光燈等。

此外，作為像素部中的顯示方式，可以採用逐行掃描方式或隔行掃描方式等。此外，作為當進行彩色顯示時在像素中控制的顏色因素，不侷限於 RGB (R 表示紅色，G 表示綠色，B 表示藍色) 這三種顏色。例如，也可以採用 RGBW (W 表示白色) 或對 RGB 追加黃色 (yellow)、青色 (cyan)、洋紅色 (magenta) 等中的一種顏色以上的顏色。另外，各個色素的點的顯示區域的大小可以不同。但是，所公開的發明不侷限於彩色顯示的顯示裝置，而也可以應用於單色顯示的顯示裝置。

此外，作為顯示裝置所包括的顯示元件，可以應用利用電致發光的發光元件。利用電致發光的發光元件根據發光材料是有機化合物還是無機化合物被區分，一般地，前者被稱為有機 EL 元件，而後者被稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子及電洞分別從一對電極注入到包括發光性有機化合物的層，於是電流流過。並且，藉由這些載流子 (電子及電洞) 的重新結合，發光性有機化合物形成激發態，當從該激發態回到基態時發光。由於這種機制，這種發光元件被稱為電流激發型發光元件。在本實施模式中，示出作為發光元件使用有機 EL 元件的例子。

無機 EL 元件根據其元件結構而分類為分散型無機 EL

元件和薄膜型無機 EL 元件。分散型無機 EL 元件具有發光材料的粒子分散在黏合劑中的發光層，其發光機制是利用施體能階和受體能階的施體-受體重新結合型發光。薄膜型無機 EL 元件具有發光層夾在介電層之間且該介電層由電極夾住的結構，其發光機制是利用金屬離子的內殼層電子躍遷的定域型發光 (localized type light emission)。在此，作為發光元件使用有機 EL 元件進行說明。

為了取出發光，使發光元件的一對電極中的至少一個具有透光性即可。並且，在基板上形成電晶體及發光元件，作為發光元件，有：從與基板相反一側的表面取出發光的頂部發射結構的發光元件；從基板一側的表面取出發光的底部發射結構的發光元件；以及從基板一側及與基板相反一側的表面取出發光的雙面發射結構的發光元件，可以應用上述任一種發射結構的發光元件。

圖 5A、圖 5B 及圖 6B 示出作為顯示元件使用發光元件的發光裝置的例子。

圖 5A 是發光裝置的剖面圖，圖 5A 中的以點劃線 S1-T1、S2-T2 及 S3-T3 切斷的剖面相當於圖 5B。另外，在圖 5A 的平面圖中，省略電致發光層 542 及第二電極層 543 而未圖示。

圖 5A 和 5B 所示的發光裝置在基板 500 上具有電晶體 510、電容元件 520、佈線層交叉部 530，電晶體 510 與發光元件 540 電連接。另外，圖 5A 和 5B 示出經過基板 500 從發光元件 540 取光的底面發射型結構的發光裝

置。

作為電晶體 510，可以使用實施模式 1 所示的電晶體。在本實施模式中示出應用具有與實施模式 1 所示的電晶體 300 相同的結構的電晶體的例子。電晶體 510 是底閘極結構的電晶體。

電晶體 510 包括閘極電極層 511a、511b、閘極絕緣層 502、氧化物絕緣層 512、氧化物半導體層 514、用作源極電極層或汲極電極層的導電層 513a、513b。

在電晶體 510 中，作為接觸於氧化物半導體層 514 的絕緣層的氧化物絕緣層 512，使用含有從氧化物半導體層 514 的構成元素中選擇的一種或多種金屬元素的氧化物絕緣層，並且作為閘極絕緣層 502，包含厚度大（例如，厚度為 325nm 以上且 550nm 以下）且含有氮的矽膜。藉由採用這種結構，能夠抑制電荷在氧化物半導體層 514 和氧化物絕緣層 512 之間的介面被捕獲，而可以提供電特性良好的電晶體 510。此外，也可以防止電晶體 510 的靜電破壞。因此，能夠以高良率提供高可靠性的半導體裝置。注意，作為接觸於氧化物半導體層 514 上的絕緣層 524，較佳為使用具有與氧化物絕緣層 512 相同的結構的氧化物絕緣層。另外，作為接觸於絕緣層 524 上的絕緣層 525，較佳為使用與氧化物絕緣層 502 相同的結構的絕緣層。

電容元件 520 包括導電層 521a、521b、閘極絕緣層 502、氧化物絕緣層 522、氧化物半導體層 526 以及導電層 523，並且以由導電層 521a、521b 以及導電層 523 夾

著閘極絕緣層 502、氧化物絕緣層 522 及氧化物半導體層 526 的結構來形成電容器。

佈線層交叉部 530 是閘極電極層 511a、511b 和導電層 533 的交叉部，並且閘極電極層 511a、511b 和導電層 533 隔著閘極絕緣層 502 交叉。

在本實施模式中，作為閘極電極層 511a 及導電層 521a 使用 30nm 厚的鈦膜，作為閘極電極層 511b 及導電層 521b 使用 200nm 厚的銅薄膜。因此，閘極電極層具有鈦膜和銅薄膜的疊層結構。

作為氧化物半導體層 514、526 使用 25nm 厚的 In-Ga-Zn-O 膜。

在電晶體 510、電容元件 520、佈線層交叉部 530 上形成有層間絕緣層 504，並且在層間絕緣層 504 上的與發光元件 540 重疊的區域設置有彩色濾光層 505。在層間絕緣層 504 及彩色濾光層 505 上設置有用作平坦化絕緣層的絕緣層 506。

在絕緣層 506 上設置有包含依次層疊第一電極層 541、電致發光層 542、第二電極層 543 的疊層結構的發光元件 540。藉由在到達導電層 513a 且形成在絕緣層 506 及層間絕緣層 504 中的開口中第一電極層 541 與導電層 513a 接觸，發光元件 540 與電晶體 510 電連接。此外，以覆蓋第一電極層 541 的一部分及該開口的方式設置有隔壁 507。

作為絕緣層 506 可以使用 1500nm 厚的感光性丙烯酸

膜，作為隔壁 507 可以使用 1500nm 厚的感光性聚醯亞胺膜。

作為彩色濾光層 505，例如可以使用彩色的透光樹脂。作為彩色透光樹脂，可以使用感光性有機樹脂、非感光性有機樹脂。當使用感光性有機樹脂層時，可以減少光阻遮罩數量而簡化製程，所以是較佳的。

彩色是指如黑色、灰色和白色等無彩色以外的顏色。彩色濾光層由只使彩色的光透過的材料形成。至於彩色，可以使用紅色、綠色、藍色等。另外，還可以使用青色（cyan）、洋紅色（magenta）、黃色（yellow）等。只使彩色的光透過意味著：透過彩色濾光層的光在其彩色的光的波長中具有峰值。關於彩色濾光層的厚度，可以根據所包含的著色材料的濃度與光的透過率的關係適當地控制為最適合的膜厚度即可。例如，將彩色濾光層 505 的厚度設定為 1500nm 以上且 2000nm 以下，即可。

在圖 6B 所示的發光裝置中，發光元件 4513 與設置在像素部 4002 中的電晶體 4010 電連接。另外，發光元件 4513 的結構是第一電極層 4034、電致發光層 4511、第二電極層 4031 的疊層結構，但是，不侷限於所示的結構。根據從發光元件 4513 取出的光的方向等，可以適當地改變發光元件 4513 的結構。

隔壁 4510、507 使用有機絕緣材料或無機絕緣材料形成。尤其是，較佳為使用感光樹脂材料，在第一電極層 4034、541 上形成開口部，並且將該開口部的側壁形成為

具有連續曲率的傾斜面。

電致發光層 4511、542 可以使用一個層構成，也可以使用多個層的疊層構成。

為了防止氧、氫、水分、二氧化碳等侵入到發光元件 4513、540 中，也可以在第二電極層 4031、543 及隔壁 4510、507 上形成保護膜。作為保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC 膜等。

另外，為了不使氧、氫、水分、二氧化碳等侵入到發光元件 4513、540，也可以藉由蒸鍍法形成覆蓋發光元件 4513、540 的包含有機化合物的層。

此外，在由基板 4001、4006 以及密封材料 4005 密封的空間中設置有填充材料 4514 並被密封。如此，為了不暴露於外部氣體，較佳為使用氣密性高且脫氣少的保護薄膜（黏合薄膜、紫外線固化樹脂薄膜等）、覆蓋材料封裝（封入）。

作為填充材料 4514，除了氮或氫等惰性氣體以外，也可以使用紫外線固化樹脂、熱固性樹脂，例如可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺樹脂、環氧樹脂、矽樹脂、PVB（聚乙烯醇縮丁醛）或 EVA（乙烯-醋酸乙烯酯共聚物）。例如，作為填充材料可以使用氮。

另外，如果需要，也可以在發光元件的射出表面上適當地設置諸如偏光板或者圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$ 板， $\lambda/2$ 板）、彩色濾光片等的光學薄膜。此外，也可以在偏光板或圓偏光板上設置防反射膜。

例如，可以進行抗眩光處理，該處理是利用表面的凹凸來擴散反射光而可以降低眩光的處理。

此外，作為顯示裝置，也可以提供驅動電子墨水的電子紙。電子紙也稱為電泳顯示裝置（電泳顯示器），並具有如下優點：與紙同樣的易讀性；其耗電量比其他顯示裝置的耗電量低；形狀薄且輕。

作為電泳顯示裝置，可以有各種各樣的形式，但是它是包括具有正電荷的第一粒子和具有負電荷的第二粒子的多個微膠囊分散在溶劑中，並且，藉由對微膠囊施加電場，使微膠囊中的粒子向彼此相反的方向移動，以只顯示集合在一側的粒子的顏色的裝置。另外，第一粒子或第二粒子包括染料，當沒有電場時不移動。此外，第一粒子的顏色和第二粒子的顏色不同（包括無色）。

分散有上述微囊的溶劑被稱為電子墨水。還可以藉由使用彩色濾光片、具有色素的粒子來進行彩色顯示。

另外，在圖 4A 至圖 6B 中，作為基板 4001、500、4006，除了玻璃基板以外，也可以使用撓性的基板。例如，可以使用具有透光性的塑膠基板等。作為塑膠，可以使用 FRP（Fiberglass-Reinforced Plastics：玻璃纖維強化塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。此外，若不需要透光性，也可以使用鋁或不鏽鋼等的金屬基板（金屬薄膜）。例如，也可以使用具有由 PVF 薄膜或聚酯薄膜夾住鋁箔的結構的薄片。

另外，作為用作平坦化絕緣層的絕緣層 4021、506，

可以使用丙烯酸樹脂、聚醯亞胺樹脂、苯並環丁烯類樹脂、聚醯胺樹脂、環氧樹脂等具有耐熱性的有機材料。此外，除了上述有機材料以外，還可以使用矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等低介電常數材料（low-k 材料）。另外，也可以藉由層疊多個由上述材料形成的絕緣層形成絕緣層 4021、506。

對絕緣層 4021、506 的形成方法沒有特別的限制，可以根據其材料利用濺射法、旋塗法、浸漬法、噴塗法、液滴噴射法（噴墨法等）、印刷法（絲網印刷、膠版印刷等）等。

作為第一電極層 4034、541、第二電極層 4031、543，可以使用含有氧化鎢的銦氧化物、含有氧化鎢的銦鋅氧化物、含有氧化鈦的銦氧化物、含有氧化鈦的銦錫氧化物、銦錫氧化物（以下，表示為 ITO）、銦鋅氧化物、添加了氧化矽的銦錫氧化物、石墨烯等具有透光性的導電材料。

此外，第一電極層 4034、541、第二電極層 4031、543 可以使用鎢（W）、鉬（Mo）、鋯（Zr）、鈦（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）、銀（Ag）等金屬、其合金或者其金屬氮化物中的一種或多種來形成。

在本實施模式中，圖 5A 和 5B 所示的發光裝置是底部發射型，所以第一電極層 541 具有透光性，第二電極層

543 具有反射性。因此，當作為第一電極層 541 使用金屬膜時，將該金屬膜的厚度形成得薄到具有透光性的程度。當作為第二電極層 543 使用具有透過性的導電層時，可以層疊具有反射性的導電層。

此外，第一電極層 4034、541、第二電極層 4031、543 可以使用包括導電高分子（也稱為導電聚合體）的導電組成物來形成。作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物或者由苯胺、吡咯和噻吩中的兩種以上構成的共聚物或其衍生物等。

此外，也可以設置驅動電路保護用的保護電路。保護電路較佳為使用非線性元件構成。

如上所述，藉由應用實施模式 1 所示的電晶體，可以提供具有各種各樣的功能的半導體裝置。

本實施模式所示的結構、方法等可以與其他實施模式所示的結構、方法等適當地組合而實施。

實施模式 3

藉由使用實施模式 1 所示的電晶體，可以製造具有讀取目標物的資訊的影像感測器功能的半導體裝置。

圖 7A 示出具有影像感測器功能的半導體裝置的一個例子。圖 7A 是光電感測器的等效電路，而圖 7B 是示出光電感測器的一部分的剖面圖。

光電二極體 602 的一個電極電連接到光電二極體重設

信號線 658，而光電二極體 602 的另一個電極電連接到電晶體 640 的閘極。電晶體 640 的源極和汲極中的一個電連接到光電感測器基準信號線 672，而電晶體 640 的源極和汲極中的另一個電連接到電晶體 656 的源極和汲極中的一個。電晶體 656 的閘極電連接到閘極信號線 659，電晶體 656 的源極和汲極中的另一個電連接到光電感測器輸出信號線 671。

注意，在本說明書的電路圖中，為了使使用氧化物半導體層的電晶體一目了然，將使用氧化物半導體層的電晶體的符號表示為“OS”。在圖 7A 中，電晶體 640、656 可以應用實施模式 1 所示的電晶體，是使用氧化物半導體層的電晶體。在本實施模式中示出應用具有與實施模式 1 所示的電晶體 300 相同的結構的電晶體的例子。電晶體 640 是底閘極結構的電晶體。

圖 7B 是示出光電感測器中的光電二極體 602 和電晶體 640 的剖面圖，其中在具有絕緣表面的基板 601（元件基板）上設置有用作感測器的光電二極體 602 和電晶體 640。藉由使用黏合層 608，在光電二極體 602 和電晶體 640 上設置有基板 613。

在電晶體 640 上設置有絕緣層 631、絕緣層 632、層間絕緣層 633 以及層間絕緣層 634。光電二極體 602 具有：形成在層間絕緣層 633 上的電極層 641b；在電極層 641b 上依次層疊的第一半導體膜 606a、第二半導體膜 606b、第三半導體膜 606c；設置在層間絕緣層 634 上的

藉由第一半導體膜至第三半導體膜電連接到電極層 641b 的電極層 642；設置在與電極層 641b 同樣的層中的電連接到電極層 642 的電極層 641a。

電極層 641b 與形成在層間絕緣層 634 中的導電層 643 電連接，並且電極層 642 藉由電極層 641a 與導電層 645 電連接。導電層 645 與電晶體 640 的閘極電極層電連接，並且光電二極體 602 與電晶體 640 電連接。

在此，例示出一種 pin 型光電二極體，其中層疊用作第一半導體膜 606a 的具有 p 型導電型的半導體膜、用作第二半導體膜 606b 的高電阻的半導體膜（i 型半導體膜）、用作第三半導體膜 606c 的具有 n 型導電型的半導體膜。

第一半導體膜 606a 是 p 型半導體膜，而可以由包含賦予 p 型的雜質元素的非晶矽膜形成。使用包含屬於週期表中的第 13 族的雜質元素（例如，硼（B））的半導體材料氣體藉由電漿 CVD 法來形成第一半導體膜 606a。作為半導體材料氣體，可以使用矽烷（ SiH_4 ）。另外，可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等。另外，也可以使用如下方法：在形成不包含雜質元素的非晶矽膜之後，使用擴散法或離子植入法將雜質元素導入到該非晶矽膜。較佳的是，在使用離子植入法等導入雜質元素之後進行加熱等來使雜質元素擴散。在此情況下，作為形成非晶矽膜的方法，可以使用 LPCVD 法、氣相生長法或濺射法等。較佳的是，將第一半導體膜 606a 的厚度設定為 10nm

以上且 50nm 以下。

第二半導體膜 606b 是 i 型半導體膜（本質半導體膜），由非晶矽膜形成。為了形成第二半導體膜 606b，藉由電漿 CVD 法使用半導體材料氣體來形成非晶矽膜。作為半導體材料氣體，可以使用矽烷（ SiH_4 ）。或者，也可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。也可以藉由 LPCVD 法、氣相生長法、濺射法等形成第二半導體膜 606b。較佳的是，將第二半導體膜 606b 的厚度設定為 200nm 以上且 1000nm 以下。

第三半導體膜 606c 是 n 型半導體膜，由包含賦予 n 型的雜質元素的非晶矽膜形成。使用包含屬於週期表中的第 15 族的雜質元素（例如，磷（P））的半導體材料氣體藉由電漿 CVD 法形成第三半導體膜 606c。作為半導體材料氣體，可以使用矽烷（ SiH_4 ）。或者，也可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。另外，也可以使用如下方法：在形成不包含雜質元素的非晶矽膜之後，使用擴散法或離子植入法將雜質元素導入到該非晶矽膜。較佳的是，在使用離子植入法等導入雜質元素之後進行加熱等來使雜質元素擴散。在此情況下，作為形成非晶矽膜的方法，可以使用 LPCVD 法、氣相生長法或濺射法等。較佳的是，將第三半導體膜 606c 的厚度設定為 20nm 以上且 200nm 以下。

此外，第一半導體膜 606a、第二半導體膜 606b 以及第三半導體膜 606c 也可以不使用非晶半導體形成，而使

用多晶半導體或微晶半導體（Semi Amorphous Semiconductor：SAS）形成。

此外，由於藉由光電效應生成的電洞的遷移率低於電子的遷移率，因此當將 p 型半導體膜側的表面用作光接收面時，pin 型光電二極體具有較好的特性。在此示出將光電二極體 602 從形成有 pin 型光電二極體的基板 601 的面接收的光轉換為電信號的例子。此外，來自其導電型與用作光接收面的半導體膜一側相反的半導體膜一側的光是干擾光，因此，電極層較佳為使用具有遮光性的導電層。另外，也可以將 n 型半導體膜一側的表面用作光接收面。

在電晶體 640 中，作為接觸於氧化物半導體層 623 的絕緣層的氧化物絕緣層 621，包括含有從氧化物半導體層 623 的構成元素中選擇的一種或多種金屬元素的氧化物絕緣層。因此，能夠抑制電荷在氧化物半導體層 623 和氧化物絕緣層 621 之間的介面被捕獲，而能夠使電晶體 640 的電特性穩定化。此外，在電晶體 640 中，作為閘極絕緣層 620 包括厚度大（例如，厚度為 325nm 以上且 550nm 以下）的含有氮的矽膜。因此，能夠防止電晶體 640 的靜電破壞。因為包括這種電晶體 640，所以能夠以高良率提供高可靠性的半導體裝置。

藉由使用絕緣材料且根據其材料使用濺射法、電漿 CVD 法、旋塗法、浸漬法、噴塗法、液滴噴射法（噴墨法等）、印刷法（絲網印刷、膠版印刷）等，來可以形成絕緣層 631、絕緣層 632、層間絕緣層 633、634。

另外，作為接觸於氧化物半導體層 623 的絕緣層 631，較佳為使用含有從氧化物半導體層 623 的構成元素中選擇的一種或多種金屬元素的氧化物絕緣層。另外，作為接觸於絕緣層 631 上的絕緣層 632，設置含有氮的矽膜較佳。

作為層間絕緣層 633、634，較佳為採用用來減少表面凹凸的用作平坦化絕緣層的絕緣層。作為層間絕緣層 633、634，例如可以使用聚醯亞胺樹脂、丙烯酸樹脂、苯並環丁烯類樹脂、聚醯胺樹脂、環氧樹脂等具有耐熱性的有機絕緣材料。此外，除了上述有機絕緣材料以外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等的單層或疊層。

藉由檢測入射到光電二極體 602 的光 622，可以讀取檢測目標的資訊。另外，在讀取檢測目標的資訊時，可以使用背光等的光源。

本實施模式所示的結構、方法等可以與其他實施模式所示的結構、方法等適當地組合而實施。

實施模式 4

本說明書所公開的半導體裝置可以應用於各種電子裝置（也包括遊戲機）。作為電子裝置，可以舉出電視機（也稱為電視或電視接收機）、用於計算機等的顯視器、數位相機、數位攝影機、數位相框、行動電話機、可攜式

遊戲機、可攜式資訊終端、音頻再生裝置、遊戲機（彈珠機（pachinko machine）或投幣機（slot machine）等）、外殼遊戲機。圖 8A 至 8C 示出上述電子裝置的具體例子。

圖 8A 示出具有顯示部的桌子 9000。在桌子 9000 中，外殼 9001 組裝有顯示部 9003，利用顯示部 9003 可以顯示影像。另外，示出利用四個桌腿 9002 支撐外殼 9001 的結構。另外，外殼 9001 具有用於供應電力的電源供應線 9005。

可以將上述實施模式中任一個所示的半導體裝置用於顯示部 9003，由此可以對電子裝置賦予高可靠性。

顯示部 9003 具有觸屏輸入功能，藉由用手指等接觸顯示於桌子 9000 的顯示部 9003 中的顯示按鈕 9004 來可以進行屏面操作或資訊輸入，並且顯示部 9003 也可以用作如下控制裝置，即藉由使其具有能夠與其他家電產品進行通信的功能或能夠控制其他家電產品的功能，而藉由屏面操作控制其他家電產品。例如，藉由使用實施模式 3 所示的具有影像感測器功能的半導體裝置，可以使顯示部 9003 具有觸屏輸入功能。

另外，利用設置於外殼 9001 的鉸鏈也可以將顯示部 9003 的屏面以垂直於地板的方式立起來，從而也可以將桌子用作電視機。雖然當在小房間裏設置大屏面的電視機時自由使用的空間變小，但是若在桌子內安裝有顯示部則可以有效地利用房間的空間。

圖 8B 示出電視機 9100 的一個例子。在電視機 9100 中，外殼 9101 組裝有顯示部 9103，並且利用顯示部 9103 可以顯示影像。此外，在此示出利用支架 9105 支撐外殼 9101 的結構。

藉由利用外殼 9101 所具備的操作開關、另外提供的遙控器 9110，可以進行電視機 9100 的操作。藉由利用遙控器 9110 所具備的操作鍵 9109，可以進行頻道及音量的操作，並可以對在顯示部 9103 上顯示的影像進行操作。此外，也可以採用在遙控器 9110 中設置顯示從該遙控器 9110 輸出的資訊的顯示部 9107 的結構。

圖 8B 所示的電視機 9100 具備接收機及數據機等。電視機 9100 可以利用接收機接收一般的電視廣播。再者，電視機 9100 藉由數據機連接到有線或無線方式的通信網路，也可以進行單向（從發送者到接收者）或雙向（發送者和接收者之間或接收者之間等）的資訊通信。

可以將上述實施模式中任一個所示的半導體裝置用於顯示部 9103、9107，而能夠對電視機及遙控器賦予高可靠性。

圖 8C 示出計算機，該計算機包括主體 9201、外殼 9202、顯示部 9203、鍵盤 9204、外部連接埠 9205、指向裝置 9206 等。

可以將上述實施模式中任一個所示的半導體裝置用於顯示部 9203，而能夠對計算機賦予高可靠性。

圖 9A 和 9B 是能夠折疊的平板終端。圖 9A 是打開的

狀態，並且平板終端包括外殼 9630、顯示部 9631a、顯示部 9631b、顯示模式切換開關 9034、電源開關 9035、省電模式切換開關 9036、卡子 9033 以及操作開關 9038。

可以將上述實施模式中任一個所示的半導體裝置用於顯示部 9631a、9631b，而能夠實現可靠性高的平板終端。

在顯示部 9631a 中，可以將其一部分用作觸摸屏的區域 9632a，並且可以藉由接觸所顯示的操作鍵 9638 來輸入資料。此外，作為一個例子在此示出：顯示部 9631a 的一半只具有顯示的功能，並且另一半具有觸摸屏的功能，但是不侷限於該結構。也可以採用顯示部 9631a 的全部區域具有觸摸屏的功能的結構。例如，可以使顯示部 9631a 的整個面顯示鍵盤按鈕來將其用作觸摸屏，並且將顯示部 9631b 用作顯示幕面。

此外，顯示部 9631b 也與顯示部 9631a 同樣，可以將其一部分用作觸摸屏的區域 9632b。此外，藉由使用手指或觸控筆等接觸觸摸屏的顯示鍵盤顯示切換按鈕 9639 的位置，可以在顯示部 9631b 顯示鍵盤按鈕。

此外，也可以對觸摸屏的區域 9632a 和觸摸屏的區域 9632b 同時進行接觸輸入。

另外，顯示模式切換開關 9034 能夠進行豎屏顯示和橫屏顯示等顯示的方向的切換以及黑白顯示或彩色顯示等的切換等。根據內置於平板終端中的光感測器所檢測的使用時的外光的光量，省電模式切換開關 9036 可以將顯示

的亮度設定為最適合的亮度。平板終端除了光感測器以外還可以內置陀螺儀和加速度感測器等檢測傾斜度的感測器等或其他檢測裝置。

此外，圖 9A 示出顯示部 9631b 的顯示面積與顯示部 9631a 的顯示面積相同的例子，但是不侷限於此，一方的尺寸和另一方的尺寸可以不同，並且它們的顯示品質也可以不同。例如顯示部 9631a 和顯示部 9631b 中的一方可以進行比另一方更高精細的顯示。

圖 9B 是合上的狀態，並且平板終端包括外殼 9630、太陽能電池 9633、充放電控制電路 9634。此外，在圖 9B 中，作為充放電控制電路 9634 的一個例子示出具有電池 9635 和 DCDC 轉換器 9636 的結構。

此外，平板終端可以折疊，因此不使用時可以合上外殼 9630。因此，可以保護顯示部 9631a 和顯示部 9631b，而可以提供一種具有良好的耐久性且從長期使用的觀點來看具有良好的可靠性的平板終端。

此外，圖 9A 和 9B 所示的平板終端還可以具有如下功能：顯示各種各樣的資訊（靜態影像、動態影像、文字影像等）；將日曆、日期或時刻等顯示在顯示部上；對顯示在顯示部上的資訊進行操作或編輯的觸摸輸入；藉由各種各樣的軟體（程式）控制處理等。

藉由利用安裝在平板終端的表面上的太陽能電池 9633，可以將電力供應到觸摸屏、顯示部或影像信號處理部等。注意，太陽能電池 9633 可以設置在外殼 9630 的一

面或兩面，因此可以進行高效的電池 9635 的充電。另外，當作為電池 9635 使用鋰離子電池時，有可以實現小型化等的優點。

另外，參照圖 9C 所示的方塊圖對圖 9B 所示的充放電控制電路 9634 的結構和工作進行說明。圖 9C 示出太陽能電池 9633、電池 9635、DCDC 轉換器 9636、轉換器 9637、開關 SW1 至 SW3 以及顯示部 9631，電池 9635、DCDC 轉換器 9636、轉換器 9637、開關 SW1 至 SW3 對應於圖 9B 所示的充放電控制電路 9634。

首先，說明在利用外光使太陽能電池 9633 發電時的工作的例子。使用 DCDC 轉換器 9636 對太陽能電池所產生的電力進行升壓或降壓以使它成為用來對電池 9635 進行充電的電壓。並且，當利用來自太陽能電池 9633 的電力使顯示部 9631 工作時使開關 SW1 導通，並且，利用轉換器 9637 將其升壓或降壓到顯示部 9631 所需要的電壓。另外，當不進行顯示部 9631 中的顯示時，可以採用使 SW1 截止且使 SW2 導通來對電池 9635 進行充電的結構。

注意，作為發電單元的一個例子示出太陽能電池 9633，但是不侷限於此，也可以使用壓電元件（piezoelectric element）或熱電轉換元件（珀耳帖元件（Peltier element））等其他發電單元進行電池 9635 的充電。例如，也可以使用以無線（不接觸）的方式能夠收發電力來進行充電的無線電力傳輸模組或組合其他充電方法進行充電。

本實施模式所示的結構、方法等可以與其他實施模式所示的結構、方法等適當地組合而實施。

實施例 1

在本實施例中，對利用電漿 CVD 法形成的氮化矽膜的膜質的評估結果進行說明。明確而言，示出在以矽烷與氮的混合氣體為供應氣體的狀態下形成的氮化矽膜以及在以矽烷、氮及氮的混合氣體為供應氣體的狀態下形成的氮化矽膜的 ESR 測試的結果。

在本實施例中，以下說明用於 ESR 測試的樣本的製造方法。

在 ESR 測試中，使用在石英基板上形成 300nm 厚的氮化矽膜的樣本 1 至樣本 5。氮化矽膜在如下條件下形成：在將石英基板設置在電漿 CVD 設備的成膜室中，將成膜室內的壓力控制為 100Pa，利用 27.12MHz 的高頻電源供應 2000W 的功率。另外，將基板溫度設定為 350℃。另外，使用電極面積為 6000cm² 的平行平板型電漿 CVD 設備。樣本 1 在以矽烷與氮的混合氣體為供應氣體的狀態下形成。樣本 2 至樣本 5 在以矽烷、氮及氮的混合氣體為供應氣體的狀態下形成。以下表 1 示出各樣本的成膜條件。

[表 1]

	供應氣體的流量 [sccm]			沈積速度 [nm/min]
	SiH ₄	N ₂	NH ₃	
樣本 1	200	5000	—	116
樣本 2	200	2000	100	126
樣本 3	200	2000	500	132
樣本 4	200	2000	1000	132
樣本 5	200	2000	2000	126

對所製造的樣本 1 至樣本 5 進行 ESR 測試。ESR 測試採用如下條件進行：測試溫度為 -170°C ， 9.2GHz 的高頻功率（微波功率）為 1mW ，磁場的方向平行於所製造的樣本 1 至樣本 5 的氮化矽膜的表面，與來源於包含在氮化矽膜的 Nc 中心的在 $g=2.003$ 時出現的信號對應的自旋密度的檢測下限為 $8.1 \times 10^{15} \text{spins/cm}^3$ 。

圖 12A 示出 ESR 測試的評估結果。由圖 12A 確認到在供應氣體不含有氨的狀態下形成的樣本 1 的來源於 Nc 中心的自旋密度為 $2.7 \times 10^{17} \text{spins/cm}^3$ ，樣本 1 為膜中缺陷多的氮化矽膜。另外，在供應氣體含有氨的狀態下形成的樣本 2 至樣本 5 的來源於 Nc 中心的自旋密度分別為 $5.1 \times 10^{16} \text{spins/cm}^3$ （樣本 2）， $5.2 \times 10^{16} \text{spins/cm}^3$ （樣本 3）， $6.0 \times 10^{16} \text{spins/cm}^3$ （樣本 4）， $5.5 \times 10^{16} \text{spins/cm}^3$ （樣本 5），不管氨的流量如何均示出很低的值，確認到樣本 2 至樣本 5 是膜中缺陷少的氮化矽膜。

另外，圖 12B 示出藉由 ESR 測試得到的一次微分曲線。根據圖 12B 可知，當 g 值為 2.003 時在樣本 1 中以較強的強度檢測出來源於膜中缺陷（Nc 中心）的信號。另一方面，確認到在樣本 2 至樣本 5 中 g 值為 2.003 時的信

號強度弱。

上述結果示出，藉由在以矽烷、氮及氨的混合氣體為供應氣體的狀態下利用電漿 CVD 法形成氮化矽膜，可以形成膜中缺陷少的氮化矽膜。由此可知，藉由將該氮化矽膜用作閘極絕緣層，可以實現絕緣耐壓良好的閘極絕緣層，由此可以改善包含該閘極絕緣層的電晶體的耐 ESD 性能。

實施例 2

在本實施例中，對利用電漿 CVD 法形成的氮化矽膜的作為障壁膜的特性進行評估。圖 13A 和 13B 示出評估結果。作為評估方法，利用熱脫附譜分析法（TDS：Thermal Desorption Spectroscopy）。

在本實施例中，對在石英基板上利用電漿 CVD 法形成氮化矽膜的樣本 6 至樣本 8 進行評估。以下示出樣本的製造方法。

氮化矽膜在如下條件下形成：在將石英基板設置在電漿 CVD 設備的成膜室中，將成膜室內的壓力控制為 100Pa，利用 27.12MHz 的高頻電源供應 2000W 的功率。另外，將基板溫度設定為 350℃。另外，使用電極面積為 6000cm² 的平行平板型電漿 CVD 設備。

作為樣本 6 在以矽烷、氮及氨的混合氣體（SiH₄ 流量為 200 sccm：N₂ 流量為 2000 sccm：NH₃ 流量為 2000 sccm）為供應氣體的狀態下形成 300nm 厚的氮化矽膜。

作為樣本 7 在以矽烷、氮及氨的混合氣體（ SiH_4 流量為 200 sccm： N_2 流量為 2000 sccm： NH_3 流量為 2000 sccm）為供應氣體的狀態下形成 275nm 厚的第一氮化矽膜，然後在相同成膜室內在以矽烷與氮的混合氣體（ SiH_4 流量為 200 sccm： N_2 流量為 5000 sccm）為供應氣體的狀態下形成 50nm 厚的第二氮化矽膜。

作為樣本 8 在以矽烷、氮及氨的混合氣體（ SiH_4 流量為 200 sccm： N_2 流量為 2000 sccm： NH_3 流量為 2000 sccm）為供應氣體的狀態下形成 275nm 厚的第一氮化矽膜，然後在相同成膜室內降低氨的流量，即在 SiH_4 流量為 200 sccm、 N_2 流量為 2000 sccm 以及 NH_3 流量為 100 sccm 的狀態下形成 50nm 厚的第二氮化矽膜。

圖 13A 和 13B 示出各樣本的 $M/z=2$ (H_2) 時的 TDS 測試的評估結果。圖 13A 是在本實施例中製造的樣本 6 及樣本 7 的 $M/z=2$ (H_2) 時的 TDS 測試的評估結果，圖 13B 是樣本 6 及樣本 8 的 $M/z=2$ (H_2) 時的 TDS 測試的評估結果。

由圖 13A 及 13B 確認到藉由加熱處理以單層形成的氫濃度高的氮化矽膜的樣本 6 釋放氫。另一方面，在上述氮化矽膜上層疊有氫濃度低的氮化矽膜的樣本 7 及樣本 8 在確認到樣本 6 的氫的釋放的 450°C 左右的溫度下確認不到氫的釋放，之後即使再次進行加熱處理，氫的釋放也有效地被抑制為極低。

由此可知，藉由以與氫濃度高的氮化矽膜接觸的方式

在其上形成氫濃度低的氮化矽膜，有阻擋氫的效果。

如實施例 1 所示，在以矽烷、氮及氫為供應氣體的狀態下利用電漿 CVD 法形成的氮化矽膜是膜中缺陷少且絕緣耐壓高的膜。因此，在上述膜中缺陷少的氮化矽膜上層疊有氫濃度低的氮化矽膜的結構能夠在維持高耐 ESD 性能的同時降低有可能成為氧化物半導體層的施體的氫的釋放。從而，可以將其適用於電晶體的閘極絕緣層。

【符號說明】

300:電晶體

310:電晶體

320:電晶體

330:電晶體

400:基板

402:閘極電極層

404:閘極絕緣層

404a:閘極絕緣層

404b:閘極絕緣層

404c:閘極絕緣層

406:氧化物絕緣層

408:氧化物半導體層

408a:氧化物半導體層

408b:氧化物半導體層

410a:源極電極層

410b:汲極電極層
412:氧化物絕緣層
414:保護絕緣層
414a:保護絕緣層
414b:保護絕緣層
500:基板
502:閘極絕緣層
504:層間絕緣層
505:彩色濾光層
506:絕緣層
507:隔壁
510:電晶體
511a:閘極電極層
511b:閘極電極層
512:氧化物絕緣層
513a:導電層
513b:導電層
514:氧化物半導體層
520:電容元件
521a:導電層
521b:導電層
522:氧化物絕緣層
523:導電層
524:絕緣層

525:絕緣層
526:氧化物半導體層
530:佈線層交叉部
533:導電層
540:發光元件
541:電極層
542:電致發光層
543:電極層
601:基板
602:光電二極體
606a:半導體膜
606b:半導體膜
606c:半導體膜
608:黏合層
613:基板
620:閘極絕緣層
621:氧化物絕緣層
623:氧化物半導體層
631:絕緣層
632:絕緣層
633:層間絕緣層
634:層間絕緣層
640:電晶體
641a:電極層

641b:電極層
642:電極層
643:導電層
645:導電層
656:電晶體
658:光電二極體重設信號線
659:閘極信號線
671:光電感測器輸出信號線
672:光電感測器基準信號線
4001:基板
4002:像素部
4003:信號線驅動電路
4004:掃描線驅動電路
4005:密封材料
4006:基板
4008:液晶層
4010:電晶體
4011:電晶體
4013:液晶元件
4015:連接端子電極
4016:端子電極
4018:FPC
4019:各向異性導電層
4020a:閘極絕緣層

4020b:氧化物絕緣層

4021:絕緣層

4030:氧化物絕緣層

4031:電極層

4032:保護絕緣層

4033:絕緣層

4034:電極層

4035:間隔物

4038:絕緣層

4510:隔壁

4511:電致發光層

4513:發光元件

4514:填充材料

9000:桌子

9001:外殼

9002:桌腿

9003:顯示部

9004:顯示按鈕

9005:電源供應線

9033:卡子

9034:開關

9035:電源開關

9036:開關

9038:操作開關

9100:電視機
9101:外殼
9103:顯示部
9105:支架
9107:顯示部
9109:操作鍵
9110:遙控器
9201:主體
9202:外殼
9203:顯示部
9204:鍵盤
9205:外部連接埠
9206:指向裝置
9630:外殼
9631:顯示部
9631a:顯示部
9631b:顯示部
9632a:區域
9632b:區域
9633:太陽能電池
9634:充放電控制電路
9635:電池
9636:DCDC 轉換器
9637:轉換器

9638:操作鍵

9639:按鈕

【發明申請專利範圍】

【請求項 1】一種半導體裝置，包含：

基板上的閘極電極層；

該閘極電極層上的第一氮化矽層；

該第一氮化矽層上的第一氧化物層；

該第一氧化物層上的第二氧化物層；

該第二氧化物層上的第三氧化物層；

該第三氧化物層上的源極電極層和汲極電極層；

該源極電極層和該汲極電極層上的第四氧化物層；以

及

該第四氧化物層上的第二氮化矽層，

其中，該第四氧化物層在該源極電極層和該汲極電極層之間具有與該第三氧化物層接觸的區域，

其中，該第二氧化物層包含 In、Ga 和 Zn，其中 In 的含量大於 Ga 的含量，

其中，該第三氧化物層包含 In、Ga 和 Zn，其中 In 的含量低於或等於 Ga 的含量，

其中，該第二氧化物層至少包含奈米晶，並且

其中，該第三氧化物層至少包含 c 軸配向結晶和奈米晶。

【請求項 2】一種半導體裝置，包含：

基板上的閘極電極層；

該閘極電極層上的第一氮化矽層；

該第一氮化矽層上的第一氧化物層；

該第一氧化物層上的第二氧化物層；
該第二氧化物層上的第三氧化物層；
該第三氧化物層上的源極電極層和汲極電極層；
該源極電極層和該汲極電極層上的第四氧化物層；以
及

該第四氧化物層上的第二氮化矽層，

其中，該第四氧化物層在該源極電極層和該汲極電極層之間具有與該第三氧化物層接觸的區域，

其中，該第二氧化物層包含 In、Ga 和 Zn，其中 In 的含量大於 Ga 的含量，

其中，該第三氧化物層包含 In、Ga 和 Zn，其中 In 的含量低於或等於 Ga 的含量，

其中，該第二氧化物層包含至少包括奈米晶但不包括複數個 c 軸配向結晶的區域，並且

其中，該第三氧化物層包含包括複數個 c 軸配向結晶的區域。

【請求項 3】一種半導體裝置，包含：

基板上的閘極電極層；

該閘極電極層上的第一氮化矽層；

該第一氮化矽層上的第一氧化物層；

該第一氧化物層上的第二氧化物層；

該第二氧化物層上的第三氧化物層；

該第三氧化物層上的源極電極層和汲極電極層；

該源極電極層和該汲極電極層上的第四氧化物層；以

及

該第四氧化物層上的第二氮化矽層，

其中，該第四氧化物層在該源極電極層和該汲極電極層之間具有與該第三氧化物層接觸的區域，

其中，該第二氧化物層包含 In、Ga 和 Zn，其中 In 的含量大於 Ga 的含量，

其中，該第三氧化物層包含 In、Ga 和 Zn，其中 In 的含量低於或等於 Ga 的含量，

其中，該第二氧化物層包含複數個奈米晶，並且

其中，該第三氧化物層具有比該第二氧化物層更高的結晶性，並且包含複數個 c 軸配向結晶。

【請求項 4】一種半導體裝置，包含：

基板上的閘極電極層；

該閘極電極層上的第一氮化矽層；

該第一氮化矽層上的第一氧化物層；

該第一氧化物層上的第二氧化物層；

該第二氧化物層上的第三氧化物層；

該第三氧化物層上的源極電極層和汲極電極層；

該源極電極層和該汲極電極層上的第四氧化物層；以

及

該第四氧化物層上的第二氮化矽層，

其中，該第四氧化物層在該源極電極層和該汲極電極層之間具有與該第三氧化物層接觸的區域，

其中，該第二氧化物層包含 In、Ga 和 Zn，其中 In

的含量大於 Ga 的含量，

其中，該第三氧化物層包含 In、Ga 和 Zn，其中 In 的含量低於或等於 Ga 的含量，

其中，該第二氧化物層包含複數個奈米晶，並且

其中，該第三氧化物層具有比該第二氧化物層更高的原子排列的有序度，並且包含複數個 c 軸配向結晶。

【請求項 5】一種半導體裝置，包含：

基板上的閘極電極層；

該閘極電極層上的第一氮化矽層；

該第一氮化矽層上的第一氧化物層；

該第一氧化物層上的第二氧化物層；

該第二氧化物層上的第三氧化物層；

該第三氧化物層上的源極電極層和汲極電極層；

該源極電極層和該汲極電極層上的第四氧化物層；以

及

該第四氧化物層上的第二氮化矽層，

其中，該第四氧化物層在該源極電極層和該汲極電極層之間具有與該第三氧化物層接觸的區域，

其中，該第二氧化物層包含 In、Ga 和 Zn，其中 In 的含量大於 Ga 的含量，

其中，該第三氧化物層包含 In、Ga 和 Zn，其中 In 的含量低於或等於 Ga 的含量，

其中，該第二氧化物層包含複數個奈米晶，並且

其中，該第三氧化物層具有比該第二氧化物層低的缺

陷態密度，並且包含複數個 c 軸配向結晶。

【請求項 6】一種半導體裝置，包含：

基板上的閘極電極層；

該閘極電極層上的第一氮化矽層；

與該第一氮化矽層重疊的第一氧化物層；

與該第一氧化物層重疊的第二氧化物層；

與該第二氧化物層重疊的第三氧化物層；

該第二氧化物層和該第三氧化物層上的源極電極層和汲極電極層；

該源極電極層和該汲極電極層上的第四氧化物層；以及

該第四氧化物層上的第二氮化矽層，

其中，該第二氧化物層包含 In、Ga 和 Zn，其中 In 的含量大於 Ga 的含量，

其中，該第三氧化物層包含 In、Ga 和 Zn，其中 In 的含量低於或等於 Ga 的含量，

其中，該第二氧化物層和該第三氧化物層中的一個包含至少一個奈米晶，並且

其中，該第二氧化物層和該第三氧化物層中的另一個包含至少一個 c 軸配向結晶。

【發明圖式】

圖 1A

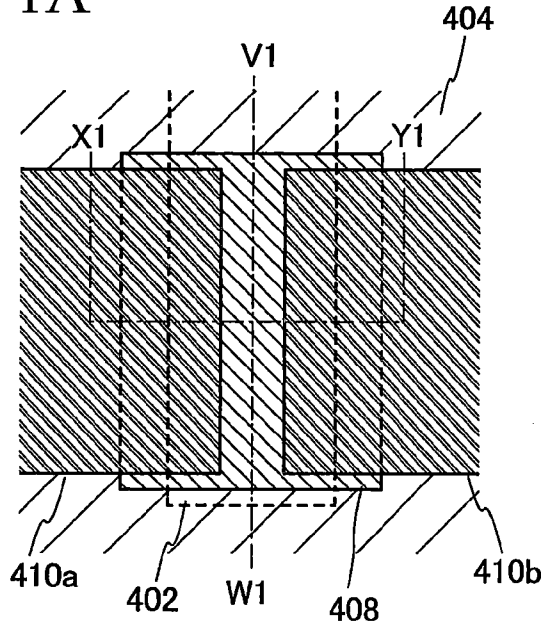


圖 1C

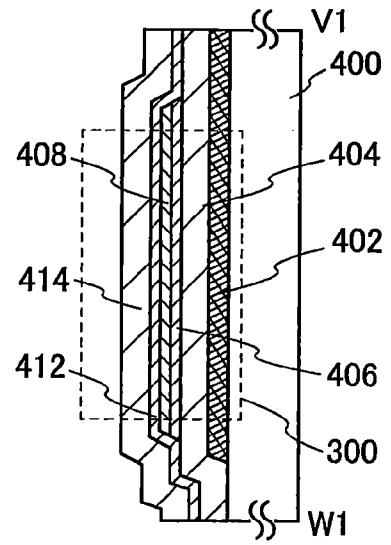


圖 1B

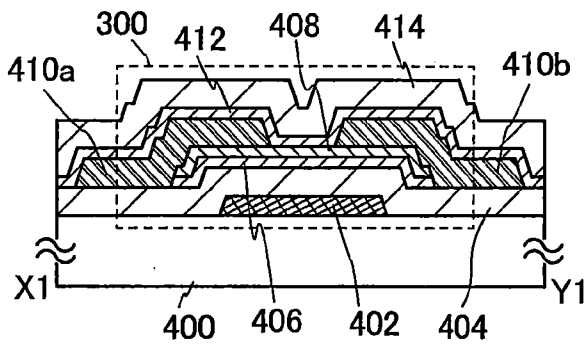


圖 2A

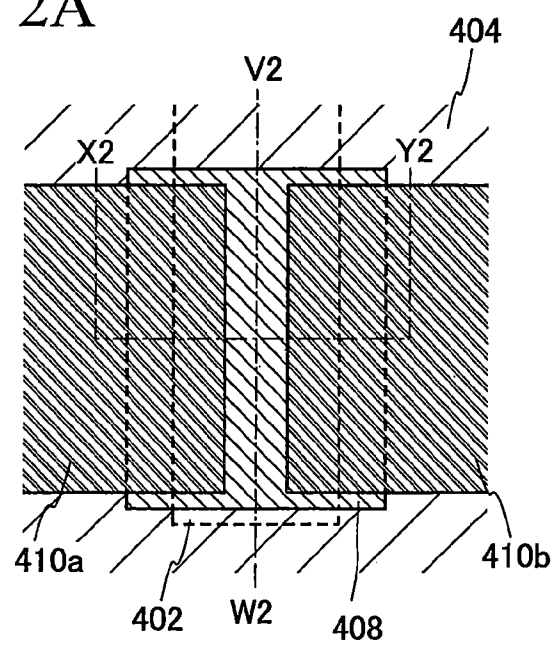


圖 2C

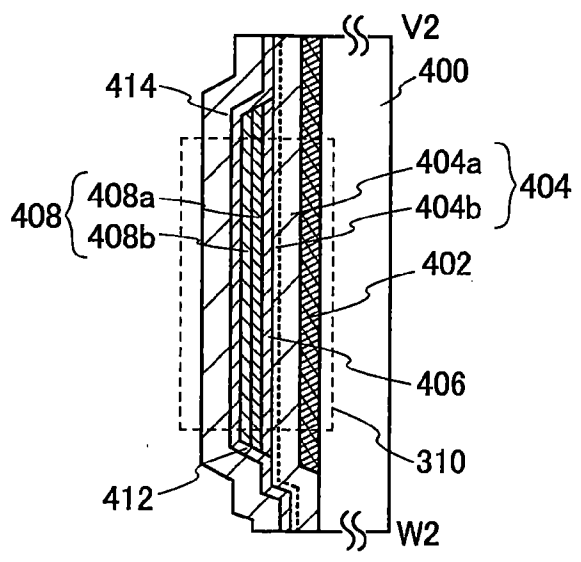


圖 2B

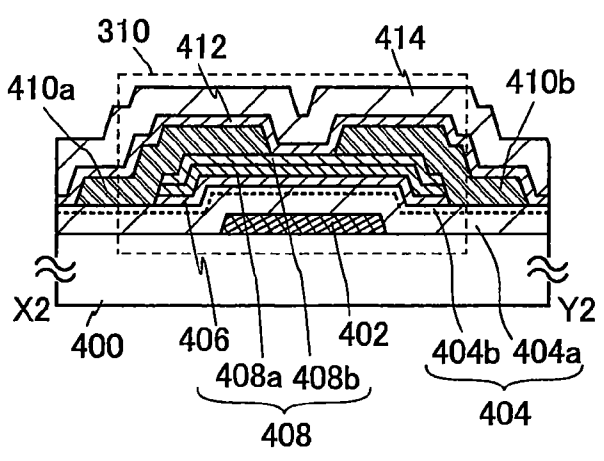


圖 3A

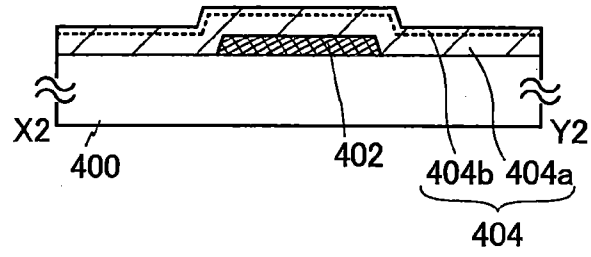


圖 3B

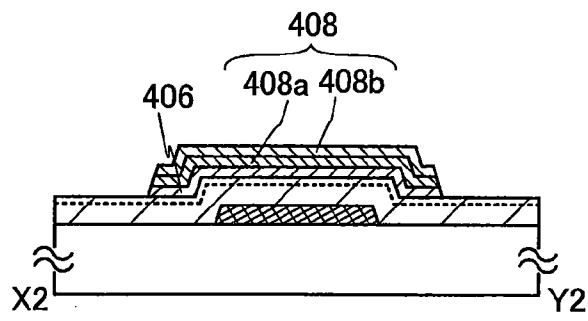


圖 3C

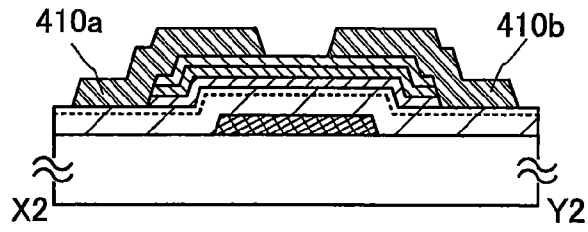


圖 3D

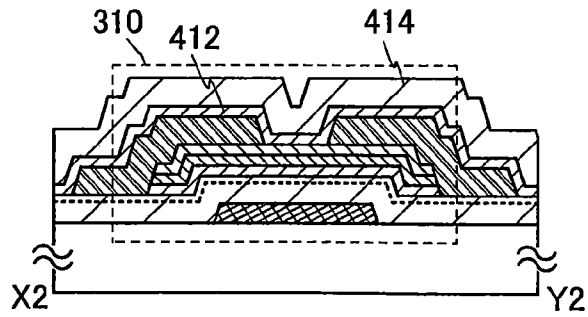


圖 4A

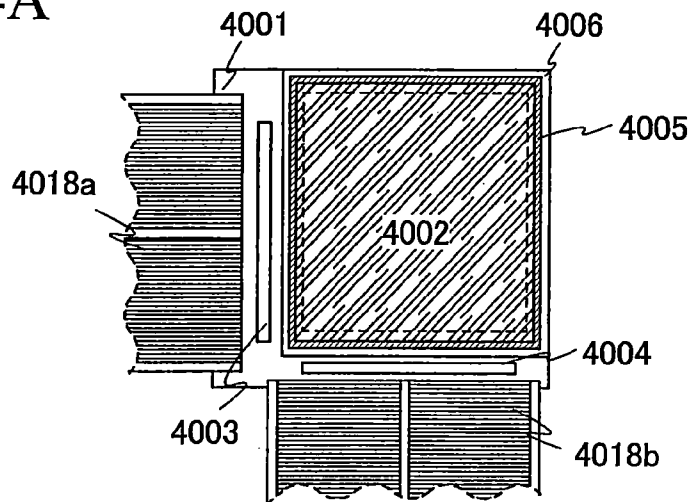


圖 4B

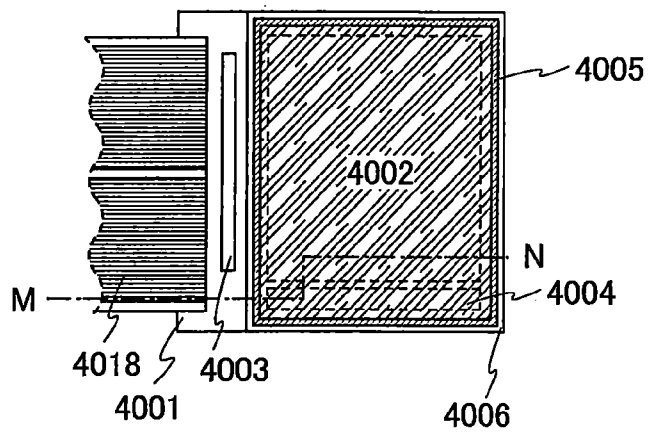


圖 4C

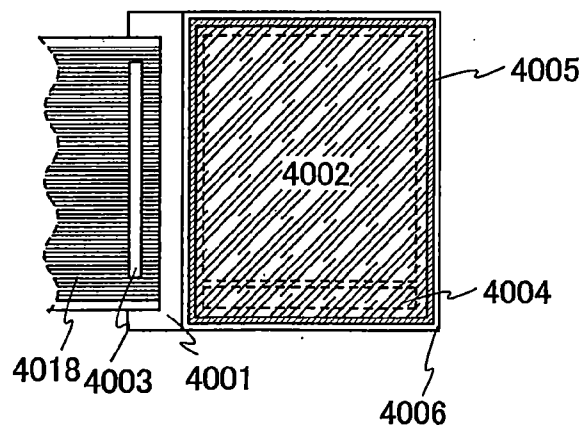


圖 5A

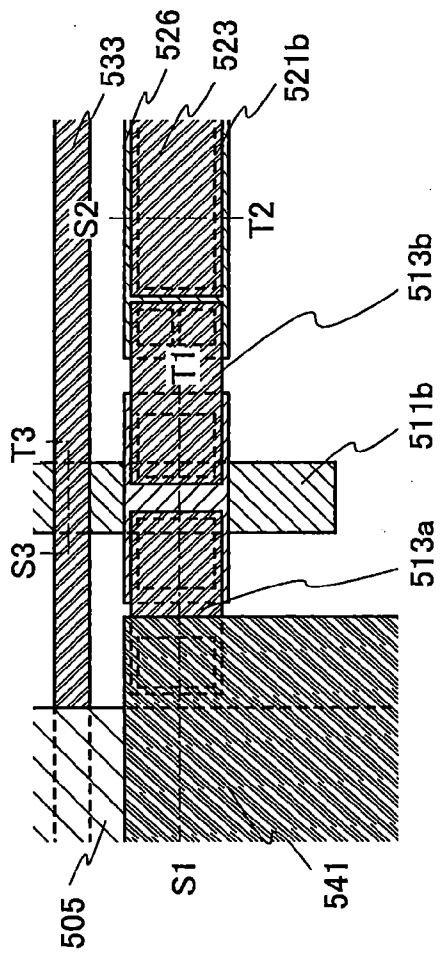


圖 5B

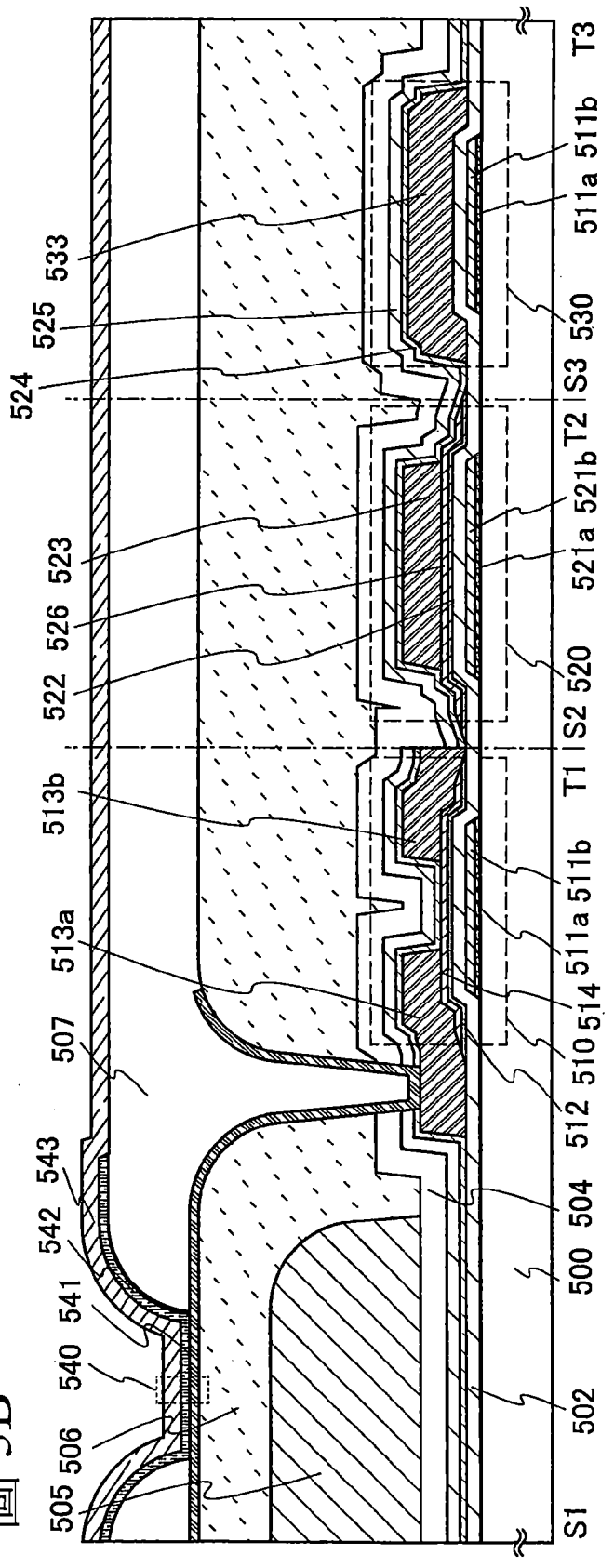


圖 6A

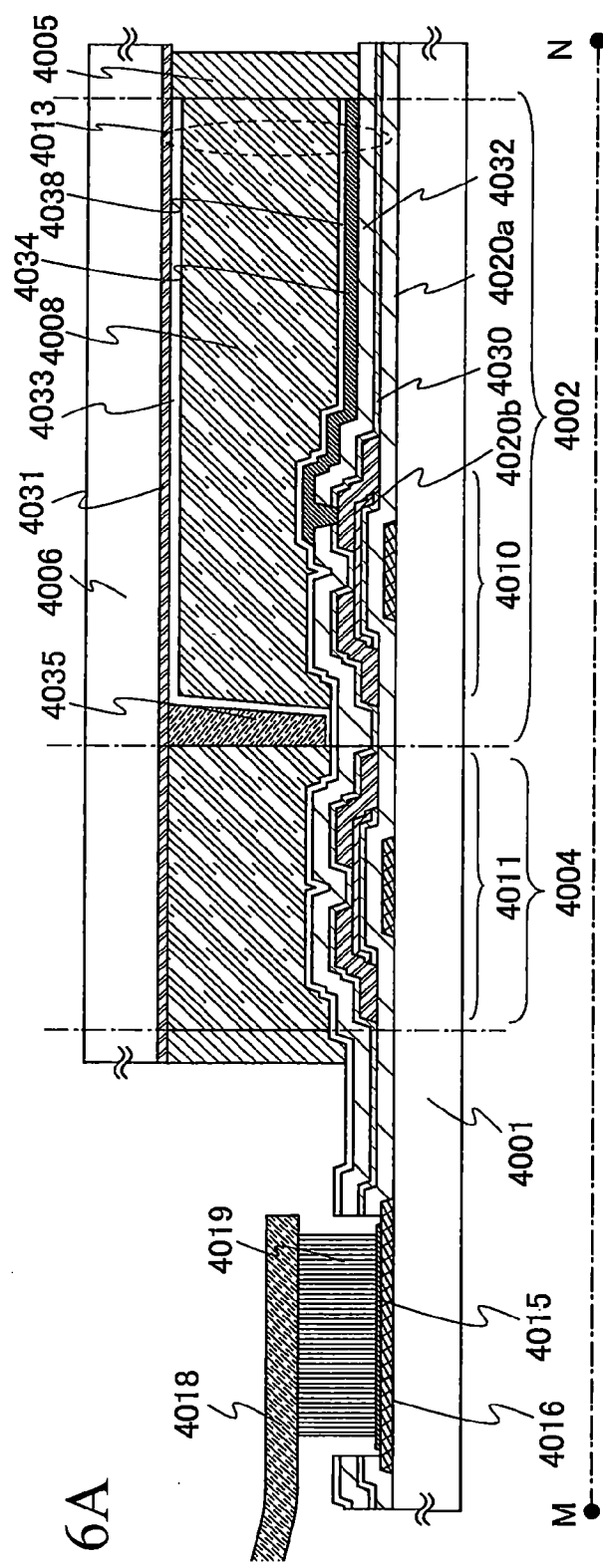


圖 6B

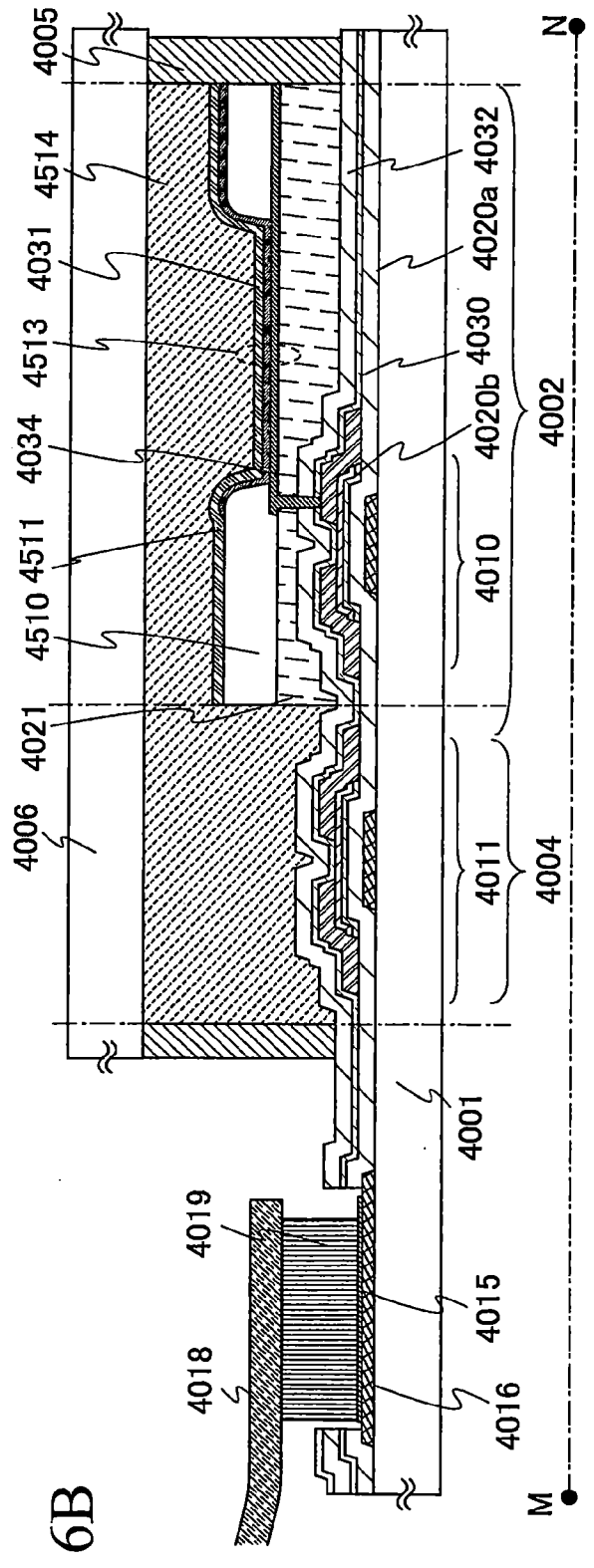


圖 7A

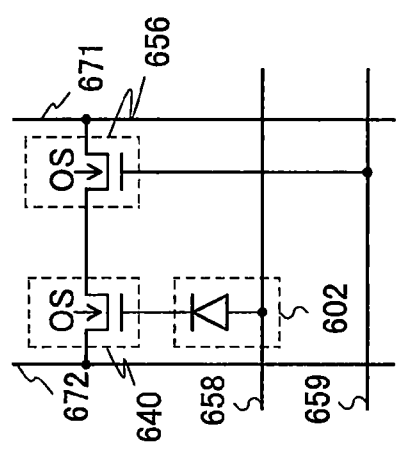


圖 7B

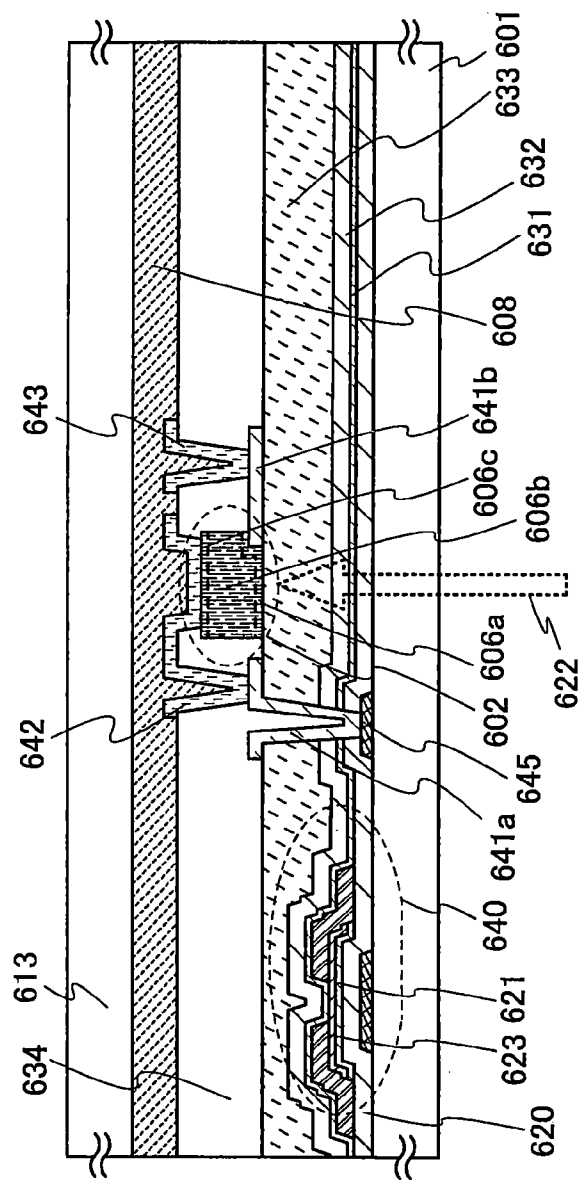


圖 8A

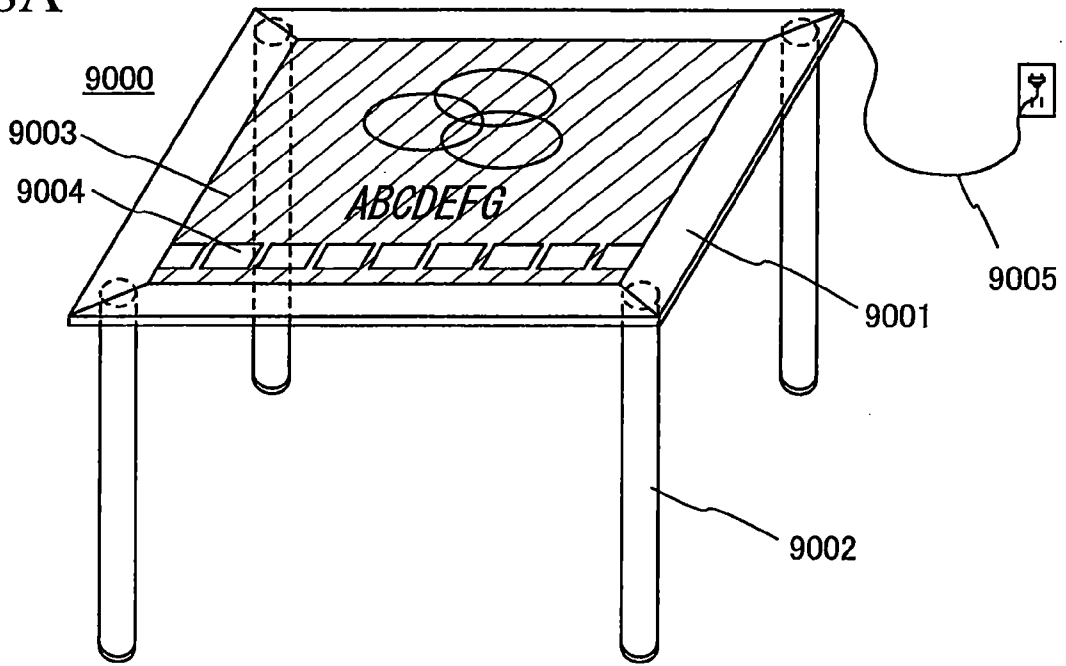


圖 8B

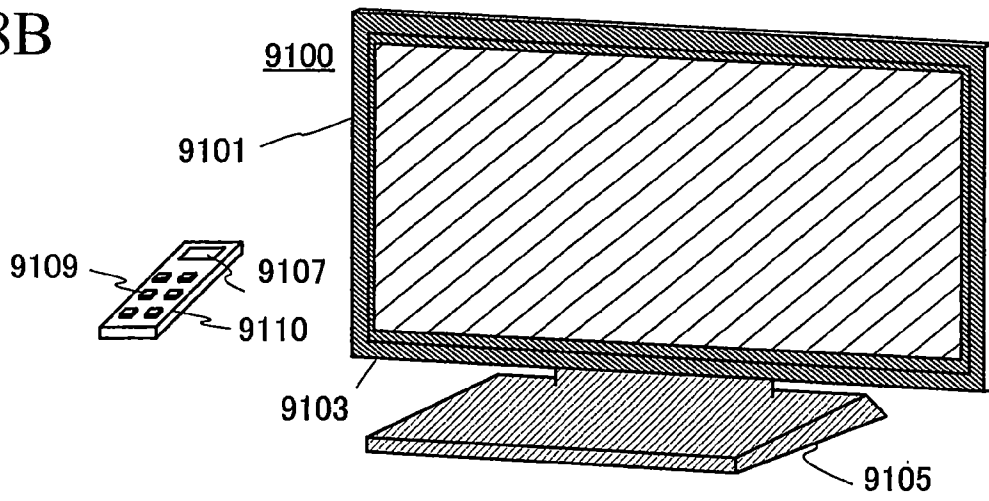


圖 8C

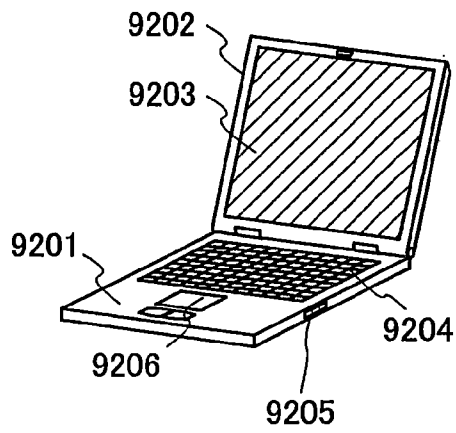


圖 9A

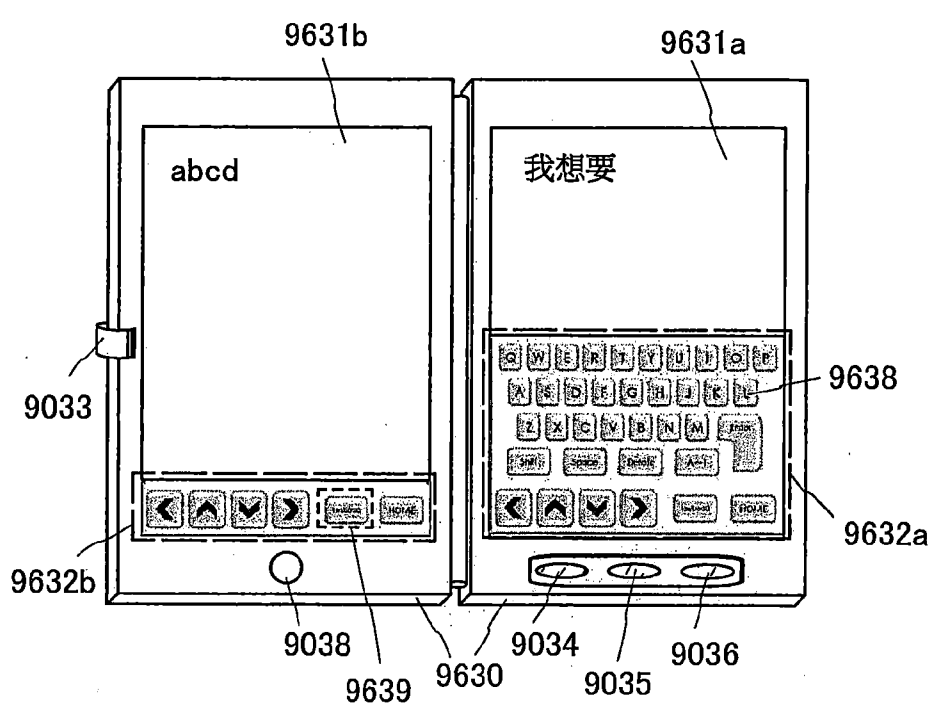


圖 9B

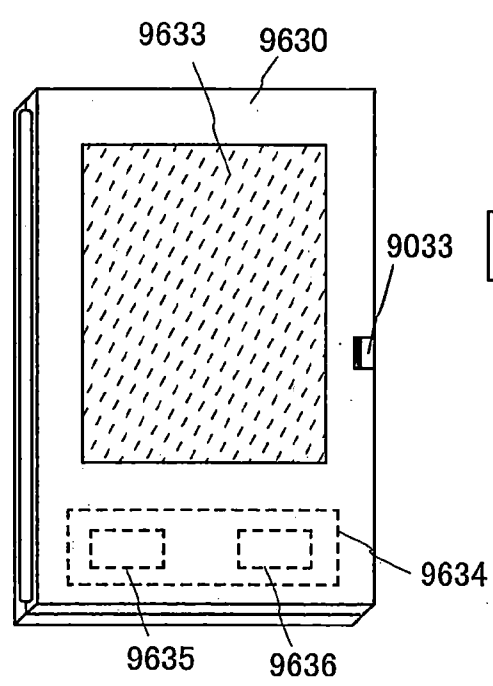


圖 9C

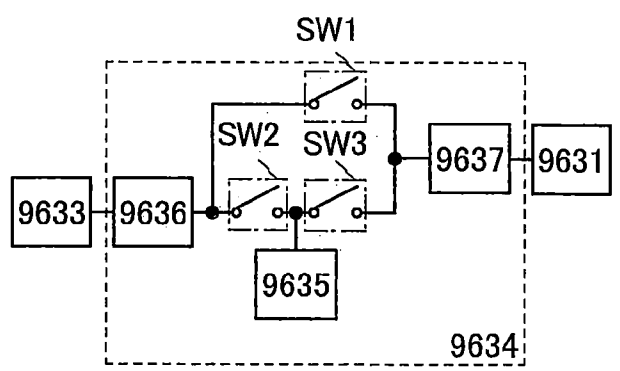


圖 10A

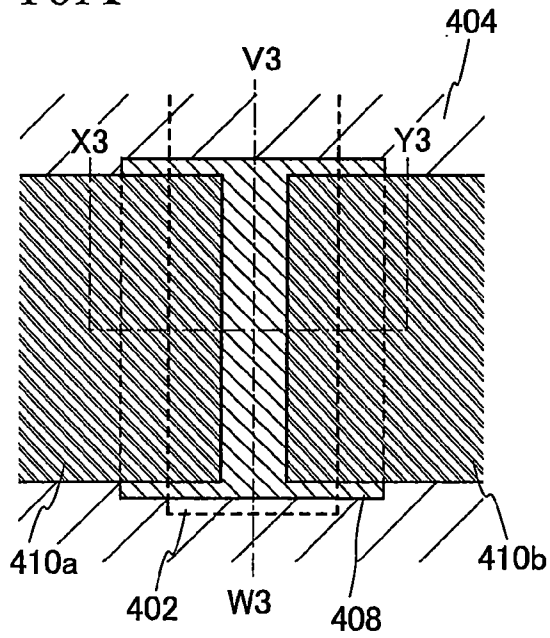


圖 10C

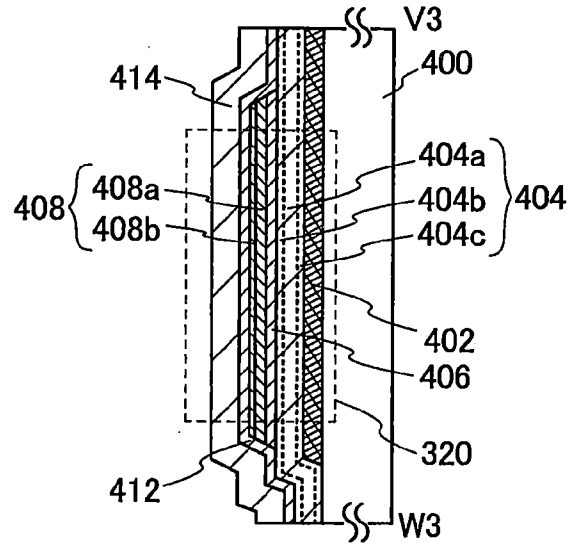


圖 10B

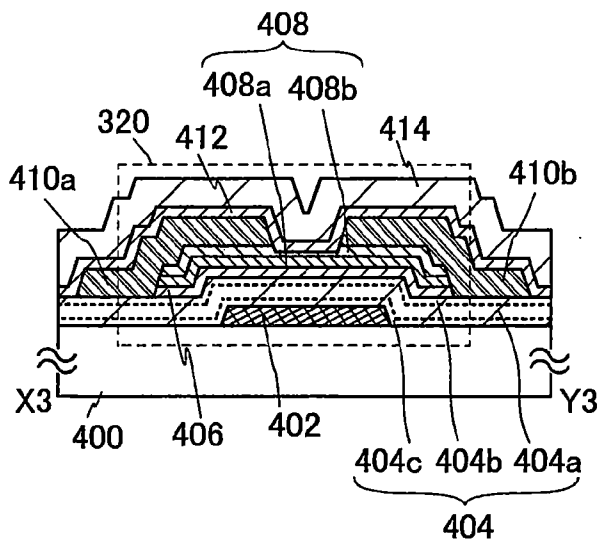


圖 11A

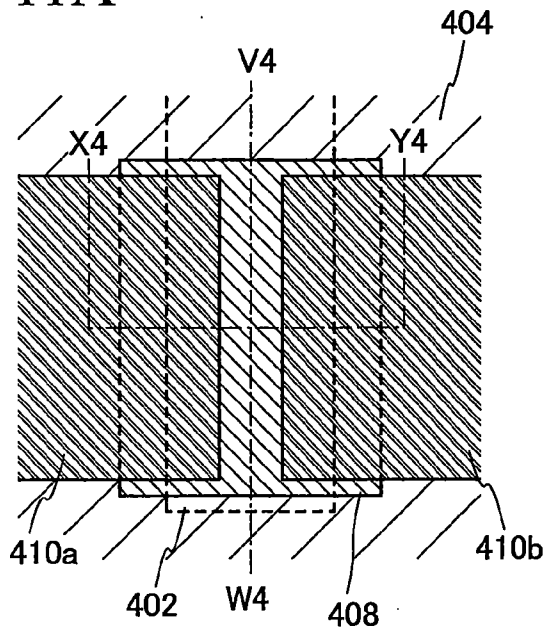


圖 11C

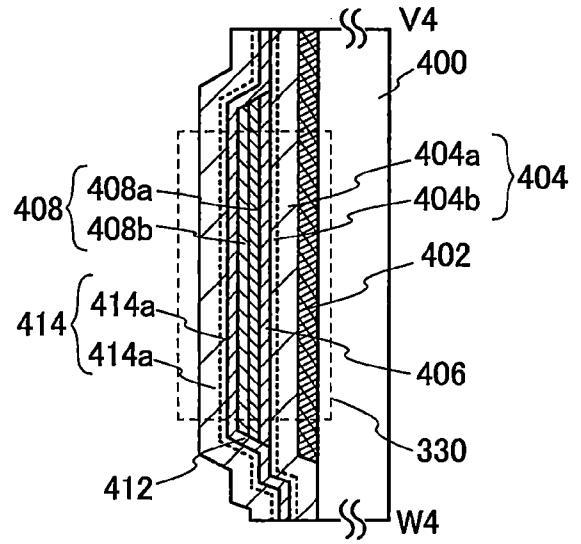


圖 11B

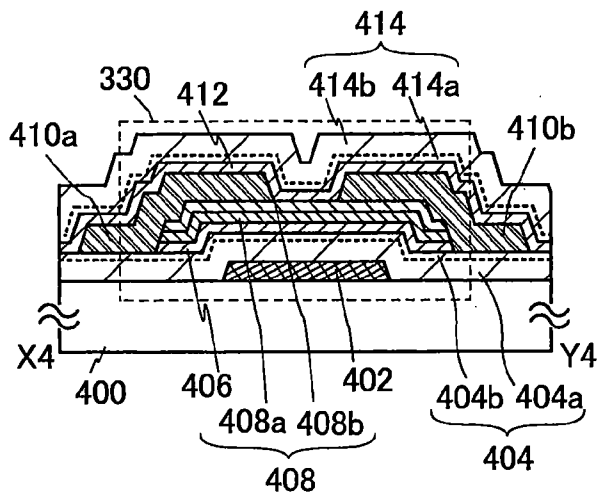


圖 12A

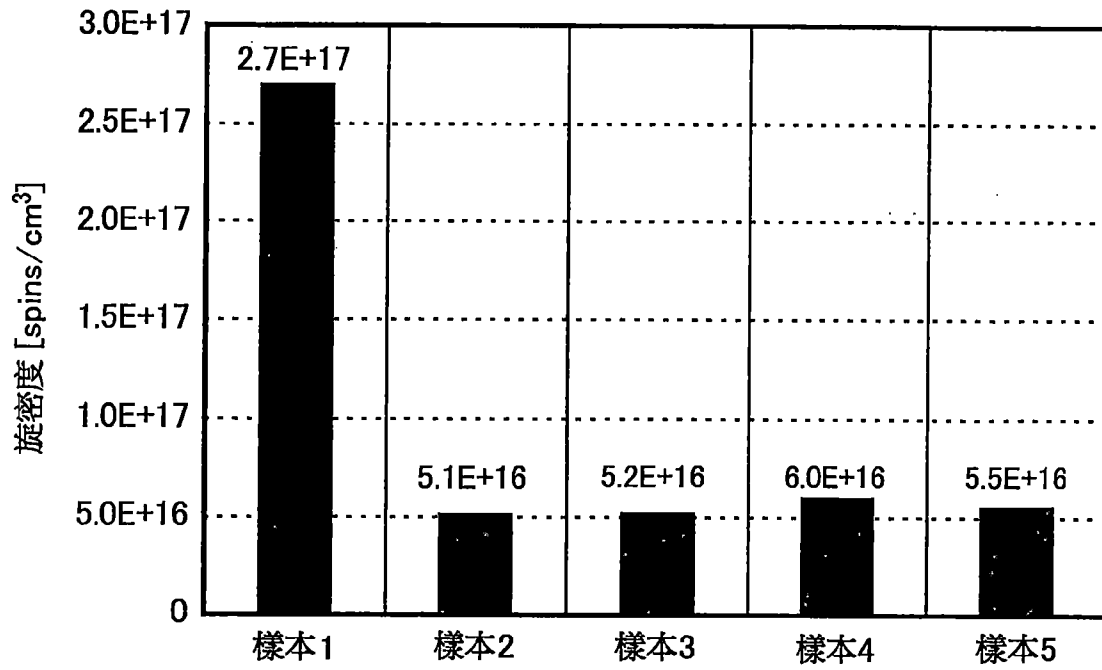


圖 12B

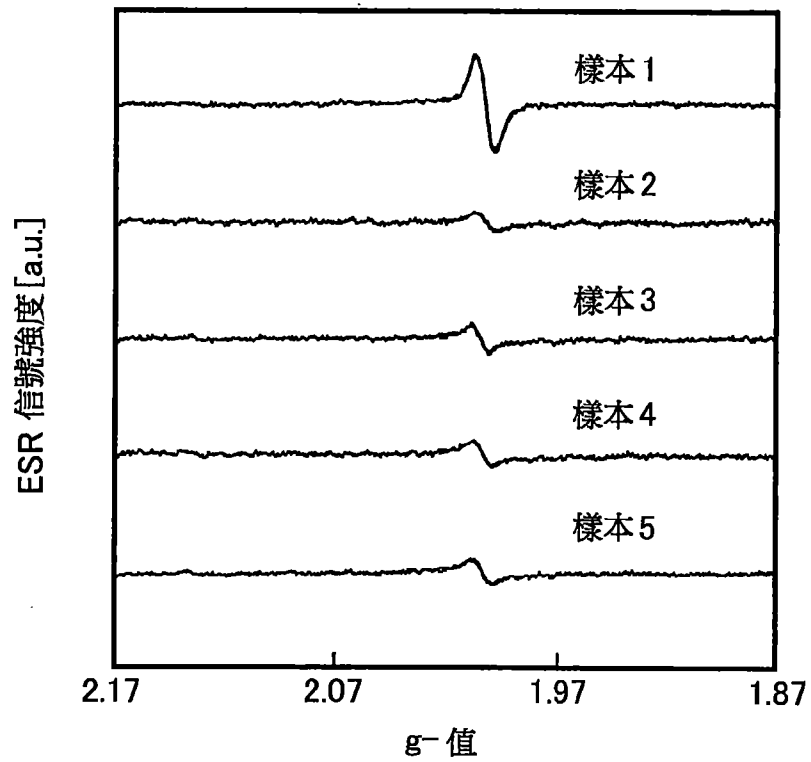


圖 13A

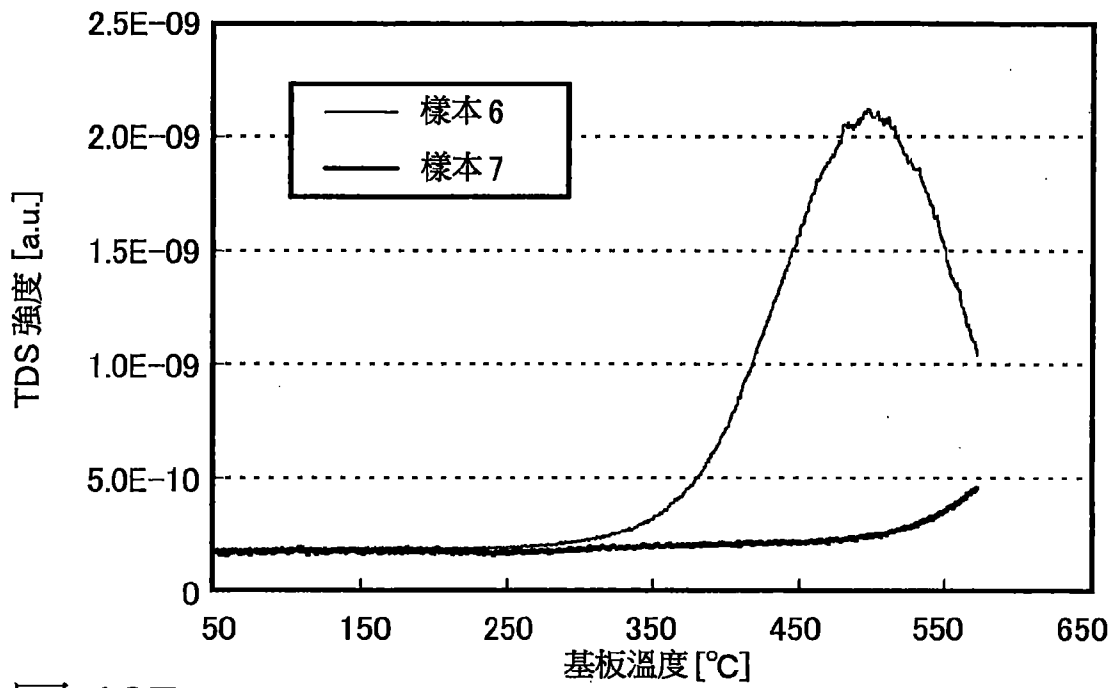


圖 13B

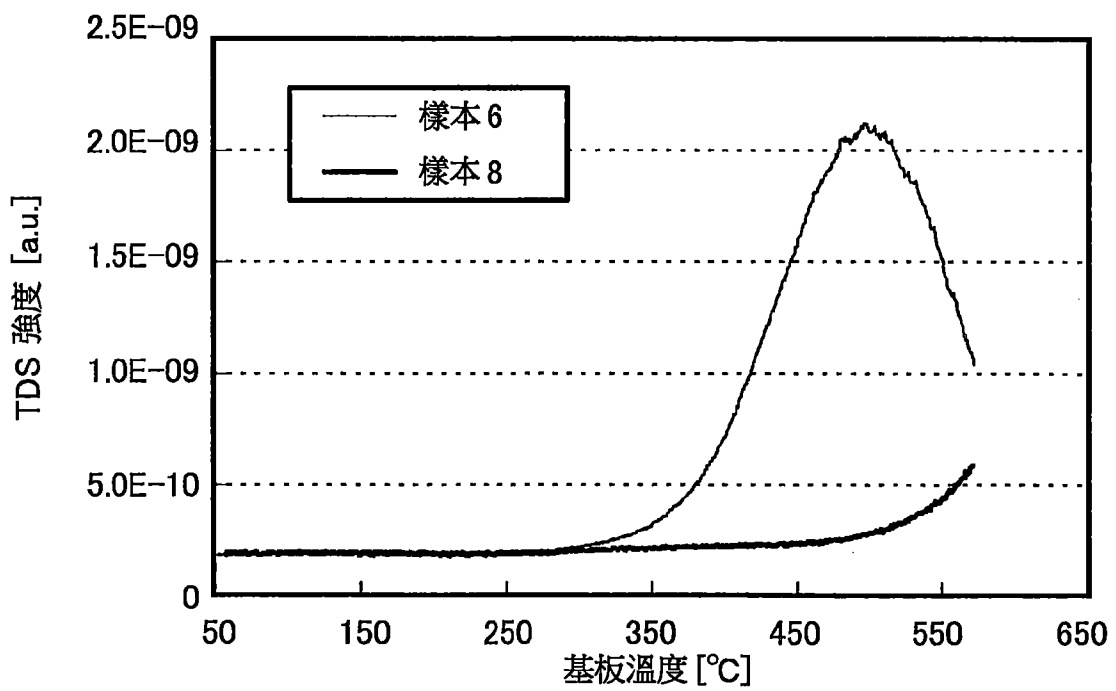


圖 14

