



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201214632 A1

(43)公開日：中華民國 101 (2012) 年 04 月 01 日

(21)申請案號：100123396

(22)申請日：中華民國 100 (2011) 年 07 月 01 日

(51)Int. Cl. : *H01L21/8247(2006.01)*

G11C13/00 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2010/07/02 美國

12/830,079

(71)申請人：美光科技公司(美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：格瑞利 喬瑟夫 N GREELEY, JOSEPH N. (US)；史密斯 三世 約翰 A SMYTHE III, JOHN A. (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：46 項 圖式數：6 共 41 頁

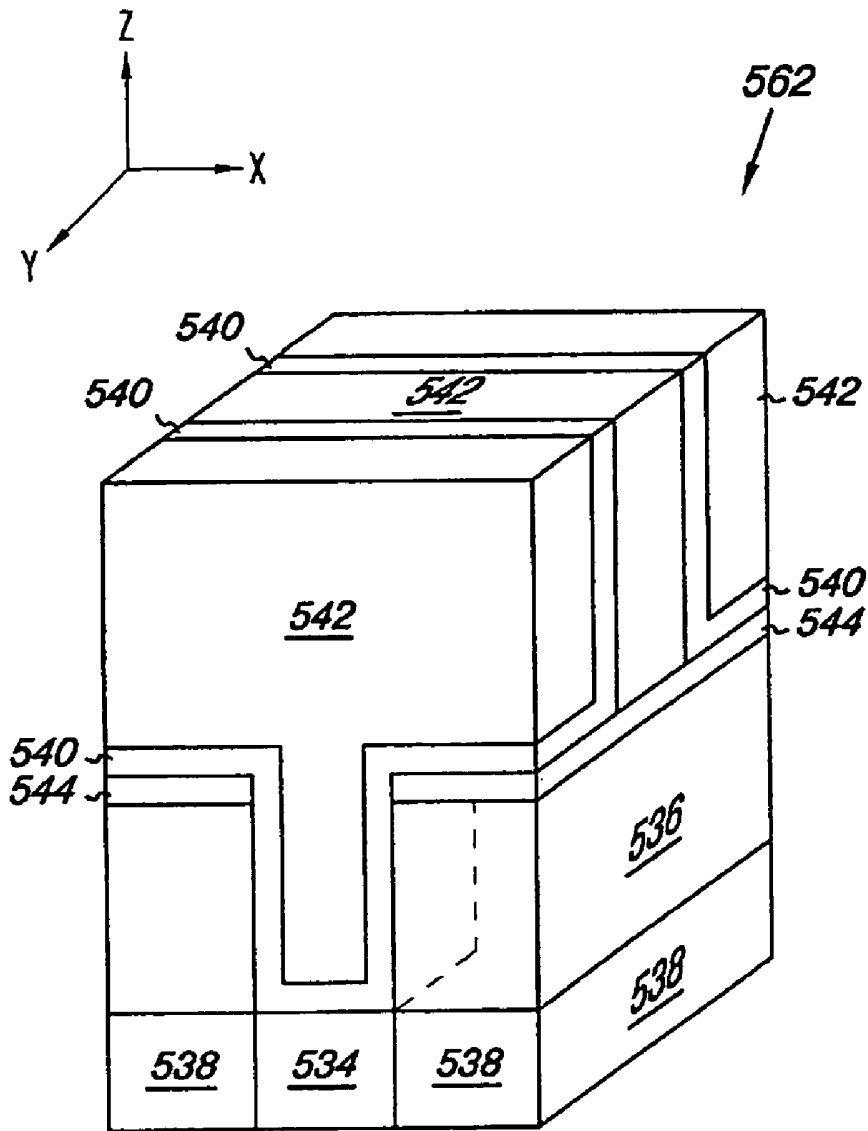
(54)名稱

電阻式隨機存取記憶體裝置及方法

RESISTIVE RAM DEVICES AND METHODS

(57)摘要

本發明包含一種高密度電阻式隨機存取記憶體(RRAM)裝置以及製造一高密度 RRAM 裝置之方法。一種形成一 RRAM 裝置之方法包含形成具有一金屬-金屬氧化物界面之一電阻式元件。形成該電阻式元件包含在第一電極上方形成一絕緣材料及在該絕緣材料中形成一通孔。用一金屬材料保形地填充該通孔並將該金屬材料平坦化至該通孔內。選擇性地處理該通孔內之該金屬材料之一部分以在該通孔內形成一金屬-金屬氧化物界面。在該電阻式元件上方形成一第二電極。



- 534 : 字線導體
- 536 : 位元線電介質
- 538 : 字線電介質材料
- 540 : 電阻式單元堆疊材料
- 542 : 金屬材料
- 544 : 蝕刻停止材料
- 562 : 半導體結構



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201214632 A1

(43)公開日：中華民國 101 (2012) 年 04 月 01 日

(21)申請案號：100123396

(22)申請日：中華民國 100 (2011) 年 07 月 01 日

(51)Int. Cl. : *H01L21/8247(2006.01)*

G11C13/00 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2010/07/02 美國

12/830,079

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：格瑞利 喬瑟夫 N GREELEY, JOSEPH N. (US)；史密斯 三世 約翰 A SMYTHE III, JOHN A. (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：46 項 圖式數：6 共 41 頁

(54)名稱

電阻式隨機存取記憶體裝置及方法

RESISTIVE RAM DEVICES AND METHODS

(57)摘要

本發明包含一種高密度電阻式隨機存取記憶體(RRAM)裝置以及製造一高密度 RRAM 裝置之方法。一種形成一 RRAM 裝置之方法包含形成具有一金屬-金屬氧化物界面之一電阻式元件。形成該電阻式元件包含在第一電極上方形成一絕緣材料及在該絕緣材料中形成一通孔。用一金屬材料保形地填充該通孔並將該金屬材料平坦化至該通孔內。選擇性地處理該通孔內之該金屬材料之一部分以在該通孔內形成一金屬-金屬氧化物界面。在該電阻式元件上方形成一第二電極。

六、發明說明：

【發明所屬之技術領域】

本發明大體而言係關於半導體記憶體裝置、方法及系統，且更特定而言係關於電阻式隨機存取記憶體(RRAM)裝置及方法。

【先前技術】

除其他應用之外，電阻式元件可用作半導體開關或記憶體元件(例如，一記憶體裝置之記憶體單元)。記憶體裝置通常係提供作為電腦或其他電子裝置中之內部半導體積體電路。存在諸多不同類型之記憶體，包含隨機存取記憶體(RAM)、唯讀記憶體(ROM)、動態隨機存取記憶體(DRAM)、同步動態隨機存取記憶體(SDRAM)、快閃記憶體、電阻可變記憶體(例如，相變隨機存取記憶體(PCRAM))及電阻式隨機存取記憶體(RRAM)等。

在現代半導體裝置應用中，將眾多組件封裝於一單個小區域上(例如，於一半導體基板上)以形成一積體電路。隨著積體電路之大小減小，必需將組成該等電路之組件及裝置更緊密地定位在一起以遵從有限的可用空間。隨著該行業力求於一更大密度之每單位面積有效組件，電路組件之間的有效及準確之形成及隔離皆變得更重要。

應高記憶體密度、高可靠性及低電力消耗之需要，將記憶體裝置用作一寬廣範圍之電子應用之非揮發性記憶體。非揮發性記憶體可用於一個人電腦、一可攜式記憶條、一固態磁碟機(SSD)、一個人數位助理(PDA)、一數位相機、

一蜂巢式電話、一可攜式音樂播放器(例如,MP3播放器)、一電影播放器及其他電子裝置等中。程式碼及系統資料(例如,一基本輸入/輸出系統(BIOS))通常儲存於非揮發性記憶體裝置中。

非揮發性電阻式記憶體(例如,RRAM裝置)藉由使一電阻元件之電阻變化而儲存資料。RRAM裝置可具有勝過其他類型之記憶體裝置之某些有益特性,例如,低電力消耗、高速度及極佳位元解析度,此歸因於一高電阻狀態(HRS)與一低電阻狀態(LRS)之間的分離及一相對大電阻比率,而不限制電荷儲存類型記憶體之讀取/寫入循環耐久性。

可藉由在一預定持續時間內以一預定極性施加一預定電壓而將資料寫入至一經選擇RRAM裝置。可使用兩種類型切換操作RRAM裝置:單極或雙極。單極切換涉及使用具有相同電壓極性之長及短脈衝進行程式化及抹除。相反,雙極切換使用短脈衝,但程式化及抹除脈衝係為相反極性。

已在先前記憶體單元方法中採用多種可變電阻材料,包含利用自旋力矩特性之STT-RAM、涉及硫屬化合物之相變之PCRAM、Ag離子傳送技術、NiO及銅離子輸送材料。然而,先前方法技術中之諸多技術並未顯現良好的比例調整。圖案化至較小尺寸並非始終係可能的,且隨著記憶體單元尺寸減小,在形成記憶體單元中之蝕刻損壞變成一相對較大問題。

用於實施記憶體裝置之諸多先前方法已主要將半導體材料用於記憶體元件，保留對觸點及導體使用金屬。涉及金屬蝕刻之先前方法可因不良金屬蝕刻速率、高處理溫度之使用及額外能源之使用而受到阻礙。此等方法對於大基板之半導體成批處理係不可行的，此歸因於不良蝕刻均勻性、高成本、附加設備複雜性及可靠性問題。使用金屬以達成較小特徵尺寸中之此等及其他困難已阻礙製造高密度RRAM裝置之努力。

【發明內容】

本發明包含一種電阻式隨機存取記憶體(RRAM)裝置以及製造一RRAM裝置之方法。一種形成一RRAM裝置之方法包含形成具有一金屬-金屬氧化物界面之一電阻式元件。形成該電阻式元件包含在第一電極上方形成一絕緣材料及在該絕緣材料中形成一通孔。用一金屬材料保形地填充該通孔並將該金屬材料平坦化至該通孔內。金屬填充亦可係選擇性的或自底部向上進行。選擇性地處理該通孔內之該金屬材料之一部分以在該通孔內形成一金屬-金屬氧化物界面。在該電阻式元件上方形成一第二電極。

【實施方式】

在本發明之以下詳細闡述中，參考形成本發明之一部分之附圖，且在附圖中以圖解說明方式展示可如何實踐本發明之一或多項實施例。充分詳細地闡述此一或多項實施例以使熟悉此項技術者能夠實踐本發明之一或多項實施例，且應瞭解，可利用其他實施例且可在不背離本發明之範疇

之情況下作出製程、電或機械改變。

圖1圖解說明根據本發明之一RRAM裝置之一示意性剖視圖。根據本發明之一或多項實施例，圖1中所圖解說明之結構係實施為兩端子RRAM裝置之一低於40奈米之金屬氧化物(MO_x)單元。可藉由一製程製造該兩端子RRAM裝置，該製程包含：一通孔之一保形金屬填充；導體(例如，線)之平坦化(例如，CMP)隔離；選擇性氧化(例如，以形成包含一金屬-金屬氧化物界面之一作用區域)；及頂部電極圖案化。本發明之方法及結構包含製造有TiN-TiON及Cu-CuO_x界面之電阻式元件。然而，本發明之實施例並不限於此且可使用其他金屬製造，如下文所進一步闡述。關於圖1來闡述根據本發明之一RRAM裝置之結構，且關於圖2至圖5來闡述根據本發明之對應製造方法。

圖1中所示之RRAM裝置100剖面可包含一基板102，在基板102上形成有氧化物材料(例如，墊氧化物)104。基板102可係其上可施加一半導體裝置之任何實體材料，例如，矽(Si)或此項技術中類似地使用之材料。在氧化物材料104上方可形成氮化物(例如，氮化矽(SiN))材料106。在SiN材料106之一部分上方可形成氧化物材料108，且在SiN材料106之另一部分上方可形成一功能金屬材料110。功能金屬材料110可經實施而用於黏合、應力消除或其他適合之功能性(例如，一掩埋數位線(BDL))等。在功能金屬材料110上方可形成一導電金屬材料112(例如，鎢)，其中導電金屬材料112與功能金屬材料110構成一底部電極113。

在各項實施例中，該底部電極亦可充當記憶體陣列之一字線。在氧化物材料108與底部電極113之間可定位一SiN區域111。在導電金屬材料112上方可形成一電阻式元件117，電阻式元件117包含一第一部分116(毗鄰導電金屬材料112)及一第二部分118(毗鄰第一部分116)。

根據本發明之一或多項實施例，可由一導電金屬材料(例如，Cu、TiN)形成電阻式元件117之第一部分116，且可由彼導電金屬材料之氧化物(例如，CuOx、TiOxNy)形成電阻式元件117之第二部分118。例如，可由TiN形成電阻式元件117之第一部分116，且可由TiON形成第二部分。另一選擇係，電阻式元件117可經形成以具有銅(Cu)第一部分116及氧化銅(CuOx)第二部分118。根據各項實施例，由包含一金屬之一材料(例如，金屬、包含作為一金屬氮化物或金屬矽化物之至少一種金屬之一混合物)形成第一部分116，且由氧化物金屬氧化物形成第二部分118，例如，藉由氧化包含用於形成第一分之一金屬之材料。可由一貴金屬、鈮、鉑、鈦、一金屬氮化物或其之一組合形成第一部分116，且第二部分118係第一分之一材料之一對應氧化物。本發明之實施例並非嚴格限於前述材料，且可由適於其應用之其他材料形成導電組件。根據一或多項實施例，電阻式元件經形成以使得第一部分係一金屬氧化物且第二部分可係一金屬(例如，對應金屬)。

如圖1中所示，可在形成於一絕緣材料114(例如，電介質)內之一通孔119中形成電阻式元件117，絕緣材料114係

形成於氧化物材料108及第一電極之導電金屬材料112上方。如本文所使用，形成於某種材料「上方」可包含至少部分地形成於彼材料上方。可由(例如)SiN或氧化物材料形成絕緣材料114。如在圖1中可看出，通孔119係形成於絕緣材料114中以使得電阻式元件117將與電極(例如，底部電極113之導電金屬材料112)接觸。

可藉由用一金屬材料選擇性地填充通孔而形成電阻式元件117。可使用一保形金屬填充來填充形成於絕緣材料114內之通孔119。保形金屬填充(以及圖1中所圖解說明之結構中所示之其他金屬材料之施加)可使用原子材料沈積(ALD)、物理氣相沈積(PVD)、化學氣相沈積(CVD)、超臨界流體沈積(SFD)或用於施加金屬之其他適用薄膜製程來完成。可使用鑲嵌處理來施加及移除不期望之金屬材料，如下文所進一步論述。根據某些實施例，可用金屬材料自底部向上填充通孔。

根據一或多項實施例，可將本發明之RRAM裝置製造為一低於40奈米之一裝置。如此，通孔119可具有由圖1中之括號指示之小於40奈米之一尺寸(例如，其可係一直徑)。一低於40奈米之RRAM裝置可(例如)製造有約小於裝置大小之二分之一至四分之一之一通孔。在各項實施例中，可將本發明之RRAM裝置製造為具有一通孔119之一低於20奈米之裝置，通孔119具有由圖1中之括號指示之小於約10奈米之一尺寸。在其他實施例中，可將本發明之RRAM裝置製造為具有一通孔119之一低於15奈米之裝置，通孔119具

有由圖1中之括號指示之小於約5奈米之一尺寸。電阻式元件於第一部分與第二部分之間的分配可由用於選擇性地氧化通孔119中之經保形填充之金屬的製程控制。例如，經保形填充之金屬可藉由曝露至一氣體簇離子束(GCIB)或藉由在經選擇以控制通孔內之金屬-金屬氧化物界面之位置之條件下進行一電漿氧化(例如，一槽孔平面天線(SPA)電漿氧化製程)而氧化。根據各項實施例，選擇性地氧化通孔內之金屬材料係在一溫度下完成，低於該溫度金屬會發生顯著熱氧化(例如，在一相對低溫度下)。

在適當地氧化保形金屬填充物之後，可在電阻式元件117及絕緣材料114(其內形成含有電阻式元件117之通孔119)上方形成一頂部電極121。假定具有形成有一TiN第一部分116及一TiON第二部分118之一電阻式元件117之一RRAM裝置100，可由直接形成於電阻式元件117及絕緣材料114上方之TiN 120形成頂部電極121。在TiN材料120上方形成鎢122，TiN 120與鎢122構成第二電極121。

根據本發明之一或多項實施例，通孔119可具有小於40奈米之至少一個尺寸，且在某些實施例中，RRAM裝置可係一低於20奈米或低於15奈米之裝置，其中通孔119具有小於RRAM裝置之尺寸之二分之一的至少一個尺寸。在形成電阻式元件117之TiN第一部分116及TiON第二部分118時使用一保形金屬填充。然而，本發明之實施例不限於涉及隨後經氧化以形成一金屬-金屬氧化物界面之一金屬材料之保形金屬填充。根據至少一項實施例，自圖1中所示之

定向顛倒底部(例如，第一)電極113及頂部(例如，第二)電極121以及電阻式元件117之定向。亦即，在基板上方形形成第二電極。可接著藉由沈積一金屬(例如，TiN)、將其氧化以形成一金屬氧化物(例如，TiON)之後進行對應金屬(例如，TiN)之另一沈積來形成電阻式元件。可在該電阻式元件上方形成第一電極。第一電極之導電金屬材料112部分以及第一電極及第二電極之TiN 120部分分別經配置而毗鄰於電阻式元件117。

如關於圖1中所示之特定結構所闡述，可由可提供一個以上電阻狀態之一材料(例如，金屬、金屬氧化物(MO_x)、過渡金屬氧化物(TMO)及金屬氮化物等)形成一RRAM裝置之電阻式元件。該RRAM裝置可利用一電阻過渡特性，藉由此電阻過渡特性材料之電阻根據電壓及/或電流之施加之一改變而變化。

一電阻式元件可具有由半導體(例如，標稱電絕緣)且亦係弱離子導體之一或多種材料形成之一作用區域。該作用區域之材料可能夠寄存及輸送充當摻雜劑之離子以控制電子穿過該(等)材料之流動。亦可將離子輸送理解為一特定離子之缺少(例如，離子空位)之輸送，類似於藉由表示一電子之缺少之「電洞」之移動來理解電流。亦即，離子空位顯現為沿與對應離子之方向相反之一方向移動。一離子或其空位可係充當一陽離子或陰離子中之一者之一離子。

根據一種先前方法，可藉由沈積在某種初始特性(例如，離子空位之濃度)上不同之兩種離散材料而形成一電

阻式元件之作用區域。電阻式元件之操作可涉及離子空位自第一部分跨越電阻式元件之兩個部分之間的一邊界至第二部分之材料之輸送。該作用區域因此包括(例如)用於輸送及寄存充當摻雜劑之離子以控制電子之流動之一主要材料及用於為該主要材料提供一離子摻雜劑源之一輔助材料。

可將金屬用於多種應用中，包含半導體裝置應用中。金屬之某些材料性質(例如，較低電阻率、良好電遷移效能及增加之應力遷移阻力)在半導體應用中係期望的且可解釋金屬在互連線及觸點中之使用。某些金屬(例如鈦(Ti)及銅(Cu))之材料性質提供勝過其他金屬(例如，鋁(Al))之優點。例如，較低電阻可藉由減少RC時間延遲而允許信號更快地移動。

然而，將金屬(例如，Cu)引入至半導體裝置之多層級金屬化架構中可需要用於金屬圖案化之專門處理方法。金屬(例如，Cu)可難以進行乾蝕刻。因此，已開發用於金屬圖案化之製程方案，例如鑲嵌處理。鑲嵌方法係基於蝕刻電介質材料中之特徵、用金屬填充其且藉由化學機械平坦化(CMP)而平坦化頂部表面。雙鑲嵌方案將觸點及互連線兩者整合至一單個處理方案中。

圖2A及圖2B圖解說明根據本發明之一或多項實施例之在使用單鑲嵌處理形成一RRAM裝置期間之一結構的一剖視圖。圖2C圖解說明根據本發明之一或多項實施例之在使用單鑲嵌處理形成一RRAM裝置期間之一半導體結構的一

平面圖。圖2A展示在形成一RRAM裝置期間於圖2C中所指示之位置處沿一X-Z平面之一半導體結構230的一剖視圖(Z指示三維座標系統中之一垂直軸)，且圖2B展示於圖2C中所指示之位置處沿一Y-Z平面之一半導體結構232的一剖視圖。注意圖2C並非係RRAM裝置之一水平切面，此乃因位元線導體與字線導體在任何共同平面中皆不相交。而是，圖2C以平面圖展示位元線導體242、字線導體234及位元線電介質236之定向以同時指示圖2A及圖2B中之每一者中所指示之視圖之位置及定向。

半導體結構230及232展示形成於字線導體234及字線電介質材料238(圖2B中所示)上方之一位元線電介質236。在實現圖2A及圖2B中所示之組態之前，圖案化位元線電介質236(例如，在其中形成通孔)且在其中保形地沈積一電阻式單元堆疊材料240。隨後，在電阻式單元堆疊材料240上方沈積形成位元線導體之一金屬材料242以實現圖2A及圖2B中分別展示之結構230及232。

圖3A及圖3B圖解說明根據本發明之一或多項實施例之在使用單鑲嵌處理形成一RRAM裝置期間在平坦化以隔離一位元線之後之一半導體結構的一剖視圖。圖3A展示在形成一RRAM裝置期間相對於相交位元線導體及字線導體之一位置及定向(例如，圖2C中所指示之位置及定向)處沿X-Z平面之半導體結構330的一剖視圖，且圖3B展示相對於相交位元線導體及字線導體之一位置及定向(例如，圖2C中所指示之位置及定向)處沿Y-Z平面之半導體結構332的一

剖視圖。

半導體結構330及332包含對應於圖2A及圖2B中所示之相似組件之組件，包含：一位元線電介質336，其形成於一字線導體334及字線電介質材料338(圖3B中所示)上方；位元線電介質336；電阻式單元堆疊材料340；及金屬材料342，其沈積於電阻式單元堆疊材料340上方。結構230及232已經平坦化(例如，藉由CMP)以實現圖3A及圖3B中分別展示之結構330及332。如自圖3A及圖3B可觀察出，平坦化已移除沈積於通孔之外的電阻式單元堆疊材料340及金屬材料342之體積。以此方式，平坦化將金屬位元線與電阻式單元堆疊材料隔離成完全含在先前形成於位元線電介質336中之通孔內。圖2及圖3圖解說明一單鑲嵌處理情形。

圖4A及圖4B圖解說明根據本發明之一或多項實施例之在使用雙鑲嵌處理形成一RRAM裝置期間之一半導體結構的一剖視圖。圖4A展示在形成一RRAM裝置期間相對於相交位元線導體及字線導體之一位置及定向(例如，圖2C中所指示之位置及定向)處沿X-Z平面之一半導體結構460的一剖視圖，且圖4B展示相對於相交位元線導體及字線導體之一位置及定向(例如，圖2C中所指示之位置及定向)處沿一Y-Z平面之一半導體結構462的一剖視圖。

半導體結構460及462類似於圖2A及圖2B中所示之結構230及232，外加一蝕刻停止材料444。半導體結構460及462包含形成於一字線導體434及字線電介質材料438(圖4B

中所示)上方之一位元線電介質436。在實現圖4A及圖4B中所示之組態之前，沈積位元線電介質436之一下部部分，在位元線電介質436之下部部分上方沈積蝕刻停止材料444，其中在蝕刻停止材料444上方沈積位元線電介質436之一上部部分。位元線電介質436與蝕刻停止材料444「夾層」經圖案化以在其中形成通孔，且在蝕刻停止材料444上方之所選擇位置中移除位元線電介質436之上部部分。在通孔中且在蝕刻停止材料444之經曝露部分上方保形地沈積一電阻式單元堆疊材料440，隨後在電阻式單元堆疊材料440上方沈積一金屬材料442以實現圖4A及圖4B中分別展示之結構460及462。

圖5A及圖5B圖解說明根據本發明之一或多項實施例之在使用雙鑲嵌處理形成一RRAM裝置期間在平坦化以隔離一位元線之後之一半導體結構的一剖視圖。圖5A展示在形成一RRAM裝置期間相對於相交位元線導體及字線導體之一位置及定向(例如，圖2C中所指示之位置及定向)處沿X-Z平面之半導體結構560的一剖視圖，且圖5B展示相對於相交位元線導體及字線導體之一位置及定向(例如，圖2C中所指示之位置及定向)處沿Y-Z平面之半導體結構562的一剖視圖。

半導體結構560及562包含對應於圖4A及圖4B中所示之相似組件之組件，包含：一位元線電介質536，其中定位有一中間蝕刻停止材料544，該位元線電介質形成於一字線導體534及字線電介質材料538(圖5B中所示)上方；位元

線電介質 536；電阻式單元堆疊材料 540；及金屬材料 542，其沈積於電阻式單元堆疊材料 540 上方。圖 4A 及圖 4B 中所示之結構 460 及 462 已經平坦化(例如，藉由 CMP)以實現圖 5A 及圖 5B 中分別展示之結構 560 及 562。如自圖 5A 及圖 5B 可觀察出，平坦化已移除沈積於通孔之外的電阻式單元堆疊材料 540 及金屬材料 542 之體積。以此方式，平坦化將金屬位元線及電阻式單元堆疊材料隔離成完全含在先前形成於位元線電介質 536 中之通孔內。圖 4 及圖 5 圖解說明一雙鑲嵌處理情形，此歸因於位元線電介質 536 之分開配置(例如，位元線電介質 536 與蝕刻停止材料 544「夾層」)。

本發明所涵蓋之鑲嵌方法之一替代方案係對金屬材料進行一圖案化蝕刻。圖案化蝕刻製程涉及：在一基板上方沈積一金屬材料；在該金屬材料上方使用一經圖案化硬遮罩或光阻劑；使用一反應性離子蝕刻(RIE)製程對該金屬材料進行圖案化蝕刻；及在經圖案化金屬材料上方沈積電介質材料。對金屬進行圖案化蝕刻可具有勝過鑲嵌製程之優點，此乃因蝕刻細金屬圖案並接著將一電介質材料沈積至該金屬圖案上比獲取障壁材料及金屬以充分地填充一電介質膜中之小特徵開口更容易。

已使用氣體(例如，氯氣)來蝕刻金屬材料(例如，Cu、Al)。呈一氣體混合物之一含氯氣體包含氬(Ar)。為達成各向異性蝕刻，將 Cl_2 與其他含氯氣體(例如， Cl_2 、 HCl 、 BCl_3 、 SiCl_4 、 CHCl_3 、 CCl_4 及其組合)混合，此乃因單獨使

用 Cl_2 會導致各向同性蝕刻。使用氣電漿對金屬材料進行蝕刻涉及藉由電漿中之高能離子對金屬材料(例如, CuCl_x) 進行物理濺鍍。然而, 此方法存在數個缺點。例如, 使用此方法之蝕刻速率係極低的且經濺鍍金屬材料塗佈室壁且此需要對該室進行週期性清洗。在以氣電漿蝕刻高縱橫比特徵時會遇到另一缺點且經濺鍍金屬材料產物再沈積於特徵側壁上, 在該等特徵側壁處物理濺鍍之效果降低。此外, 當在高溫度(>攝氏200度)下實施該製程以增加被蝕刻金屬材料之揮發性時, 由於表面上累積之蝕刻殘留物而可發生腐蝕。在不藉由一蝕刻後清洗步驟移除此等殘留物之情況下, 甚至在將一保護材料施加於經蝕刻特徵上方之後, 其亦可導致金屬之持續腐蝕。

藉助一氣體(例如, 氟氣)蝕刻用於製造本發明之電阻式元件117之金屬材料之一替代方案係平坦化該金屬材料(例如, 以化學及/或機械方式)。例如, 可使用CMP來將用於形成電阻式元件117之金屬材料平坦化至通孔內。亦即, 可以化學及/或機械方式移除延伸於通孔之外的金屬材料。類似地, 可以化學及/或機械方式平坦化一半導體結構以移除一通孔內之金屬材料以及形成通孔之某些材料以使得通孔內之金屬材料實質上與通孔之開口在同一平面內。在採用化學及/或機械平坦化技術等製造本發明之RRAM裝置時, 可使用單鑲嵌及雙鑲嵌處理方法。

如上文所提及, 選擇性地氧化電阻式元件(例如, 圖1中所示之117)形成第二部分118且因此形成電阻式元件117之

第一部分116與第二部分118之間的一金屬-金屬氧化物界面115。以足夠精確度控制選擇性氧化製程可藉此控制電阻式元件之組態，包含電阻、至少兩個電阻狀態之間的電阻比率以及第一部分及第二部分中之每一者之實體尺寸。

在本發明之一或多項實施例中，可製作一RRAM裝置，其中電阻式元件117之第一部分116及第二部分118可經組態以提供在其低電阻狀態中充分地限制電流(例如，以達成期望之電力使用位準及/或保持於熱極限內)之一電阻。例如，電阻式元件117之一種組態在其低電阻狀態中提供至少1000歐姆之電阻。另外，在本發明之各項實施例中，可形成一RRAM裝置，其中電阻式元件之第一部分及第二部分經組態以使用汲取約1毫安之3伏程式化脈衝與汲取小於1.5毫安之-2伏抹除脈衝提供大約1000之一電阻比率。亦即，兩個電阻狀態之間的切換可導致約三個數量級之一電阻改變(例如，自約1,000歐姆改變至約1,000,000歐姆)。在某些實施例中，可形成一RRAM裝置，其中電阻式元件之第一部分及第二部分經組態以使用汲取約0.1毫安之3伏程式化脈衝與汲取小於0.3毫安之-2伏抹除脈衝提供大約100之一電阻比率。亦即，在較低電流量值下兩個電阻狀態之間的切換可導致約兩個數量級之一電阻改變(例如，自約1,000歐姆改變至約100,000歐姆)。

根據一或多項實施例，電阻式元件117可形成於一通孔中，該通孔具有至少一個低於40奈米之尺寸(例如，通孔之寬度及/或直徑)。在某些實施例中，電阻式元件117可作

為一RRAM裝置(例如，低於20奈米之裝置)之部分形成於具有小於10奈米之至少一個尺寸之一通孔中。在其他實施例中，電阻式元件117可作為一RRAM裝置(例如，低於15奈米之裝置)之部分形成於具有小於5奈米之至少一個尺寸之一通孔中。可藉由佔據通孔之全部體積或其某一部分而完全含在通孔中形成電阻式元件。亦即，在某些實施例中，可使保形金屬沈積不完全填充通孔。CMP移除通孔之外的金屬材料將導致金屬材料被侷限於通孔，但自環繞絕緣材料之表面稍微凹入。仍可選擇性地氧化凹入金屬，如先前所闡述。隨後形成第二電極(例如，TiN部分)，第二電極材料將延伸至通孔中而與凹入電阻式元件接觸。

在其他實施例中，電阻式元件經形成而延伸於通孔之外。例如，第一部分及第二部分中之至少一者可延伸於通孔之外介於自約10埃至約50埃之範圍中之一距離。如本文所使用，介於自約一第一尺寸至約一第二尺寸之範圍中之尺寸意指本發明之某些實施例介於自該第一尺寸至該第二尺寸之範圍中(除其他額外實施例之外)。又，可隨後選擇性地氧化電阻式元件之金屬材料且在至少該電阻式元件上方形成一第二電極。第二電極之TiN材料將保形地沈積在延伸於通孔之外的電阻式元件之第二部分周圍。

控制保形沈積於通孔內之金屬之選擇性氧化製程判定分別構成電阻式元件之第一部分及第二部分之通孔體積之分配。根據某些實施例，控制選擇性氧化以使得電阻式元件之第二部分佔據小於通孔之體積之約百分之四十(40%)。

在某些實施例中，控制選擇性氧化以使得第二部分佔據小於第一電極與第二電極之間的距離之約百分之二十五(25%)。如本文所使用，陳述為係約一既定百分比之百分比意指本發明之某些實施例經組態而具有該既定百分比之一特性(除其他額外實施例之外)。

在各項實施例中，電阻式元件之第二部分(例如，TiON)具有沿在第一電極與第二電極之間延伸的通孔之尺寸的介於自約10埃至約100埃之範圍中之一深度。在某些實施例中，電阻式元件之第二部分(例如，TiON)具有沿在第一電極與第二電極之間延伸的通孔之尺寸的介於自約20埃至約80埃之範圍中之一深度。

根據本發明之一或多項實施例，如上文所闡述製造之RRAM裝置可用作一記憶體陣列之記憶體單元，該等RRAM裝置配置成一交叉點組態。此外，如此構造之記憶體陣列可併入至各種電子記憶體、計算裝置以及其他設備及計算系統中。

圖6係根據本發明之一或多項實施例之一交叉點電阻式記憶體陣列的一透視圖。交叉點電阻式記憶體陣列670可包含複數個底部(亦即，第一)電極676及複數個頂部(亦即，第二)電極676。底部電極676可經配置而沿一第一方向彼此平行且第二電極676可經配置而沿一第二方向彼此平行。第一方向及第二方向可(但不必)彼此垂直。然而，第一方向及第二方向可經定向以使得底部電極及頂部電極彼此交叉以建立複數個相交點(例如，交叉點)，可在該等

相交點之間形成一電阻式元件674。

頂部電極676類似於圖1中所示之頂部電極121，且可如先前針對頂部電極121所闡述而製造。底部電極676類似於圖1中所示之底部電極113，且可如先前針對底部電極113所闡述而製造。電阻式元件674類似於圖1中所示之電阻式元件117，且可如先前針對電阻式元件117所闡述而製造以包含一金屬部分及一金屬氧化物部分。例如，交叉點電阻式記憶體陣列670可包含複數個記憶體單元，每一記憶體單元係如關於圖1所闡述而製造之一RRAM裝置。可顛倒底部(亦即，第一)電極676、頂部(亦即，第二)電極676及電阻式元件之位置及/或配置，包含電阻式元件之金屬及金屬氧化物部分之顛倒，如先前所闡述。

可藉由自動化系統(例如，電腦控制之半導體製造設備)來製造上文所闡述之結構、電路及裝置。例如，一非暫時性電腦可讀媒體上可儲存有可由一處理器執行以致使一設備或裝置執行本文所陳述之製造方法之指令。除其他動作之外，該等指令亦可致使半導體製造設備進行以下操作：在一基板上方沈積一第一電極、在至少該第一電極上方沈積一絕緣材料、在該絕緣材料中形成一通孔、至少在該通孔內沈積包含一金屬之一保形材料、將包含該金屬之該保形材料隔離至該通孔內、選擇性地處理該通孔內之包含該金屬之該材料以氧化包含該金屬之該材料之一部分及在包含該金屬之該材料之經氧化部分上方沈積一第二電極。

本文已闡述用於形成RRAM裝置之裝置、方法及系統，

且特定而言，已闡述形成可操作以在兩個或兩個以上電阻狀態之間切換的一金屬-金屬氧化物界面之金屬材料處理。雖然本文中已圖解說明及闡述了特定實施例，但熟習此項技術者將瞭解，經計算以達成相同結果之一配置可替代所展示之特定實施例。本發明意欲涵蓋對本發明之一或多項實施例之更改或變化。應理解，已以一說明性方式而非一限定性方式作出以上闡述。在審閱以上闡述之後，熟習此項技術者將明瞭以上實施例之組合及本文中未具體闡述之其他實施例。本發明之一或多項實施例之範疇包含其中使用以上結構及方法之其他應用。因此，本發明之一或多項實施例之範疇應參考隨附申請專利範圍連同授權此等申請專利範圍之等效物之全部範圍來判定。

在前述實施方式中，出於簡化本揭示內容之目的，將各種特徵一起組合於一單個實施例中。本發明之此方法不應解釋為反映本發明所揭示之實施例必須使用比明確陳述於每一請求項中更多之特徵之一意圖。相反，如以下申請專利範圍反映：發明性標的物在於少於一單個所揭示實施例之所有特徵。因此，特此將以下申請專利範圍併入至實施方式中，其中每一請求項獨立地作為一單獨實施例。

【圖式簡單說明】

圖1圖解說明根據本發明之一或多項實施例之一RRAM裝置之一示意性剖視圖。

圖2A及圖2B圖解說明根據本發明之一或多項實施例之在使用單鑲嵌處理形成一RRAM裝置期間之一半導體結構

的一剖視圖。

圖2C圖解說明根據本發明之一或多項實施例之在使用單鑲嵌處理形成一RRAM裝置期間之一半導體結構之一平面圖。

圖3A及圖3B圖解說明根據本發明之一或多項實施例之在使用單鑲嵌處理形成一RRAM裝置期間在平坦化以隔離一位元線之後之一半導體結構的一剖視圖。

圖4A及圖4B圖解說明根據本發明之一或多項實施例之在使用雙鑲嵌處理形成一RRAM裝置期間之一半導體結構的一剖視圖。

圖5A及圖5B圖解說明根據本發明之一或多項實施例之在使用雙鑲嵌處理形成一RRAM裝置期間在平坦化以隔離一位元線之後之一半導體結構的一剖視圖。

圖6係根據本發明之一或多項實施例之一交叉點電阻式記憶體陣列之一透視圖。

【主要元件符號說明】

100	電阻式隨機存取記憶體(RRAM)裝置
102	基板
104	氧化物材料
106	氮化物材料
108	氧化物材料
110	功能金屬材料
111	SiN區域
112	導電金屬材料

113	底部電極
114	絕緣材料
115	金屬-金屬氧化物界面
116	第一部分
117	電阻式元件
118	第二部分
119	通孔
120	TiN材料
121	頂部電極
122	鎢
230	半導體結構
232	半導體結構
234	字線導體
236	位元線電介質
238	字線電介質材料
240	電阻式單元堆疊材料
242	金屬材料
330	半導體結構
332	半導體結構
334	字線導體
336	位元線電介質
338	字線電介質材料
340	電阻式單元堆疊材料
342	金屬材料

- 434 字線導體
- 436 位元線電介質
- 438 字線電介質材料
- 440 電阻式單元堆疊材料
- 442 金屬材料
- 444 蝕刻停止材料
- 460 半導體結構
- 462 半導體結構
- 534 字線導體
- 536 位元線電介質
- 538 字線電介質材料
- 540 電阻式單元堆疊材料
- 542 金屬材料
- 544 蝕刻停止材料
- 560 半導體結構
- 562 半導體結構
- 670 交叉點電阻式記憶體陣列
- 674 電阻式元件
- 676 底部電極

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100123396

※ 申請日：100.7.11

※IPC 分類：H01L 21/824 (2006.01)

一、發明名稱：(中文/英文)

G11C 13/00 (2006.01)

電阻式隨機存取記憶體裝置及方法

H01L 21/8 (2006.01)

RESISTIVE RAM DEVICES AND METHODS

二、中文發明摘要：

本發明包含一種高密度電阻式隨機存取記憶體 (RRAM) 裝置以及製造一高密度 RRAM 裝置之方法。一種形成一 RRAM 裝置之方法包含形成具有一金屬-金屬氧化物界面之一電阻式元件。形成該電阻式元件包含在第一電極上方形成一絕緣材料及在該絕緣材料中形成一通孔。用一金屬材料保形地填充該通孔並將該金屬材料平坦化至該通孔內。選擇性地處理該通孔內之該金屬材料之一部分以在該通孔內形成一金屬-金屬氧化物界面。在該電阻式元件上方形成一第二電極。

三、英文發明摘要：

The present disclosure includes a high density resistive random access memory (RRAM) device, as well as methods of fabricating a high density RRAM device. One method of forming an RRAM device includes forming a resistive element having a metal-metal oxide interface. Forming the resistive element includes forming an insulative material over the first electrode, and forming a via in the insulative material. The via is conformally filled with a metal material, and the metal material is planarized to within the via. A portion of the metal material within the via is selectively treated to create a metal-metal oxide interface within the via. A second electrode is formed over the resistive element.

七、申請專利範圍：

1. 一種形成一電阻式隨機存取記憶體 (RRAM) 裝置之方法，其包括：

在一第一電極上方形成一電阻式元件，其中形成該電阻式元件包含：

在該第一電極電極上方形成一絕緣材料；

在該絕緣材料中形成一通孔；

用一金屬材料保形地填充該通孔；

將該金屬材料平坦化至該通孔內；及

選擇性地處理該通孔內之該金屬材料之一部分以在該通孔內形成一金屬-金屬氧化物界面；及

在該電阻式元件上方形成一第二電極。

2. 如請求項1之方法，其中選擇性地處理該通孔內之該金屬材料包含：選擇性地氧化該金屬材料之該部分。
3. 如請求項2之方法，其中在一溫度下完成選擇性地氧化該通孔內之該金屬材料之該部分，低於該溫度會發生顯著熱氧化。
4. 如請求項3之方法，其中選擇性地氧化該通孔內之該金屬材料之該部分包含：電漿氧化。
5. 如請求項2之方法，其中選擇性地氧化該通孔內之該金屬材料之該部分包含：一槽孔平面天線 (SPA) 電漿氧化製程。
6. 如請求項1至5中任一項之方法，其中選擇性地處理該通孔內之該金屬材料包含：將該通孔內之該金屬材料之該

部分選擇性地曝露至一氣體簇離子束(GCIB)。

7. 如請求項1至5中任一項之方法，其中用一金屬材料保形地填充該通孔包括：用TiN保形地填充該通孔。
8. 如請求項7之方法，其中選擇性地處理該通孔內之該金屬材料之該部分在該通孔內形成一TiN-TiON界面。
9. 如請求項1至5中任一項之方法，其中用一金屬材料保形地填充該通孔包含：用銅保形地填充該通孔。
10. 如請求項9之方法，其中選擇性地處理該通孔內之該金屬材料之該部分形成一Cu-CuO_x界面。
11. 如請求項10之方法，其中使用一金屬材料之原子層沈積(ALD)來完成用該金屬材料保形地填充該通孔。
12. 如請求項1至5中任一項之方法，其中使用一金屬材料之原子層沈積(ALD)來完成用該金屬材料保形地填充該通孔。
13. 如請求項1至5中任一項之方法，其中使用一金屬材料之物理氣相沈積(PVD)來完成用該金屬材料保形地填充該通孔。
14. 如請求項1至5中任一項之方法，其中使用一金屬材料之化學氣相沈積(CVD)來完成用該金屬材料保形地填充該通孔。
15. 如請求項1至5中任一項之方法，其中使用一金屬材料之超臨界流體沈積(SFD)來完成用該金屬材料保形地填充該通孔。
16. 如請求項1至5中任一項之方法，其中形成該電阻式元件

- 包含藉由鑲嵌處理而在該通孔內製造一金屬材料。
17. 如請求項16之方法，其中鑲嵌處理包含單鑲嵌處理。
18. 如請求項16之方法，其中鑲嵌處理包含雙鑲嵌處理。
19. 如請求項16之方法，其中用一金屬材料保形地填充該通孔包含：用該金屬材料選擇性地填充該通孔。
20. 如請求項16之方法，其中用一金屬材料保形地填充該通孔包含：用該金屬材料自底部向上填充該通孔。
21. 一種藉由如請求項1之方法而形成之RRAM裝置。
22. 一種電阻式隨機存取記憶體(RRAM)裝置，其包括：
一第一電極；
一第二電極，其藉由一半導體絕緣材料而與該第一電極分離；及
一電阻式元件，其含在形成於該半導體絕緣材料中之一通孔內，該通孔在該第一電極與該第二電極之間延伸，該電阻式元件包含一第一部分及一第二部分，該第一部分係包含一金屬之一材料且該第二部分係包含該金屬之該材料之氧化物，藉由選擇性地氧化該通孔內之包含該金屬之該材料以在一位置處形成一金屬-金屬氧化物界面而形成該氧化物，該金屬-金屬氧化物界面使得該電阻式元件能夠在彼此相差至少兩個數量級之一個以上電阻狀態之間切換。
23. 如請求項22之RRAM裝置，其中該第一部分係一貴金屬。
24. 如請求項22之RRAM裝置，其中該第一部分係鈮。

25. 如請求項22之RRAM裝置，其中該第一部分係鉤。
26. 如請求項22之RRAM裝置，其中該第一部分係釘。
27. 如請求項22之RRAM裝置，其中該第一部分係Cu且該第二部分係CuO_x。
28. 如請求項22之RRAM裝置，其中該第一部分係TiN且該第二部分係TiON。
29. 如請求項22至28中任一項之RRAM裝置，其中該電阻式元件之該第一部分及該第二部分經組態以使用汲取約1毫安之3伏程式化脈衝與汲取小於1.5毫安之-2伏抹除脈衝提供大約1000之一電阻比率。
30. 如請求項22至28中任一項之RRAM裝置，其中該電阻式元件之該第一部分及該第二部分經組態以使用汲取約0.01毫安之3伏程式化脈衝與汲取小於0.03毫安之-2伏抹除脈衝提供大約100之一電阻比率。
31. 如請求項22至28中任一項之RRAM裝置，其中該電阻式元件之該第一部分及該第二部分經組態以提供至少約1000歐姆之電阻。
32. 如請求項22至28中任一項之RRAM裝置，其中該第二部分小於該通孔之體積之約百分之四十(40%)。
33. 如請求項22至28中任一項之RRAM裝置，其中該第二部分佔據小於該第一電極與該第二電極之間的距離之約百分之二十五(25%)。
34. 如請求項22至28中任一項之RRAM裝置，其中該第二部分沿在該第一電極與該第二電極之間延伸之該通孔之尺

寸係介於自約10埃至約100埃之範圍中。

35. 如請求項34之RRAM裝置，其中該第二部分沿在該第一電極與該第二電極之間延伸之該通孔之該尺寸係介於自約20埃至約80埃之範圍中。
36. 如請求項22至28中任一項之RRAM裝置，其中該第一電極包含沈積於一掩埋數位線上方之鎢，該第一電極經配置以使得該鎢與該電阻式元件之該第一部分接觸。
37. 如請求項22至28中任一項之RRAM裝置，其中該第二電極包含沈積於一定體積之TiN上方的一定體積之鎢，該第二電極經配置以使得該TiN與該電阻式元件之該第二部分接觸。
38. 如請求項22至28中任一項之RRAM裝置，其中該半導體絕緣材料係SiN。
39. 如請求項22至28中任一項之RRAM裝置，其中該半導體絕緣材料係氧化物。
40. 一種電阻式隨機存取記憶體(RRAM)裝置，其包括：
 - 一第一電極；
 - 一第二電極，其藉由其中具有一通孔之一半導體絕緣材料而與該第一電極分離，該通孔在該第一電極與該第二電極之間延伸；及
 - 一電阻式元件，其形成於至少該通孔內且包含一第一部分及一第二部分，該第一部分係包含一金屬材料之一材料，該第二部分係包含該金屬之該材料之氧化物，藉由選擇性地氧化該通孔內之包含該金屬之該材料以在一

位置處形成一金屬-金屬氧化物界面而形成該氧化物，該金屬-金屬氧化物界面使得該電阻式元件能夠在彼此相差至少兩個數量級之一個以上電阻狀態之間切換。

41. 如請求項40之RRAM裝置，其中該電阻式元件之該第一部分及該第二部分經組態以使得其並不佔據該通孔之全部體積，其中該第一電極及該第二電極中之至少一者延伸至該通孔中而與該電阻式元件接觸。
42. 如請求項41之RRAM裝置，其中該第一電極及該第二電極中之該至少一者延伸至該通孔中介於自約10埃至約50埃之範圍中。
43. 如請求項40至42中任一項之RRAM裝置，其中該電阻式元件之該第一部分及該第二部分經組態以使得其佔據至少該通孔之該全部體積，其中該第一部分及該第二部分中之至少一者延伸於該通孔之外而與該第一電極或該第二電極中之一者接觸。
44. 如請求項43之RRAM裝置，其中該第一部分及該第二部分中之該至少一者延伸於該通孔之外介於自約10埃至約50埃之範圍中之一距離。
45. 如請求項40至42中任一項之RRAM裝置，其中該電阻式元件經配置以使該通孔內該第二部分形成於該第一部分上方。
46. 如請求項40至42中任一項之RRAM裝置，其中該電阻式元件經配置以使該通孔內該第一部分形成於該第二部分上方。

八、圖式：

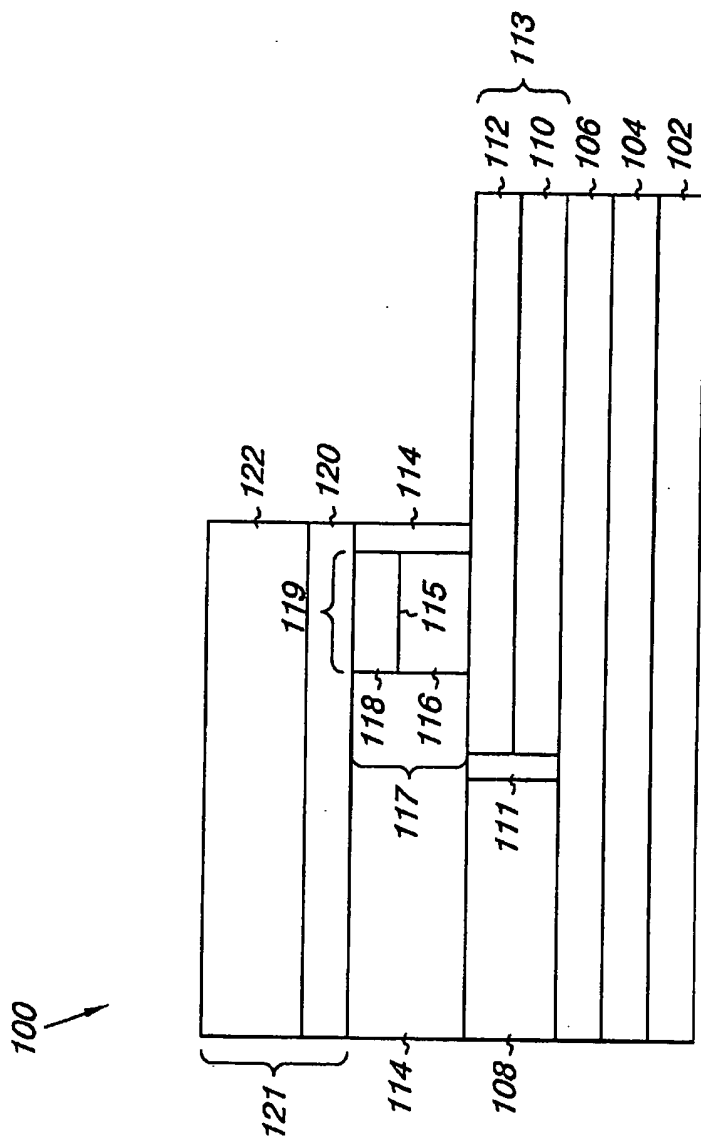


圖 1

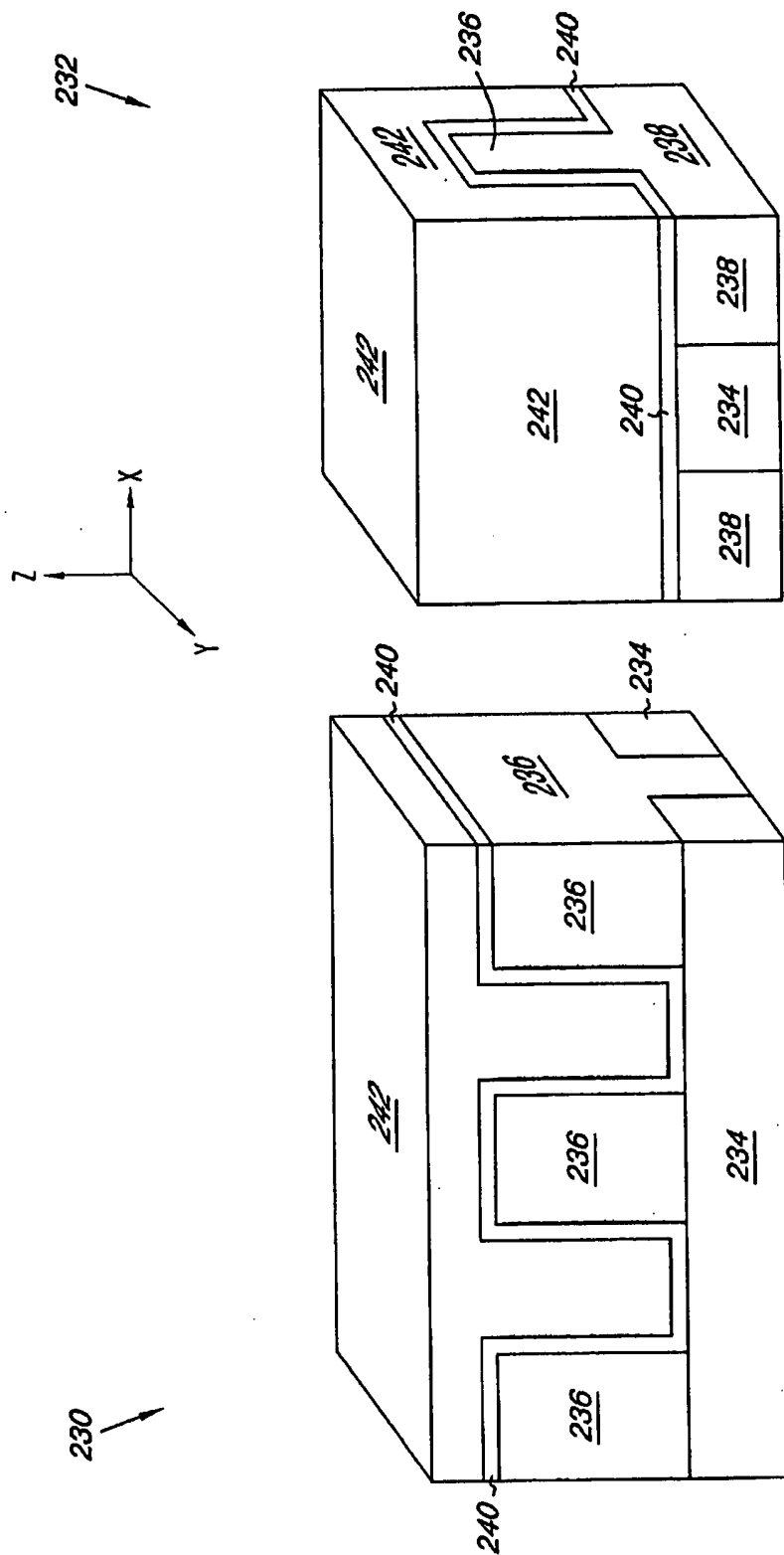


圖 2B

圖 2A

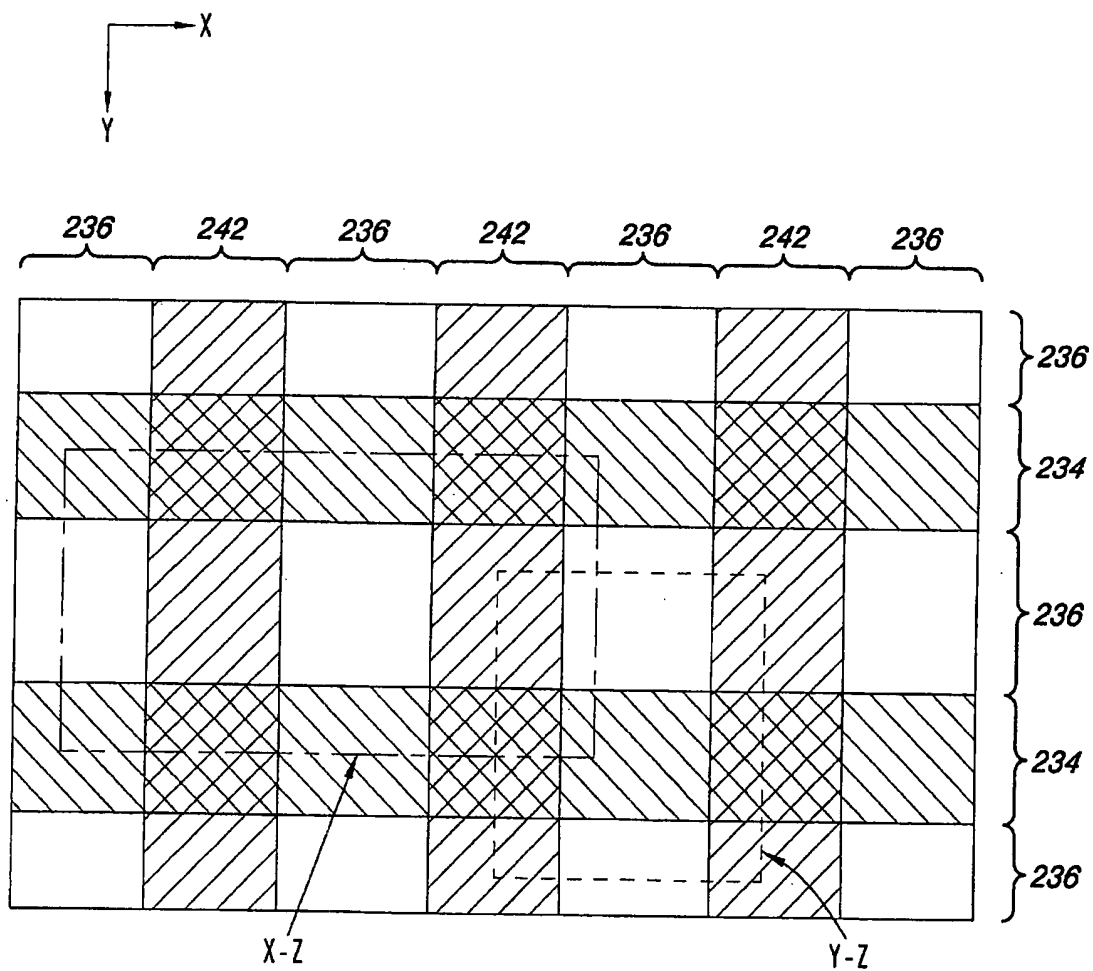


圖2C

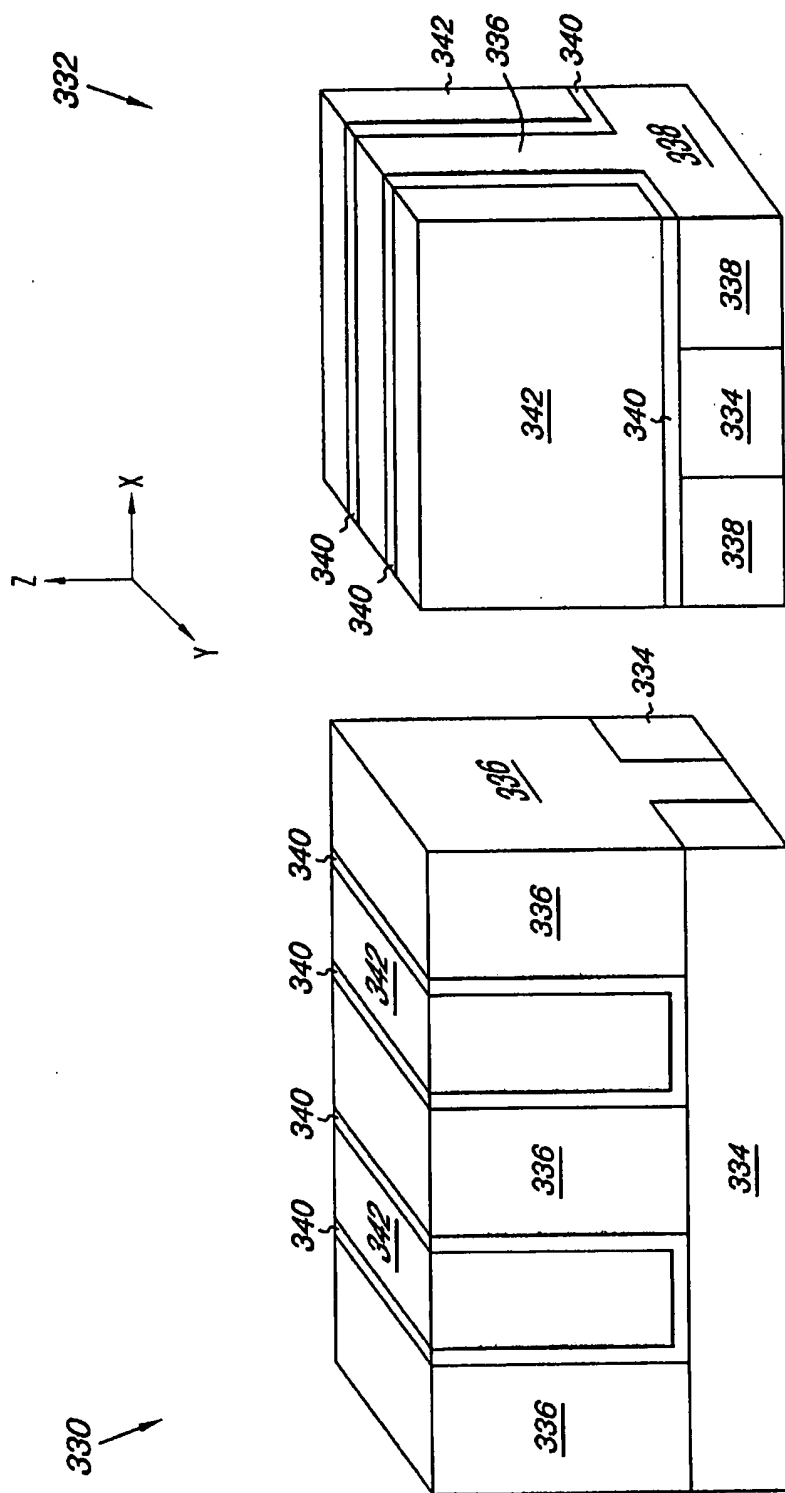


圖3B

圖3A

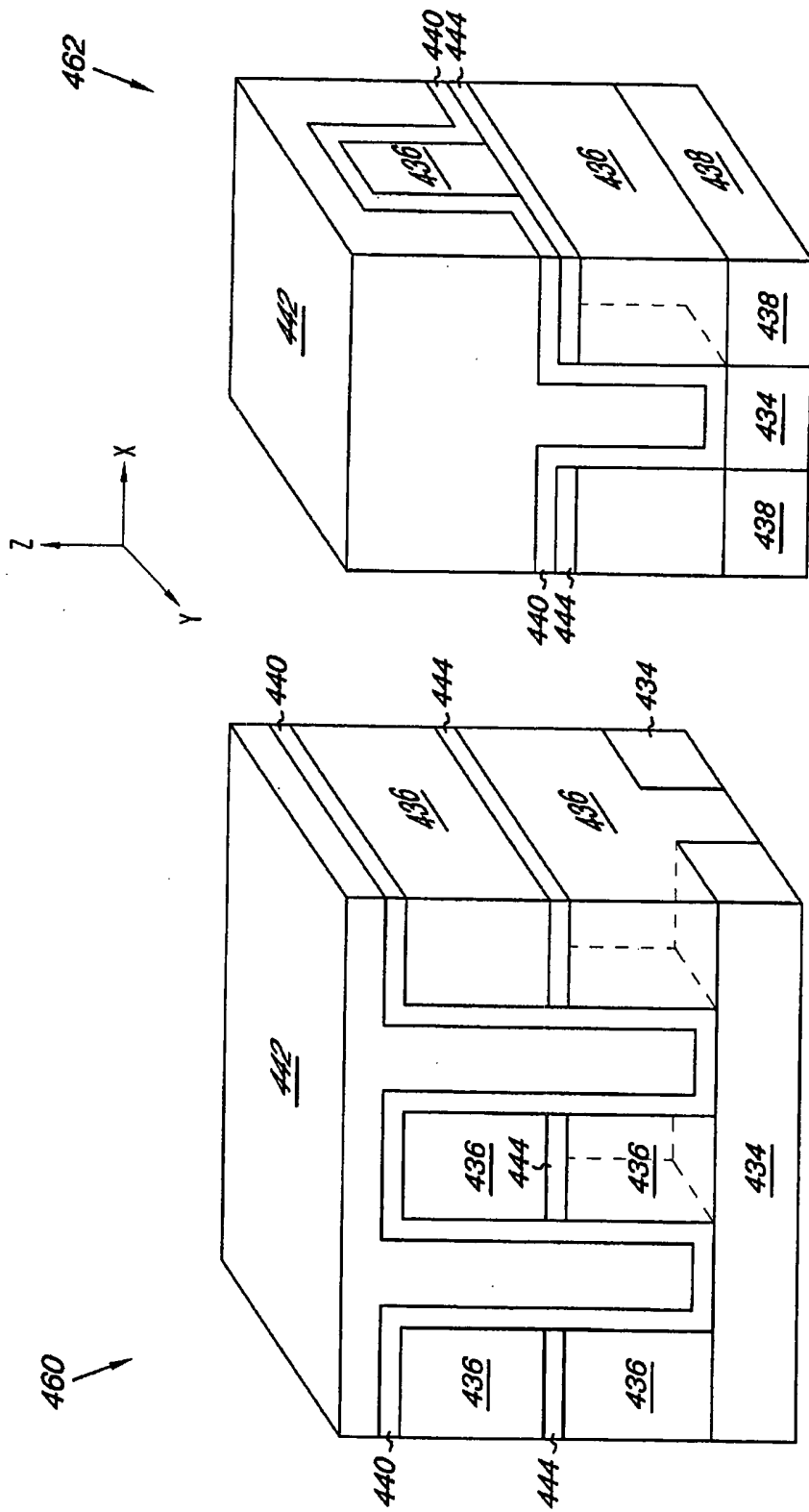


圖4A

圖4B

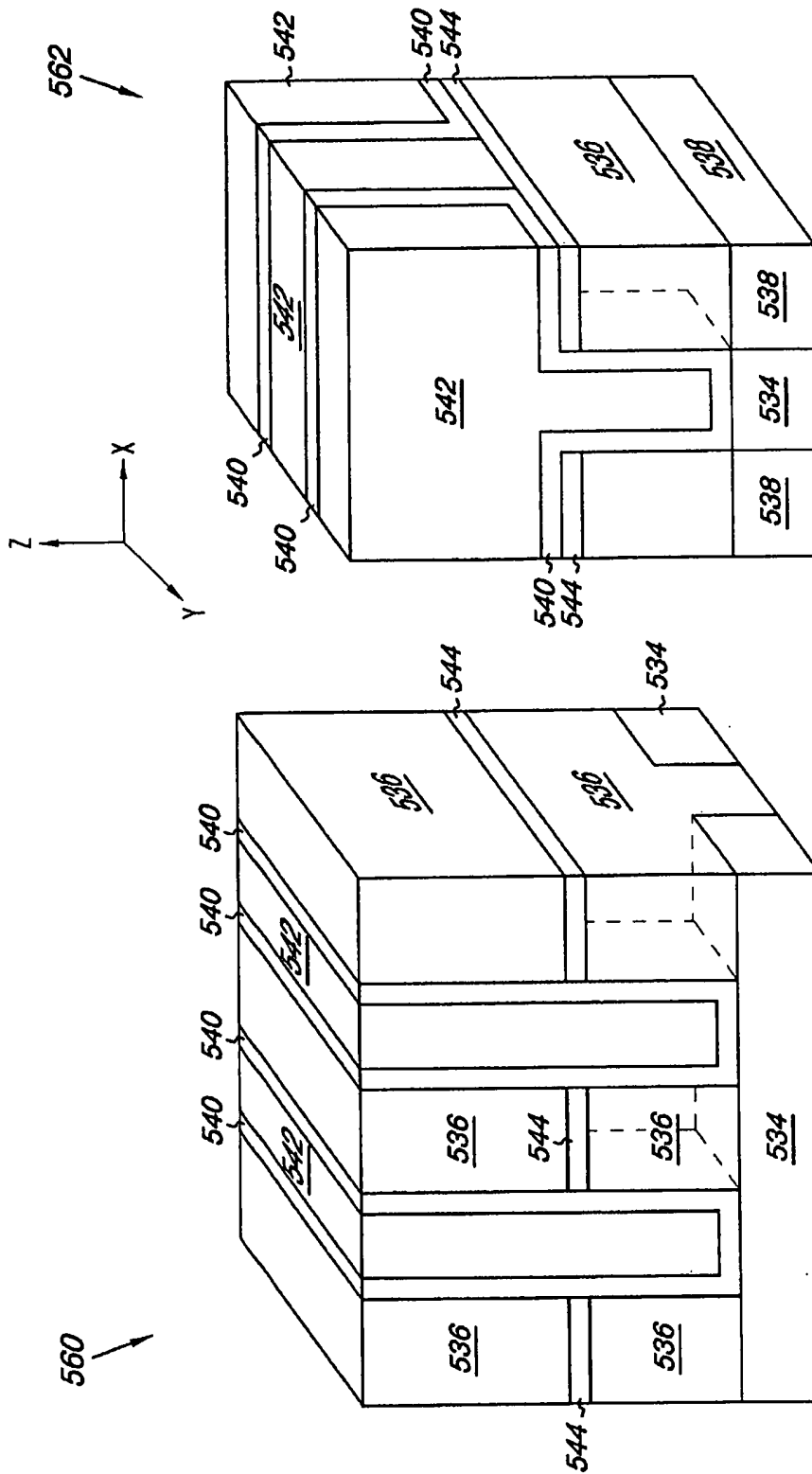


圖 5B

圖 5A

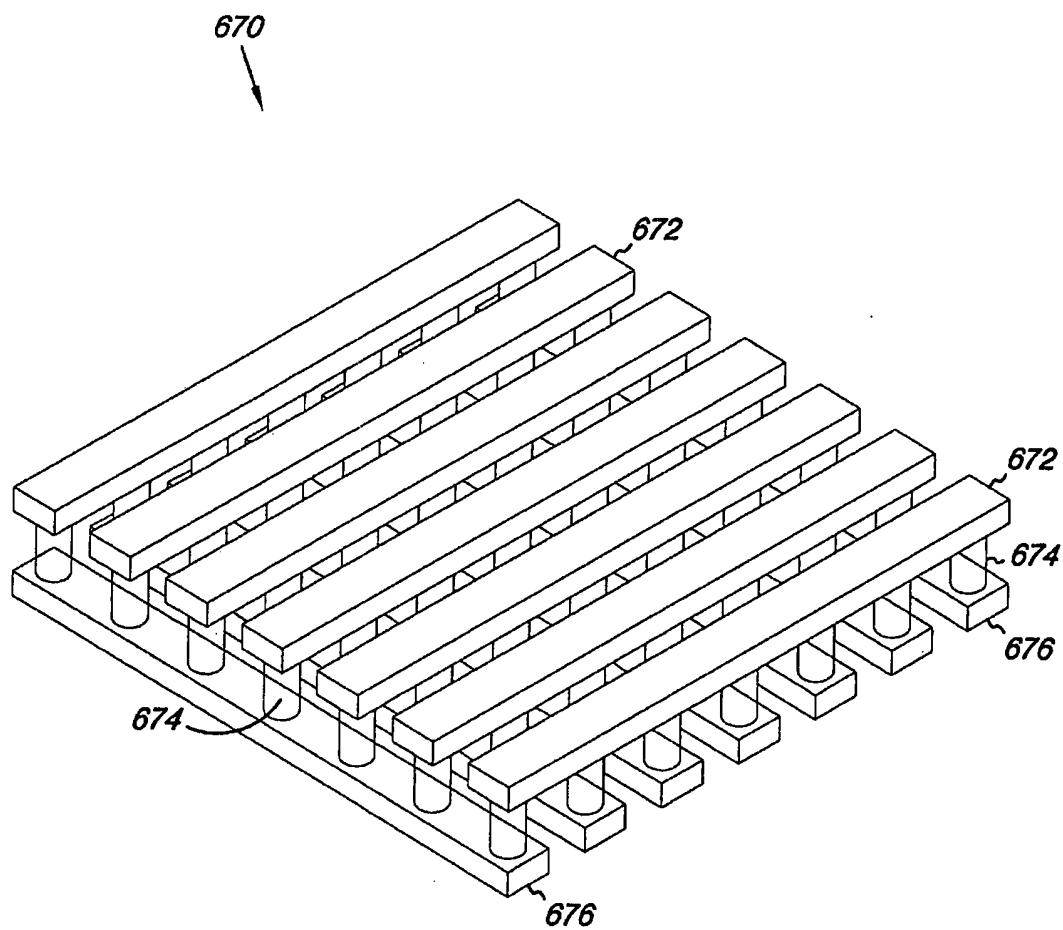


圖6

四、指定代表圖：

(一)本案指定代表圖為：第 (5B) 圖。

(二)本代表圖之元件符號簡單說明：

534	字線導體
536	位元線電介質
538	字線電介質材料
540	電阻式單元堆疊材料
542	金屬材料
544	蝕刻停止材料
562	半導體結構

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)