



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU 226498

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 14 12 82
(21) PV 9128-82

(11)

(B1)

(51) Int. Cl.³
H 03 K 23/22

(40) Zveřejněno 29 07 83
(45) Vydáno 15 11 85

(75)
Autor vynálezu

MAŠEK MILOŠ ing., PRAHA

(54) Synchronní čítač s pevnými paměťmi

1

Vynález se týká synchronních čítačů, používaných v měřicích zařízeních nebo v elektronických počítačích.

Dosud známé synchronní čítače používají pro nastavení informačních vstupů klopných obvodů před příchodem hodinového impulsu logických prvků (hradel) o různém počtu vstupů, přičemž počet těchto logických prvků roste nelineárně s počtem stupňů synchronního čítače.

Pokud je třeba uvést výstupy některých, předem zvolených klopných obvodů synchronního čítače trvale do stavu logické 1 nebo logické 0, musí se použít další logické prvky pro kombinační obvody, umožňující funkci zbývajících, za sebou řazených klopných obvodů synchronního čítače.

Shora uvedenou nevýhodu odstraňuje synchronní čítač s pevnými paměťmi podle vynálezu, jehož podstata spočívá v tom, že informační vstupy D druhého až posledního klopného obvodu synchronního čítače s pevnými paměťmi jsou připojeny na první až předposlední výstup Y první pevné paměti, zatímco výstupy Q prvního až posledního klopného obvodu jsou připojeny na první až poslední vstup první pevné paměti, přičemž vstup D prvního klopného obvodu je přes informační vstup synchronního čítače s pevnými paměťmi spojen s úrovní logické jedničky a výstupy Q prvního až posledního klopného obvodu jsou přivedeny na první až poslední výstup synchronního čítače s pevnými paměťmi.

Nastavovací vstupy R, S prvního a druhého klopného obvodu jsou připojeny na výstupy Y druhé pevné paměti, nastavovací vstupy R, S třetího a čtvrtého klopného obvodu jsou připojeny na výstupy Y třetí pevné paměti a nastavovací vstupy R, S pátého a šestého klopného obvodu jsou připojeny na výstupy Y čtvrté pevné paměti.

226498

Vstupy A, B, C, D druhé, třetí a čtvrté pevné paměti jsou přivedeny na první až dvanáctý vstup synchronního čítače s pevnými paměťmi, zatímco další vstupy E druhé, třetí a čtvrté pevné paměti jsou vzájemně propojeny a vyvedeny na vstup pro nulování synchronního čítače s pevnými paměťmi.

Další vstupy F druhé, třetí a čtvrté paměti jsou také vzájemně propojeny a vyvedeny na vstup pro nastavení synchronního čítače s pevnými paměťmi. Obsah první pevné paměti je naprogramován tak, aby na prvním výstupu Y1 byla úroveň logické jedničky, když na prvním vstupu A je úroveň logické jedničky, na druhém výstupu Y2 musí být logická jednička, když na prvních dvou vstupech A, B je logická jednička, na třetím výstupu Y3 musí být logická jednička, když na prvních třech vstupech A, B, C je logická jednička a podobně na čtvrtém výstupu Y4 musí být logická jednička, když na prvních čtyřech vstupech je logická jednička, bez ohledu na to, jaké úrovně jsou na dalších vstupech první pevné paměti a také poslední výstup první pevné paměti musí mít úroveň logické jedničky, když všechny vstupy první pevné paměti mají úroveň logické jedničky.

Při všech ostatních kombinacích vstupů první pevné paměti jsou na výstupech úrovně logické nuly. Obsahy druhé, třetí a čtvrté pevné paměti jsou shodné a naprogramovány příkladně tak, že výstupy Y těchto pamětí jsou všechny na úrovni logické jedničky, jestliže vstupy E a F druhé, třetí a čtvrté pevné paměti jsou na úrovni logické nuly, bez ohledu na úrovně zbývajících vstupů A, B, C, D druhé, třetí a čtvrté pevné paměti. Jestliže je na vstupu E druhé, třetí a čtvrté pevné paměti úroveň logické jedničky, pak bez ohledu na úrovně ostatních vstupů druhé, třetí a čtvrté pevné paměti je na výstupech Y těchto pamětí úroveň logické nuly.

Jestliže je na vstupu F druhé, třetí a čtvrté pevné paměti úroveň logické jedničky a současně na vstupu E druhé, třetí a čtvrté pevné paměti úroveň logické nuly, pak je možné uvést výstupy Q klopných obvodů pomocí vstupů A, B, C, D druhé, třetí a čtvrté pevné paměti trvale do stavu logické jedničky nebo logické nuly a to tak, že vstupy B a D druhé, třetí a čtvrté pevné paměti se spojí s úrovní logické jedničky a vstupy A, C druhé, třetí a čtvrté pevné paměti s úrovní logické nuly, takže na výstupech Y1 a Y3 druhé, třetí a čtvrté pevné paměti se objeví úroveň logické nuly, zatímco na výstupech Y2, Y4 druhé, třetí a čtvrté pevné paměti zůstává úroveň logické jedničky anebo tak, že vstupy A, C druhé, třetí a čtvrté pevné paměti se spojí s úrovní logické jedničky, přičemž na všech výstupech druhé, třetí a čtvrté pevné paměti se objeví úroveň logické nuly.

Výhoda vynálezu spočívá především v tom, že jsou logické prvky zcela nahrazeny pevnými paměťmi s více vstupy a výstupy, které stačí pro nastavení informačních vstupů více klopných obvodů synchronního čítače a poslouží také pro nastavení výstupů libovolných klopných obvodů synchronního čítače do stavu logické 1 nebo logické nuly s menším počtem obvodů střední integrace.

Na připojeném výkresu je znázorněno příkladné zapojení synchronního binárního čítače podle vynálezu se šesti klopnými obvody 1, 2, 3, 4, 5, 6 a čtyřmi pevnými paměťmi 7, 8, 9, 10. Hodinový vstup 001 synchronního binárního čítače, na který se přivádějí hodinové impulzy, je spojen s hodinovými vstupy CL 101, 201, 301, 401, 501, 601 klopných obvodů 1, 2, 3, 4, 5, 6, zatímco informační vstupy D 202, 302, 402, 502, 602 druhého až šestého klopného obvodu 2, 3, 4, 5, 6 jsou připojeny na výstupy Y1 až Y5 707, 708, 709, 710, 711 první pevné paměti 7 a výstupy Q 105, 205, 305, 405, 505, 605 prvního až šestého klopného obvodu 1, 2, 3, 4, 5, 6 jsou připojeny ke vstupům A, B, C, D, E, F 701, 702, 703, 704, 705, 706 první pevné paměti 7 a dále vstupy R 104, 204 pro nulování klopných obvodů 1, 2 jsou připojeny na výstupy Y1, Y3 807, 809 druhé pevné paměti 8, vstupy R 304, 404 pro nulování klopných obvodů 3, 4 jsou připojeny na výstupy Y1, Y3 907, 909 třetí pevné paměti 9, vstupy R 504, 604 pro nulování klopných obvodů 5, 6 jsou připojeny na výstupy Y1, Y3 1007, 1009 čtvrté pevné paměti 10, vstupy S 103, 203 pro nastavení klopných obvodů 1, 2 jsou připojeny na výstupy Y2, Y4 808, 810 druhé pevné paměti 8, vstupy S 303, 403 pro nastavení klopných obvodů

3, 4 jsou připojeny na výstupy Y2, Y4 908, 910 třetí pevné paměti 2, vstupy S 503, 603 pro nastavení klopných obvodů 5, 6 jsou připojeny na výstupy Y2, Y4 1008, 1010 čtvrté pevné paměti 10, naproti tomu jsou vstupy E 805, 905, 1005 druhé, třetí a čtvrté pevné paměti 8, 9, 10 vzájemně propojeny a vyvedeny na vstup 004 pro nulování synchronního čítače a také vstupy F 806, 906, 1006 druhé, třetí a čtvrté pevné paměti 8, 9, 10 jsou vzájemně propojeny a vyvedeny na vstup 003 pro nastavení synchronního čítače, zatímco vstupy A, B, C, D 801, 802, 803, 804 druhé pevné paměti 8 jsou spojeny s prvním až čtvrtým vstupem 011, 012, 013, 014 synchronního čítače, stejně jako vstupy A, B, C, D 901, 902, 903, 904 třetí pevné paměti 9 jsou spojeny s pátým až osmým vstupem 015, 016, 017, 018 synchronního čítače, stejně jako vstupy A, B, C, D 1001, 1002, 1003, 1004 čtvrté pevné paměti 10 jsou spojeny s devátým až dvanáctým vstupem 019, 020, 021, 022 synchronního čítače a výstup Y6 712 první pevné paměti 7 je spojen se sedmým výstupem 023 pro přenos synchronního čítače, zatímco informační vstup D 102 prvního klopného obvodu 1 je spojen s informačním vstupem 002 synchronního čítače. Výstupy Q 106, 206, 306, 406, 506, 606 prvního až šestého klopného obvodu 1, 2, 3, 4, 5, 6 jsou vyvedeny na první až šestý výstup 005, 006, 007, 008, 009, 010 synchronního čítače.

Popsaný synchronní binární čítač, znázorněný s omezeným počtem obvodů lze libovolně rozšířit a využívat pro návrh adresových registrů s vyšším počtem adresových řádů s možností pevného nastavení úrovně výstupů libovolně zvoleného stupně čítače. Na rozdíl od dosud známých synchronních čítačů je počet prvků střední integrace menší a úměrný počtu klopných obvodů. Kromě toho lze popsany synchronní čítač s výhodou aplikovat na čítače s libovolným modulem.

Za předpokladu, že popsany synchronní čítač s pevnými paměťmi má být využit pro funkci synchronního binárního čítače s plnou kapacitou, pak je na vstupech E, F druhé, třetí a čtvrté pevné paměti 8, 9, 10 příkladně úrovně logické nuly. Hodinové impulsy z generátoru hodin nebo jiné čítané impulsy jsou přivedeny na hodinové vstupy CL všech klopných obvodů a způsobují překlápění, to jest změnu logické úrovně výstupu Q a $\bar{Q}$ určitého stupně synchronního čítače tehdy, když všechny předchozí stupně jsou ve stavu logické jedničky. První stupeň se překlápí při každém hodinovém impulsu, druhý stupeň při každém druhém, třetí při každém čtvrtém a konečně n-tý stupeň se překlápí při každém $2^{(n-1)}$ impulsu.

Za předpokladu, že popsany synchronní čítač s pevnými paměťmi má pracovat s omezenou kapacitou, je nutné na vstup 003 pro nastavení synchronního čítače a tím i na všechny vstupy F druhé, třetí a čtvrté pevné paměti 8, 9, 10 přivést úroveň logické jedničky a kombinací logických úrovní na dvojicích vstupů A, B 801, 802 druhé pevné paměti 8 rozhodnout o stavu prvního klopného obvodu 1 a to buď ponechat ve funkci nebo zablokovat, když zablokovat, tak ve stavu logické jedničky nebo logické nuly.

Podobně kombinací logických úrovní na vstupech C, D druhé pevné paměti 8 lze rozhodnout o stavu druhého klopného obvodu 2, podobně kombinací logických úrovní na vstupech A, B třetí pevné paměti 9 lze rozhodnout o stavu třetího klopného obvodu 3, kombinací logických úrovní na vstupech C, D třetí pevné paměti 9 o stavu čtvrtého klopného obvodu 4, kombinací logických úrovní na vstupech A, B čtvrté pevné paměti 10 o stavu pátého klopného obvodu 5 a konečně kombinací logických úrovní na vstupech C, D čtvrté pevné paměti 10 rozhodnout o stavu šestého klopného obvodu 6. Naproti tomu bez ohledu na předchozí nastavení logických úrovní vstupů A, B, C, D, F druhé, třetí a čtvrté pevné paměti 8, 9, 10 dojde při nastavení logické jedničky na vstupech E druhé, třetí a čtvrté pevné paměti 8, 9, 10 k vynulování všech klopných obvodů synchronního čítače s pevnými paměťmi.

PŘEDMĚT VYNÁLEZU

Synchronní čítač s pevnými paměťmi sestávající z klopných obvodů a pevných pamětí, u kterého jsou propojeny hodinové vstupy CL všech klopných obvodů a přivedeny na hodinový vstup synchronního čítače, vyznačený tím, že informační vstupy D (202, 302, 402, 502, 602) klopných obvodů (2, 3, 4, 5, 6) jsou připojeny na výstupy Y1 až Y5 (707, 708, 709, 710, 711)

první pevné paměti I a výstupy Q (105, 205, 305, 405, 505, 605) klopných obvodů (1, 2, 3, 4, 5, 6) jsou připojeny ke vstupům A, B, C, D, E, F (701, 702, 703, 704, 705, 706) první pevné paměti (7), zatímco informační vstup D (102) prvního klopného obvodu (1) je spojen s informačním vstupem (002) synchronního čítače a dále vstupy R (104, 204) pro nulování prvního a druhého klopného obvodu (1, 2) jsou připojeny na první a třetí výstup Y1, Y3 (807, 809) druhé pevné paměti (8) a podobně vstupy R (304, 404) pro nulování třetího a čtvrtého klopného obvodu (3, 4) jsou připojeny na první a třetí výstup Y1, Y3 (907, 909) třetí pevné paměti a stejně vstupy R (504, 604) pátého a šestého klopného obvodu (5, 6) jsou připojeny na první a třetí výstupy Y1, Y3 (1007, 1009) čtvrté pevné paměti (10), zatímco vstupy S (103, 203) pro nastavení prvního a druhého klopného obvodu (1, 2) jsou připojeny na druhý a čtvrtý výstup Y2, Y4 (808, 810) druhé pevné paměti (8) a dále vstupy S (303, 403) pro nastavení třetího a čtvrtého klopného obvodu (3, 4) jsou připojeny na druhý a čtvrtý výstup Y2, Y4 (908, 910) třetí pevné paměti (9) a také vstupy S (503, 603) pro nastavení pátého a šestého klopného obvodu (5, 6) jsou připojeny na druhý a čtvrtý výstup Y2, Y4 (1008, 1010) čtvrté pevné paměti (10), přičemž vstupy E (805, 905, 1005) druhé, třetí a čtvrté paměti (8, 9, 10) jsou vzájemně propojeny a vyvedeny na vstup (004) pro nulování synchronního čítače stejně, jako vstupy F (806, 906, 1006) druhé, třetí a čtvrté paměti (8, 9, 10) jsou vzájemně propojeny a vyvedeny na vstup (003) pro nulování synchronního čítače, zatímco vstupy A, B, C, D (801, 802, 803, 804) druhé pevné paměti (8) jsou připojeny na první až čtvrtý vstup (011, 012, 013, 014) synchronního čítače a vstupy A, B, C, D (901, 902, 903, 904) třetí pevné paměti (9) jsou připojeny na pátý až osmý vstup (015, 016, 017, 018) synchronního čítače a vstupy A, B, C, D (1001, 1002, 1003, 1004) čtvrté pevné paměti (10) jsou připojeny na devátý až dvanáctý vstup (019, 020, 021, 022) synchronního čítače, zatímco výstupy Q (106, 206, 306, 406, 506, 606) prvního až šestého klopného obvodu (1, 2, 3, 4, 5, 6) jsou spojeny s prvním až šestým výstupem (005, 006, 007, 008, 009, 010) synchronního čítače a šestý výstup (712) první pevné paměti (7) je spojen se sedmým výstupem (023) synchronního čítače.

! výkres

