

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年6月21日(21.06.2012)



(10) 国際公開番号
WO 2012/081237 A1

- (51) 国際特許分類:
H01L 29/80 (2006.01) H01L 29/78 (2006.01)
H01L 21/337 (2006.01) H01L 29/808 (2006.01)
H01L 21/338 (2006.01) H01L 29/812 (2006.01)
H01L 29/778 (2006.01)
- (21) 国際出願番号: PCT/JP2011/006961
- (22) 国際出願日: 2011年12月13日(13.12.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-278636 2010年12月14日(14.12.2010) JP
- (71) 出願人(米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION)
[JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 山際 優人(YAMAGIWA, Hiroto). 柳原 学(YANAGIHARA, Manabu). 橋詰 真吾(HASHIZUME, Shingo). 井腰文智(IKOSHI, Ayanori).
- (74) 代理人: 新居 広守(NII, Hiromori); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナ

カ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).

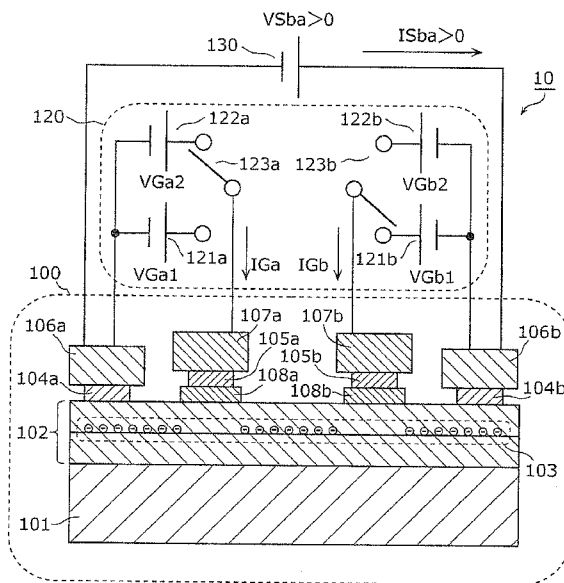
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR CONTROLLING SAME

(54) 発明の名称: 半導体装置及びその制御方法

[図1A]



(57) Abstract: Disclosed is a semiconductor device (10), which is provided with a semiconductor element (100) that can bidirectionally flow a current. The semiconductor element (100) is provided with a pair of a first ohmic electrode (104a) and a second ohmic electrode (104b), and a pair of a first gate electrode (105a) and a second gate electrode (105b). The semiconductor device (10) is also provided with a control unit (120), which brings the semiconductor element (100) into an electrically connected state. The control unit (120) supplies a first electric signal to a high potential-side gate electrode, and supplies a second electric signal to a low potential-side gate electrode, such that, in the case where the semiconductor element (100) is electrically connected, the potential of the high potential-side gate electrode, said potential corresponding to a high potential-side ohmic electrode with the high potential-side ohmic electrode as reference, is lower than the potential of the low potential-side gate electrode, said potential corresponding to the low potential-side ohmic electrode with the low potential-side ohmic electrode as reference.

(57) 要約:

[続葉有]

WO 2012/081237 A1



双方向に電流を流すことができる半導体素子（100）を備える半導体装置（10）であって、半導体素子（100）は、一对の第1オーミック電極（104a）及び第2オーミック電極（104b）と、一对の第1ゲート電極（105a）及び第2ゲート電極（105b）とを備え、半導体装置（10）は、さらに、半導体素子（100）を導通状態にする制御部（120）を備え、制御部（120）は、半導体素子（100）が導通状態である場合、高電位側のオーミック電極を基準とした場合の電位であって、高電位側のオーミック電極に対応する高電位側ゲート電極の電位が、低電位側のオーミック電極を基準とした場合の電位であって、低電位側のオーミック電極に対応する低電位側ゲート電極の電位より低くなるように、高電位側ゲート電極に第1電気信号を供給し、かつ、低電位側ゲート電極に第2電気信号を供給する。

明 細 書

発明の名称：半導体装置及びその制御方法

技術分野

[0001] 本発明は、半導体装置及びその制御方法に関し、特に、双方向に電流を流すことができる半導体素子を備える半導体装置及びその制御方法に関する。

背景技術

[0002] 近年、材料限界を打破して導通損失を低減するために、GaNに代表されるIII族窒化物半導体又は炭化珪素(SiC)などのワイドギャップ半導体を用いた半導体装置の導入が検討されている。ワイドギャップ半導体は、絶縁破壊電界がシリコン(Si)と比べて約1桁高い。

[0003] 窒化アルミニウムガリウム(AlGaN)と窒化ガリウム(GaN)とのヘテロ接合界面には、自発分極及びピエゾ分極により電荷が生じる。これにより、アンドープ時においても $1 \times 10^{13} \text{ cm}^{-2}$ 以上のシートキャリア濃度と、 $1000 \text{ cm}^2 \text{ V} / \text{ sec}$ 以上の高移動度の2次元電子ガス(2DEG)層が形成される。このため、AlGaN/GaNヘテロ接合電界効果トランジスタ(AlGaN/GaN-HFET)は、低オン抵抗及び高耐圧を実現するパワースイッチングトランジスタとして期待されている。

[0004] 特に、AlGaN/GaNのヘテロ接合を利用して2つのゲート電極を有する構造にすることにより、1つの半導体装置で双方向半導体装置を形成することが可能となる(例えば、特許文献1を参照)。

[0005] 図8は、特許文献1に記載の従来の半導体素子300の構成を示す図である。図8に示すように、従来の半導体素子300は、基板301と、半導体層積層体302と、第1電極303aと、第2電極303bと、第1ゲート電極304aと、第2ゲート電極304bとを備える。

[0006] 第1ゲート電極304aと第2ゲート電極304bとにそれぞれ、閾値電圧より高い電圧が印加された場合、半導体層積層体302にチャネルが生成される。これにより、半導体素子300は、第1電極303aと第2電極3

03bとの間で、チャンネルを介して導通状態となる。

[0007] これにより、第1電極303aと第2電極303bとの間に電源電圧が印加された場合、半導体素子300は、第1電極303aと第2電極303bとの間でチャンネルを介して、電源電圧の極性に応じた方向に電流を流すことができる。

先行技術文献

特許文献

[0008] 特許文献1：国際公開第2008/062800号

発明の概要

発明が解決しようとする課題

[0009] しかしながら、上記従来の半導体装置では、消費電力が増大してしまうという課題がある。

[0010] 従来の半導体素子が導通状態にあるとき、第1ゲート電極から第1ゲート電極直下のチャンネル領域に向かって第1ゲート電流が流れる。同様に、第2ゲート電極から第2ゲート電極直下のチャンネル領域に向かって第2ゲート電流が流れる。

[0011] ここで、第2ゲート電極の電位は、第2電極よりも、第2ゲート電極と第2電極との間の電位差 V_{Gb} だけ高く、第1電極よりも電源電圧 V_{Sba} と電位差 V_{Gb} との和だけ高い。このため、第2ゲート電流は、第2電極だけでなく、第1電極にも流れる。

[0012] 半導体装置が導通状態であり電源電圧 V_{Sba} が高くなると、第2ゲート電極と第1電極との電位差が増加する。このため、電源電圧 V_{Sba} の上昇に伴って、第2ゲート電流は高くなる。したがって、第2ゲート電極を駆動する駆動電力が大きくなってしまう。

[0013] そこで、本発明は、上記課題を解決するためになされたものであって、消費電力の増大を抑制することができる半導体装置及びその駆動方法を提供することを目的とする。

課題を解決するための手段

[0014] 上記課題を解決するため、本発明の一態様に係る半導体装置は、双方向に電流を流すことができる半導体素子を備える半導体装置であって、前記半導体素子は、基板と、前記基板上に形成され、チャンネル領域を有する半導体層と、前記半導体層の上又は上方に、互いに離隔して形成された一对のオーミック電極と、前記半導体層の上又は上方に、前記一对のオーミック電極の間に形成された、前記一对のオーミック電極のそれぞれに対応する一对のゲート電極とを備え、前記半導体装置は、さらに、前記半導体素子を、前記一对のオーミック電極の間で前記チャンネル領域を介して双方向に電流を流すことが可能な導通状態にする制御部を備え、前記制御部は、前記半導体素子が前記導通状態である場合、前記一对のオーミック電極のうち高電位側のオーミック電極を基準とした場合の電位であって、前記高電位側のオーミック電極に対応するゲート電極である高電位側ゲート電極の電位が、低電位側のオーミック電極を基準とした場合の電位であって、前記低電位側のオーミック電極に対応するゲート電極である低電位側ゲート電極の電位より低くなるように、前記高電位側ゲート電極に第1電気信号を供給し、かつ、前記低電位側ゲート電極に第2電気信号を供給する。

[0015] これにより、高電位側ゲート電極に流れるゲート電流の大きさは、高電位側のオーミック電極と高電位側ゲート電極との間の電位差に依存するので、当該電位差を低くすることで、ゲート電流の増大が抑制され、消費電力を削減することができる。また、一对のオーミック電極間を流れる電流の飽和電流の大きさは、低電位側のオーミック電極と低電位側のゲート電極との間の電位差に依存するので、当該電位差を高くすることで、飽和電流の大きさを保つことができる。したがって、電源電流と電源電圧との特性を維持したまま、消費電力を削減することができる。

[0016] また、前記制御部は、前記一对のゲート電極の閾値電圧以上の電圧である第1電圧を生成する第1電圧源と、前記第1電圧より高い第2電圧を生成する第2電圧源とを有し、前記制御部は、前記高電位側ゲート電極に前記第1

電圧を前記第 1 電気信号として供給し、前記低電位側ゲート電極に前記第 2 電圧を前記第 2 電気信号として供給してもよい。

[0017] これにより、異なる電圧を発生する 2 つの電圧源を備えることで、各ゲート電極と、対応するオーミック電極との間に高電圧又は低電圧を容易に供給することができる。したがって、電源電流と電源電圧との特性を維持したまま、高電位側ゲート電極からチャンネル領域に流れる電流を低減することができるため、高電位側ゲート電極の駆動電力を抑制することができる。

[0018] また、前記制御部は、前記一对のゲート電極の閾値電圧以上の電圧を印加するための第 1 電流を生成する第 1 電流源と、前記第 1 電流より大きい第 2 電流を生成する第 2 電流源とを備え、前記制御部は、前記高電位側ゲート電極に前記第 1 電流を前記第 1 電気信号として供給し、前記低電位側ゲート電極に前記第 2 電流を前記第 2 電気信号として供給してもよい。

[0019] これにより、異なる電流を発生する 2 つの電流源を備えることで、各ゲート電極に高電流又は低電流を容易に供給することができる。したがって、電源電流と電源電圧との特性を維持したまま、高電位側のゲート電流を低減し、高電位側ゲート電極の駆動電力を抑制することができる。

[0020] また、前記制御部は、前記一对のゲート電極の閾値電圧以上の電圧を印加するための電流を、前記第 1 電気信号及び前記第 2 電気信号として前記一对のゲート電極に供給してもよい。

[0021] これにより、第 1 ゲート電極又は第 2 ゲート電極に供給するゲート電流源の数を減らすことができ、回路構成を簡素化することができる。

[0022] また、前記一对のゲート電極の閾値電圧は、正であってもよい。

[0023] これにより、第 1 オーミック電極を基準とした場合に第 1 ゲート電極に印加される電圧、及び、第 2 オーミック電極を基準とした場合に第 2 ゲート電極に印加される電圧がともに 0 のときに、半導体素子を遮断状態とすることができる。

[0024] また、前記半導体素子は、さらに、前記一对のゲート電極と前記半導体層との間に形成された、P 型の導電性を有する一对のコントロール層を備えて

もよい。

[0025] これにより、第1ゲート電極の閾値電圧及び第2ゲート電極の閾値電圧を正にすることができる。

[0026] また、前記一对のゲート電極は、前記半導体層とショットキー接合していてもよい。

[0027] これにより、第1ゲート電極の閾値電圧及び第2ゲート電極の閾値電圧を正にすることができる。

[0028] また、前記半導体素子は、さらに、前記一对のゲート電極と前記半導体層との間に形成された絶縁膜を備えてもよい。

[0029] これにより、第1ゲート電極の閾値電圧及び第2ゲート電極の閾値電圧を正にすることができる。

[0030] また、前記基板は、シリコン基板、サファイア基板、又は、炭化珪素基板であってもよい。

[0031] また、本発明の一態様に係る半導体装置の制御方法は、双方向に電流を流すことができる半導体装置の制御方法であって、前記半導体装置は、基板と、前記基板上に形成され、チャンネル領域を有する半導体層と、前記半導体層の上又は上方に、互いに離隔して形成された一对のオーミック電極と、前記半導体層の上又は上方に、前記一对のオーミック電極の間に形成された、前記一对のオーミック電極のそれぞれに対応する一对のゲート電極とを備え、前記半導体装置の制御方法は、前記一对のオーミック電極のうち高電位側のオーミック電極に対応するゲート電極である高電位側ゲート電極に第1電気信号を供給し、前記一对のオーミック電極のうち低電位側のオーミック電極に対応するゲート電極である低電位側ゲート電極に第2電気信号を供給し、前記第1電気信号及び前記第2電気信号の供給では、前記高電位側のオーミック電極を基準とした場合の前記高電位側ゲート電極の電位が、前記低電位側のオーミック電極を基準とした場合の前記低電位側ゲート電極の電位より低くなるように、前記第1電気信号及び前記第2電気信号を供給する。

[0032] これにより、高電位側ゲート電極に流れるゲート電流の大きさは、高電位

側のオーミック電極と高電位側ゲート電極との間の電位差に依存するので、当該電位差を低くすることで、ゲート電流の増大が抑制され、消費電力を削減することができる。また、一对のオーミック電極間を流れる電流の飽和電流の大きさは、低電位側のオーミック電極と低電位側のゲート電極との間の電位差に依存するので、当該電位差を高くすることで、飽和電流の大きさを保つことができる。したがって、電源電流と電源電圧との特性を維持したまま、消費電力を削減することができる。

発明の効果

[0033] 本発明に係る半導体装置によれば、消費電力の増加を抑制することができる。

図面の簡単な説明

[0034] [図1A]図1 Aは、本発明の実施の形態1に係る半導体装置の構成の一例を示す断面図である。

[図1B]図1 Bは、本発明の実施の形態1に係る半導体装置の構成の一例を示す断面図である。

[図2]図2は、本発明の実施の形態1に係る半導体装置におけるチャネル領域の挙動を説明するための図である。

[図3A]図3 Aは、本発明の実施の形態1に係る電源電流 $I_{S b a}$ と電源電圧 $V_{S b a}$ との関係の一例を示す図である。

[図3B]図3 Bは、本発明の実施の形態1に係るゲート電流 $I_{G b}$ と電源電圧 $V_{S b a}$ との関係の一例を示す図である。

[図4]図4は、本発明の実施の形態1の変型例1に係る半導体装置の構成の一例を示す断面図である。

[図5]図5は、本発明の実施の形態1の変型例2に係る半導体装置の構成の一例を示す断面図である。

[図6]図6は、本発明の実施の形態2に係る半導体装置の構成の一例を示す断面図である。

[図7]図7は、本発明の実施の形態2の変型例に係る半導体装置の構成の一例

を示す断面図である。

[図8]図8は、従来の半導体素子の構成を示す断面図である。

発明を実施するための形態

[0035] 以下では、本発明の実施の形態に係る半導体装置及びその制御方法について、図面を用いて詳細に説明する。なお、以下に示す実施の形態は例示を目的としており、本発明がこれらに限定されることを意図しない。

[0036] (実施の形態1)

本発明の実施の形態1に係る半導体装置は、一对のゲート電極と一对のオーミック電極とを有する半導体素子と、一对のゲート電極に閾値電圧以上の電圧を印加することで、半導体素子を一对のオーミック電極間で導通状態にする制御部とを備える。そして、制御部は、半導体素子が導通状態である場合に、高電位側のオーミック電極に対応するゲート電極に低電圧を印加し、低電位側のオーミック電極に対応するゲート電極に高電圧を印加することを特徴とする。

[0037] 図1A及び図1Bは、本発明の実施の形態1に係る半導体装置10の構成の一例を示す断面図である。図1A及び図1Bに示すように、半導体装置10は、半導体素子100と、制御部120とを備える。半導体素子100は、電源130の電源電圧 V_{Sba} の極性に応じて、双方向に電流を流すことができる。

[0038] 図1A及び図1Bに示すように、半導体素子100は、基板101と、半導体層積層体102と、第1オーミック電極104aと、第2オーミック電極104bと、第1ゲート電極105aと、第2ゲート電極105bと、第1オーミック端子106aと、第2オーミック端子106bと、第1ゲート端子107aと、第2ゲート端子107bと、第1コントロール層108aと、第2コントロール層108bとを備える。

[0039] 基板101は、例えば、シリコン(Si)などの半導体基板である。基板101は、サファイア基板又は炭化珪素(SiC)基板でもよい。

[0040] 半導体層積層体102は、基板101の上に形成され、チャンネル領域10

3を有する。半導体層積層体102は、例えば、GaN/AlGaNから構成される。

[0041] 第1オーミック電極104a及び第2オーミック電極104bは、半導体層積層体102の上又は上方に、互いに離隔して形成された一对のオーミック電極である。第1オーミック電極104a及び第2オーミック電極104bは、例えば、チタン(Ti)とアルミニウム(Al)との積層構造を有する。

[0042] 第1ゲート電極105aは、半導体層積層体102の上又は上方に、一对のオーミック電極の間に形成された一对のゲート電極の一方である。具体的には、第1ゲート電極105aは、第1オーミック電極104aと第2オーミック電極104bとの間に形成されている。

[0043] また、第1ゲート電極105aは、一对のオーミック電極の一方に対応している。具体的には、第1ゲート電極105aは、第1オーミック電極104aに対応し、第2オーミック電極104bより第1オーミック電極104aに近い領域に形成されている。第1ゲート電極105aは、例えば、ニッケル(Ni)で構成される。

[0044] なお、オーミック電極と、当該オーミック電極に対応するゲート電極とは、チャンネル領域103にチャンネルを形成するための電圧を印加するペアとなる電極である。具体的には、第1オーミック電極104aに対応する第1ゲート電極105aに、第1オーミック電極104aを基準とした場合の電位であって、第1ゲート電極105aの閾値電圧以上の電位が供給された場合に、第1ゲート電極105aの下方のチャンネル領域103にチャンネルが生成される。なお、第1ゲート電極105aの閾値電圧は、例えば、正である。

[0045] 第2ゲート電極105bは、半導体層積層体102の上又は上方に、一对のオーミック電極の間に形成された一对のゲート電極の他方である。具体的には、第2ゲート電極105bは、第1ゲート電極105aと第2オーミック電極104bとの間に形成されている。

[0046] また、第2ゲート電極105bは、一对のオーミック電極の他方に対応し

ている。具体的には、第2ゲート電極105bは、第2オーミック電極104bに対応し、第1オーミック電極104aより第2オーミック電極104bに近い領域に形成されている。第2ゲート電極105bは、例えば、ニッケルで構成される。

[0047] また、第2オーミック電極104bに対応する第2ゲート電極105bに、第2オーミック電極104bを基準とした場合の電位であって、第2ゲート電極105bの閾値電圧以上の電位が供給された場合に、第2ゲート電極105bの下方のチャンネル領域103にチャンネルが生成される。なお、第2ゲート電極105bの閾値電圧は、例えば、正である。

[0048] 第1オーミック端子106aは、第1オーミック電極104aと接続されている。第1オーミック端子106aは、制御部120が備える電圧源（又は電流源）、及び、電源130の接続用の端子である。

[0049] 第2オーミック端子106bは、第2オーミック電極104bと接続されている。第2オーミック端子106bは、制御部120が備える電圧源（又は電流源）、及び、電源130の接続用の端子である。

[0050] 第1ゲート端子107aは、第1ゲート電極105aと接続されている。第1ゲート端子107aは、制御部120が備える電圧源（又は電流源）の接続用の端子である。

[0051] 第2ゲート端子107bは、第2ゲート電極105bと接続されている。第2ゲート端子107bは、制御部120が備える電圧源（又は電流源）の接続用の端子である。

[0052] 第1コントロール層108aは、第1ゲート電極105aと半導体層積層体102との間に形成された、P型の導電性を持つコントロール層である。第1コントロール層108aは、例えば、P-GaNから構成される。

[0053] 第2コントロール層108bは、第2ゲート電極105bと半導体層積層体102との間に形成された、P型の導電性を持つコントロール層である。第2コントロール層108bは、例えば、P-GaNから構成される。第1コントロール層108a及び第2コントロール層108bはそれぞれ、チャ

ネル領域 103 との間で PN 接合を形成している。

- [0054] 制御部 120 は、半導体素子 100 を導通状態にするための回路である。導通状態とは、一对のオーミック電極（第 1 オーミック電極 104 a と第 2 オーミック電極 104 b）の間でチャネル領域 103 を介して双方向に電流を流すことが可能な状態である。図 1 A 及び図 1 B に示すように、制御部 120 は、電圧源 121 a、121 b、122 a 及び 122 b と、スイッチ 123 a 及び 123 b とを備える。
- [0055] 電圧源 121 a は、一对のゲート電極の閾値電圧以上の電圧である第 1 電圧を生成する第 1 電圧源の一例である。電圧源 121 a は、第 1 オーミック端子 106 a と第 1 ゲート端子 107 a との間に、スイッチ 123 a を介して接続されている。
- [0056] 具体的には、電圧源 121 a は、第 1 オーミック電極 104 a を基準とした場合の第 1 ゲート電極 105 a の電位である第 1 電位が、第 1 ゲート電極 105 a の閾値電圧以上となるように、第 1 ゲート電極 105 a と第 1 オーミック電極 104 a との間にゲート電圧 V_{Ga1} を印加する。なお、ゲート電圧 V_{Ga1} は、第 1 電圧の一例であり、第 1 ゲート電極 105 a の閾値電圧以上の電圧である。
- [0057] 電圧源 122 a は、第 1 電圧より高い第 2 電圧を生成する第 2 電圧源の一例である。電圧源 122 a は、第 1 オーミック端子 106 a と第 1 ゲート端子 107 a との間に、スイッチ 123 a を介して接続されている。
- [0058] 具体的には、電圧源 122 a は、第 1 電位が第 1 ゲート電極 105 a の閾値電圧以上となるように、第 1 ゲート電極 105 a と第 1 オーミック電極 104 a との間にゲート電圧 V_{Ga2} を印加する。なお、ゲート電圧 V_{Ga2} は、第 2 電圧の一例であり、第 1 ゲート電極 105 a の閾値電圧以上であり、かつ、ゲート電圧 V_{Ga1} より高い電圧である。
- [0059] スイッチ 123 a は、電源 130 の電源電圧 V_{Sba} の極性に応じて、電圧源 121 a 及び電圧源 122 a のいずれかを選択する。具体的には、スイッチ 123 a は、電源 130 の電源電圧 V_{Sba} が正の場合、すなわち、第

2オーミック電極104bの電位が第1オーミック電極104aの電位より高い場合(図1A参照)、高電圧の電圧源122aを選択する。また、スイッチ123aは、電源130の電源電圧 V_{Sba} が負の場合、すなわち、第2オーミック電極104bの電位が第1オーミック電極104aの電位より低い場合(図1B参照)、低電圧の電圧源121aを選択する。

[0060] 電圧源121bは、一对のゲート電極の閾値電圧以上の電圧である第1電圧を生成する第1電圧源の一例である。電圧源121bは、第2オーミック端子106bと第2ゲート端子107bとの間に、スイッチ123bを介して接続されている。

[0061] 具体的には、電圧源121bは、第2オーミック電極104bを基準とした場合の第2ゲート電極105bの電位である第2電位が、第2ゲート電極105bの閾値電圧以上となるように、第2ゲート電極105bと第2オーミック電極104bとの間にゲート電圧 V_{Gb1} を印加する。なお、ゲート電圧 V_{Gb1} は、第1電圧の一例であり、第2ゲート電極105bの閾値電圧以上の電圧である。また、ゲート電圧 V_{Gb1} は、ゲート電圧 V_{Ga1} と等しくてもよい。

[0062] 電圧源122bは、第1電圧より高い第2電圧を生成する第2電圧源の一例である。電圧源122bは、第2オーミック端子106bと第2ゲート端子107bとの間に、スイッチ123bを介して接続されている。

[0063] 具体的には、電圧源122bは、第2電位が第2ゲート電極105bの閾値電圧以上となるように、第2ゲート電極105bと第2オーミック電極104bとの間にゲート電圧 V_{Gb2} を印加する。なお、ゲート電圧 V_{Gb2} は、第2電圧の一例であり、第2ゲート電極105bの閾値電圧以上であり、かつ、ゲート電圧 V_{Gb1} より高い電圧である。また、ゲート電圧 V_{Gb2} は、ゲート電圧 V_{Ga2} と等しくてもよい。

[0064] スイッチ123bは、電源130の電源電圧 V_{Sba} の極性に応じて、電圧源121b及び電圧源122bのいずれかを選択する。具体的には、スイッチ123bは、電源130の電源電圧 V_{Sba} が正の場合、すなわち、第

2 オーミック電極 104 b の電位が第 1 オーミック電極 104 a の電位より高い場合（図 1 A 参照）、低電圧の電圧源 121 b を選択する。また、スイッチ 123 b は、電源 130 の電源電圧 $V_{S b a}$ が負の場合、すなわち、第 2 オーミック電極 104 b の電位が第 1 オーミック電極 104 a の電位より低い場合（図 1 B 参照）、高電圧の電圧源 122 b を選択する。

[0065] このように、制御部 120 は、半導体素子 100 を導通状態にする場合に、一对のオーミック電極のうち高電位側のオーミック電極を基準とした場合の電位であって、高電位側のオーミック電極に対応するゲート電極である高電位側ゲート電極の電位が、低電位側のオーミック電極を基準とした場合の電位であって、低電位側のオーミック電極に対応するゲート電極である低電位側ゲート電極の電位より低くなるように、高電位側ゲート電極に第 1 電気信号を供給し、かつ、低電位側ゲート電極に第 2 電気信号を供給する。

[0066] 例えば、図 1 A の例では、高電位側のオーミック電極及び高電位側ゲート電極は、第 2 オーミック電極 104 b 及び第 2 ゲート電極 105 b である。そして、低電位側のオーミック電極及び低電位側ゲート電極は、第 1 オーミック電極 104 a 及び第 1 ゲート電極 105 a である。

[0067] 高電位側ゲート電極である第 2 ゲート電極 105 b には、低電圧の電圧源 121 b からゲート電圧 $V_{G b 1}$ が第 1 電気信号として供給される。そして、低電位側ゲート電極である第 1 ゲート電極 105 a には、高電圧の電圧源 122 a からゲート電圧 $V_{G a 2}$ が第 2 電気信号として供給される。このとき、 $V_{G a 2} > V_{G b 1}$ である。

[0068] 図 1 B の例では、高電位側のオーミック電極及び高電位側ゲート電極は、第 1 オーミック電極 104 a 及び第 1 ゲート電極 105 a である。そして、低電位側のオーミック電極及び低電位側ゲート電極は、第 2 オーミック電極 104 b 及び第 2 ゲート電極 105 b である。

[0069] 高電位側ゲート電極である第 1 ゲート電極 105 a には、低電圧の電圧源 121 a からゲート電圧 $V_{G a 1}$ が第 1 電気信号として供給される。そして、低電位側ゲート電極である第 2 ゲート電極 105 b には、高電圧の電圧源

122bからゲート電圧 V_{Gb2} が第2電気信号として供給される。このとき、 $V_{Gb2} > V_{Ga1}$ である。

[0070] 以下では、本発明の実施の形態1に係る半導体装置10の動作について説明する。

[0071] 図2は、本発明の実施の形態1に係る半導体素子100が導通状態である場合におけるチャネル領域103の挙動を説明するための図である。

[0072] 第1ゲート電極105aの閾値電圧以上の電位 V_{Ga} が、第1オーミック電極104aを基準として第1ゲート電極105aに印加され、かつ、第2ゲート電極105bの閾値電圧以上の電位 V_{Gb} が、第2オーミック電極104bを基準として第2ゲート電極105bに印加された場合に、半導体素子100は導電状態となる。このとき、第1オーミック電極104aと第2オーミック電極104bとの間に、電源電圧 V_{Sba} を印加することで、第1オーミック電極104aと第2オーミック電極104bとの間に電流 I_{Sba} が流れる。

[0073] このとき、電流 I_{Sba} の向きは、電源電圧 V_{Sba} の極性に依じて決定される。つまり、第1オーミック電極104aと第2オーミック電極104bとのうち、高電位側のオーミック電極から低電位側のオーミック電極に電流 I_{Sba} が流れる。

[0074] 図3Aは、本発明の実施の形態1に係る I_{Sba} と V_{Sba} との関係の一例を示す図である。図3Aに示すように、電源電圧 V_{Sba} が大きくなるにつれて、電流 I_{Sba} も大きくなる。

[0075] また、半導体素子100が導通状態であるとき、第1ゲート電極105aの電位は、第1オーミック電極104aの電位より V_{Ga} だけ高い。したがって、第1ゲート電極105aから第1コントロール層108aを介してチャネル領域103へ第1ゲート電流 I_{Ga} が流れる。

[0076] 同様に、半導体素子100が導通状態であるとき、第2ゲート電極105bの電位は、第2オーミック電極104bの電位より V_{Gb} だけ高く、第1オーミック電極104aの電位より $V_{Sba} + V_{Gb}$ だけ高い。したがって

、第2ゲート電極105bから第2コントロール層108bを介してチャンネル領域103へ第2ゲート電流 I_{Gb} が流れる。

[0077] まず、 $V_{Sba} > 0$ の場合（図1A）について説明する。第1ゲート電極105a直下のチャンネル領域103について、半導体素子100が導通状態のとき、高電位側の第2オーミック電極104bから低電位側の第1オーミック電極104aに向けて、チャンネル領域103には電流 I_{Sba} が流れている。

[0078] 半導体素子100の内部には、抵抗109a、109b及び109cが存在する。抵抗109aは、第1オーミック電極104aから第1ゲート電極105a直下のチャンネル領域のA点までの抵抗である。抵抗109bは、第1ゲート電極105a直下のチャンネル領域のA点から第2ゲート電極105b直下のチャンネル領域のB点までのチャンネル領域の抵抗である。抵抗109cは、第2ゲート電極105b直下のチャンネル領域のB点から第2オーミック電極104bまでの抵抗である。

[0079] 半導体素子100が導通状態で、 I_{Sba} が流れると抵抗109a、109b及び109cで、それぞれ電圧ドロップが発生する。各電圧ドロップの総和が、電源電圧 V_{Sba} に相当する。

[0080] 第1ゲート電極105a直下のチャンネル領域のA点の電位は、 I_{Sba} と抵抗109aとによる電圧ドロップにより、第1オーミック端子106aの電位よりも高くなっている。A点の電位は、 I_{Sba} の増加に伴って上昇するため、第1ゲート電極105aとA点との間に印加される電圧は、 I_{Sba} が増加するほど V_{Ga} に対して小さくなる。

[0081] I_{Sba} がさらに増加し、A点にチャンネルが形成されなくなった時点で、図3Aに示すように、 I_{Sba} は飽和する。A点にチャンネルが形成されるか否かは、A点と第1ゲート電極105aとの電位差によって決まるので、第1オーミック電極104aの電位を基準とした場合の第1ゲート電極105aの電位が高い程、A点のチャンネルは維持されやすくなる。

[0082] したがって、 I_{Sba} の飽和電流の大きさは、 V_{Ga} の大きさに依存する

。つまり、 $I_{Sb a}$ の飽和電流の大きさは、第1ゲート電極105aと第1オーミック電極104aとの電位差に依存する。言い換えると、 $I_{Sb a}$ の飽和電流の大きさは、低電位側のオーミック電極と低電位側ゲート電極との間に印加される電圧に依存する。

[0083] なお、 $I_{Sb a}$ が増加するとA点の電位が上昇するため、第1ゲート端子107aから第1ゲート電極105a及び第1コントロール層108aを介してチャンネル領域103に流れる電流 $I_{G a}$ は減少する。

[0084] 次に、第2ゲート電極105b直下のチャンネル領域103について説明すると、半導体素子100が導通状態のとき、チャンネル領域103には $I_{Sb a}$ が流れる。

[0085] 第2ゲート電極105b直下のチャンネル領域のB点の電位は、 $I_{Sb a}$ と抵抗109cとによる電圧ドロップにより、第2オーミック端子106bの電位よりも低くなっている。第2オーミック端子106bに対するB点の電位は、 $I_{Sb a}$ の増加に伴って下降する。

[0086] また、第2ゲート端子107bには、第2オーミック端子106bに対して $V_{G b}$ の電圧が印加されている。第2ゲート電極105bとB点との間に印加される電圧は、 $I_{Sb a}$ が増加するほど $V_{G b}$ に対して大きくなる。したがって、半導体素子100が導通状態である場合において、第2ゲート電極105bの閾値電圧以上の電位 $V_{G b}$ が第2オーミック電極104bを基準として第2ゲート電極105bに印加されているとき、 $I_{Sb a}$ が増加しても、B点にはチャンネルは形成されたままである。

[0087] さらに、 $I_{Sb a}$ が増加すると、第1オーミック端子106aに対する第2オーミック端子106bの電位 $V_{Sb a}$ が上昇する。このため、第1オーミック端子106aに対する第2ゲート端子107bの電位は、 $V_{Sb a} + V_{G b}$ に上昇する。したがって、 $I_{Sb a}$ が増加すると、第2ゲート端子107bから第2ゲート電極105b、第2コントロール層108b及びチャンネル領域103を介して第1オーミック端子106aへ流れる電流、すなわち、 $I_{G b}$ が増加する。

- [0088] つまり、第2ゲート端子107bを流れるゲート電流 I_{Gb} は、第2ゲート電極105bと第2オーミック電極104bとの電位差が大きい程、大きくなる。言い換えると、高電位側ゲート電極に流れるゲート電流は、高電位側ゲート電極と高電位側のオーミック電極との電位差が大きい程、大きくなる。
- [0089] 次に、 $V_{Sba} < 0$ の場合（図1B）、 $I_{Sba} < 0$ となり、極性が反転する。
- [0090] 第2ゲート電極105b直下のチャネル領域のB点の電位は、 I_{Sba} と抵抗109cとによる電圧ドロップより、第2オーミック端子106bの電位よりも高くなっている。B点の電位は、 I_{Sba} の増加に伴って上昇するため、第2ゲート電極105bとB点との間に印加される電圧は、 I_{Sba} が増加するほど V_{Gb} に対して大きくなる。
- [0091] I_{Sba} がさらに増加し、B点にチャネルが形成されなくなった時点で、 I_{Sba} は飽和する。B点にチャネルが形成されるか否かは、B点と第2ゲート電極105bとの電位差によって決まるので、第2オーミック電極104bの電位を基準とした場合の第2ゲート電極105bの電位が高い程、B点のチャネルは維持されやすくなる。
- [0092] したがって、 I_{Sba} の飽和電流の大きさは、 V_{Gb} の大きさに依存する。つまり、 I_{Sba} の飽和電流の大きさは、第2ゲート電極105bと第2オーミック電極104bとの電位差に依存する。言い換えると、 I_{Sba} の飽和電流の大きさは、低電位側のオーミック電極と低電位側ゲート電極との間に印加される電圧に依存する。
- [0093] なお、 I_{Sba} の絶対値が増加するとB点の電位が上昇するため、第2ゲート端子107bから第2ゲート電極105b及び第2コントロール層108bを介してチャネル領域103に流れる電流 I_{Gb} が減少する。
- [0094] また、第1ゲート端子107aには、第1オーミック端子106aに対して V_{Ga} の電圧が印加されている。第1ゲート電極105aとA点との間に印加される電圧は、 I_{Sba} の絶対値が増加するほど V_{Ga} に対して大きく

なる。したがって、半導体素子100が導通状態である場合において、第1ゲート電極105aの閾値電圧以上の電位 V_{Ga} が第1オーミック電極104aを基準として第1ゲート電極105aに印加されているとき、 I_{Sba} の絶対値が増加しても、A点にはチャンネルが形成されたままである。

[0095] さらに、 I_{Sba} の絶対値が増加すると、第2オーミック端子106bに対する第1オーミック端子106aの電位 V_{Sba} の絶対値が上昇する。このため、第2オーミック端子106bに対する第1ゲート端子107aの電位は、 V_{Sba} の絶対値+ V_{Ga} に上昇する。したがって、 I_{Sba} の絶対値が増加すると、第1ゲート端子107aから第1ゲート電極105a、第1コントロール層108a及びチャンネル領域103を介して第2オーミック端子106bへ流れる電流、すなわち、 I_{Ga} が増加する。

[0096] なお、 $V_{Sba} > 0$ のときの I_{Sba} の飽和電流と、 $V_{Sba} < 0$ のときの I_{Sba} の飽和電流の絶対値を一致させる場合には、 $V_{Ga} = V_{Gb}$ とする。

[0097] 以上のように、 I_{Sba} の飽和電流の大きさは、低電位側のオーミック電極と低電位側ゲート電極との間の電位差に依存する。また、高電位側ゲート電極に流れるゲート電流の大きさは、高電位側のオーミック電極と高電位側ゲート電極との間の電位差に依存する。

[0098] したがって、低電位側のオーミック電極と低電位側ゲート電極との電位差を保ちつつ、高電位側のオーミック電極と高電位側ゲート電極との間の電位差を小さくすることで、 I_{Sba} の飽和電流の大きさを保ちつつ、ゲート電流の大きさを小さくすることができる。

[0099] 本発明の実施の形態1に係る半導体装置10の制御部120は、第1オーミック端子106aと第1ゲート端子107aとの間に、2つの電圧源121a及び122aを備えている。2つの電圧源121a及び122aはそれぞれ、第1ゲート電極105aの閾値電圧以上のゲート電圧 V_{Ga1} （第1電圧）及び V_{Ga2} （第2電圧）を生成する。

[0100] そして、スイッチ123aは、電圧源121a及び122aのいずれかを

選択する。すなわち、スイッチ123aは、第1オーミック端子106aと第1ゲート端子107aとの間に印加する電圧を切り替える。

[0101] このとき、 V_{Ga1} は、第1ゲート電極105aの閾値電圧以上で、かつ、 V_{Ga2} よりも低い電圧である。また、 V_{Ga2} の大きさは、 $V_{Sba} > 0$ において、 I_{Sba} の飽和電流を流すことができるように設定される。

[0102] このように、制御部120は、低電圧用の電圧源121aと、高電圧用の電圧源121bとを備え、第1ゲート電極105aに印加する電圧を選択する。すなわち、制御部120は、スイッチ123aにより、低電圧である V_{Ga1} 、又は、高電圧である V_{Ga2} を第1ゲート電極105aに印加することができる。

[0103] また、制御部120は、第2オーミック端子106bと第2ゲート端子107bの間に、2つの電圧源121b及び122bを備えている。2つの電圧源121b及び122bはそれぞれ、第2ゲート電極105bの閾値電圧以上のゲート電圧 V_{Gb1} （第1電圧）及び V_{Gb2} （第2電圧）を生成する。

[0104] そして、スイッチ123bは、電圧源121b及び122bのいずれかを選択する。すなわち、スイッチ123bは、第2オーミック端子106bと第2ゲート端子107bとの間に印加する電圧を切り替える。

[0105] このとき、 V_{Gb1} は、第2ゲート電極105bの閾値電圧以上で、かつ、 V_{Gb2} よりも低い電圧である。また、 V_{Gb2} の大きさは、 $V_{Sba} < 0$ において、 I_{Sba} の飽和電流を流すことができるように設定される。

[0106] $V_{Sba} > 0$ のときには、低電位側の第1ゲート端子107aと低電位側の第1オーミック端子106aとの間には、高電圧である V_{Ga2} の電圧が印加される。そして、高電位側の第2ゲート端子107bと高電位側の第2オーミック端子106bとの間には、低電圧である V_{Gb1} の電圧が印加される。

[0107] このようにすると、第1ゲート端子107aと第1オーミック端子106aとの間には、高電圧である V_{Ga2} が、第2ゲート端子107bと第2オ

ーミック端子106bとの間には、高電圧である V_{Gb2} が印加される場合と比較して、 I_{Gb} を抑制させることが可能である。 I_{Gb} と V_{Sba} の特性を図3Bに示す。

[0108] 第2ゲート電極105bからチャネル領域103に向けて流れるゲート電流 I_{Gb} は、第2ゲート電極105bと第1オーミック電極104aとの電位差が大きくなるほど、増大する。

[0109] 第2ゲート電極105bに V_{Gb2} が印加された場合、第2ゲート電極105bと第1オーミック電極104aとの電位差は、 $V_{Sba} + V_{Gb2}$ になる。本発明の実施の形態1のように、第2ゲート電極105bに V_{Gb1} が印加された場合、第2ゲート電極105bと第1オーミック電極104aとの電位差は、 $V_{Sba} + V_{Gb1}$ になる。

[0110] $V_{Gb1} < V_{Gb2}$ であるので、本発明の実施の形態1では、第2ゲート電極105bと第1オーミック電極104aとの電位差は小さくなる。したがって、ゲート電流 I_{Gb} の増加を抑制することができ、消費電力の増大を抑制することができる。

[0111] また、 I_{Sba} の飽和電流は V_{Ga2} に依存している。このため、第1ゲート端子107aと第1オーミック端子106aとの間には、高電圧である V_{Ga2} が、第2ゲート端子107bと第2オーミック端子106bとの間には、高電圧である V_{Gb2} が印加される場合と比較して、 I_{Sba} の飽和電流は減少しない。

[0112] $V_{Sba} < 0$ のときには、高電位側の第1ゲート端子107aと高電位側の第1オーミック端子106aとの間には、低電圧である V_{Ga1} の電圧が印加される。そして、低電位側の第2ゲート端子107bと低電位側の第2オーミック端子106bとの間には、高電圧である V_{Gb2} の電圧が印加される。

[0113] このようにすると、第1ゲート端子107aと第1オーミック端子106aとの間には、高電圧である V_{Ga2} が、第2ゲート端子107bと第2オーミック端子106bとの間には、高電圧である V_{Gb2} が印加される場合

と比較して、 $I_{G a}$ を抑制させることが可能である。また、 $I_{S b a}$ の飽和電流は $V_{G b 2}$ に依存している。このため、第1ゲート端子107aと第1オーミック端子106aとの間には、高電圧である $V_{G a 2}$ が、第2ゲート端子107bと第2オーミック端子106bとの間には、高電圧である $V_{G b 2}$ が印加される場合と比較して、 $I_{S b a}$ の飽和電流は減少しない。

[0114] 以上のように、本発明の実施の形態1に係る半導体装置10は、一对のゲート電極と一对のオーミック電極とを有する半導体素子100と、一对のゲート電極に閾値電圧以上の電圧を印加することで、半導体素子100を一对のオーミック電極間で導通状態にする制御部120とを備える。そして、制御部120は、半導体素子100が導通状態である場合に、高電位側のオーミック電極に対応するゲート電極に低電圧を印加し、低電位側のオーミック電極に対応するゲート電極に高電圧を印加する。すなわち、本発明の実施の形態1に係る半導体装置10は、低電位側のオーミック電極と低電位側ゲート電極との電位差を保ちつつ、高電位側のオーミック電極と高電位側ゲート電極との間の電位差を小さくする。

[0115] 電源130から流れる電流 $I_{S b a}$ の飽和電流の大きさは、低電位側のオーミック電極と低電位側ゲート電極との間の電位差に依存する。また、高電位側ゲート電極に流れるゲート電流の大きさは、高電位側のオーミック電極と高電位側ゲート電極との間の電位差に依存する。このため、本発明の実施の形態1に係る半導体装置10によれば、 $I_{S b a}$ の飽和電流の大きさを保ちつつ、ゲート電流の大きさを小さくすることができる。

[0116] これにより、 $I_{S b a} - V_{S b a}$ の特性を維持したまま、ゲート電流の増大を抑制することが可能となる。具体的には、電源から流れる電流 $I_{S b a}$ の飽和電流の減少を抑制するとともに、ゲート電流の増大を抑制することで、消費電力を削減することができる。

[0117] また、本発明の実施の形態1に係る半導体装置10では、第1ゲート電極105a及び第2ゲート電極105bの閾値電圧はともに、正である。これにより、第1オーミック電極104aを基準とした場合に第1ゲート電極1

05 a に印加される電圧、及び、第2オーミック電極104 bを基準とした場合に第2ゲート電極105 bに印加される電圧がともに0のときに、半導体素子100を遮断状態とすることができる。

[0118] (実施の形態1の変型例1)

実施の形態1の変型例1について、図面を参照しながら説明する。図4は、本発明の実施の形態1の変型例1に係る半導体装置10 aの構成の一例を示す図である。実施の形態1と同様の構成要素については、同一の符号を付し、その説明を省略する。

[0119] 実施の形態1の変型例1に係る半導体装置10 aは、半導体素子100の代わりに半導体素子100 aを備える。半導体素子100 aは、半導体素子100と比較して、第1コントロール層108 a及び第2コントロール層108 bを備えない点が異なっている。すなわち、第1ゲート電極105 a及び第2ゲート電極105 bと、半導体層積層体102とがショットキー接合している。このような構成でも、 $I_{S b a} - V_{S b a}$ の特性を維持したまま、 $V_{S b a} > 0$ のときは高電位側のゲート電流である $I_{G b}$ の増加を、 $V_{S b a} < 0$ のときは高電位側のゲート電流である $I_{G a}$ の増加を抑制することができる。

[0120] このように、本発明の実施の形態1の変型例1に係る半導体装置10 aによれば、実施の形態1と同様に、電源から流れる電流 $I_{S b a}$ の飽和電流の減少を抑制するとともに、ゲート電流の増大を抑制することで、消費電力を削減することができる。

[0121] (実施の形態1の変型例2)

実施の形態1の変型例2について、図面を参照しながら説明する。図5は、本発明の実施の形態1の変型例2に係る半導体装置10 bの構成の一例を示す図である。実施の形態1と同様の構成要素については、同一の符号を付し、その説明を省略する。

[0122] 実施の形態1の変型例2に係る半導体装置10 bは、半導体素子100の代わりに半導体素子100 bを備える。半導体素子100 bは、半導体素子

100と比較して、第1コントロール層108aの代わりに第1絶縁膜110aを備える点と、第2コントロール層108bの代わりに第2絶縁膜110bを備える点とが異なっている。

[0123] 第1絶縁膜110aは、第1ゲート電極105aと半導体層積層体102との間に形成された絶縁膜である。また、第2絶縁膜110bは、第2ゲート電極105bと半導体層積層体102との間に形成された絶縁膜である。例えば、第1絶縁膜110a及び第2絶縁膜110bは、シリコン酸化膜(SiO_2)又はシリコン窒化膜(SiN)などである。

[0124] 本変型例においては、半導体素子100bが導通状態であり、かつ、定常状態においては、 I_{Ga} 及び I_{Gb} ともに0である。しかし、半導体素子100bが導通状態となるときには、第1ゲート電極105aの容量及び第2ゲート電極105bの容量を蓄積するために、過渡的に I_{Ga} 及び I_{Gb} が流れる。

[0125] $V_{Sba} > 0$ のとき、第2ゲート端子107bと第2オーミック端子106bとの間に V_{Gb1} が印加されることにより、 V_{Gb2} が印加されるときよりも過渡的な I_{Gb} を抑制することができる。

[0126] このように、本発明の実施の形態1の変型例2に係る半導体装置10bによれば、実施の形態1と同様に、電源から流れる電流 I_{Sba} の飽和電流の減少を抑制するとともに、ゲート電流の増大を抑制することで、消費電力を削減することができる。さらに、導通状態に切り替わるときに流れる過渡的なゲート電流の増大も抑制することができる。

[0127] (実施の形態2)

本発明の実施の形態2に係る半導体装置は、一对のゲート電極と一对のオーミック電極とを有する半導体素子と、一对のゲート電極に閾値電圧以上の電圧となるような電流を供給することで、半導体素子を一对のオーミック電極間で導通状態にする制御部とを備える。そして、制御部は、半導体素子が導通状態である場合に、高電位側のオーミック電極に対応するゲート電極に低電流を供給し、低電位側のオーミック電極に対応するゲート電極に高電流

を供給することを特徴とする。

[0128] 図6は、本発明の実施の形態2に係る半導体装置20の構成の一例を示す断面図である。図6に示すように、半導体装置20は、半導体素子100と、制御部140とを備える。実施の形態1と同一の構成要素については、同一の符号を付し、その説明を省略する。

[0129] 制御部140は、半導体素子100を導通状態にするための回路である。図6に示すように、制御部140は、電流源141a、141b、142a及び142bと、スイッチ143a及び143bとを備える。

[0130] 電流源141aは、一对のゲート電極の閾値電圧以上の電圧を印加するための第1電流を生成する第1電流源の一例である。電流源141aは、第1オーミック端子106aと第1ゲート端子107aとの間に、スイッチ143aを介して接続されている。

[0131] 具体的には、電流源141aは、第1オーミック電極104aを基準とした場合の第1ゲート電極105aの電位である第1電位が、第1ゲート電極105aの閾値電圧以上となるように、第1ゲート電極105aにゲート電流 I_{Ga1} を供給する。なお、ゲート電流 I_{Ga1} は、第1電流の一例である。

[0132] 電流源142aは、第1電流より大きい第2電流を生成する第2電流源の一例である。電流源142aは、第1オーミック端子106aと第1ゲート端子107aとの間に、スイッチ143aを介して接続されている。

[0133] 具体的には、電流源142aは、第1電位が第1ゲート電極105aの閾値電圧以上となるように、第1ゲート電極105aにゲート電流 I_{Ga2} を供給する。なお、ゲート電流 I_{Ga2} は、第2電流の一例であり、ゲート電流 I_{Ga1} より大きい電流である。

[0134] スイッチ143aは、電源130の電源電圧 V_{Sba} の極性に応じて、電流源141a及び電流源142aのいずれかを選択する。具体的には、スイッチ143aは、電源130の電源電圧 V_{Sba} が正の場合、すなわち、第2オーミック電極104bの電位が第1オーミック電極104aの電位より

高い場合（図6）、高電流の電流源142aを選択する。また、スイッチ143aは、電源130の電源電圧 V_{Sba} が負の場合、すなわち、第2オーミック電極104bの電位が第1オーミック電極104aの電位より低い場合、低電流の電流源141aを選択する。

[0135] 電流源141bは、一对のゲート電極の閾値電圧以上の電圧を印加するための第1電流を生成する第1電流源の一例である。電流源141bは、第2オーミック端子106bと第2ゲート端子107bとの間に、スイッチ143bを介して接続されている。

[0136] 具体的には、電流源141bは、第2オーミック電極104bを基準とした場合の第2ゲート電極105bの電位である第2電位が、第2ゲート電極105bの閾値電圧以上となるように、第2ゲート電極105bにゲート電流 I_{Gb1} を供給する。なお、ゲート電流 I_{Gb1} は、第1電流の一例である。また、ゲート電流 I_{Gb1} は、ゲート電流 I_{Ga1} と等しくてもよい。

[0137] 電流源142bは、第1電流より大きい第2電流を生成する第2電流源の一例である。電流源142bは、第2オーミック端子106bと第2ゲート端子107bとの間に、スイッチ143bを介して接続されている。

[0138] 具体的には、電流源142bは、第2電位が第2ゲート電極105bの閾値電圧以上となるように、第2ゲート電極105bにゲート電流 I_{Gb2} を供給する。なお、ゲート電流 I_{Gb2} は、第2電流の一例であり、ゲート電流 I_{Gb1} より大きい電流である。また、ゲート電流 I_{Gb2} は、ゲート電流 I_{Ga2} と等しくてもよい。

[0139] スイッチ143bは、電源130の電源電圧 V_{Sba} の極性に応じて、電流源141b及び電流源142bのいずれかを選択する。具体的には、スイッチ143bは、電源130の電源電圧 V_{Sba} が正の場合、すなわち、第2オーミック電極104bの電位が第1オーミック電極104aの電位より高い場合（図6）、低電流の電流源141bを選択する。また、スイッチ143bは、電源130の電源電圧 V_{Sba} が負の場合、すなわち、第2オーミック電極104bの電位が第1オーミック電極104aの電位より低い場

合、高電流の電流源 142b を選択する。

[0140] このように、制御部 140 は、半導体素子 100 を導通状態にする場合に、一对のオーミック電極のうち高電位側のオーミック電極を基準とした場合の電位であって、高電位側のオーミック電極に対応するゲート電極である高電位側ゲート電極の電位が、低電位側のオーミック電極を基準とした場合の電位であって、低電位側のオーミック電極に対応するゲート電極である低電位側ゲート電極の電位より低くなるように、高電位側ゲート電極に第 1 電気信号を供給し、かつ、低電位側ゲート電極に第 2 電気信号を供給する。

[0141] 例えば、図 6 の例では、高電位側のオーミック電極及び高電位側ゲート電極は、第 2 オーミック電極 104b 及び第 2 ゲート電極 105b である。そして、低電位側のオーミック電極及び低電位側ゲート電極は、第 1 オーミック電極 104a 及び第 1 ゲート電極 105a である。

[0142] 高電位側ゲート電極である第 2 ゲート電極 105b には、低電流の電流源 141b からゲート電流 I_{Gb1} が第 1 電気信号として供給される。そして、低電位側ゲート電極である第 1 ゲート電極 105a には、高電流の電流源 142a からゲート電流 I_{Ga2} が第 2 電気信号として供給される。このとき、 $I_{Ga2} > I_{Gb1}$ である。

[0143] また、例えば、高電位側のオーミック電極及び高電位側ゲート電極が、第 1 オーミック電極 104a 及び第 1 ゲート電極 105a であり、低電位側のオーミック電極及び低電位側ゲート電極が、第 2 オーミック電極 104b 及び第 2 ゲート電極 105b である場合を想定する。

[0144] この場合、高電位側ゲート電極である第 1 ゲート電極 105a には、低電流の電流源 141a からゲート電流 I_{Ga1} が第 1 電気信号として供給される。そして、低電位側ゲート電極である第 2 ゲート電極 105b には、高電流の電流源 142b からゲート電流 I_{Gb2} が第 2 電気信号として供給される。このとき、 $I_{Gb2} > I_{Ga1}$ である。

[0145] 以下では、本発明の実施の形態 2 に係る半導体装置 20 の動作について説明する。

[0146] 本発明の実施の形態2における半導体装置20の制御部140は、第1オーミック端子106aと第1ゲート端子107aとの間に、2つの電流源141a及び142aを備えている。2つの電流源141a及び142aはそれぞれ、第1ゲート電極105aの閾値電圧以上の電位を印加することができるようなゲート電流 I_{Ga1} （第1電流）及び I_{Ga2} （第2電流）を生成する。

[0147] そして、スイッチ143aは、電流源141a及び142aのいずれかを選択する。すなわち、スイッチ143aは、第1ゲート端子107aに供給する電流を切り替える。

[0148] このとき、 I_{Ga1} は、第1ゲート電極105aの閾値電圧以上の電圧を印加するための電流であり、 I_{Ga2} より小さい電流である。また、 I_{Ga2} の大きさは、 $V_{Sba} > 0$ において、 I_{Sba} の飽和電流を流すことができるゲート電圧 V_{Ga} になるように設定される。

[0149] このように、制御部140は、低電流用の電流源141aと、高電流用の電流源142aとを備え、第1ゲート電極105aに供給する電流を選択する。すなわち、制御部140は、スイッチ143aにより、低電流である I_{Ga1} 、又は、高電流である I_{Ga2} を第1ゲート電極105aに供給することができる。

[0150] また、制御部140は、第2オーミック端子106bと第2ゲート端子107bとの間に、2つの電流源141b及び142bを備えている。2つの電流源141b及び142bはそれぞれ、第2ゲート電極105bの閾値電圧以上の電位を印加することができるようなゲート電流が I_{Gb1} （第1電流）及び I_{Gb2} （第2電流）を生成する。

[0151] そして、スイッチ143bは、電流源141b及び142bのいずれかを選択する。すなわち、スイッチ143bは、第2ゲート端子107bに供給する電流を切り替える。

[0152] このとき、 I_{Gb1} は、第2ゲート電極105bの閾値電圧以上の電圧を印加するための電流であり、 I_{Gb2} より小さい電流である。また、 I_{Gb}

2の大きさは、 $V_{Sba} < 0$ において、 I_{Sba} の飽和電流を流すことができるゲート電圧 V_{Gb} になるように設定される。

[0153] このように、制御部140は、低電流用の電流源141bと、高電流用の電流源142bとを備え、第2ゲート電極105bに供給する電流を選択する。すなわち、制御部140は、スイッチ143bにより、低電流である I_{Gb1} 、又は、高電流である I_{Gb2} を第2ゲート電極105bに供給することができる。

[0154] 具体的には、 $V_{Sba} > 0$ のときには、高電位側の第2ゲート端子107bには、 I_{Gb2} よりも小さい I_{Gb1} が供給される。そして、低電位側の第1ゲート端子107aには、高電流である I_{Ga2} が供給される。この状態であっても第2ゲート端子107b直下のチャネル領域103にはチャネルが生成される。したがって、第2ゲート端子107bの駆動電力が低減される。

[0155] また、 $V_{Sba} < 0$ のときには、高電位側の第1ゲート端子107aには、 I_{Ga2} よりも小さい I_{Ga1} が供給される。そして、低電位側の第2ゲート端子107bには、高電流である I_{Gb2} が供給される。この状態であっても第2ゲート端子107b直下のチャネル領域103にはチャネルが生成される。したがって、第1ゲート端子107aの駆動電力を抑制することができる。

[0156] 以上のように、本発明の実施の形態2に係る半導体装置20は、一对のゲート電極と一对のオーミック電極とを有する半導体素子100と、一对のゲート電極に閾値電圧以上の電圧となるような電流を供給することで、半導体素子100を一对のオーミック電極間で導通状態にする制御部140とを備える。そして、制御部140は、半導体素子100が導通状態である場合に、高電位側のオーミック電極に対応するゲート電極に低電流を供給し、低電位側のオーミック電極に対応するゲート電極に高電流を供給する。

[0157] これにより、実施の形態1と同様に、電源から流れる電流 I_{Sba} の飽和電流の減少を抑制するとともに、ゲート電流の増大を抑制することで、消費

電力を削減することができる。

[0158] (実施の形態2の変型例)

実施の形態2の変型例について、図面を参照しながら説明する。図7は、本発明の実施の形態2の変型例に係る半導体装置20aの構成の一例を示す図である。実施の形態2と同様の構成要素については、同一の符号を付し、その説明を省略する。

[0159] 図7に示すように、実施の形態2の変型例に係る半導体装置20aは、制御部140の代わりに制御部150を備える。制御部150は、電流源151a及び151bを備える。

[0160] 電流源151aは、一对のゲート電極の閾値電圧以上の電圧を印加するための電流を生成する電流源の一例である。電流源151aは、第1オーミック端子106aと第1ゲート端子107aとの間に接続されている。電流源151aは、第1ゲート端子107aにゲート電流 I_{Ga} を第1電気信号として供給する。

[0161] 電流源151bは、一对のゲート電極の閾値電圧以上の電圧を印加するための電流を生成する電流源の一例である。電流源151bは、第2オーミック端子106bと第2ゲート端子107bとの間に接続されている。電流源151bは、第2ゲート端子107bにゲート電流 I_{Gb} を第2電気信号として供給する。

[0162] ここで、 I_{Ga} 及び I_{Gb} はともに、ゲート電極の閾値電圧以上の電圧を印加するための電流である。例えば、 I_{Ga} 及び I_{Gb} はそれぞれ、同一の電流値を持つ。

[0163] 実施の形態1では、 $V_{Sba} > 0$ のとき、同一の定電圧 V_{Ga} 及び V_{Gb} が印加されているときには、 V_{Sba} が上昇するほど I_{Sba} が上昇して I_{Ga} は減少し、 I_{Gb} は増加すると述べた。つまり、 $V_{Sba} > 0$ のとき、同一の定電流 I_{Ga} 及び I_{Gb} が印加されているときには、 V_{Sba} が上昇するほど I_{Sba} が上昇して V_{Ga} は増加し、 V_{Gb} は減少することになる。

[0164] したがって、図7に示すように、第1ゲート端子107a及び第2ゲート端子107bに対してそれぞれ同一の電流値を持つ I_{Ga} 及び I_{Gb} を印加したときには、 V_{Sba} が上昇するほど V_{Ga} が増加し、かつ、 V_{Gb} が減少する。

[0165] このように、本発明の実施の形態2の変型例に係る半導体装置20aによれば、実施の形態1と同様に、電源から流れる電流 I_{Sba} の飽和電流の減少を抑制するとともに、ゲート電流の増大を抑制することで、消費電力を削減することができる。

[0166] (まとめ)

以上、図面を用いて説明したように、本発明の実施の形態に係る半導体装置は、双方向に電流を流すことができる半導体素子を備える半導体装置であって、前記半導体素子は、基板と、前記基板上に形成され、チャンネル領域を有する半導体層と、前記半導体層の上又は上方に、互いに離隔して形成された一对のオーミック電極と、前記半導体層の上又は上方に、前記一对のオーミック電極の間に形成された、前記一对のオーミック電極のそれぞれに対応する一对のゲート電極とを備え、前記半導体装置は、さらに、前記半導体素子を、前記一对のオーミック電極の間で前記チャンネル領域を介して双方向に電流を流すことが可能な導通状態にする制御部を備え、前記制御部は、前記半導体素子が前記導通状態である場合、前記一对のオーミック電極のうち高電位側のオーミック電極を基準とした場合の電位であって、前記高電位側のオーミック電極に対応するゲート電極である高電位側ゲート電極の電位が、低電位側のオーミック電極を基準とした場合の電位であって、前記低電位側のオーミック電極に対応するゲート電極である低電位側ゲート電極の電位より低くなるように、前記高電位側ゲート電極に第1電気信号を供給し、かつ、前記低電位側ゲート電極に第2電気信号を供給する。

[0167] これにより、高電位側ゲート電極に流れるゲート電流の大きさは、高電位側のオーミック電極と高電位側ゲート電極との間の電位差に依存するので、当該電位差を低くすることで、ゲート電流の増大が抑制され、消費電力を削

減することができる。また、一对のオーミック電極間を流れる電流の飽和電流の大きさは、低電位側のオーミック電極と低電位側のゲート電極との間の電位差に依存するので、当該電位差を高くすることで、飽和電流の大きさを保つことができる。したがって、電源電流と電源電圧との特性を維持したまま、消費電力を削減することができる。

[0168] また、前記制御部は、前記一对のゲート電極の閾値電圧以上の電圧である第1電圧を生成する第1電圧源と、前記第1電圧より高い第2電圧を生成する第2電圧源とを有し、前記制御部は、前記高電位側ゲート電極に前記第1電圧を前記第1電気信号として供給し、前記低電位側ゲート電極に前記第2電圧を前記第2電気信号として供給してもよい。

[0169] これにより、異なる電圧を発生する2つの電圧源を備えることで、各ゲート電極と、対応するオーミック電極との間に高電圧又は低電圧を容易に供給することができる。したがって、電源電流と電源電圧との特性を維持したまま、高電位側ゲート電極からチャンネル領域に流れる電流を低減することができるため、高電位側ゲート電極の駆動電力を抑制することができる。

[0170] また、前記制御部は、前記一对のゲート電極の閾値電圧以上の電圧を印加するための第1電流を生成する第1電流源と、前記第1電流より大きい第2電流を生成する第2電流源とを備え、前記制御部は、前記高電位側ゲート電極に前記第1電流を前記第1電気信号として供給し、前記低電位側ゲート電極に前記第2電流を前記第2電気信号として供給してもよい。

[0171] これにより、異なる電流を発生する2つの電流源を備えることで、各ゲート電極に高電流又は低電流を容易に供給することができる。したがって、電源電流と電源電圧との特性を維持したまま、高電位側のゲート電流を低減し、高電位側ゲート電極の駆動電力を抑制することができる。

[0172] また、前記制御部は、前記一对のゲート電極の閾値電圧以上の電圧を印加するための電流を、前記第1電気信号及び前記第2電気信号として前記一对のゲート電極に供給してもよい。

[0173] これにより、第1ゲート電極又は第2ゲート電極に供給するゲート電流源

の数を減らすことができ、回路構成を簡素化することができる。

[0174] また、前記一对のゲート電極の閾値電圧は、正であってもよい。

[0175] これにより、第1オーミック電極を基準とした場合に第1ゲート電極に印加される電圧、及び、第2オーミック電極を基準とした場合に第2ゲート電極に印加される電圧がともに0のときに、半導体素子を遮断状態とすることができる。

[0176] また、前記半導体素子は、さらに、前記一对のゲート電極と前記半導体層との間に形成された、P型の導電性を有する一对のコントロール層を備えてもよい。

[0177] これにより、第1ゲート電極の閾値電圧及び第2ゲート電極の閾値電圧を正にすることができる。

[0178] また、前記一对のゲート電極は、前記半導体層とショットキー接合していてもよい。

[0179] これにより、第1ゲート電極の閾値電圧及び第2ゲート電極の閾値電圧を正にすることができる。

[0180] また、前記半導体素子は、さらに、前記一对のゲート電極と前記半導体層との間に形成された絶縁膜を備えてもよい。

[0181] これにより、第1ゲート電極の閾値電圧及び第2ゲート電極の閾値電圧を正にすることができる。

[0182] また、前記基板は、シリコン基板、サファイア基板、又は、炭化珪素基板であってもよい。

[0183] また、本発明の実施の形態に係る半導体装置の制御方法は、双方向に電流を流すことができる半導体装置の制御方法であって、前記半導体装置は、基板と、前記基板上に形成され、チャンネル領域を有する半導体層と、前記半導体層の上又は上方に、互いに離隔して形成された一对のオーミック電極と、前記半導体層の上又は上方に、前記一对のオーミック電極の間に形成された、前記一对のオーミック電極のそれぞれに対応する一对のゲート電極とを備え、前記半導体装置の制御方法は、前記一对のオーミック電極のうち高電位

側のオーミック電極に対応するゲート電極である高電位側ゲート電極に第1電気信号を供給し、前記一对のオーミック電極のうち低電位側のオーミック電極に対応するゲート電極である低電位側ゲート電極に第2電気信号を供給し、前記第1電気信号及び前記第2電気信号の供給では、前記高電位側のオーミック電極を基準とした場合の前記高電位側ゲート電極の電位が、前記低電位側のオーミック電極を基準とした場合の前記低電位側ゲート電極の電位より低くなるように、前記第1電気信号及び前記第2電気信号を供給する。

[0184] これにより、高電位側ゲート電極に流れるゲート電流の大きさは、高電位側のオーミック電極と高電位側ゲート電極との間の電位差に依存するので、当該電位差を低くすることで、ゲート電流の増大が抑制され、消費電力を削減することができる。また、一对のオーミック電極間を流れる電流の飽和電流の大きさは、低電位側のオーミック電極と低電位側のゲート電極との間の電位差に依存するので、当該電位差を高くすることで、飽和電流の大きさを保つことができる。したがって、電源電流と電源電圧との特性を維持したまま、消費電力を削減することができる。

[0185] 以上、本発明に係る半導体装置及びその制御方法について、実施の形態に基づいて説明したが、本発明は、これらの実施の形態に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を当該実施の形態に施したものと、異なる実施の形態における構成要素を組み合わせる構築される形態も、本発明の範囲内に含まれる。

[0186] 例えば、図1A及び図1Bにおいて、制御部120は、4つの電圧源121a、121b、122a及び122bを備えているが、制御部120は、2つの電圧源を備えるだけでもよい。VGa1とVGb1とは等しくてもよく、また、VGa2とVGb2とは等しくてもよいので、例えば、制御部120は、低電圧のVGa1(=VGb1)を生成する電圧源121aと、高電圧のVGa2(=VGb2)を生成する電圧源122aとを備えていればよい。

[0187] そして、制御部120は、高電位側のオーミック電極が第2オーミック電

極 104b である場合に、電圧源 122a が生成する高電圧 V_{Ga2} を第 1 ゲート電極 105a と第 1 オーミック電極 104a との間に印加し、電圧源 121a が生成する低電圧 V_{Ga1} を第 2 ゲート電極 105b と第 2 オーミック電極 104b との間に印加すればよい。また、制御部 120 は、高電位側のオーミック電極が第 1 オーミック電極 104a である場合に、電圧源 121a が生成する低電圧 V_{Ga1} を第 1 ゲート電極 105a と第 1 オーミック電極 104a との間に印加し、電圧源 122a が生成する高電圧 V_{Ga2} を第 2 ゲート電極 105b と第 2 オーミック電極 104b との間に印加すればよい。

[0188] また、図 6 において、制御部 140 は、4 つの電流源 141a、141b、142a 及び 142b を備えているが、制御部 140 は、2 つの電流源を備えるだけでもよい。 I_{Ga1} と I_{Gb1} とは等しくてもよく、また、 I_{Ga2} と I_{Gb2} とは等しくてもよいので、例えば、制御部 140 は、低電流の I_{Ga1} ($= I_{Gb1}$) を生成する電流源 141a と、高電流の I_{Ga2} ($= I_{Gb2}$) を生成する電流源 142a とを備えていればよい。

[0189] そして、制御部 140 は、高電位側のオーミック電極が第 2 オーミック電極 104b である場合に、電流源 142a が生成する高電流 I_{Ga2} を第 1 ゲート電極 105a に供給し、電流源 141a が生成する低電流 I_{Ga1} を第 2 ゲート電極 105b に供給すればよい。また、制御部 140 は、高電位側のオーミック電極が第 1 オーミック電極 104a である場合に、電流源 141a が生成する低電流 I_{Ga2} を第 1 ゲート電極 105a に供給し、電流源 142a が生成する高電流 I_{Ga1} を第 2 ゲート電極 105b に供給すればよい。

[0190] また、上記半導体装置の構成は、本発明を具体的に説明するために例示するためのものであり、本発明に係る半導体装置は、上記構成の全てを必ずしも備える必要はない。言い換えると、本発明に係る半導体装置は、本発明の効果を実現できる最小限の構成のみを備えればよい。

[0191] 例えば、図 1A、図 1B、図 6 などにおいて、第 1 オーミック端子 106

a、第2オーミック端子106b、第1ゲート端子107a及び第2ゲート端子107bを備えていなくてもよい。

[0192] また、上記実施の形態の説明に用いた図において、各構成要素の角部及び辺を直線的に記載しているが、製造上の理由により、角部及び辺が丸みをおびたものも本発明に含まれる。

[0193] また、上記で用いた数字は、全て本発明を具体的に説明するために例示するものであり、本発明は例示された数字に制限されない。また、上記で示した各構成要素の材料は、全て本発明を具体的に説明するために例示するものであり、本発明は例示された材料に制限されない。また、構成要素間の接続関係は、本発明を具体的に説明するために例示するものであり、本発明の機能を実現する接続関係はこれに限定されない。

産業上の利用可能性

[0194] 本発明に係る半導体装置及びその制御方法は、消費電力の増加を抑制することができるという効果を奏する。

符号の説明

[0195] 10、10a、10b、20、20a 半導体装置
100、100a、100b、300 半導体素子
101、301 基板
102、302 半導体層積層体
103 チャンネル領域
104a 第1オーミック電極
104b 第2オーミック電極
105a、304a 第1ゲート電極
105b、304b 第2ゲート電極
106a 第1オーミック端子
106b 第2オーミック端子
107a 第1ゲート端子
107b 第2ゲート端子

- 108 a 第1コントロール層
- 108 b 第2コントロール層
- 109 a、109 b、109 c 抵抗
- 110 a 第1絶縁膜
- 110 b 第2絶縁膜
- 120、140、150 制御部
- 121 a、121 b、122 a、122 b 電圧源
- 123 a、123 b、143 a、143 b スイッチ
- 130 電源
- 141 a、141 b、142 a、142 b、151 a、151 b 電流源
- 303 a 第1電極
- 303 b 第2電極

請求の範囲

[請求項1]

双方向に電流を流すことができる半導体素子を備える半導体装置であって、

前記半導体素子は、

基板と、

前記基板上に形成され、チャンネル領域を有する半導体層と、

前記半導体層の上又は上方に、互いに離隔して形成された一対のオーミック電極と、

前記半導体層の上又は上方に、前記一対のオーミック電極の間に形成された、前記一対のオーミック電極のそれぞれに対応する一対のゲート電極とを備え、

前記半導体装置は、さらに、

前記半導体素子を、前記一対のオーミック電極の間で前記チャンネル領域を介して双方向に電流を流すことが可能な導通状態にする制御部を備え、

前記制御部は、

前記半導体素子が前記導通状態である場合、前記一対のオーミック電極のうち高電位側のオーミック電極を基準とした場合の電位であって、前記高電位側のオーミック電極に対応するゲート電極である高電位側ゲート電極の電位が、低電位側のオーミック電極を基準とした場合の電位であって、前記低電位側のオーミック電極に対応するゲート電極である低電位側ゲート電極の電位より低くなるように、前記高電位側ゲート電極に第1電気信号を供給し、かつ、前記低電位側ゲート電極に第2電気信号を供給する

半導体装置。

[請求項2]

前記制御部は、

前記一対のゲート電極の閾値電圧以上の電圧である第1電圧を生成する第1電圧源と、

前記第 1 電圧より高い第 2 電圧を生成する第 2 電圧源とを有し、
前記制御部は、

前記高電位側ゲート電極に前記第 1 電圧を前記第 1 電気信号として
供給し、前記低電位側ゲート電極に前記第 2 電圧を前記第 2 電気信号
として供給する

請求項 1 記載の半導体装置。

[請求項3]

前記制御部は、

前記一对のゲート電極の閾値電圧以上の電圧を印加するための第 1
電流を生成する第 1 電流源と、

前記第 1 電流より大きい第 2 電流を生成する第 2 電流源とを備え、
前記制御部は、

前記高電位側ゲート電極に前記第 1 電流を前記第 1 電気信号として
供給し、前記低電位側ゲート電極に前記第 2 電流を前記第 2 電気信号
として供給する

請求項 1 記載の半導体装置。

[請求項4]

前記制御部は、前記一对のゲート電極の閾値電圧以上の電圧を印加
するための電流を、前記第 1 電気信号及び前記第 2 電気信号として前
記一对のゲート電極に供給する

請求項 1 記載の半導体装置。

[請求項5]

前記一对のゲート電極の閾値電圧は、正である

請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置。

[請求項6]

前記半導体素子は、さらに、前記一对のゲート電極と前記半導体層
との間に形成された、P型の導電性を有する一对のコントロール層を
備える

請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置。

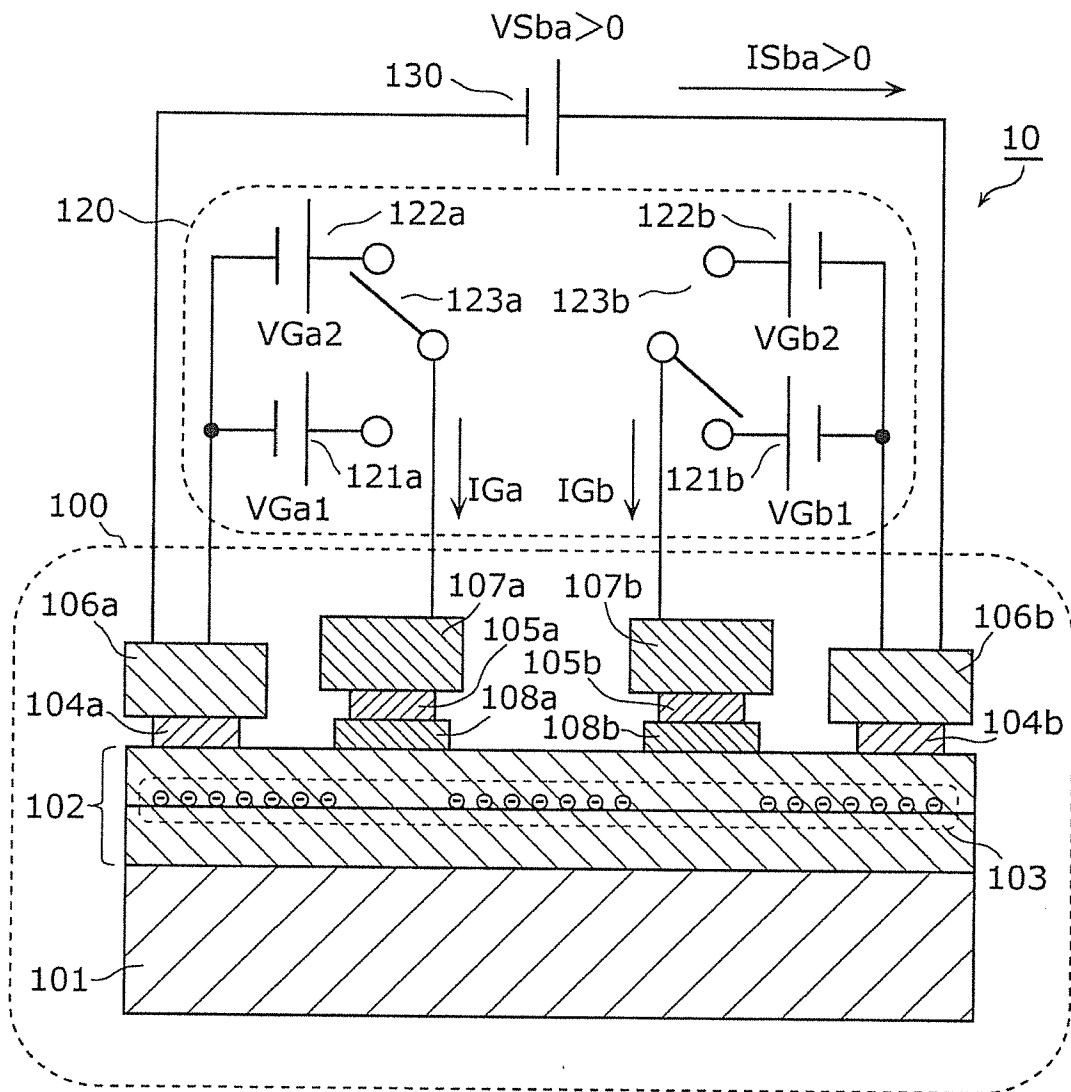
[請求項7]

前記一对のゲート電極は、前記半導体層とショットキー接合してい
る

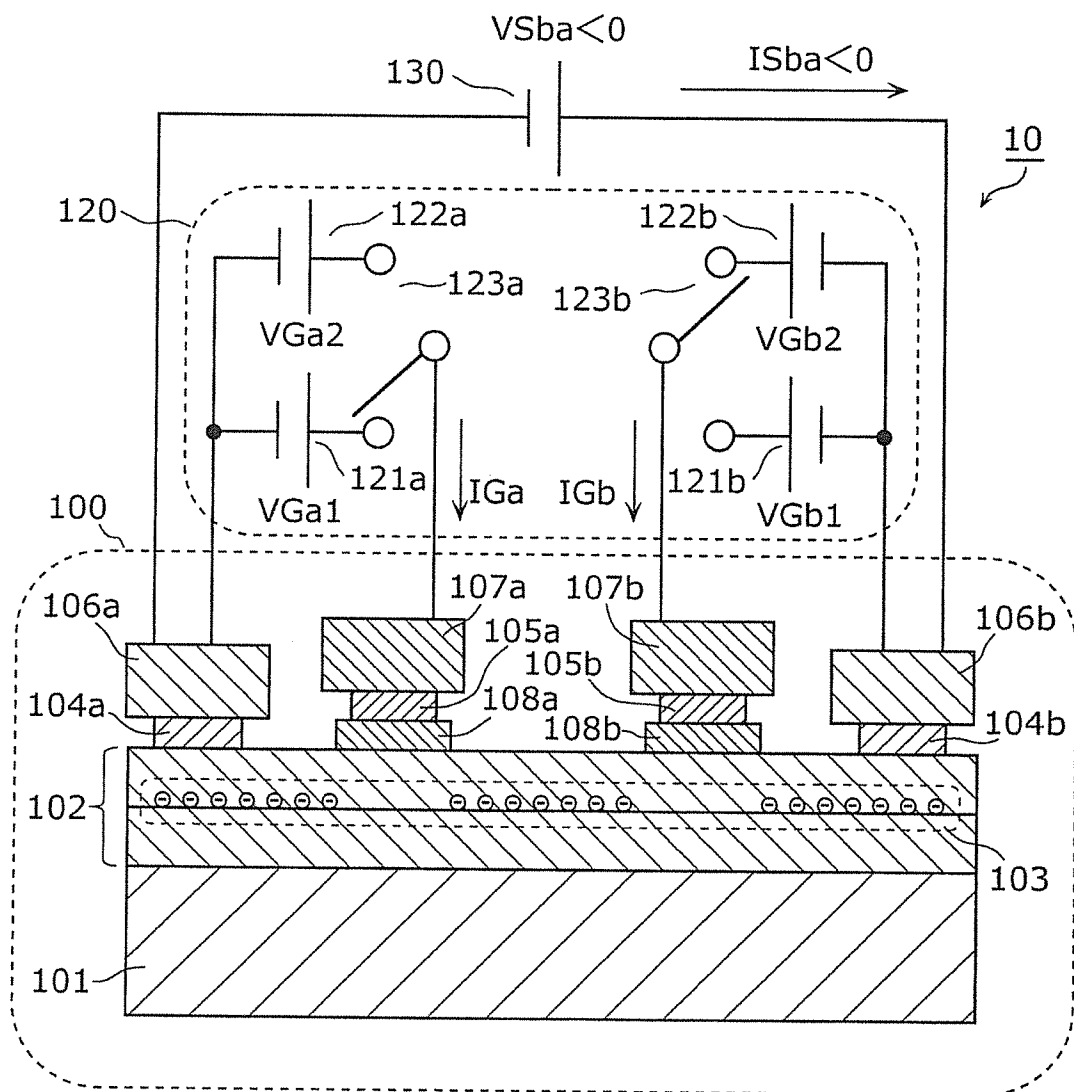
請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置。

- [請求項8] 前記半導体素子は、さらに、前記一对のゲート電極と前記半導体層との間に形成された絶縁膜を備える
請求項1～5のいずれか1項に記載の半導体装置。
- [請求項9] 前記基板は、シリコン基板、サファイア基板、又は、炭化珪素基板である
請求項1～8のいずれか1項に記載の半導体装置。
- [請求項10] 双方向に電流を流すことができる半導体装置の制御方法であって、
前記半導体装置は、
基板と、
前記基板上に形成され、チャンネル領域を有する半導体層と、
前記半導体層の上又は上方に、互いに離隔して形成された一对のオーミック電極と、
前記半導体層の上又は上方に、前記一对のオーミック電極の間に形成された、前記一对のオーミック電極のそれぞれに対応する一对のゲート電極とを備え、
前記半導体装置の制御方法は、
前記一对のオーミック電極のうち高電位側のオーミック電極に対応するゲート電極である高電位側ゲート電極に第1電気信号を供給し、
前記一对のオーミック電極のうち低電位側のオーミック電極に対応するゲート電極である低電位側ゲート電極に第2電気信号を供給し、
前記第1電気信号及び前記第2電気信号の供給では、
前記高電位側のオーミック電極を基準とした場合の前記高電位側ゲート電極の電位が、前記低電位側のオーミック電極を基準とした場合の前記低電位側ゲート電極の電位より低くなるように、前記第1電気信号及び前記第2電気信号を供給する
半導体装置の制御方法。

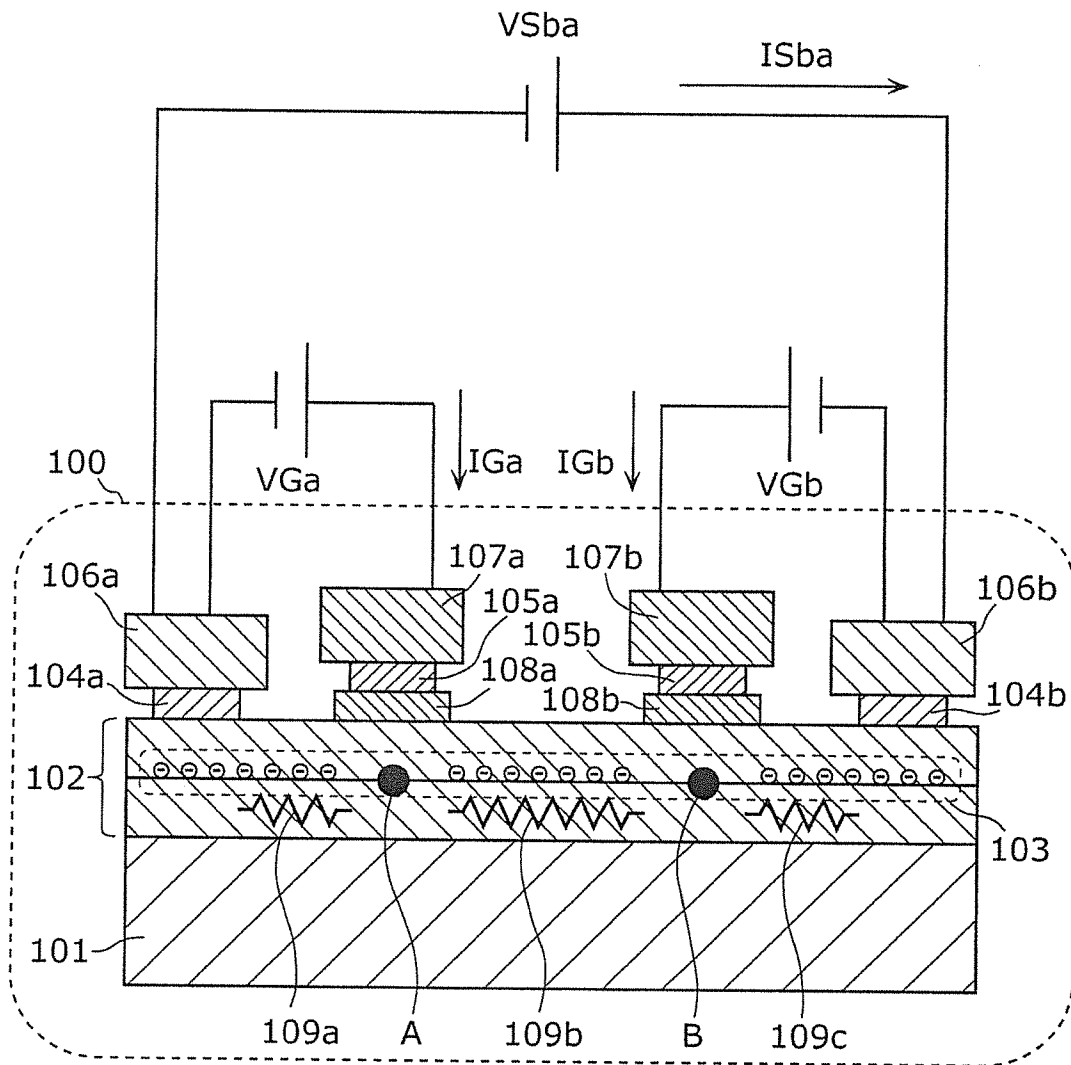
[図1A]



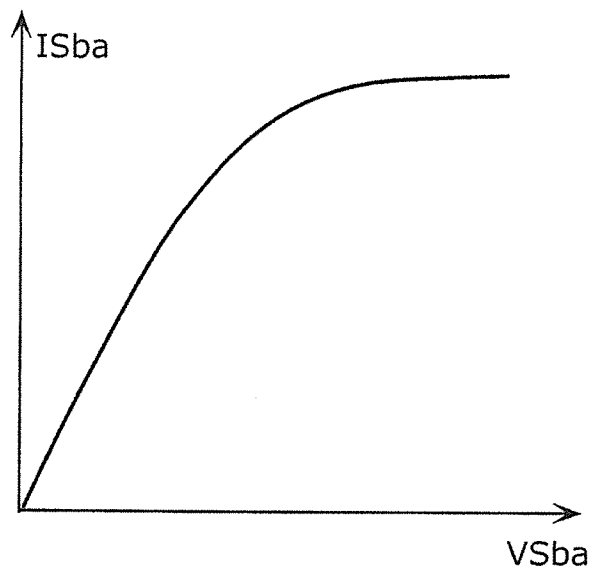
[図1B]



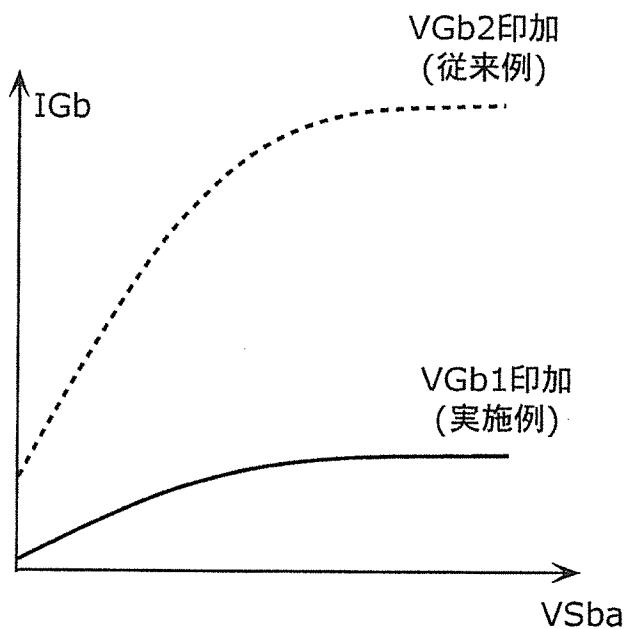
[図2]



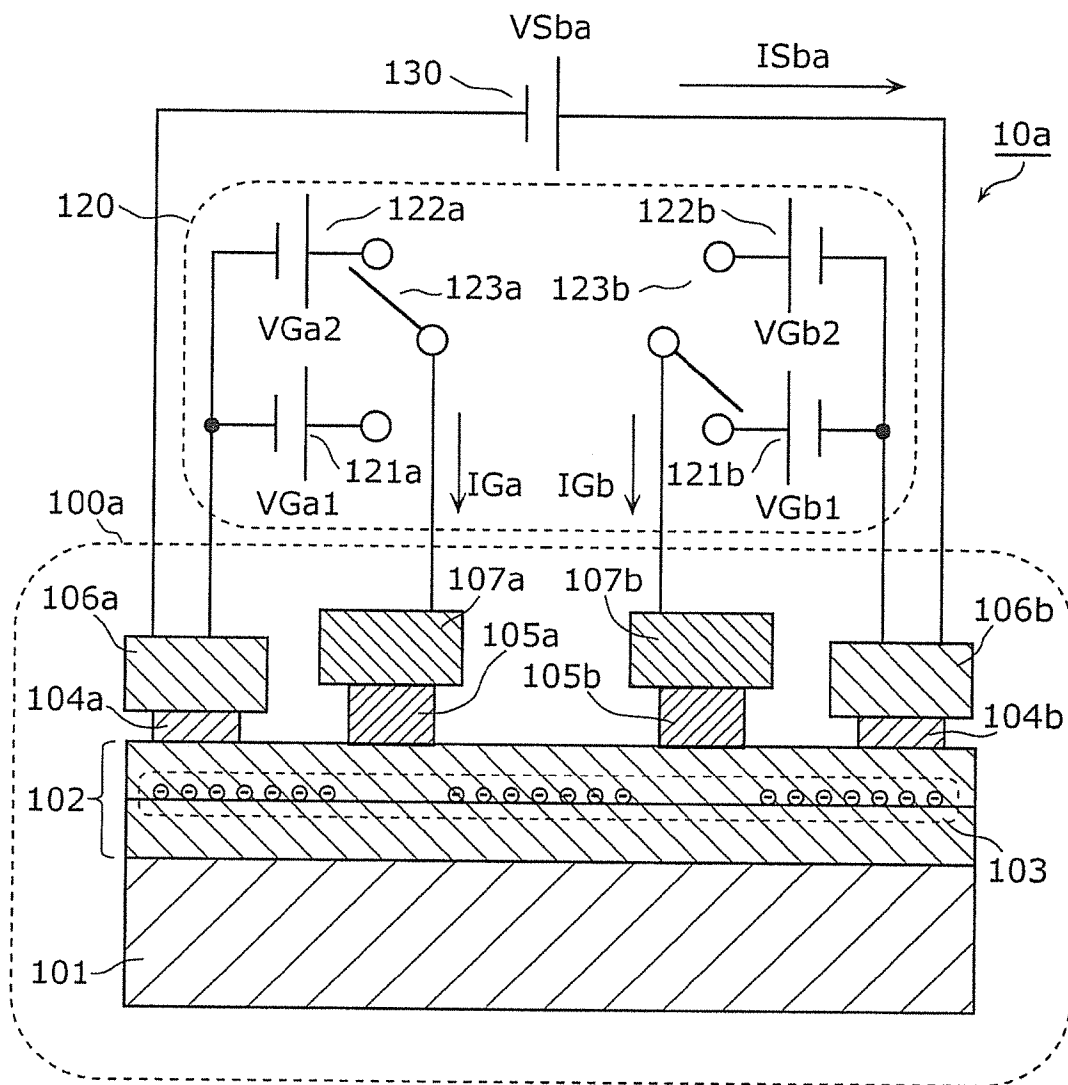
[図3A]



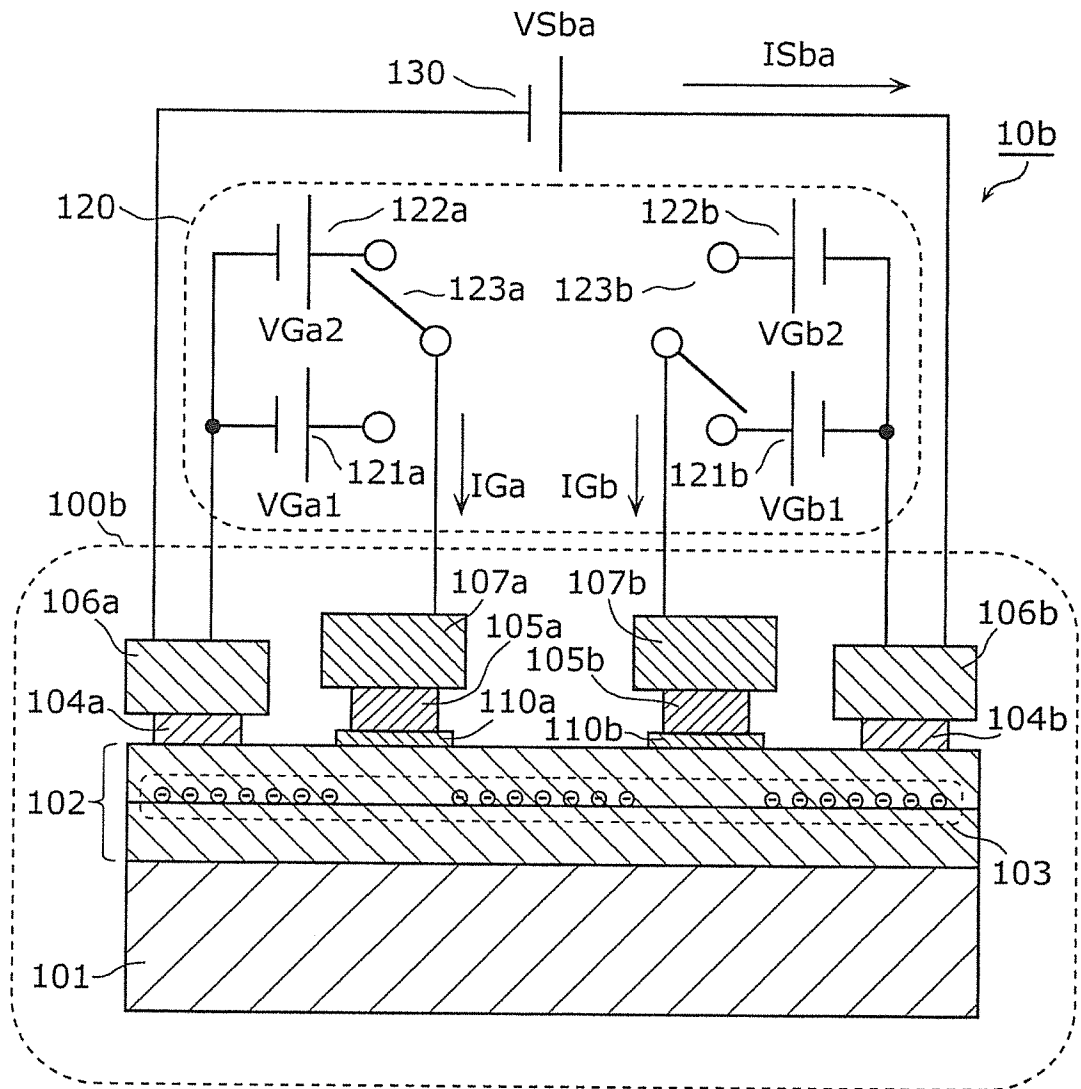
[図3B]



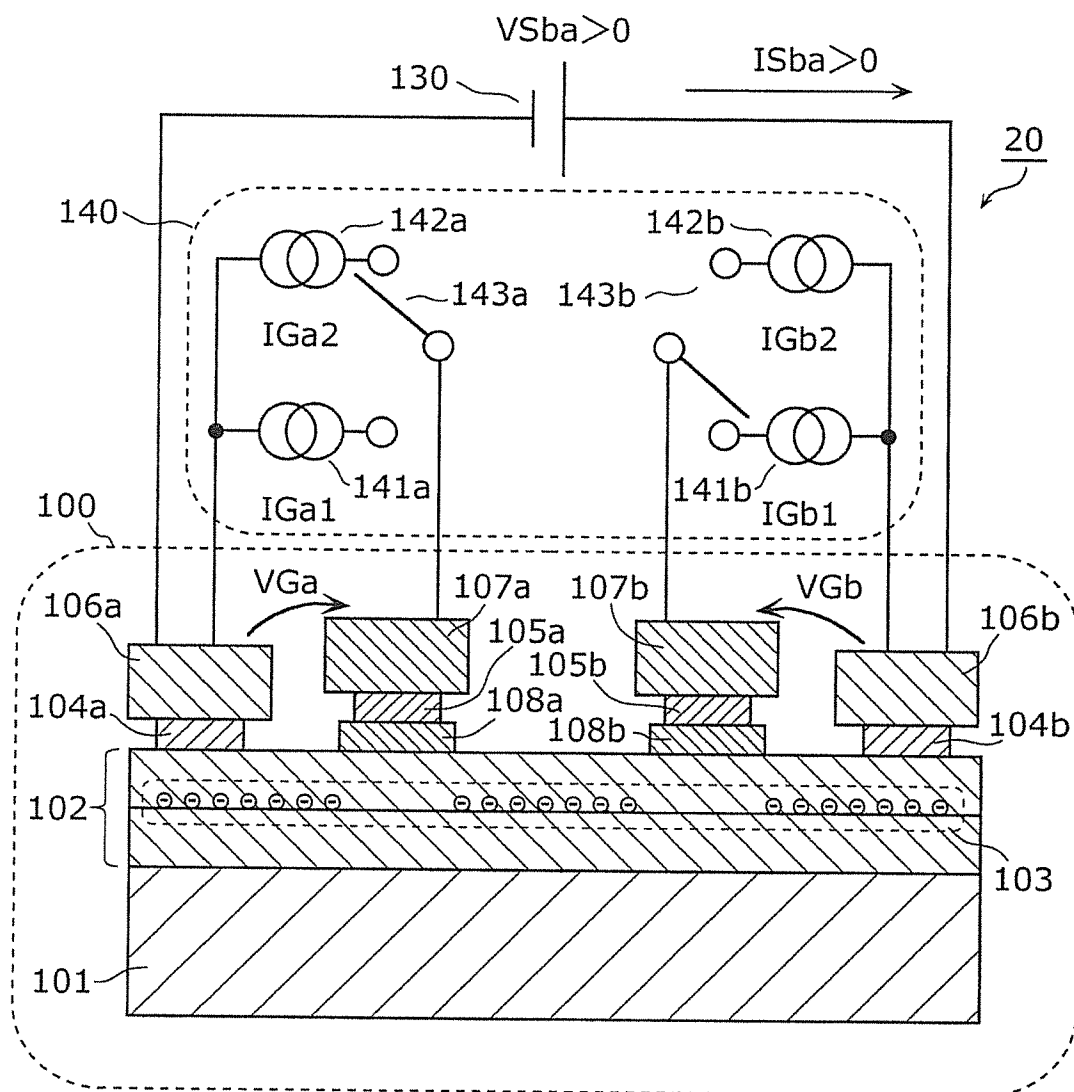
[図4]



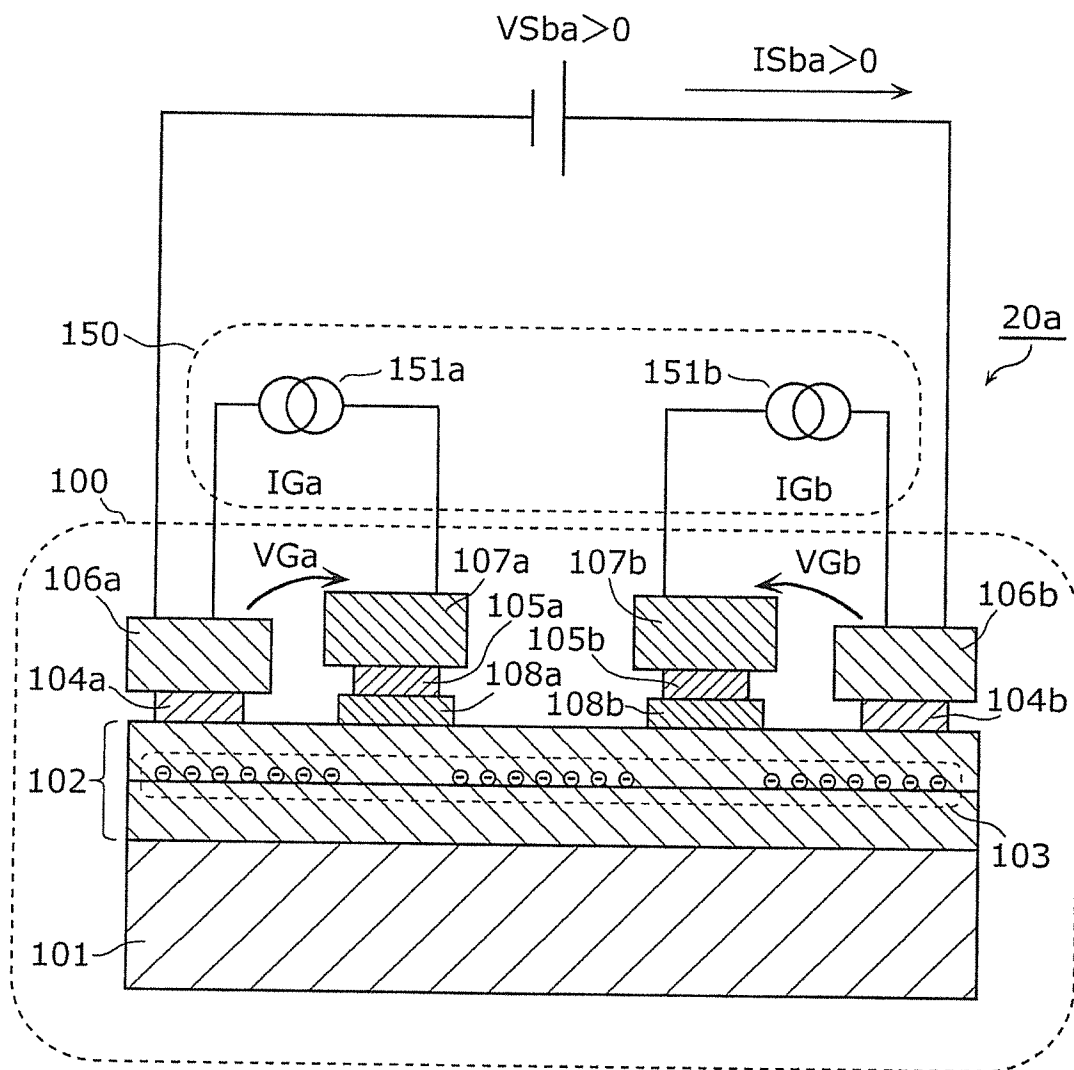
[図5]



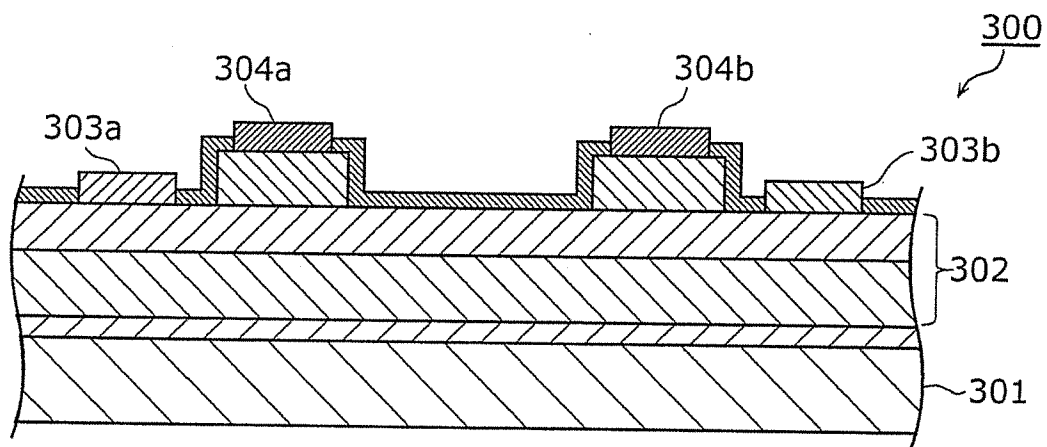
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/006961

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/80(2006.01)i, H01L21/337(2006.01)i, H01L21/338(2006.01)i,
H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/808(2006.01)i,
H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/80-29/812, H01L29/778;21/337-21/338, H01L29/78-29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2010-4588 A (Panasonic Corp.), 07 January 2010 (07.01.2010), paragraphs [0049] to [0056]; fig. 1 to 3 (Family: none)	1,5-10 2-4
X A	WO 2008/062800 A1 (Matsushita Electric Industrial Co., Ltd.), 29 May 2008 (29.05.2008), paragraphs [0125] to [0153]; fig. 19 to 21 & US 2010/0097105 A1 & CN 101523614 A	1,5-10 2-4
A	JP 2010-278333 A (Furukawa Electric Industrial Co., Ltd.), 09 December 2010 (09.12.2010), fig. 5; paragraphs [0049] to [0053] (Family: none)	1-10

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 January, 2012 (11.01.12)

Date of mailing of the international search report
24 January, 2012 (24.01.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/006961

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 57-26471 A (Fujitsu Ltd.), 12 February 1982 (12.02.1982), fig. 1; page 1, left column, line 13 to right column, line 6 (Family: none)	1-10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/006961

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/006961

Continuation of Box No.III of continuation of first sheet (2)

Document 1 (JP 2010-4588 A (Panasonic Corp.), 7 January 2010 (07.01.2010), paragraphs [0049]-[0056], [fig. 1]-[fig. 3]), and document 2 (WO 2008/062800 A1 (Matsushita Electric Industrial Co., Ltd.), 29 May 2008 (29.05.2008), paragraphs [0125]-[0153], [fig. 19]-[fig. 21]) both disclose the invention of a bidirectional switch (1) having first and second ohmic electrodes and first and second gate electrodes. It is also disclosed that when V_{g1} is a voltage higher than a first threshold voltage, and V_{g2} is equal to or lower than a second threshold voltage, a positive voltage is applied to between S2 and S1 with a first ohmic electrode (11A) as reference.

Consequently, this international application discloses the inventions stated below, and the inventions do not have other common technical feature considered as a special technical feature in the meaning of PCT Rule 13.2, second sentence. The inventions in claims 1 and 5-10 not having a special technical feature are classified as the inventions of the invention group 1.

Invention group 1: The inventions in claims 1 and 10, and the inventions having the following special technical feature among the inventions in claims 2 and 5-9

A control unit has a first voltage source, which generates a first voltage, i.e., a voltage equal to or higher than the threshold voltage of a pair of gate electrodes, and a second voltage source, which generates a second voltage higher than the first voltage, and the control unit supplies, as a first electrical signal, the first voltage to the high potential-side gate electrode, and supplies, as a second electrical signal, the second voltage to the low potential-side gate electrode.

Invention group 2: The inventions having the following special technical feature among the inventions in claims 3 and 5-9

A control unit is provided with a first current source, which generates a first current for applying a voltage equal to or higher than the threshold voltage of a pair of gate electrodes, and a second current source, which generates a second current larger than the first current, and the control unit supplies, as a first electrical signal, the first current to the high potential-side gate electrode, and supplies, as a second electrical signal, the second current to the low potential-side gate electrode.

Invention group 3: The inventions having the following special technical feature among the inventions in claims 4-9

A control unit supplies, to a pair of gate electrodes, a current for applying a voltage equal to or higher than the threshold voltage of the pair of gate electrodes as a first electrical signal and a second electrical signal.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/80(2006.01)i, H01L21/337(2006.01)i, H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/808(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/80-29/812
H01L29/778;21/337-21/338
H01L29/78-29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2010-4588 A (パナソニック株式会社) 2010.01.07, 【0049】-【0056】、【図1】-【図3】 (ファミリーなし)	1,5-10 2-4
X A	WO 2008/062800 A1 (松下電器産業株式会社) 2008.05.29, [0125]-[0153], [図19]-[図21] & US 2010/0097105 A1 & CN 101523614 A	1,5-10 2-4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

11.01.2012

国際調査報告の発送日

24.01.2012

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

行武 哲太郎

4M

4447

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-278333 A (古川電気工業株式会社) 2010. 12. 09, 【図5】、【0049】－【0053】 (ファミリーなし)	1-10
A	JP 57-26471 A (富士通株式会社) 1982. 02. 12, 第1図、第1ページ左欄第13行目－右欄第6行目 (ファミリーなし)	1-10

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、

2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。
特別ページ参照。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

文献1 (JP 2010-4588 A (パナソニック株式会社) 2010.01.07, 【0049】-【0056】、【図1】-【図3】)、文献2 (WO 2008/062800 A1 (松下電器産業株式会社) 2008.05.29, [0125]-[0153], [図19]-[図21]) のいずれにも、第1, 2のオーミック電極、第1, 2のゲート電極とを有する双方向スイッチ1の発明が記載されている。V_{g1}を第1の閾値電圧よりも高い電圧とし、V_{g2}を第2の閾値電圧以下とした場合に、第1のオーミック電極11Aを基準としたS2-S1間に正の電圧を印加することも記載されている。

してみると、本願には以下の発明が記載されていると認められ、当該発明は、PCT規則13.2の第2文の意味において特別な技術的特徴と考えられる他の共通する技術的特徴が存在しない。なお、特別の技術的特徴を有さない請求項1, 5-10に係る発明は、発明1に区分する。

(発明1) 請求項1, 10に係る発明、及び、請求項2, 5-9に係る発明で以下の特別な技術的特徴を有する発明：

制御部は、一対のゲート電極の閾値電圧以上の電圧である第1電圧を生成する第1電圧源と、前記第1電圧より高い第2電圧を生成する第2電圧源とを有し、前記制御部は、高電位側ゲート電極に前記第1電圧を第1電気信号として供給し、低電位側ゲート電極に前記第2電圧を第2電気信号として供給すること。

(発明2) 請求項3, 5-9に係る発明で以下の特別な技術的特徴を有する発明：

制御部は、一対のゲート電極の閾値電圧以上の電圧を印加するための第1電流を生成する第1電流源と、前記第1電流より大きい第2電流を生成する第2電流源とを備え、前記制御部は、高電位側ゲート電極に前記第1電流を第1電気信号として供給し、低電位側ゲート電極に前記第2電流を第2電気信号として供給すること。

(発明3) 請求項4-9に係る発明で以下の特別な技術的特徴を有する発明：

制御部は、一対のゲート電極の閾値電圧以上の電圧を印加するための電流を、第1電気信号及び第2電気信号として前記一対のゲート電極に供給すること。