



(12) 发明专利

(10) 授权公告号 CN 101498850 B

(45) 授权公告日 2011. 04. 20

(21) 申请号 200910009709. 7

审查员 李剑韬

(22) 申请日 2009. 01. 23

(30) 优先权数据

2008-018063 2008. 01. 29 JP

(73) 专利权人 佳能株式会社

地址 日本东京

(72) 发明人 大村昌伸

(74) 专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 康建忠

(51) Int. Cl.

G02F 1/133(2006. 01)

G09G 3/36(2006. 01)

H04N 5/74(2006. 01)

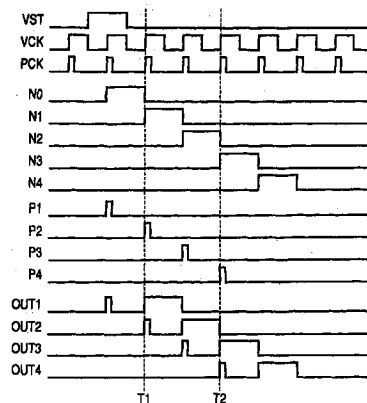
权利要求书 2 页 说明书 10 页 附图 8 页

(54) 发明名称

液晶显示装置、其驱动方法以及液晶投影装置

(57) 摘要

本发明公开了一种液晶显示装置、其驱动方法以及液晶投影装置。所述液晶显示装置包括：以矩阵布置的多个像素，每个像素包含与用于向置于像素电极和对向电极之间的液晶施加电压的所述像素电极连接的开关元件；和垂直扫描电路，用于供给用于在导通状态和非导通状态之间控制所述开关元件的扫描信号，并用于逐条扫描线地依次扫描像素，其中，所述扫描信号包含将开关元件设在导通状态的第一导通信号、在第一导通信号之后将开关元件设在导通状态的第二导通信号、以及在第一导通信号和第二导通信号之间将开关元件设在非导通状态的非导通信号，以抑制由于像素电极之间的寄生电容耦合和像素之间的馈通所导致的图像质量的劣化。



1. 一种液晶显示装置，包括：

以矩阵布置的多个像素，其中，所述像素中的每一个包含与像素电极连接的开关元件，所述像素电极用于向置于所述像素电极和对向电极之间的液晶施加电压；

沿列方向布置的多条扫描线，其中，所述扫描线中的每一条与沿行方向布置的多个开关元件共连；和

垂直扫描电路，所述垂直扫描电路用于向扫描线供给用于在导通状态和非导通状态之间控制所述开关元件的扫描信号，并用于逐条扫描线地依次扫描像素，其中，

所述扫描信号包含：将所述开关元件设在导通状态的第一导通信号、在第一导通信号之后将所述开关元件设在导通状态的第二导通信号、以及在第一导通信号和第二导通信号之间将所述开关元件设在非导通状态的非导通信号，并且，

在向预定扫描线供给第二导通信号的期间中，所述垂直扫描电路在向所述预定扫描线下一个被扫描的另一扫描线供给第一导通信号之后、并且在结束向预定行上的像素供给基于视频信号的电压之前，向所述另一扫描线供给非导通信号，其中所述预定行上布置有共连到所述预定扫描线的多个开关元件。

2. 根据权利要求 1 的液晶显示装置，其中，

在向所述预定扫描线供给第二导通信号的时间段之后，所述垂直扫描电路向要在所述预定扫描线下一个被扫描的另一扫描线供给第二导通信号。

3. 根据权利要求 2 的液晶显示装置，还包括：

通过所述开关元件与所述像素电极连接的信号线、用于控制所述信号线和视频信号线之间的连接的开关电路、以及水平扫描电路，其中，

所述水平扫描电路在向要在所述预定扫描线下一个被扫描的另一扫描线供给非导通信号的同时，将所述开关电路设在导通状态。

4. 根据权利要求 1 的液晶显示装置，其中，

所述垂直扫描电路包含：

移位寄存器电路；

第一信号产生电路，所述第一信号产生电路用于输出基于控制时钟信号和来自所述移位寄存器的输出信号的逻辑积信号；和

第二信号产生电路，所述第二信号产生电路用于输出基于所述逻辑积信号和来自所述移位寄存器的输出信号产生的逻辑和信号作为扫描信号。

5. 根据权利要求 4 的液晶显示装置，其中，

所述垂直扫描电路向扫描线供给基于垂直扫描时钟信号产生的扫描信号，所述垂直扫描电路还包含第三信号产生电路，并且所述第三信号产生电路产生基于通过延迟电路延迟所述垂直扫描时钟信号而产生的信号的所述控制时钟信号，并将所述控制时钟信号供给到第一信号产生电路。

6. 根据权利要求 5 的液晶显示装置，其中，

所述延迟电路是使用包含电容器和电阻器的时间常数电路的模拟延迟电路、或使用水平扫描时钟信号和触发器电路的数字延迟电路。

7. 一种液晶投影装置，包括：

根据权利要求 1 的液晶显示装置；和

光源，其中，

所述液晶投影装置投射通过所述液晶显示装置调制从所述光源发射的光而形成的图像。

8. 一种驱动液晶显示装置的方法，通过向沿列方向布置的多条扫描线供给用于在导通状态和非导通状态之间控制开关元件的扫描信号而逐条扫描线地依次扫描以矩阵布置的多个像素，其中，所述像素中的每一个包含与像素电极连接的所述开关元件，所述像素电极用于向置于所述像素电极和对向电极之间的液晶施加电压，其中，所述扫描线中的每一条与沿行方向布置的多个开关元件共连，其中，

所述扫描信号包含：将所述开关元件设在导通状态的第一导通信号、在第一导通信号之后将所述开关元件设在导通状态的第二导通信号、以及在第一导通信号和第二导通信号之间将所述开关元件设在非导通状态的非导通信号，并且其中所述方法包括：

在向预定扫描线供给第二导通信号的期间中，在向所述预定扫描线下一个被扫描的另一扫描线供给第一导通信号之后、并且在结束向预定行上的像素供给基于视频信号的电压之前，向所述另一扫描线供给非导通信号的步骤，其中所述预定行上布置有共连到所述预定扫描线的多个开关元件。

液晶显示装置、其驱动方法以及液晶投影装置

技术领域

[0001] 本发明涉及液晶显示装置、其驱动方法以及液晶投影装置。

背景技术

[0002] 作为使用有源矩阵基板的图像显示装置，液晶显示装置是已知的，并且，在液晶投影仪、液晶显示器等中广泛采用液晶显示装置。众所周知，使用有源矩阵基板的这种液晶显示装置包含以矩阵布置在例如半导体基板上的像素单元，并且，像素单元中的每一个包含由金属氧化物半导体 (MOS) 晶体管制成的像素开关和与像素开关连接的像素电容器。即，沿水平方向布置多条扫描线，并且沿垂直方向布置多条信号线。然后，像素单元与扫描线和信号线的交点中的每一个连接。然后，与半导体基板相对地放置公共电极基板，并且，将液晶封入在半导体基板和公共电极基板之间，由此形成液晶显示装置。

[0003] 要求最近的液晶显示装置同时提高其分辨率和提高其清晰度。作为能够实现所述要求的相关技术，例如，可以给出在以下的专利公开中公开的相关技术。

[0004] 即，欧洲专利申请公开 No.0911796 描述了清晰度的提高和高速操作两者的实现。为了实现清晰度的提高和高速操作，所述专利公开中公开的相关技术在同时接通（驱动）多行像素开关的同时执行垂直扫描，由此避免在电压写入时通过寄生电容对下一行像素产生任何馈通 (feedthrough)。

发明内容

[0005] 但是，上述相关技术具有以下问题。即，在同时接通多个行以将电压写入同一列上的多个像素中的垂直扫描驱动中，如果像素与电源、地 (GND) 和基准电压中的任一个短路，那么本来一个像素的像素缺陷变为多个连接像素的连接像素缺陷。结果，导致明显的图像质量劣化。

[0006] 出现连接像素缺陷的原因如下。例如，检查同时接通第 N 行和第 (N+1) 行两者上的像素而执行垂直扫描驱动并且第 (N+1) 行上的像素与 GND 短路的情况。

[0007] 当第 N 行上的像素开关通过第 N 行上的扫描线变为它们的接通状态并且可执行电压写入时，第 (N+1) 行上的像素开关通过第 (N+1) 行上的扫描线同时变为它们的接通状态。在这种状态中，由于第 N 行上的像素和第 (N+1) 行上的像素处于通过信号线彼此短路的状态，因此，由于第 (N+1) 行上的像素的影响，不可能将正常电压写入第 N 行上的像素中。结果，第 N 行上的像素电压变为 GND 电势。

[0008] 当在完成对第 N 行上的像素的电压写入之后执行对下一第 (N+1) 行上的像素的电压写入时，第 (N+1) 行上的像素自然取 GND 电势。当正在执行对第 (N+1) 行上的像素的电压写入时，GND 电势还被写入第 (N+2) 行上的像素中。但是，当在完成对第 (N+1) 行上的像素的电压写入之后执行对第 (N+2) 行的电压写入时，第 (N+2) 行上的像素被重写为正常电压。因此，在同时接通两行的垂直扫描驱动中导致两个连接像素的缺陷。

[0009] 本发明致力于抑制由于像素电极之间的寄生电容耦合和像素之间的馈通而导致的图像质量的劣化，以及抑制由于在多个行上出现像素缺陷而导致的图像质量的劣化。

[0010] 根据本发明的液晶显示装置是这样的液晶显示装置，其包括：以矩阵布置的多个像素，其中，所述像素中的每一个包含与像素电极连接的开关元件，所述像素电极用于向置于像素电极和对向电极(counter electrode)之间的液晶施加电压；沿列方向布置的多条扫描线，其中，所述扫描线中的每一条与沿行方向布置的多个开关元件共连；以及垂直扫描电路，用于向扫描线供给用于在导通状态和非导通状态之间控制开关元件的扫描信号，并用于逐条扫描线地依次扫描像素，其中，所述扫描信号包含将开关元件设在导通状态的第一导通信号、在第一导通信号之后将开关元件设在导通状态的第二导通信号、以及在第一导通信号和第二导通信号之间将开关元件设在非导通状态的非导通信号，并且，所述垂直扫描电路在向要在预定的扫描线下一个被扫描的另一扫描线供给第一导通信号和非导通信号的同时，向所述预定的扫描线供给第二导通信号。

[0011] 而且，根据本发明的液晶显示装置的驱动方法是这样的方法，所述方法通过向沿列方向布置的多条扫描线供给用于在导通状态和非导通状态之间控制开关元件的扫描信号而逐条扫描线地依次扫描以矩阵布置的多个像素，其中，所述像素中的每一个包含与用于向置于像素电极和对向电极之间的液晶施加电压的像素电极连接的开关元件，其中，所述扫描线中的每一条与沿行方向布置的多个开关元件共连，其中，所述扫描信号包含将开关元件设在导通状态的第一导通信号、在第一导通信号之后将开关元件设在导通状态的第二导通信号、以及在第一导通信号和第二导通信号之间将开关元件设在非导通状态的非导通信号，并且其中，所述方法包括在向要在预定的扫描线下一个被扫描的另一扫描线供给第一导通信号和非导通信号的同时向所述预定的扫描线供给第二导通信号的步骤。

[0012] 本发明可抑制由于像素电极之间的寄生电容耦合和像素之间的馈通而导致的图像质量的劣化，并可抑制由于在多个行上出现像素缺陷而导致的图像质量的劣化。

[0013] 从下面参考附图对示例性实施例的描述，本发明的进一步的特征将变得明显。

附图说明

[0014] 图 1 是示出本发明第一实施例中的垂直扫描控制电路的操作例子的时序图。

[0015] 图 2 是示出本发明第一实施例中的垂直扫描控制电路的操作例子的时序图的放大视图。

[0016] 图 3 是示出本发明第一实施例中的液晶显示装置的电路例子的示意图。

[0017] 图 4 是示出本发明第一实施例中的垂直扫描控制电路的配置例子的示意图。

[0018] 图 5 是示出本发明第二实施例中的垂直扫描控制电路的配置例子的示意图。

[0019] 图 6 是示出本发明第二实施例中的控制时钟信号产生电路的操作例子的时序图。

[0020] 图 7 是示出本发明第三实施例中的垂直扫描控制电路的配置例子的示意图。

[0021] 图 8 是示出构成本发明第三实施例中的垂直扫描控制电路的锁存(latch)电路的配置例子的电路图。

[0022] 图 9 是示出本发明第三实施例中的垂直扫描控制电路的操作例子的时序图。

[0023] 图 10 是示出本发明第四实施例中的液晶投影装置的配置例子的示图。

具体实施方式

[0024] (第一实施例)

[0025] 图 3 是示出根据本发明的第一实施例的液晶显示装置的电路例子的示图。以下将描述液晶显示装置及其驱动方法。液晶显示装置包含构成液晶显示装置的显示区域的多个单位(unit)像素 100。单位像素 100 以矩阵布置,每个包含开关元件 101、像素保持电容器 102 和液晶 104。这里,在本实施例中使用 MOS 晶体管作为开关元件 101。像素保持电容器 102 的对向电极处于所有像素共用的第一基准电压 103。虽然没有示出,但在开关元件 101 和像素保持电容器 102 的连接端处布置了电极,并且,液晶 104 被布置为放置在所述电极和透明电极之间,所述透明电极被用作所有像素的公共电极并与第二基准电压 105 连接。

[0026] 在以矩阵布置的像素 100 中,沿各行方向的多个开关元件 101 的控制端子各自与相同的扫描线 111 至 114 中的各个共连。这里,晶体管的栅极被用作本实施例的开关元件 101 的控制端子。然后,沿各列方向的多个开关元件 101 的一端各自与相同的信号线 121 至 124 中的各个共连。这里,晶体管的源极被用作本实施例的开关元件 101 的所述一端。

[0027] 开关电路(以下称为传送(transfer)开关)131 至 134 分别与信号线 121 至 124 连接。传送开关 131 至 134 的另一端与视频信号线 150 连接。根据期望被显示的图像的模拟电压被输入视频信号线 150 中。

[0028] 传送开关 131 至 134 的控制端子分别由水平扫描电路 140 的输出信号 141 至 144 控制。

[0029] 水平扫描开始信号 HST 和水平扫描时钟信号 HCK 被输入水平扫描电路 140 中。水平扫描电路 140 由移位寄存器构成,并且,许多公知的文献阐明了其详细配置和操作。因此这里省略对水平扫描电路 140 的配置的描述。

[0030] 由垂直扫描电路 110 控制扫描线 111 至 114。垂直扫描开始信号 VST、垂直扫描时钟信号 VCK 和控制时钟信号 PCK 被输入垂直扫描电路 110 中。垂直扫描开始信号 VST 是用于使垂直扫描电路 110 开始垂直扫描的信号。垂直扫描时钟信号 VCK 是用于调节垂直扫描电路 110 的垂直扫描的定时的信号。控制时钟信号 PCK 被用作产生稍后将描述的初步充电脉冲信号时的原始信号。

[0031] 图 4 示出本实施例中的垂直扫描电路 110 的配置的例子。垂直扫描电路 110 包含由 D 触发器(flip flop)(以下称为 DFF)电路构成的移位寄存器电路 201、用于产生初步充电脉冲信号的由 AND 电路构成的第一信号产生电路 202、以及用于产生扫描信号的由 OR 电路构成的第二信号产生电路 203。

[0032] 构成移位寄存器电路 201 的第一级 DFF 电路的输出信号 N0 被输入第一信号产生电路 202 的第一行 AND 电路的输入端子中。并且,控制时钟信号 PCK 被输入第一信号产生电路 202 的所有 AND 电路的另一输入端子中。第一行 AND 电路输出输出信号 P1,所述输出信号 P1 是基于移位寄存器电路 201 的输出信号 N0 和控制时钟信号 PCK 的逻辑积信号。输出信号 P1 被输入第二信号产生电路 203 的第一行 OR 电路的输入端子中。这

里, 第一信号产生电路 202 的输出信号 P_n 被称为初步充电脉冲信号。然后, 第二级 DFF 电路的输出信号 N_1 被输入第一行 OR 电路的另一输入端子中。第一行 OR 电路输出输出信号 OUT_1 , 所述输出信号 OUT_1 是基于第一信号产生电路 202 的输出信号 P_1 和移位寄存器电路 201 的输出信号 N_1 的逻辑和信号。输出信号 OUT_1 被供给到第一行扫描线 111。这里, 第二信号产生电路 203 的输出信号 OUT_n 被称为扫描信号。

[0033] 并且, 第二级 DFF 电路的输出信号 N_1 也被输入第一信号产生电路 202 的第二行 AND 电路的输入端子中。第二行 AND 电路输出输出信号 P_2 , 所述输出信号 P_2 是基于移位寄存器电路 201 的输出信号 N_1 和控制时钟信号 PCK 的逻辑积信号。输出信号 P_2 被输入第二信号产生电路 203 的第二行 OR 电路的输入端子中。然后, 第三级 DFF 电路的输出信号 N_2 被输入第二行 OR 电路的另一输入端子中。第二行 OR 电路输出输出信号 OUT_2 , 所述输出信号 OUT_2 是基于第一信号产生电路 202 的输出信号 P_2 和移位寄存器电路 201 的输出信号 N_2 的逻辑和信号。输出信号 OUT_2 被供给到第二行扫描线 112。

[0034] 并且, 第三级 DFF 电路的输出信号 N_2 也被输入第一信号产生电路 202 的第三行 AND 电路的输入端子中。第三行 AND 电路输出输出信号 P_3 , 所述输出信号 P_3 是移位寄存器电路 201 的输出信号 N_2 和控制时钟信号 PCK 的逻辑积信号。输出信号 P_3 被输入第二信号产生电路 203 的第三行 OR 电路的输入端子中。然后, 第四级 DFF 电路的输出信号 N_3 被输入第三行 OR 电路的另一输入端子中。第三行 OR 电路输出输出信号 OUT_3 , 所述输出信号 OUT_3 是第一信号产生电路 202 的输出信号 P_3 和移位寄存器电路 201 的输出信号 N_3 的逻辑和信号。输出信号 OUT_3 被供给到第三行扫描线 113。

[0035] 然后, 第四级 DFF 电路的输出信号 N_3 被输入第一信号产生电路 202 的第四行 AND 电路的输入端子中。第四行 AND 电路输出输出信号 P_4 , 所述输出信号 P_4 是移位寄存器电路 201 的输出信号 N_3 和控制时钟信号 PCK 的逻辑积信号。输出信号 P_4 被输入第二信号产生电路 203 的第四行 OR 电路的输入端子中。然后, 第五级 DFF 电路的输出信号 N_4 被输入第四行 OR 电路的另一输入端子中。第四行 OR 电路输出输出信号 OUT_4 , 所述输出信号 OUT_4 是第一信号产生电路 202 的输出信号 P_4 和移位寄存器电路 201 的输出信号 N_4 的逻辑和信号。输出信号 OUT_4 被供给到第四行扫描线 114。

[0036] 以这样的方式, 由垂直扫描电路 110 产生并从垂直扫描电路 110 输出的输出信号 OUT_1-OUT_4 中的每一个包含将开关元件 101 设在导通状态的第一导通信号、和在第一导通信号之后将开关元件 101 设在导通状态的第二导通信号。并且, 输出信号 OUT_1-OUT_4 中的每一个包含在第一导通信号和第二导通信号之间将开关元件 101 设在非导通状态的非导通信号。换句话说, 对于一个垂直扫描期间, 垂直扫描电路 110 向一条扫描线施加两个导通信号和它们之间的一个非导通信号。

[0037] 并且, 在垂直扫描电路 110 正向预定的扫描线 (例如第一行扫描线 111) 供给第二导通信号的期间中, 垂直扫描电路 110 向要在第一行扫描线 111 下一个被扫描的第二行扫描线 112 供给第一导通信号和非导通信号。以下将详细描述该操作。顺便说一句, 导通信号表示具有持续预定期间的将开关元件变为处于其导通状态的导通电压的脉冲信号。并且, 非导通信号表示具有持续预定期间的将开关元件变为处于其非导通状态的非导通电压的信号。

[0038] 图 1 是示出图 4 中所示的垂直扫描电路 110 的操作例子 (驱动方法) 的时序图。

垂直扫描开始信号 VST、垂直扫描时钟信号 VCK 和控制时钟信号 PCK 被输入垂直扫描电路 110 中。从移位寄存器电路 201 中的 DFF 电路输出输出信号 N0-N4。从第一信号产生电路 202 中的 AND 电路输出输出信号 P1-P4。从第二信号产生电路 203 中的 OR 电路输出输出信号 OUT1-OUT4 作为扫描信号。

[0039] 这里，重要的是，控制时钟信号 PCK 是与垂直扫描时钟信号 VCK 同步的信号，并且控制时钟信号 PCK 具有这样的占空比 (duty cycle)，所述占空比的高 (Hi) 电平期间比垂直扫描时钟信号 VCK 的高 (Hi) 电平期间短，从而与垂直扫描时钟信号 VCK 的高 (Hi) 电平期间不同。Hi 电平期间确定初步充电操作。并且，控制时钟信号 PCK 的 Hi 电平期间的定时也是重要的。

[0040] 图 2 是通过放大图 1 中从 T1 到 T2 的时间段而示出本实施例中的初步充电期间的时序图。在图 2 中，还包含水平扫描开始信号 HST、水平扫描时钟信号 HCK、和分别为传送开关控制信号 S1-S4 的输出信号 141-144。这里，水平扫描开始信号 HST 是用于使水平扫描电路 140 开始水平扫描的信号。水平扫描时钟信号 HCK 是用于调节水平扫描电路 140 的水平扫描的定时的信号。

[0041] 如图 2 所示，能够执行初步充电操作的期间是从当扫描线 112 变为 Hi 电平时的时间到当开始水平扫描期间时的时间的时段。这里，初步充电操作表示将要被施加给预定像素的信号电压预先施加给要在与向所述预定像素施加所述信号电压的定时不同的定时向其施加所述信号电压的像素的操作。从开始初步充电操作到完成它的期间被称为初步充电操作期间。控制时钟信号 PCK 在处于 Hi 电平的状态中的期间是初步充电操作期间，并且，这里，可以通过改变处于 Hi 电平的期间或对于垂直扫描时钟信号 VCK 的相位来控制初步充电操作期间。

[0042] 下面将描述本实施例的操作。例如，检查第二行上的像素与 GND 短路的情况。垂直扫描电路 110 向第一行扫描线 111 施加扫描信号 OUT1 的第二导通信号，并且，第一行扫描线 111 变为作为导通电压的 Hi 电平。由此，第一行上的像素变为可写入电压的状态。在这个时候，垂直扫描电路 110 向第二行扫描线 112 施加扫描信号 OUT2 的第一导通信号，并且，第二行扫描线 112 变为 Hi 电平。由此执行初步充电操作。由于此时第二行像素与 GND 短路，因此 GND 电势被写入相应的第一行像素中。如果垂直扫描被原样执行，那么第一行像素留在 GND 电势，并且，本来应被写入像素中的电压没有被写入像素中，而且，第一行像素变为显示缺陷。垂直扫描电路 110 因此在向扫描线 111 供给第二导通信号的期间中、在向扫描线 112 施加第一导通信号之后并且在结束向前行上的像素供给基于视频信号的电压之前，通过扫描信号 OUT2 向扫描线 112 供给非导通信号。更优选地，垂直扫描电路 110 在向扫描线 111 供给第二导通信号的期间中、在向扫描线 112 施加第一导通信号之后并且在开始水平扫描之前，通过扫描信号 OUT2 向扫描线 112 供给非导通信号。因此，由于初步充电操作在水平扫描开始之前结束，所以第一行和第二行上的像素在执行水平扫描的期间中变为处于彼此电阻断的状态。通过在第一行像素和第二行像素处于彼此电阻断的状态的状态中执行水平扫描，当从视频信号线 150 输入本来应被写入像素中的电压时，第一行上的像素被所述电压重写。

[0043] 这里，执行初步充电操作时的初步充电电压以保持在信号线 121-124 中的电势来执行。并且，由于信号线 121 至 124 的电容为几 pF 并且像素保持电容器 102 的电容为

几十 fF，因此信号线 121 至 124 的电容充分大于像素保持电容器 102 的电容。因此，可以执行初步充电操作。

[0044] 顺便说一句，如果在水平扫描期间中或在水平扫描之后的消隐 (blanking) 期间中执行初步充电操作，那么，与相关技术的情况类似，邻近的像素通过信号线 121 至 124 彼此短路，并且不能解决相关技术的问题。

[0045] 并且，通过使用本实施例的初步充电操作，没有像素电压一口气地从它们的正场变为它们的负场，且反之亦然，因此，可使得电压变化量小。由此可抑制通过寄生电容对邻近像素的馈通的影响。

[0046] 顺便说一句，本实施例可应用于使用用于执行场反转驱动 (field inversion drive) 的有源矩阵基板的液晶显示装置。

[0047] 如上所述，通过使用本实施例中所示的配置，对第 (N+1) 行上的像素的初步充电在写入第 N 行上的像素的执行期间结束。因此，不是第 N 行上的所有像素都变为连接像素缺陷，并且因此可防止图像质量的劣化。此外，由于对第 (N+1) 行上的像素的初步充电在开始第 N 行水平扫描之前结束，因此不是第 N 行上的所有像素都变为连接像素缺陷，并因此可防止图像质量的劣化。并且，由于在正执行垂直扫描的同时执行初步充电，因此可以减小由于像素电压从正场变为负场以及反之时的馈通导致的对邻近像素的图像质量劣化。

[0048] (第二实施例)

[0049] 图 5 是示出图 3 中所示的垂直扫描电路 110 的第二实施例的示图。本实施例的特征在于：控制时钟信号 PCK 由基板中的第三信号产生电路 204 基于垂直扫描时钟信号 VCK 而产生。由于除了增加第三信号产生电路 204 以外，本实施例的其它部分与第一实施例的那些部分相同，因此省略对其它部分的描述。

[0050] 下面将描述第三信号产生电路 204 的配置。垂直扫描时钟信号 VCK 被输入反相器 (inverter) 电路 (以下称为 INV 电路) 和 AND 电路的一个输入端子中，并且，INV 电路的输出通过延迟电路 205 被输入 AND 电路的另一输入端子中。这里，延迟电路 205 可以为使用由电容器和电阻器组成的 CR 时间常数电路的模拟延迟电路以及诸如使用水平扫描时钟信号 HCK 和触发器电路的数字延迟电路的数字延迟电路中的任一个。当然，延迟电路 205 可以是由串联连接的缓冲器电路组成的延迟电路。并且，INV 电路和延迟电路的连接顺序可以是相反的。

[0051] 图 6 示出用于产生图 5 中所示的控制时钟信号 PCK 的第三信号产生电路 204 的操作时序图。垂直扫描开始信号 VST 和垂直扫描时钟信号 VCK 被输入第三信号产生电路 204 中，并且，延迟电路 205 输出输出信号 S1。垂直扫描时钟信号 VCK 被输入 AND 电路的一个输入端子中，并且，延迟电路 205 的输出信号 S1 被输入 AND 电路的另一输入端子中。因此，控制时钟信号 PCK 从 AND 电路输出。控制时钟信号 PCK 是第三信号产生电路 204 的输出信号。如从所述时序图所知，延迟电路 205 的延迟时间变为垂直扫描驱动的初步充电期间。

[0052] 通过使用本实施例，可以获得与第一实施例的效果相同的效果，并且，仅通过与相关技术的输入信号相同的输入信号，就可实现能够执行初步充电操作的垂直扫描电路 110。

[0053] （第三实施例）

[0054] 图 7 是图 3 中所示的垂直扫描电路 110 的第三实施例。本实施例中所示的垂直扫描电路 110 与第一实施例中所示的垂直扫描电路 110 的不同之处在于以下三点：在移位寄存器电路 201 和第二信号产生电路 203 之间提供第四信号产生电路 206；第四信号产生电路 206 的输出信号 S1-S4 被输入第二信号产生电路 203 中的 AND 电路的另一输入端子中；以及，移位寄存器电路 201 由锁存电路构成，每个锁存电路由两个三态反相器和一个反相器组成。

[0055] 图 8 示出用于本实施例中使用的移位寄存器电路 201 的一位的电路。由虚线包围的电路是所谓的三态反相器，其输出通过控制信号 CK1 被控制为高阻抗，并且，两个三态反相器和一个反相器构成一个锁存电路。

[0056] 图 7 中所示的移位寄存器电路 201 由串联连接的五个锁存电路构成，其连接点被作用用于输出移位寄存器电路 201 的输出信号 N0-N4 的端子。被输入构成移位寄存器电路 201 的锁存电路中的每一个中的控制信号 CK1 和 CK2 可被直接从有源矩阵基板的外部输入移位寄存器电路 201 中，或者可在基板中从第一实施例中所示的垂直扫描时钟信号 VCK 产生。顺便说一句，控制信号 CK1 是垂直扫描时钟信号 VCK 的非反相信号，而控制信号 CK2 是垂直扫描时钟信号 VCK 的反相 (inversion) 信号。为了操作的稳定性，控制信号 CK1 的变化点和控制信号 CK2 的变化点不得彼此交迭 (overlap)。期望存在控制信号 CK1 和 CK2 两者均取低 (Low) 电平的期间。

[0057] 顺便说一句，控制信号 CK1 被输入布置在奇数位置处的锁存电路的在取入数据时操作的三态反相器的时钟端子中，并且，控制信号 CK2 被输入布置在奇数位置处的锁存电路的在保持数据时操作的三态反相器的时钟端子中。

[0058] 并且，被输入布置在奇数位置处的锁存电路中的控制信号的相反控制信号被输入布置在偶数位置处的锁存电路中。

[0059] 在要被用于本实施例的由串联连接的锁存电路组成的移位寄存器电路 201 中，输出信号 N0 至 N4 彼此交迭，好象两行扫描线被同时扫描。因此，第四信号产生电路 206 在输出信号 N0 和 N1 在第四信号产生电路 206 的第一级 AND 电路处彼此交迭的期间中提取信号，以便仅接通期望的扫描线。类似地，第四信号产生电路 206 分别在输出信号 N1 和 N2、输出信号 N2 和 N3、以及输出信号 N3 和 N4 各自在第四信号产生电路 206 的第二级到第四级处彼此交迭的各期间中提取信号。

[0060] 移位寄存器电路 201 的输出信号 N0 至 N4 分别被输入第一信号产生电路 202 的第一到第四行 AND 电路的一个端子中。并且，控制时钟信号 PCK 被输入第一信号产生电路 202 的所有 AND 电路的另一输入端子中。

[0061] 第一信号产生电路 202 的输出信号 P1 至 P4 分别被输入第二信号产生电路 203 的各行 OR 电路的一个输入端子中。并且，第四信号产生电路 206 的输出信号 S1 至 S4 被输入第二信号产生电路 203 的各行 OR 电路的另一输入端子中。然后，第二信号产生电路 203 的各行 OR 电路的输出信号 OUT1-OUT4 被输出到扫描线 111 至 114。

[0062] 图 9 是示出图 7 中所示的垂直扫描电路 110 的操作例子（驱动方法）的时序图。垂直扫描开始信号 VST、控制信号 CK1 和 CK2、以及控制时钟信号 PCK 被输入垂直扫描电路 110 中。输出信号 N0 至 N4 从移位寄存器电路 201 输出。输出信号 P1-P4 从第一

信号产生电路 202 中的 AND 电路输出。输出信号 S1-S4 从第四信号产生电路 206 中的 AND 电路输出。输出信号 OUT1 至 OUT4 从第二信号产生电路 203 中的 OR 电路输出作为扫描信号。

[0063] 图 9 中所示的操作例子与第一实施例的操作例子的不同之处在于：产生两个脉冲作为第一信号产生电路 202 的输出信号 P1-P4 中的每一个。通过用第二信号产生电路 203 分别操作输出信号 P1-P4 和第四信号产生电路 206 的输出信号 S1-S4 的逻辑和，可以获得与第一实施例的扫描信号相同的扫描信号 OUT1 至 OUT4。

[0064] 顺便说一句，虽然本实施例被配置为从外部输入控制时钟信号 PCK，但是也可以如关于第二实施例描述的那样在基板中从垂直扫描时钟信号 VCK 或控制信号 CK1 和 CK2 产生控制时钟信号 PCK。

[0065] 通过使用本实施例，可以获得与第一实施例的效果相同的效果。此外，通过使用锁存电路配置移位寄存器电路 201，可以使得本实施例的电路规模比第一实施例和第二实施例的电路规模小。

[0066] （第四实施例）

[0067] 将参照图 10 描述使用反射液晶显示装置的液晶投影装置，所述反射液晶显示装置使用第一到第三实施例的有源矩阵基板。图 10 示出根据本发明的第四实施例的液晶投影装置的例子。液晶投影装置包括灯 1101（光源）、反射器 1102、棒积分器（rod integrator）1103、准直透镜 1104、偏振转换系统 1105、中继透镜 1106、二向色镜 1107、偏振分束器 1108、正交棱镜 1109、使用第一到第三实施例的有源矩阵基板之一的反射液晶面板 1110、投影透镜 1111 和全反射镜 1112。

[0068] 从灯 1101 出来的光通量被反射器 1102 反射，并被会聚于积分器 1103 的入口。反射器 1102 是椭圆反射器，并且其焦点存在于其发光部与积分器 1103 的入口处。已进入积分器 1103 中的光通量在积分器 1103 中重复反射达（up to）几次，包括零次反射，并在积分器 1103 的出口处形成二次光源的图像。作为二次光源的形成方法，还存在使用蝇眼（fly's eye）透镜的方法，但这里省略其描述。来自二次光源的光通量穿过准直透镜 1104 以成为基本上平行的光，并进入偏振转换系统的偏振分束器 1105。偏振 P 波被偏振分束器 1105 反射并穿过 $\lambda/2$ 片（plate）以变为 S 波。然后，所有的偏振波变为 S 波，并且 S 波进入中继透镜 1106。进入的光通量被中继透镜 1106 会聚于反射液晶面板 1110 上。在光通量会聚于反射液晶面板 1110 上之前，颜色分离二向色镜 1107、偏振片（没有示出）、偏振分束器 1108 和正交棱镜 1109 等构成颜色分离系统，然后，S 波各自进入三个液晶面板 1110。在液晶面板 1110 中的每一个中，液晶快门（shutter）根据图像逐个像素地控制电压。进入的 S 波通过液晶的操作被调制成椭圆偏振光（或线偏振光），并且，偏振分束器 1108 中的每一个传送 P 波分量。从而，在通过正交棱镜 1109 执行光通量的颜色合成之后，从投影透镜 1111 投射光通量。这种形式是一般的。

[0069] 根据第一到第三实施例，液晶显示装置各自使用在各像素中包含开关晶体管并能够获得高质量输出图像的有源矩阵基板，并且，所述有源矩阵基板包含能够高速操作的垂直扫描电路 110。

[0070] 由于液晶显示装置在开始第 N 行的水平扫描之前结束对第 (N+1) 行上的像素的初步充电，因此，没有导致连接像素缺陷，并且液晶显示装置能够防止其图像质量的劣

化。此外，液晶显示装置在执行下行的初步充电的同时执行前行的垂直扫描，因此液晶显示装置可减少由于当像素电压从正场变为负场以及反之时对邻近像素的馈通导致的图像质量劣化。

[0071] 第一到第三实施例的液晶显示装置各自包含像素 100、扫描线 111-114、和垂直扫描电路 110。像素 100 中的每一个包含用于向像素电极和对向电极之间的液晶 104 施加电压的像素电极、以及与像素电极连接的开关元件 101。多个像素 100 以矩阵布置。扫描线 111-114 中的每一条与沿行方向的多个开关元件 101 共连，并且，多条扫描线 111-114 沿列方向布置。垂直扫描电路 110 分别向扫描线 111-114 供给用于控制开关元件 101 的导通状态和非导通状态的扫描信号 OUT1 至 OUT4，并且逐条扫描线地依次扫描像素 100。

[0072] 扫描信号 OUT1-OUT4 中的每一个包含将开关元件 101 设为处于它们的导通状态的第一导通信号、在第一导通信号之后将开关元件 101 设为处于它们的导通状态的第二导通信号、以及在第一导通信号和第二导通信号之间将开关元件设为处于它们的非导通状态的非导通信号。第一导通信号例如是图 2 的输出信号 OUT2 的第一高电平脉冲。第二导通信号例如是图 2 的输出信号 OUT2 的第二高电平脉冲。非导通信号例如是图 2 的输出信号 OUT2 的第一高电平脉冲之后的低电平信号。

[0073] 在扫描信号 OUT2 的第二导通信号正被供给到预定的扫描线 112 的同时，垂直扫描电路 110 向预定的扫描线 112 下一个被扫描的扫描线 113 供给例如扫描信号 OUT3 的第一导通信号和非导通信号。被供给到扫描线 113 的第一导通信号例如是图 2 的输出信号 OUT3 的第一高电平信号。被供给到扫描线 113 的非导通信号例如是图 2 的输出信号 OUT3 的第一高电平脉冲之后的低电平信号。

[0074] 在向预定的扫描线 112 供给扫描信号 OUT2 的第二导通信号的期间之后，垂直扫描电路 110 向在预定的扫描线 112 下一个被扫描的扫描线 113 供给第二导通信号（例如，图 2 的输出信号 OUT3 的第二高电平脉冲）。液晶显示装置包含：通过开关元件 101 与像素电极连接的信号线 121 至 124、控制视频信号线 150 和信号线 121 至 124 之间的连接的传送开关 131 至 134、以及水平扫描电路 140。在正向在预定的扫描线 112 下一个被扫描的扫描线 113 供给非导通信号的同时，水平扫描电路 140 将传送开关 131 至 134 依次设为导通状态。

[0075] 如图 4 中所示，垂直扫描电路 110 包含移位寄存器电路 201、第一信号产生电路 202 和第二信号产生电路 203。第一信号产生电路 202 输出基于移位寄存器电路 201 的输出信号和控制时钟信号 PCK 的逻辑积信号（输出信号 P1 至 P4）。第二信号产生电路 203 输出扫描信号 OUT1 至 OUT4，所述扫描信号 OUT1 至 OUT4 是基于第一信号产生电路 202 的逻辑积信号和移位寄存器电路 201 的输出信号的逻辑和信号。

[0076] 并且，如图 5 中所示，垂直扫描电路 110 基于垂直扫描时钟信号 VCK 供给扫描信号 OUT1 至 OUT4。液晶显示装置还包括第三信号产生电路 204，所述第三信号产生电路 204 基于作为被延迟电路 205 延迟的垂直扫描时钟信号 VCK 的信号向第一信号产生电路 202 输出控制时钟信号 PCK。

[0077] 延迟电路 205 是使用包含电容器和电阻器的 CR 时间常数电路的模拟延迟电路、或使用触发器电路的数字延迟电路。

[0078] 并且，图 10 的液晶投影装置包含根据第一实施例到第三实施例的液晶显示装置

(反射液晶面板)1110 之一、和用于向液晶显示装置 1110 发射光的光源(灯)1101, 并投射来自液晶显示装置 1110 的反射光。

[0079] 通过本发明, 可以抑制由于像素电极之间的寄生电容耦合或像素之间的馈通所导致的图像质量的劣化, 并且, 可以抑制由于在多个行上出现像素缺陷所导致的图像质量的劣化。

[0080] 顺便说一句, 上述的所有实施例仅是实施本发明时的具体例子, 并且, 不应以限制的方式解释本发明的技术范围。 即, 能够以各种形式实施本发明而不脱离其技术构思或主要特征。

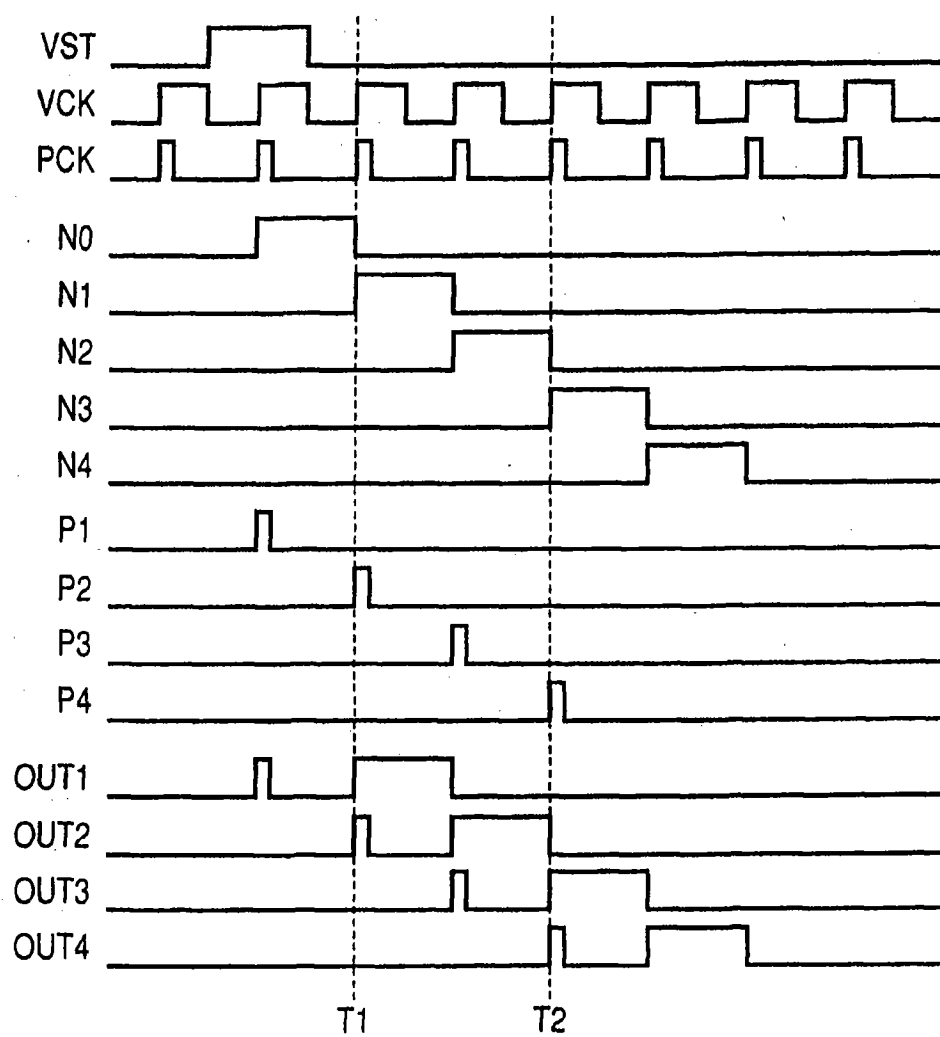


图 1

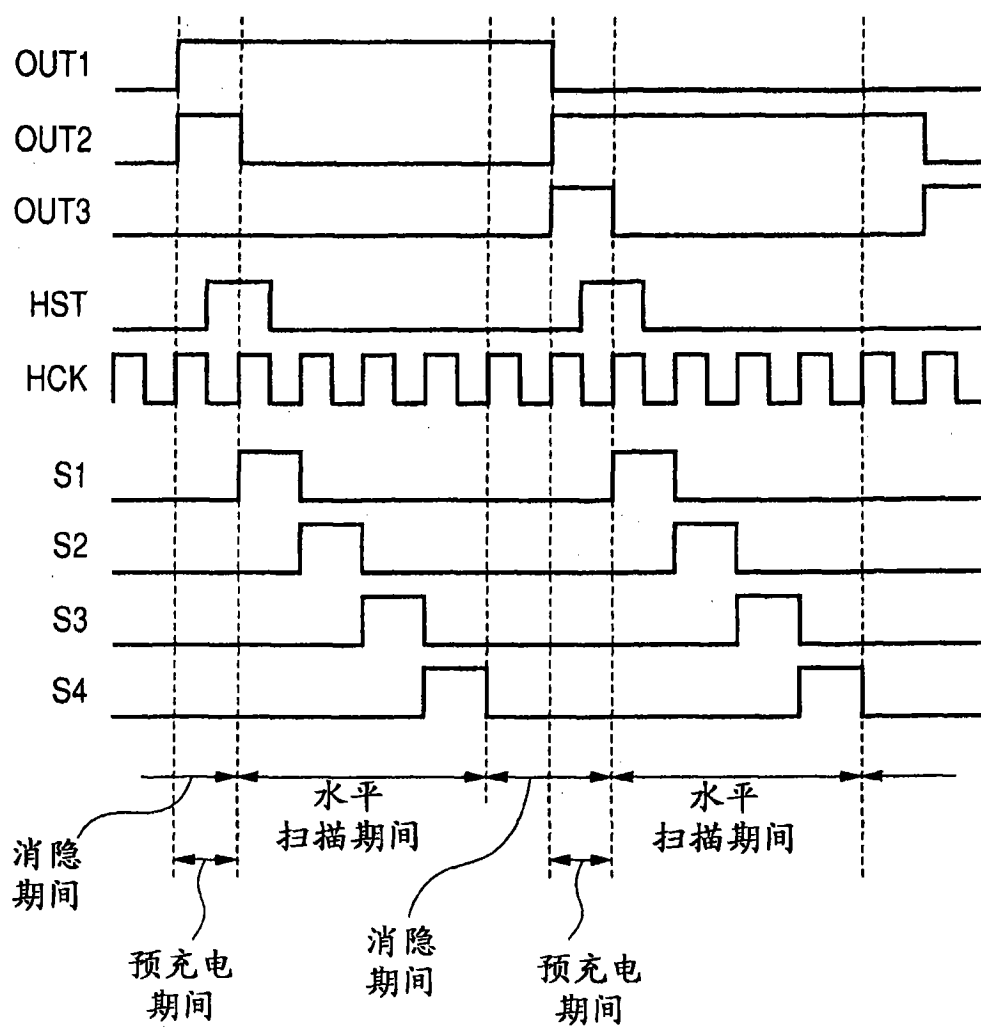


图 2

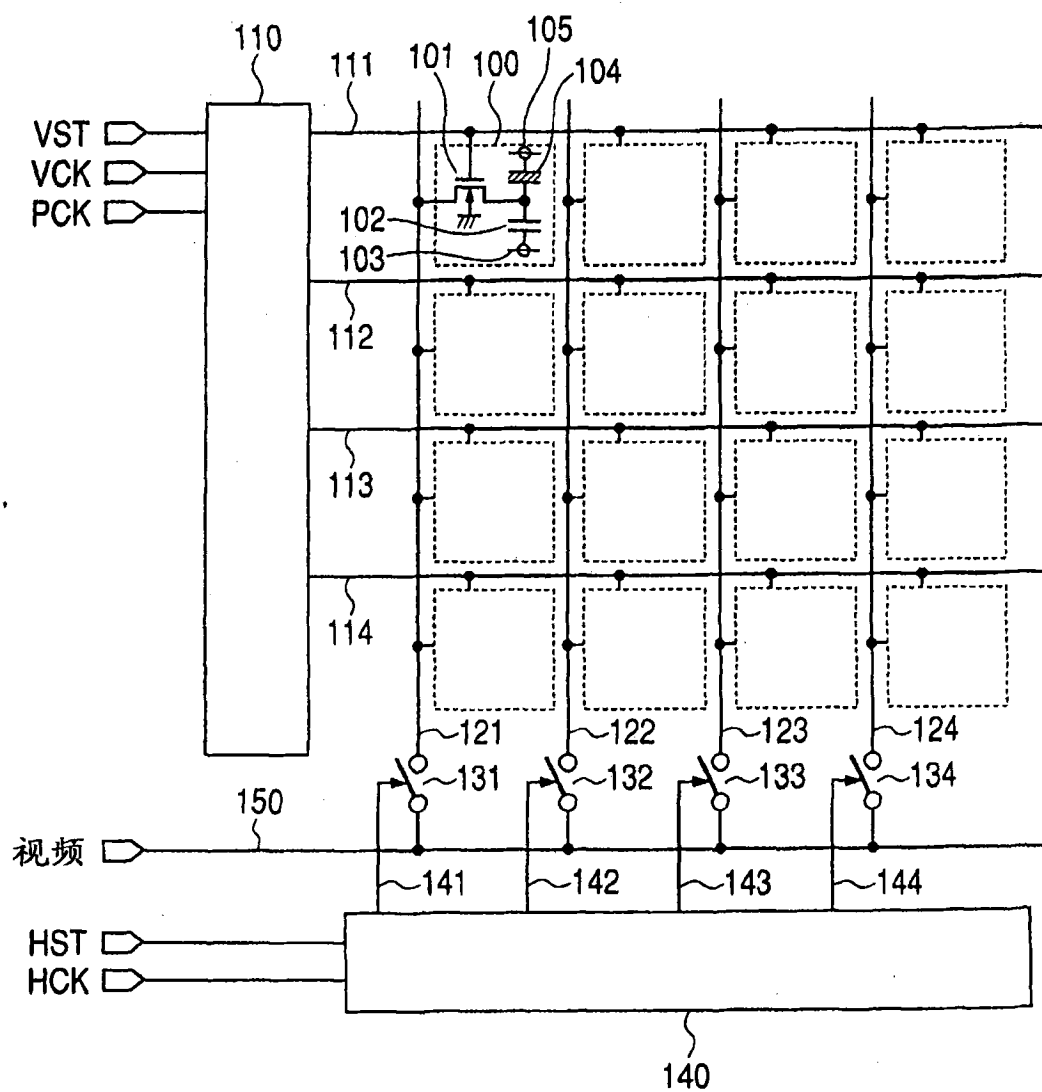


图 3

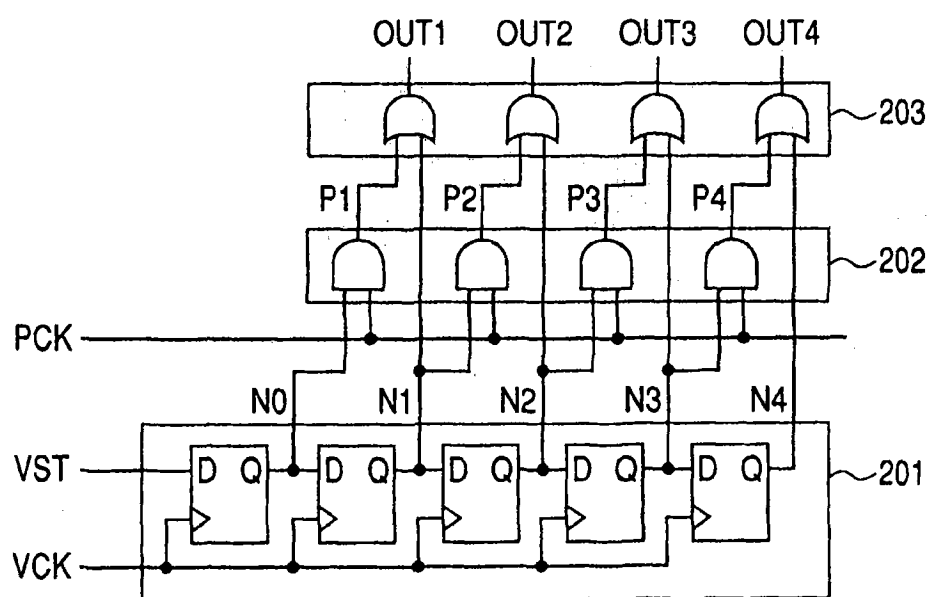


图 4

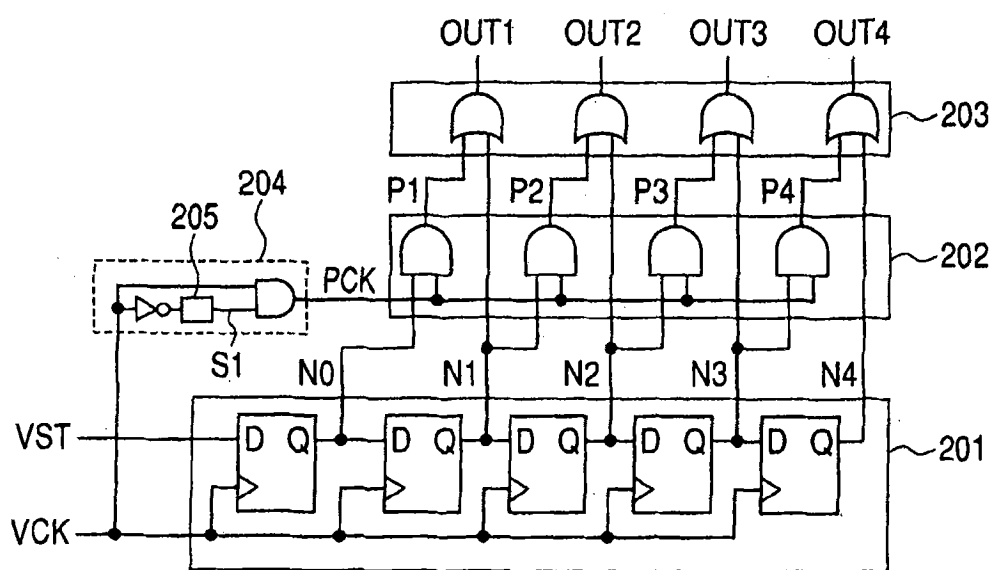


图 5

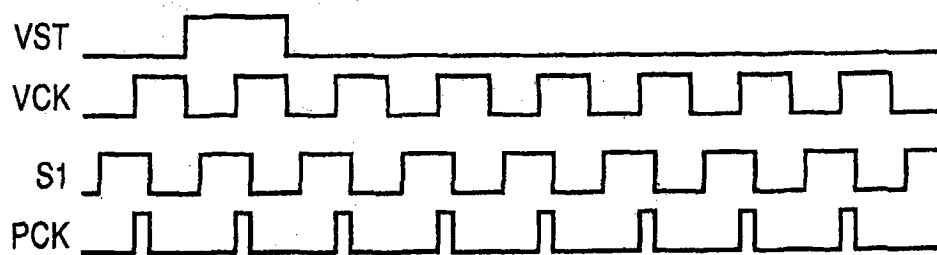


图 6

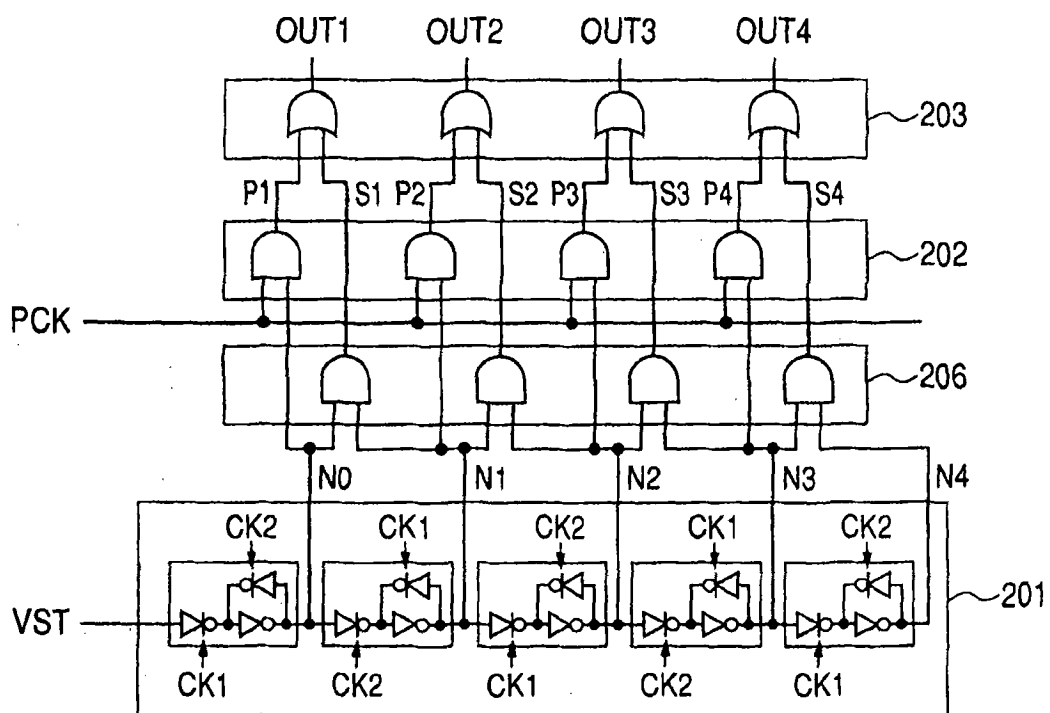


图 7

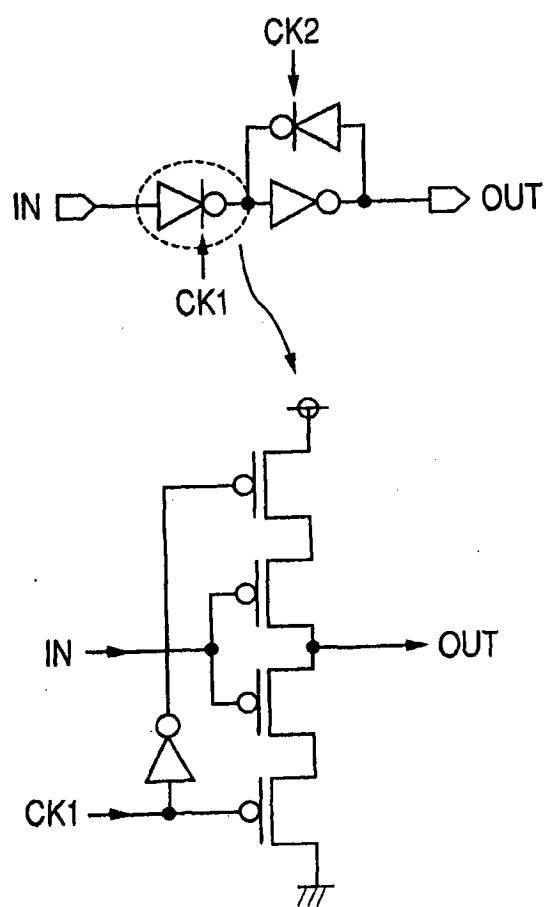


图 8

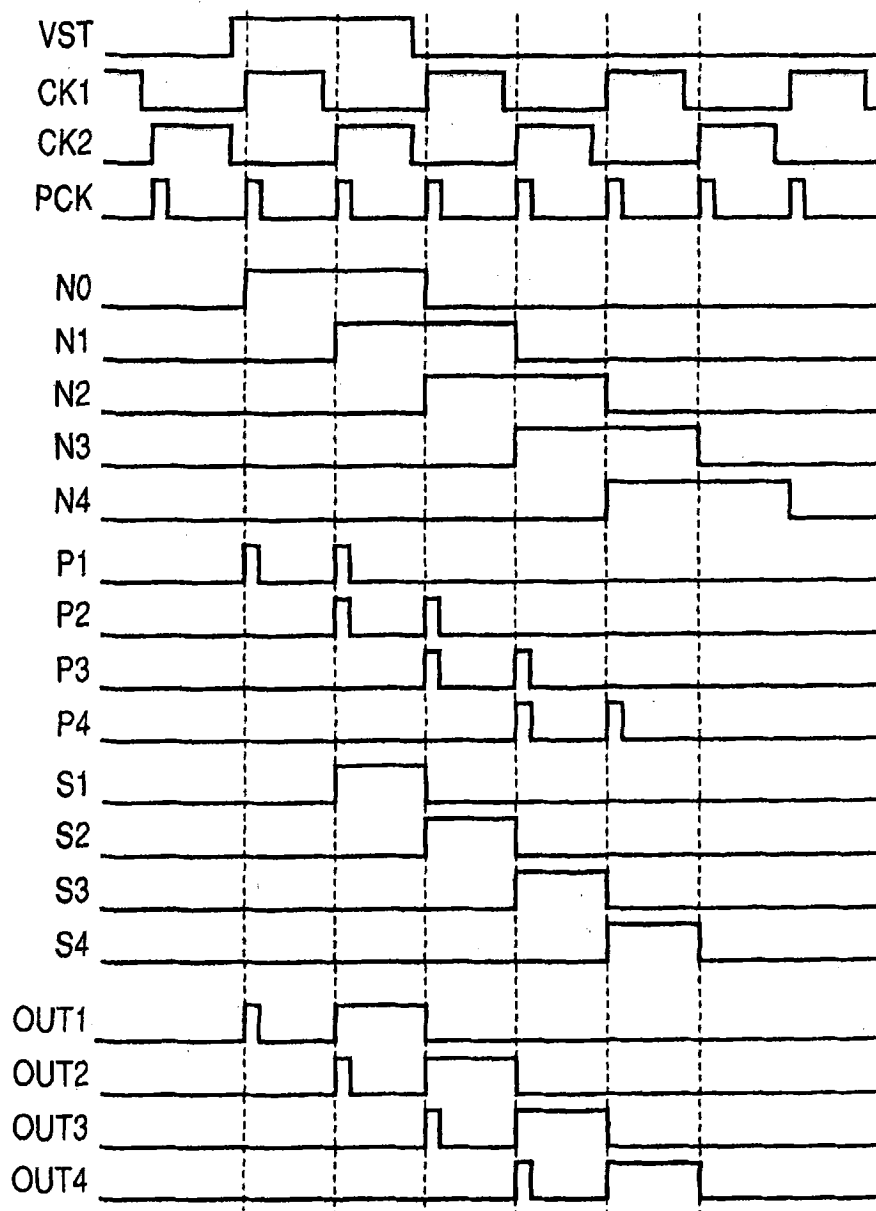


图 9

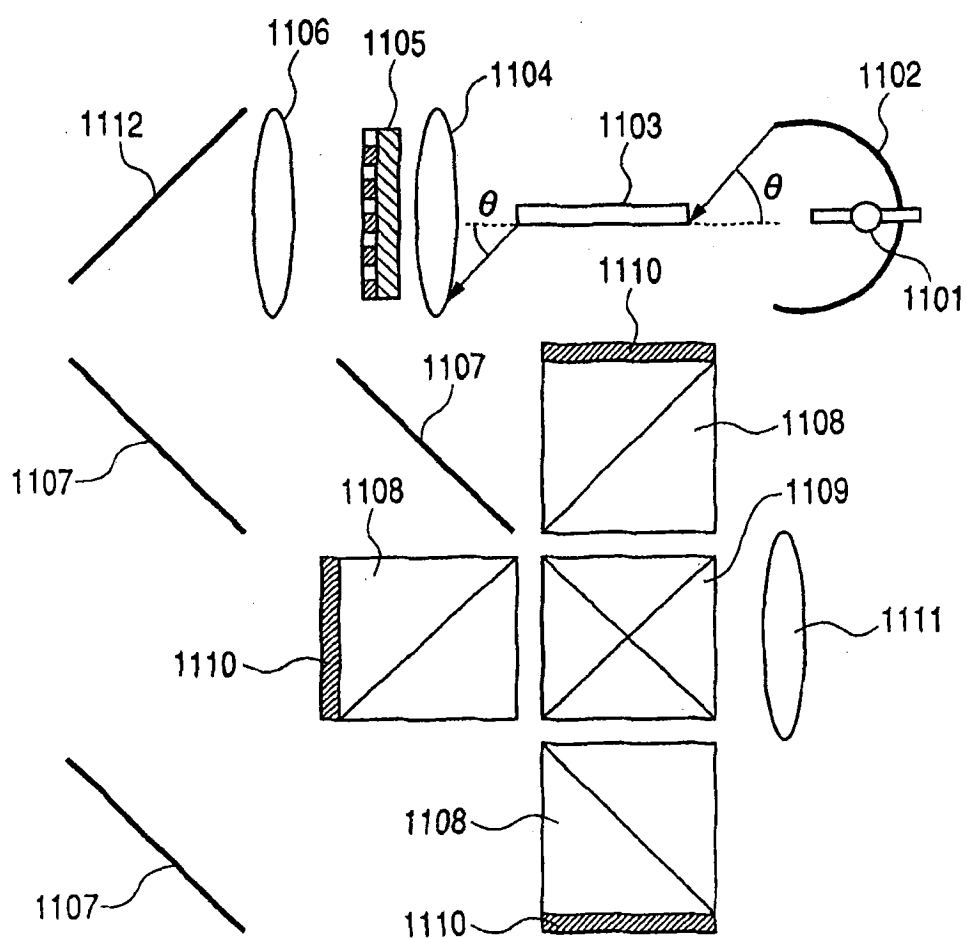


图 10