

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5280121号
(P5280121)

(45) 発行日 平成25年9月4日(2013.9.4)

(24) 登録日 平成25年5月31日(2013.5.31)

(51) Int. Cl.

F I

HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 O 1 S
HO 1 L 29/78 (2006.01)	HO 1 L 27/08	1 O 2 D
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08	1 O 2 B
HO 1 L 27/088 (2006.01)	HO 1 L 29/78	3 O 1 P
HO 1 L 21/28 (2006.01)	HO 1 L 21/28	3 O 1 S

請求項の数 9 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2008-176779 (P2008-176779)
 (22) 出願日 平成20年7月7日(2008.7.7)
 (65) 公開番号 特開2010-16282 (P2010-16282A)
 (43) 公開日 平成22年1月21日(2010.1.21)
 審査請求日 平成23年6月24日(2011.6.24)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100110928
 弁理士 速水 進治
 (72) 発明者 筒井 元
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 (72) 発明者 深瀬 匡
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内

審査官 宇多川 勉

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

シリコン基板の上部に設けられた第一ゲート電極と、前記第一ゲート電極の異なる側方において前記シリコン基板に設けられた第一および第二不純物拡散領域と、を有する第一電界効果トランジスタを含み、

前記第一電界効果トランジスタは、前記第一不純物拡散領域の上部にエクステンション領域を有するとともに前記第二不純物拡散領域の上部にエクステンション領域を有さず、

前記第一不純物拡散領域上に第一シリサイド層を有するとともに、前記第二不純物拡散領域上にシリサイド層を有しない、半導体装置。

【請求項2】

請求項1に記載の半導体装置において、

前記第二不純物拡散領域と、前記第二不純物拡散領域を挟んで前記第一ゲート電極に隣接する第二ゲート電極と、前記第二ゲート電極を挟んで前記第二不純物拡散領域と隣接する第三不純物拡散領域と、を有する第二電界効果トランジスタを含み、

前記第二電界効果トランジスタは、前記第三不純物拡散領域の上部にエクステンション領域を有するとともに前記第二不純物拡散領域の上部にエクステンション領域を有さず、

前記第三不純物拡散領域上に第三シリサイド層を有するとともに、前記第二不純物拡散領域上にシリサイド層を有しない、半導体装置。

【請求項3】

請求項1または2に記載の半導体装置において、

前記第一不純物拡散領域が、前記第一電界効果トランジスタのドレイン領域であって、
前記第二不純物拡散領域が、前記第一電界効果トランジスタのソース領域である、半導体装置。

【請求項4】

シリコン基板の上部に設けられた第一ゲート電極と、前記第一ゲート電極の異なる側方において前記シリコン基板に設けられた第一および第二不純物拡散領域と、前記第一ゲート電極の側壁を覆う側壁絶縁膜と、を有する第一電界効果トランジスタを含み、

前記第一電界効果トランジスタは、

前記第一不純物拡散領域の上部にエクステンション領域を有するとともに前記第二不純物拡散領域の上部にエクステンション領域を有さず、

前記第一不純物拡散領域上に第一シリサイド層を有しており、かつ

前記第二不純物拡散領域の前記側壁絶縁膜に覆われていない領域のうち、前記側壁絶縁膜近傍に位置する一部においてシリサイド層を有さず、他の一部において第二シリサイド層を有している半導体装置。

10

【請求項5】

請求項4に記載の半導体装置において、

前記第二不純物拡散領域と、前記第二不純物拡散領域を挟んで前記第一ゲート電極に隣接する第二ゲート電極と、前記第二ゲート電極を挟んで前記第二不純物拡散領域と隣接する第三不純物拡散領域と、を有する第二電界効果トランジスタと、

前記第一ゲート電極の上部から前記第二ゲート電極の上部に亘って設けられた絶縁膜と

、

を含み、

前記第一および第二電界効果トランジスタから構成されたトランジスタ対が複数設けられ、

複数の前記トランジスタ対は、前記第一および第二ゲート電極の延在方向に沿って一列に配置されるとともに前記第二不純物拡散領域が共通に設けられ、

前記第二不純物拡散領域が、前記絶縁膜の形成領域から前記第一ゲート電極のゲート幅方向に延出している延出部を有し、

前記延出部において、前記第二不純物拡散領域上に前記第二シリサイド層が設けられ、前記第二シリサイド層に接して導電性の接続プラグが設けられた、半導体装置。

20

30

【請求項6】

シリコン基板の上部に第一ゲート電極を形成する工程と、

前記第一ゲート電極の一侧方に選択的に第一導電型の不純物をイオン注入してエクステンション領域を形成する工程と、

前記第一ゲート電極の周囲の前記シリコン基板に、前記第一導電型の不純物を注入して、前記一侧方に第一不純物拡散領域を形成するとともに、前記第一ゲート電極を挟んで前記第一不純物拡散領域と対向する第二不純物拡散領域を形成する工程と、

前記第二不純物拡散領域の全面を覆う絶縁膜を形成する工程と、

前記絶縁膜が設けられた前記シリコン基板の素子形成面に金属膜を形成し、前記金属膜中の金属と前記シリコン基板中のシリコンとを反応させて、前記第一不純物拡散領域の上部に第一シリサイド層を形成する工程と、

を含む、半導体装置の製造方法。

40

【請求項7】

シリコン基板の上部に第一ゲート電極を形成する工程と、

前記第一ゲート電極の一侧方に選択的に第一導電型の不純物をイオン注入してエクステンション領域を形成する工程と、

前記第一ゲート電極の側壁を覆う側壁絶縁膜を形成する工程と、

前記第一ゲート電極の周囲の前記シリコン基板に、前記第一導電型の不純物を注入して、前記一侧方に第一不純物拡散領域を形成するとともに、前記第一ゲート電極を挟んで前記第一不純物拡散領域と対向する第二不純物拡散領域を形成する工程と、

50

前記第二不純物拡散領域の前記側壁絶縁膜に覆われていない領域のうち、前記側壁絶縁膜近傍に位置する一部を覆う絶縁膜を形成する工程と、

前記絶縁膜が設けられた前記シリコン基板の素子形成面に金属膜を形成し、前記金属膜中の金属と前記シリコン基板中のシリコンとを反応させて、前記第一不純物拡散領域の上部に第一シリサイド層を形成するとともに、前記第二不純物領域の上部のうち前記絶縁膜の非形成領域の上部に第二シリサイド層を形成する工程と、

を含む、半導体装置の製造方法。

【請求項 8】

請求項 7 に記載の半導体装置の製造方法において、

前記第二シリサイド層に接する導電性の接続プラグを形成する工程をさらに含む、半導体装置の製造方法。

10

【請求項 9】

請求項 7 または 8 に記載の半導体装置の製造方法において、

第一ゲート電極を形成する前記工程において、前記シリコン基板の上部に前記第一ゲート電極に隣接する第二ゲート電極を形成し、

エクステンション領域を形成する前記工程において、前記第一不純物拡散領域および第三不純物拡散領域の形成領域の上部に前記第一導電型の不純物をイオン注入してエクステンション領域を形成し、

第一および第二不純物拡散領域を形成する前記工程が、前記第一および第二ゲート電極に挟まれた前記第二不純物拡散領域と、前記第一ゲート電極を挟んで前記第二不純物拡散領域の反対側に位置する前記第一不純物拡散領域とを形成するとともに、前記第二ゲート電極を挟んで前記第二不純物拡散領域の反対側に位置する第三不純物拡散領域を形成する工程であって、

20

絶縁膜を形成する前記工程が、前記第一ゲート電極側端部の近傍と前記第二ゲート電極側端部の近傍とにおいて前記第二不純物拡散領域の上部を覆うとともに前記第二不純物拡散領域の一部を覆う前記絶縁膜を形成する工程であって、

第一シリサイド層を形成する前記工程において、前記第一および第三不純物拡散領域の上部に前記第一シリサイド層および第三シリサイド層を形成するとともに、前記第二不純物領域の上部のうち、前記絶縁膜の非形成領域の上部に前記第二シリサイド層を形成する半導体装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関する。

【背景技術】

【0002】

トランジスタのソース・ドレインが非対称構造となっているもの（非対称トランジスタ）として、特許文献 1 および 2 に記載のものが提案されている。

特許文献 1 には、サイドウォール部が、酸化膜 / 窒化膜 / 酸化膜から構成され、さらにその外側にサイドスペーサ形状のコントロールゲートが配置されたトランジスタが記載されている。このトランジスタは、ドレイン端においてエクステンションが注入されていない構造となっている。

40

【0003】

特許文献 2 には、ソースオフセット型の不揮発性メモリセルを構成する N チャネル型トランジスタが記載されている。このトランジスタは、深い N ウェル、P ウェルおよびソースのそれぞれをエミッタ、ベースおよびコレクタとみなしたバイポーラ動作を応用したものであって、ソース領域近傍のオフセットスペーサに電荷を注入し、しきい値電圧を制御するものである。また、このトランジスタは、ソース端においてエクステンション注入がされていない構造となっている。

【0004】

50

また、特許文献3～6にも、非対称トランジスタが記載されている。

【0005】

【特許文献1】米国特許第5408115号明細書

【特許文献2】特開2005-191506号公報

【特許文献3】特開2000-208764号公報

【特許文献4】特開2000-156500号公報

【特許文献5】特開平11-220122号公報

【特許文献6】特開平2-30185号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0006】

ところで、トランジスタのソース/ドレイン領域の上面における接触抵抗を低減させるため、ソース/ドレイン領域の上部がシリサイド化する場合がある。

ところが、本発明者が非対称トランジスタのソース/ドレイン領域のシリサイド化について検討したところ、エクステンションをソース/ドレイン領域のうち的一方にのみ設けた場合、エクステンション領域を有さない領域で、接合リークが生じる懸念があることが見出された。

【課題を解決するための手段】

【0007】

本発明によれば、

20

シリコン基板の上部に設けられた第一ゲート電極と、前記第一ゲート電極の異なる側方において前記シリコン基板に設けられた第一および第二不純物拡散領域と、を有する第一電界効果トランジスタを含み、

前記第一電界効果トランジスタは、前記第一不純物拡散領域の上部にエクステンション領域を有するとともに前記第二不純物拡散領域の上部にエクステンション領域を有さず、

前記第一不純物拡散領域上に第一シリサイド層を有するとともに、前記第一ゲート電極側端部の近傍において前記第二不純物拡散領域上にシリサイド層を有しない、半導体装置が提供される。

【0008】

また、本発明によれば、

30

シリコン基板の上部に第一ゲート電極を形成する工程と、

前記第一ゲート電極の一方側に選択的に第一導電型の不純物をイオン注入してエクステンション領域を形成する工程と、

前記第一ゲート電極の周囲の前記シリコン基板に、前記第一導電型の不純物を注入して、前記一方側に第一不純物拡散領域を形成するとともに、前記第一ゲート電極を挟んで前記第一不純物拡散領域と対向する第二不純物拡散領域を形成する工程と、

前記第一ゲート電極側端部の近傍において、前記第二不純物拡散領域の上部を覆う絶縁膜を形成する工程と、

前記絶縁膜が設けられた前記シリコン基板の素子形成面に金属膜を形成し、前記金属膜中の金属と前記シリコン基板中のシリコンとを反応させて、前記第一不純物拡散領域の上部に第一シリサイド層を形成する工程と、

40

を含む、半導体装置の製造方法が提供される。

【0009】

本発明においては、第一または第二不純物拡散領域の一方の側にのみエクステンション領域を設けるとともに、エクステンション領域が設けられていない不純物拡散領域の第一ゲート電極側端部の近傍をシリサイド化しない。こうすることにより、一方の不純物拡散領域のみにエクステンション領域を設ける場合にも、エクステンション領域を有しない側での接合リークを効果的に抑制することができる。

【0010】

なお、これらの各構成の任意の組み合わせや、本発明の表現を方法、装置などの間で変

50

換したのもまた本発明の態様として有効である。

【発明の効果】

【0011】

本発明によれば、エクステンション領域をソースまたはドレインの一方にのみ設けるとともに、エクステンションを有しない拡散層のゲート側端部をシリサイド化しないため、非対称トランジスタの接合リークを抑制できる。

【発明を実施するための最良の形態】

【0012】

以下、本発明の実施形態について図面を参照して説明する。なお、すべての図面において、共通の構成要素には同じ符号を付し、適宜説明を省略する。

10

【0013】

(第一の実施形態)

図1は、本実施形態における半導体装置の構成を示す断面図である。図1に示した半導体装置100は、シリコン基板101の上部に設けられた第一ゲート電極(ゲート電極115)およびゲート電極115の異なる側方においてシリコン基板101に設けられた第一および第二不純物拡散領域(第一不純物拡散領域103、第二不純物拡散領域105)を有する第一電界効果トランジスタ(MOSFET110)を含む。

【0014】

MOSFET110は、ソース・ドレイン領域のうち的一方のみにエクステンション領域が設けられた非対称MOSFETである。第一不純物拡散領域103の上部にはエクステンション領域107を有しており、第二不純物拡散領域105の上部にはエクステンション領域を有さない。以下、第一不純物拡散領域103がドレイン領域であり、第二不純物拡散領域105がソース領域である場合を例に説明する。

20

また、MOSFET110は、第一不純物拡散領域103上に、第一シリサイド層109を有する。一方、第二不純物拡散領域105については、ゲート電極115の側端部の近傍において第二不純物拡散領域105上にシリサイド層を有しない。つまり、ゲート電極115の側端部におけるシリコン基板101は、エクステンション領域107が設けられた領域について選択的にシリサイド化されている。

MOSFET110は、たとえば不揮発性メモリを構成するMOSFETとして好適に用いることができる。

30

【0015】

次に、半導体装置100の製造方法を説明する。半導体装置100の製造方法は、たとえば以下の工程を含む。

ステップ11:シリコン基板101の上部に第一ゲート電極(ゲート電極115)を形成する工程、

ステップ12:ゲート電極115の一側方に選択的に第一導電型の不純物をイオン注入してエクステンション領域107を形成する工程

ステップ13:ゲート電極115の周囲のシリコン基板101に、第一導電型の不純物を注入して、上記一側方に第一不純物拡散領域103を形成するとともに、ゲート電極115を挟んで第一不純物拡散領域103と対向する第二不純物拡散領域105を形成する工程、

40

ステップ14:ゲート電極115側端部の近傍において、第二不純物拡散領域105の上部を覆う絶縁膜(シリコン酸化膜123)を形成する工程、および

ステップ15:シリコン酸化膜123が設けられたシリコン基板101の素子形成面に金属膜を形成し、当該金属膜中の金属とシリコン基板101中のシリコンとを反応させて、第一不純物拡散領域103の上部に第一シリサイド層109を形成する工程。

【0016】

以下、図2(a)、図2(b)および図3を参照して、半導体装置100の製造方法をさらに具体的に説明する。図2(a)、図2(b)および図3は、半導体装置100の製造工程を説明する図である。また、図2(b)は、図2(a)の一部の上面図である。

50

【0017】

まず、図2(a)に示したように、公知の技術により、シリコン基板101に、たとえば、STI(Shallow Trench Isolation)による素子分離領域111を形成する。素子分離領域111は、たとえばLOCOS法等の公知の他の方法で形成してもよい。

【0018】

次に、シリコン基板101の表面にゲート絶縁膜113を形成する。ここで、ゲート絶縁膜113は、たとえば、シリコン基板101の表面を熱酸化することにより形成されたシリコン酸化膜とする。ゲート絶縁膜113の膜厚は、たとえば膜厚1nm~10nm程度とする。つづいて、ゲート絶縁膜113上に、ゲート電極115となる多結晶シリコン膜をたとえば約50nm~200nmの膜厚に形成する。そして、ゲート絶縁膜113および多結晶シリコン膜を所定の領域を残すように選択的にドライエッチングし、ゲートの形状に加工する。

10

【0019】

つづいて、公知の方法によりゲート電極115の側壁を覆う側壁絶縁膜117(図1)となるシリコン酸化膜を形成した後、シリコン基板101の全面にレジスト膜119を形成し、所定の領域を選択的に除去することにより、レジスト膜119をパターンニングする。図2(a)では、レジスト膜119が、第二不純物拡散領域105の形成領域を覆うように、素子分離領域111上部からゲート電極115上部にわたって設けられている。

【0020】

レジスト膜119をマスクとしてシリコン基板101の第一不純物拡散領域103の表面近傍の一部に第一導電型(たとえば、n型)の不純物をイオン注入する(図2(a)では、「LDD注入」と表記)。これにより、第一不純物拡散領域103(図1)および第二不純物拡散領域105(図1)のうち、第一不純物拡散領域103の上部に選択的にエクステンション領域107を形成する(図2(b))。

20

【0021】

そして、レジスト膜119を除去してシリコン基板101の素子形成面を露出させる。つづいて公知の方法によりゲート電極115の側壁を覆う側壁絶縁膜117(図1)となるシリコン酸化膜を形成した後、シリコン基板101におけるゲート電極115の両側方に、第一導電型の不純物(たとえば、n型)を注入して、ソース/ドレイン領域として機能する第一不純物拡散領域103および第二不純物拡散領域105を形成する。

30

【0022】

その後、シリコン基板101上の所定の領域に、シリサイドブロックとして機能するシリコン酸化膜123を選択的に形成する(図3)。具体的には、シリコン酸化膜123は、少なくともゲート電極115側端部の近傍において第二不純物拡散領域105の上部を覆うように形成される。具体的には、ゲート電極115側端部の近傍において、第二不純物拡散領域105の形成領域の全体にわたってシリコン酸化膜123を形成する。また、図3の例では、平面視において、ゲート電極115上部から第二不純物拡散領域105上部にわたるとともに第二不純物拡散領域105全面を覆うようにシリコン酸化膜123が形成されている。

【0023】

次いで、エクステンション領域107を有する第一不純物拡散領域103の上部をシリサイド化する。このとき、図3に示したように、先に形成したシリコン酸化膜123をシリサイドブロックとして用いることにより、第一不純物拡散領域103および第二不純物拡散領域105のうち、第一不純物拡散領域103の上部を選択的にシリサイド化し、第一シリサイド層109とする。以上により、図1に示した半導体装置100が得られる。なお、以上の手順の後、半導体装置100に、所定の素子や配線層等を形成してもよい。また、このとき、シリサイドブロックとして用いたシリコン酸化膜123を除去せずに半導体装置100を次の工程に供することができる。

40

【0024】

次に、本実施形態における作用効果を説明する。

50

本実施形態においては、ソース/ドレイン領域として機能する第一不純物拡散領域 103 および第二不純物拡散領域 105 のうち、第一不純物拡散領域 103 の側にのみエクステンション領域 107 を設けるとともに、エクステンション領域 107 を有しない第二不純物拡散領域 105 については、そのゲート電極 115 側端部をシリサイド化しない。

【0025】

ここで、ソース/ドレイン領域のうち一方にエクステンション領域を有するトランジスタにおいて、ソース/ドレイン領域の両方をシリサイド化した場合の例を図 11 に示す。図 11 に示すように、ソース/ドレイン領域の両方を同時にシリサイド化した場合、エクステンション領域を有しない側（図 11 ではソース（S）側）のシリサイド層が、ゲート電極側に不純物拡散領域を越えて形成されてしまう懸念があった。このため、エクステンション領域を有しないソース側において、不純物拡散領域とウェル間の接合リークが生じ、トランジスタの性能が低下する懸念があった。

10

【0026】

これに対し、本実施形態においては、エクステンション領域 107 を有しない第二不純物拡散領域 105 については、そのゲート電極 115 側端部をシリサイド化しないため、エクステンション領域 107 を一方の側に有する構成とした場合においても、エクステンション領域 107 を有しない第二不純物拡散領域 105 における接合リークを効果的に抑制することが可能となる。

【0027】

なお、図 1 では、シリコン基板 101 に一つの MOSFET 110 が設けられた例を示したが、複数の MOSFET 110 がシリコン基板 101 に設けられていてもよい。

20

図 4 (a) および図 4 (b) は、図 1 に示した MOSFET をシリコン基板 101 に 2 つ隣接して設けた例を示す図である。図 4 (a) は、本実施形態における半導体装置の構成を示す平面図であり、図 4 (b) は、図 4 (a) のゲート長方向の断面図である。

【0028】

図 4 (a) および図 4 (b) に示した半導体装置の基本構成は図 1 を参照して前述した半導体装置 100 と同様であるが、ゲート電極 115 同士が平行になるように 2 つの MOSFET が隣接している。また、エクステンション領域 107 を有しない第二不純物拡散領域 105 同士が隣接するように、2 つの MOSFET が配置されている。2 つの MOSFET の第二不純物拡散領域 105 は、素子分離領域 111 により絶縁分離されている。

30

【0029】

図 4 (a) および図 4 (b) は、図 1 に示した半導体装置 100 の製造方法に準じて製造することができる。図 5 (a) および図 5 (b) は、図 4 (a) および図 4 (b) に示した半導体装置の製造工程を示す断面図であり、それぞれ、図 2 (b) および図 3 に対応している。

【0030】

図 4 および図 5 に示したように、この構成では、2 つの MOSFET の第二不純物拡散領域 105 について、共通のレジスト膜 119 およびシリコン酸化膜 123 を形成することができる。シリサイドブロックとして機能するシリコン酸化膜 123 は、一方の MOSFET のゲート電極 115 の上部から、他方の MOSFET のゲート電極 115 の上部にわたって設けられており、2 つの第二不純物拡散領域 105 のいずれについても、そのゲート電極 115 側端部近傍を覆っている。図 5 (a) および図 5 (b) では、シリコン酸化膜 123 が、2 つの第二不純物拡散領域 105 の形成領域全体を覆っている。

40

【0031】

図 4 (a) および図 4 (b) に示した構成とすれば、シリコン基板 101 の素子形成面に複数の非対称 MOSFET を簡便に形成するとともに、複数の非対称 MOSFET における接合リークを抑制することができる。また、シリコン酸化膜 123 の形成の際のラインアンドスペース（L/S）により余裕のある構成とすることができるため、より安定的に製造可能な構成とすることができる。また、最小線幅の小さい露光装置を用いる必要がなく、製造が容易となる。

50

【 0 0 3 2 】

なお、以上においては、ゲート電極 1 1 5 の材料が多結晶シリコンである場合を例に説明したが、ゲート電極 1 1 5 の材料はこれには限られず、たとえばメタルゲートとしてもよい。メタルゲートとすれば、ゲート抵抗を低減することができるため、第二不純物拡散領域 1 0 5 の全体をシリサイド化しない場合にも、M O S F E T 1 1 0 の動作特性をさらに向上させることができる。

【 0 0 3 3 】

(第二の実施形態)

図 6 (a) および図 6 (b) は、本実施形態における半導体装置の構成を示す平面図である。図 6 (a) および図 6 (b) に示した半導体装置の基本構成は、図 4 (a) および図 4 (b) を参照して前述した装置と同様であるが、2 つの第二不純物拡散領域 1 0 5 がいずれもシリコン酸化膜 1 2 3 の形成領域から延出しており、各延出部がシリサイド化され、それぞれのシリサイドの上部に接して導電性の接続プラグ 1 2 1 が設けられている点
10

【 0 0 3 4 】

つまり、図 6 (a) および図 6 (b) においては、シリコン基板 1 0 1 上に設けられ、ゲート電極 1 1 5 側端部の近傍において第二不純物拡散領域 1 0 5 を覆うシリコン酸化膜 1 2 3 をさらに含み、平面視において、シリコン酸化膜 1 2 3 が第二不純物拡散領域 1 0 5 の一部に重なって設けられ、シリコン酸化膜 1 2 3 と重ならない領域において第二不純物拡散領域 1 0 5 上に第二シリサイド層 1 2 5 が設けられている。
20

【 0 0 3 5 】

図 6 (a) は、第二不純物拡散領域 1 0 5 が、シリコン酸化膜 1 2 3 の形成領域からゲート電極 1 1 5 のゲート幅方向に延出する延出部を有し、延出部の一部がシリコン酸化膜 1 2 3 から露出しており、露出部において第二不純物拡散領域 1 0 5 上に第二シリサイド層 1 2 5 が設けられ、第二シリサイド層 1 2 5 に接して導電性の接続プラグ 1 2 1 が設けられた例である。また、図 6 (b) では、第二不純物拡散領域 1 0 5 がシリコン酸化膜 1 2 3 の形成領域から同幅を保ってゲート長方向に延出している。

【 0 0 3 6 】

図 6 (a) および図 6 (b) に示した半導体装置は、図 1、図 4 (a) および図 4 (b) に示した半導体装置の製造工程を用いて製造することができる。具体的には、シリコン酸化膜 1 2 3 を形成する工程 (ステップ 1 4) が、第二不純物拡散領域 1 0 5 の一部を覆うシリコン酸化膜 1 2 3 を形成する工程である。そして、第一シリサイド層 1 0 9 を形成する工程 (ステップ 1 5) において、第二不純物拡散領域 1 0 5 の上部のうち、シリコン酸化膜 1 2 3 の非形成領域の上部に第二シリサイド層 1 2 5 を形成する。また、第二シリサイド層 1 2 5 を形成した後、第二シリサイド層 1 2 5 に接する導電性の接続プラグ 1 2 1 を形成する工程をさらに含む。
30

【 0 0 3 7 】

本実施形態の構成とすることにより、第一の実施形態の作用効果に加えて、さらに、第二不純物拡散領域 1 0 5 におけるコンタクト抵抗を低減することができる。
40

【 0 0 3 8 】

(第三の実施形態)

図 7 (a) および図 7 (b) は、本実施形態における半導体装置の構成を示す図である。図 7 (a) は、半導体装置の構成を示す平面図であり、図 7 (b) は図 7 (a) のゲート長方向の断面図である。

【 0 0 3 9 】

図 7 (a) および図 7 (b) に示した半導体装置の基本構成は図 4 (a) および図 4 (b) を参照して前述した半導体装置と同様であるが、2 つの非対称 M O S F E T の第二不純物拡散領域 1 0 5 が素子分離されておらず、共通の第二不純物拡散領域 1 0 5 が設けられている点
50

【 0 0 4 0 】

図7(a)および図7(b)に示した半導体装置は、第一不純物拡散領域103a、第一シリサイド層109a、第二不純物拡散領域105、第一ゲート電極115aを備える第一MOSFET110aと、第二不純物拡散領域105、第三不純物拡散領域103b、第三シリサイド層109bおよび第二ゲート電極115bを備える第二MOSFET110bとを含む。第二MOSFET110bは、第二不純物拡散領域105を挟んで第一ゲート電極115aに隣接する第二ゲート電極115bと、第二ゲート電極115bを挟んで第二不純物拡散領域105と隣接する第三不純物拡散領域103bと、を有する。2つのMOSFETのゲート電極115a, 115b同士が平行に配置されており、2つのゲート電極115a, 115b間に共通の第二不純物拡散領域105が設けられている。

【0041】

10

第二MOSFET110bは、第三不純物拡散領域103bの上部にエクステンション領域107を有するとともに第二不純物拡散領域105の上部にエクステンション領域を有さず、第三不純物拡散領域103b上に第三シリサイド層109bを有するとともに、第二ゲート電極115b側端部の近傍において第二不純物拡散領域105上にシリサイド層を有しない。

【0042】

図7(a)および図7(b)は、図1、図4(a)および図4(b)に示した半導体装置の製造方法に準じて製造することができる。図8(a)および図8(b)は、図7(a)および図7(b)に示した半導体装置の製造工程を示す平面図であり、それぞれ、図5(a)および図5(b)に対応している。

20

【0043】

本実施形態においては、2つのトランジスタがソースまたはドレイン領域を共通にしているため、図4(a)および図4(b)に示した構成の場合に得られる作用効果に加えて、さらに、シリコン基板101の素子形成面内の非対称MOSFETの集積度を向上させることができる。よって、レイアウト面積を縮小することができる。

また、第二不純物拡散領域105を共通のソース領域とすることにより、たとえば不揮発性メモリを構成するトランジスタにより好適に用いることができる。

【0044】

なお、本実施形態においても、第三の実施形態に記載の構成を適用してもよい。図9は、このような半導体装置の構成を示す平面図である。

30

図9に示した半導体装置の基本構成は図7(a)と同様であるが、第二不純物拡散領域105がゲート幅方向に延出しており、延出部の一部がシリコン酸化膜123に覆われておらず、シリコン酸化膜123に覆われていない領域が第二シリサイド層125となっており、第二シリサイド層125に接して接続プラグ121が設けられている。

このようにすれば、図7(a)に示した構成の場合に得られる作用効果に加えて、さらに、第二不純物拡散領域105におけるコンタクト抵抗の増加を抑制することができる。

【0045】

(第四の実施形態)

図9に示した半導体装置において、非対称MOSFETの対をゲート幅方向に複数一列に配置してもよい。図10は、このような半導体装置の構成を示す平面図である。

40

【0046】

図10に示した半導体装置においては、第一MOSFET110aおよび第二MOSFET110bから構成されたトランジスタ対120が複数設けられている。複数のトランジスタ対120は、第一ゲート電極115aおよび第二ゲート電極115bの延在方向に沿って一列に配置されるとともに第二不純物拡散領域105が共通に設けられている。第二不純物拡散領域105は、シリコン酸化膜123の形成領域から第一ゲート電極115aのゲート幅方向に延出している延出部を有する。この延出部において、第二不純物拡散領域105上に第二シリサイド層125が設けられ、第二シリサイド層125に接して接続プラグ121が設けられている。

【0047】

50

図10に示した半導体装置は、第一から第三の実施形態に記載の半導体装置の製造方法に準じて製造することができる。

具体的には、第一ゲート電極115aを形成する工程(ステップ11)において、シリコン基板101の上部に第一ゲート電極115aに隣接する第二ゲート電極115bを形成する。

【0048】

エクステンション領域107を形成する工程(ステップ12)において、第一不純物拡散領域103aおよび第三不純物拡散領域103bが形成される領域の上部に第一導電型(たとえば、n型)の不純物をイオン注入してエクステンション領域107を形成する。第二不純物拡散領域105が形成される領域の上部には、エクステンション領域を形成しない。

10

【0049】

また、第一不純物拡散領域103aおよび第二不純物拡散領域105を形成する工程(ステップ13)は、第一ゲート電極115aおよび第二ゲート電極115bに挟まれた第二不純物拡散領域105と、第一ゲート電極115aを挟んで第二不純物拡散領域105の反対側に位置する第一不純物拡散領域103aとを形成するとともに、第二ゲート電極115bを挟んで第二不純物拡散領域105の反対側に位置する第三不純物拡散領域103bを形成する工程である。

【0050】

シリコン酸化膜123を形成する工程(ステップ14)は、第一ゲート電極115a側端部の近傍と第二ゲート電極115b側端部の近傍とにおいて第二不純物拡散領域105の上部を覆うとともに第二不純物拡散領域105の一部を覆うシリコン酸化膜123を形成する工程である。

20

【0051】

第一シリサイド層109を形成する工程(ステップ15)において、第一不純物拡散領域103aおよび第三不純物拡散領域103bの上部に、それぞれ、第一シリサイド層109aおよび第三シリサイド層109bを形成するとともに、第二不純物拡散領域105の上部のうち、シリコン酸化膜123の非形成領域の上部に第二シリサイド層125を形成する。そして、第二シリサイド層125に接する導電性の接続プラグ121を形成する工程をさらに含む。

30

【0052】

本実施形態によれば、以上の実施形態と同様に各非対称トランジスタにおける接合リークが抑制されるとともに、第二不純物拡散領域105におけるコンタクト抵抗の増加が抑制され、さらに、非対称MOSFETのレイアウト面積の縮小がいずれも可能となる。

【0053】

なお、図10においては、第二シリサイド層125が、2つのトランジスタ対のゲート幅方向の外側と、トランジスタ対の間の領域に、合計3つ設けられ、各第二シリサイド層125に一つの接続プラグ121が設けられた例を示したが、接続プラグ121の配置はこれには限られない。

【0054】

以上、図面を参照して本発明の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。

40

たとえば、以上の実施形態においては、第一不純物拡散領域103(第一不純物拡散領域103a)および第三不純物拡散領域103bがドレイン領域であって第二不純物拡散領域105がソース領域である場合を例に説明したが、ソース領域とドレイン領域の配置が逆であってもよい。

以下、参考形態の例を付記する。

1.シリコン基板の上部に設けられた第一ゲート電極と、前記第一ゲート電極の異なる側方において前記シリコン基板に設けられた第一および第二不純物拡散領域と、を有する第一電界効果トランジスタを含み、

50

前記第一電界効果トランジスタは、前記第一不純物拡散領域の上部にエクステンション領域を有するとともに前記第二不純物拡散領域の上部にエクステンション領域を有さず、

前記第一不純物拡散領域上に第一シリサイド層を有するとともに、前記第一ゲート電極側端部の近傍において前記第二不純物拡散領域上にシリサイド層を有しない、半導体装置。

2. 1. に記載の半導体装置において、

前記第二不純物拡散領域と、前記第二不純物拡散領域を挟んで前記第一ゲート電極に隣接する第二ゲート電極と、前記第二ゲート電極を挟んで前記第二不純物拡散領域と隣接する第三不純物拡散領域と、を有する第二電界効果トランジスタを含み、

前記第二電界効果トランジスタは、前記第三不純物拡散領域の上部にエクステンション領域を有するとともに前記第二不純物拡散領域の上部にエクステンション領域を有さず、

前記第三不純物拡散領域上に第三シリサイド層を有するとともに、前記第二ゲート電極側端部の近傍において前記第二不純物拡散領域上にシリサイド層を有しない、半導体装置。

3. 2. に記載の半導体装置において、

前記第一および第二電界効果トランジスタから構成されたトランジスタ対が複数設けられ、

複数の前記トランジスタ対は、前記第一および第二ゲート電極の延在方向に沿って一列に配置されるとともに前記第二不純物拡散領域が共通に設けられ、

前記第二不純物拡散領域が、絶縁膜の形成領域から前記第一ゲート電極のゲート幅方向に延出している延出部を有し、

前記延出部において、前記第二不純物拡散領域上に第二シリサイド層が設けられ、前記第二シリサイド層に接して導電性の接続プラグが設けられた、半導体装置。

4. 1. 乃至 3. 1. いずれかに記載の半導体装置において、

前記第一不純物拡散領域が、前記第一電界効果トランジスタのドレイン領域であって、前記第二不純物拡散領域が、前記第一電界効果トランジスタのソース領域である、半導体装置。

5. シリコン基板の上部に第一ゲート電極を形成する工程と、

前記第一ゲート電極の一方に選択的に第一導電型の不純物をイオン注入してエクステンション領域を形成する工程と、

前記第一ゲート電極の周囲の前記シリコン基板に、前記第一導電型の不純物を注入して、前記一方に第一不純物拡散領域を形成するとともに、前記第一ゲート電極を挟んで前記第一不純物拡散領域と対向する第二不純物拡散領域を形成する工程と、

前記第一ゲート電極側端部の近傍において、前記第二不純物拡散領域の上部を覆う絶縁膜を形成する工程と、

前記絶縁膜が設けられた前記シリコン基板の素子形成面に金属膜を形成し、前記金属膜中の金属と前記シリコン基板中のシリコンとを反応させて、前記第一不純物拡散領域の上部に第一シリサイド層を形成する工程と、

を含む、半導体装置の製造方法。

6. 5. に記載の半導体装置の製造方法において、

絶縁膜を形成する前記工程が、前記第二不純物拡散領域の上部の一部を覆う前記絶縁膜を形成する工程であって、

第一シリサイド層を形成する前記工程において、前記第二不純物領域の上部のうち、前記絶縁膜の非形成領域の上部に第二シリサイド層を形成し、

前記第二シリサイド層に接する導電性の接続プラグを形成する工程をさらに含む、半導体装置の製造方法。

7. 5. または 6. に記載の半導体装置の製造方法において、

第一ゲート電極を形成する前記工程において、前記シリコン基板の上部に前記第一ゲート電極に隣接する第二ゲート電極を形成し、

エクステンション領域を形成する前記工程において、前記第一不純物拡散領域および第

10

20

30

40

50

三不純物拡散領域の形成領域の上部に前記第一導電型の不純物をイオン注入してエクステンション領域を形成し、

第一および第二不純物拡散領域を形成する前記工程が、前記第一および第二ゲート電極に挟まれた前記第二不純物拡散領域と、前記第一ゲート電極を挟んで前記第二不純物拡散領域の反対側に位置する前記第一不純物拡散領域とを形成するとともに、前記第二ゲート電極を挟んで前記第二不純物拡散領域の反対側に位置する第三不純物拡散領域を形成する工程であって、

絶縁膜を形成する前記工程が、前記第一ゲート電極側端部の近傍と前記第二ゲート電極側端部の近傍とにおいて前記第二不純物拡散領域の上部を覆うとともに前記第二不純物拡散領域の一部を覆う前記絶縁膜を形成する工程であって、

第一シリサイド層を形成する前記工程において、前記第一および第三不純物拡散領域の上部に前記第一シリサイド層および第三シリサイド層を形成するとともに、前記第二不純物領域の上部のうち、前記絶縁膜の非形成領域の上部に前記第二シリサイド層を形成し、

前記第二シリサイド層に接する導電性の接続プラグを形成する工程をさらに含む、半導体装置の製造方法。

【図面の簡単な説明】

【0055】

【図1】本実施形態における半導体装置の構成を示す断面図である。

【図2】図1の半導体装置の製造工程を説明する図である。

【図3】図1の半導体装置の製造工程を説明する平面図である。

【図4】本実施形態における半導体装置の構成を示す図である。

【図5】図4の半導体装置の製造工程を説明する平面図である。

【図6】本実施形態における半導体装置の構成を示す平面図である。

【図7】本実施形態における半導体装置の構成を示す図である。

【図8】図7の半導体装置の製造工程を説明する平面図である。

【図9】本実施形態における半導体装置の構成を示す平面図である。

【図10】本実施形態における半導体装置の構成を示す平面図である。

【図11】半導体装置の構成を示す断面図である。

【符号の説明】

【0056】

100 半導体装置

101 シリコン基板

103 第一不純物拡散領域

103a 第一不純物拡散領域

103b 第三不純物拡散領域

105 第二不純物拡散領域

107 エクステンション領域

109 第一シリサイド層

109a 第一シリサイド層

109b 第三シリサイド層

110 MOSFET

110a 第一MOSFET

110b 第二MOSFET

111 素子分離領域

113 ゲート絶縁膜

115 ゲート電極

115a 第一ゲート電極

115b 第二ゲート電極

117 側壁絶縁膜

119 レジスト膜

10

20

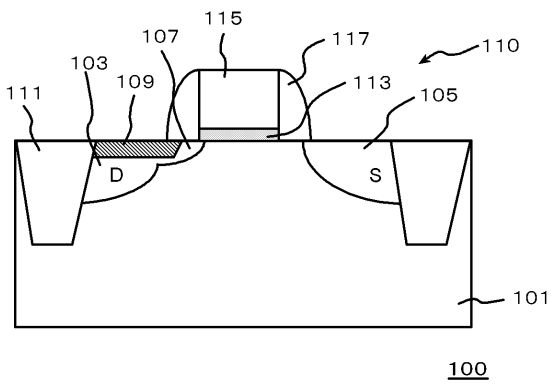
30

40

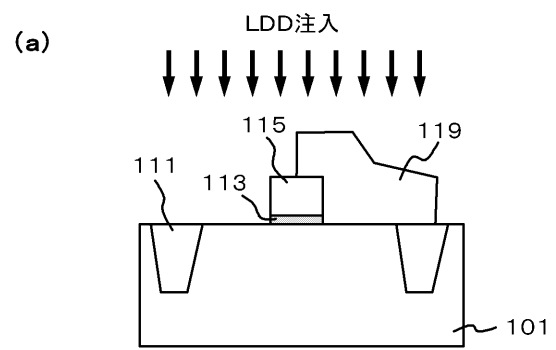
50

- 1 2 0 トランジスタ対
- 1 2 1 接続プラグ
- 1 2 3 シリコン酸化膜
- 1 2 5 第二シリサイド層

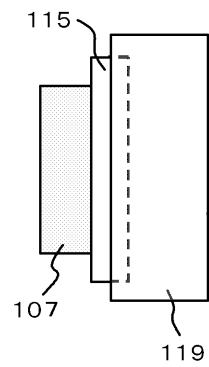
【図1】



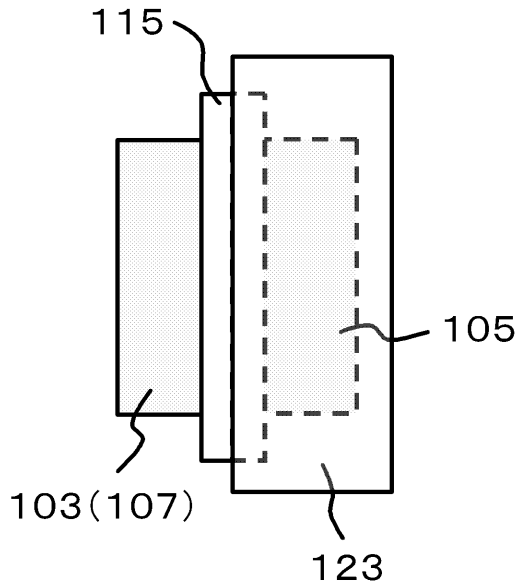
【図2】



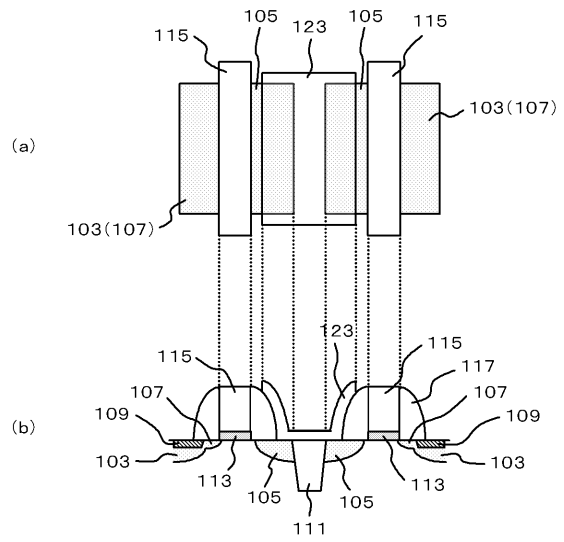
(b)



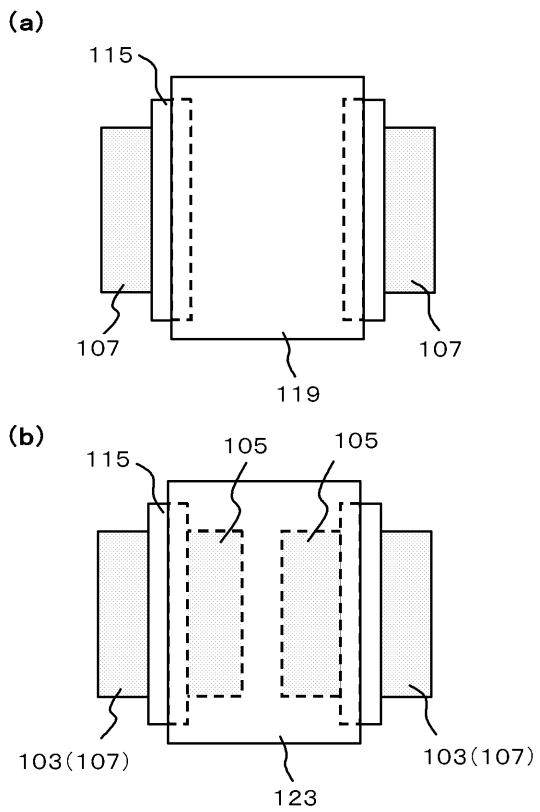
【図3】



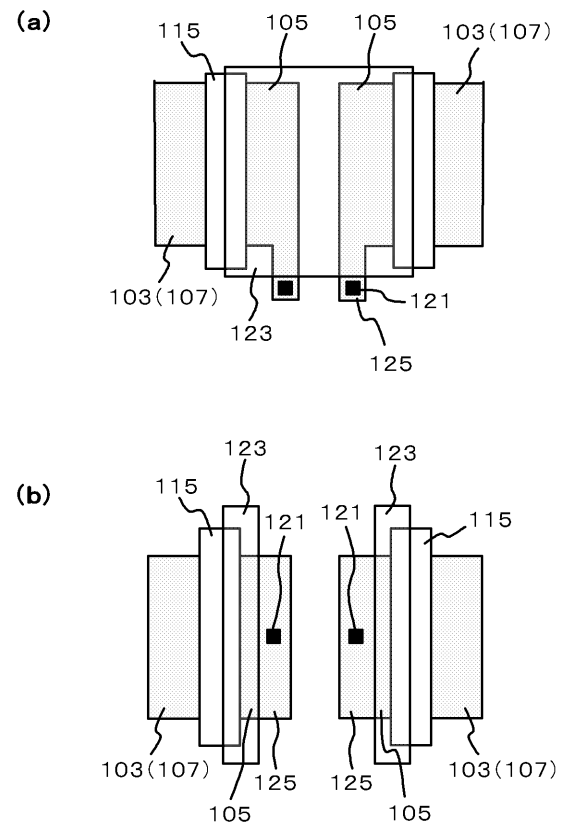
【図4】



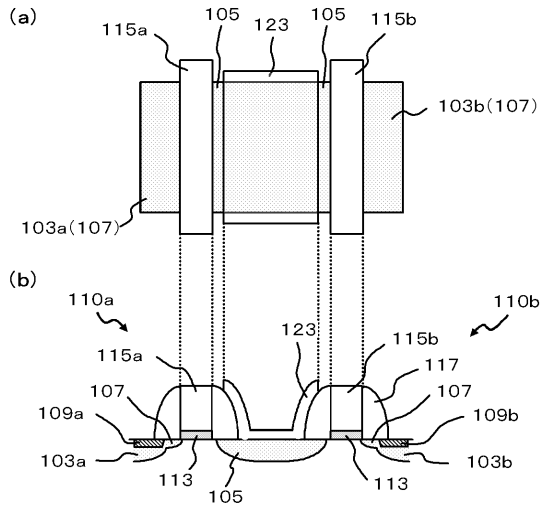
【図5】



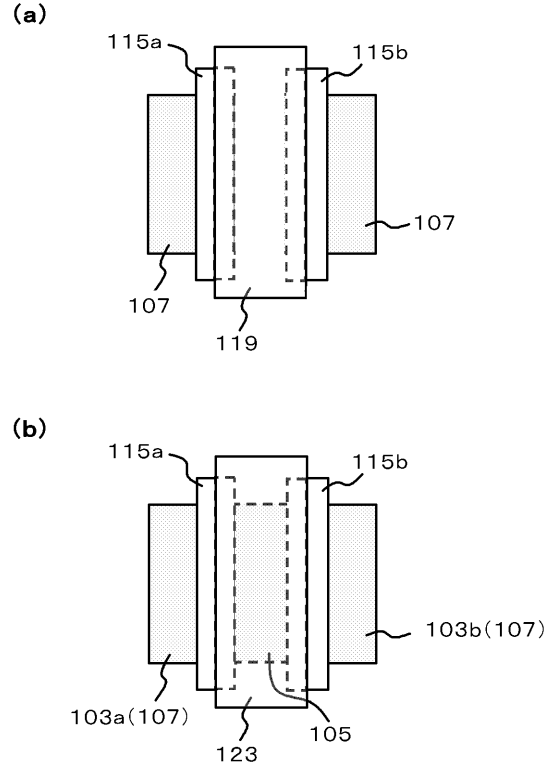
【図6】



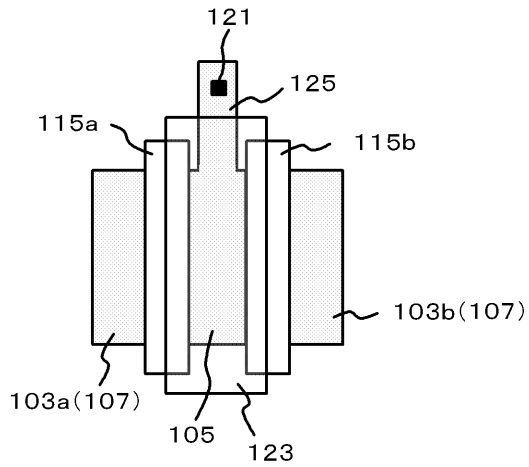
【図7】



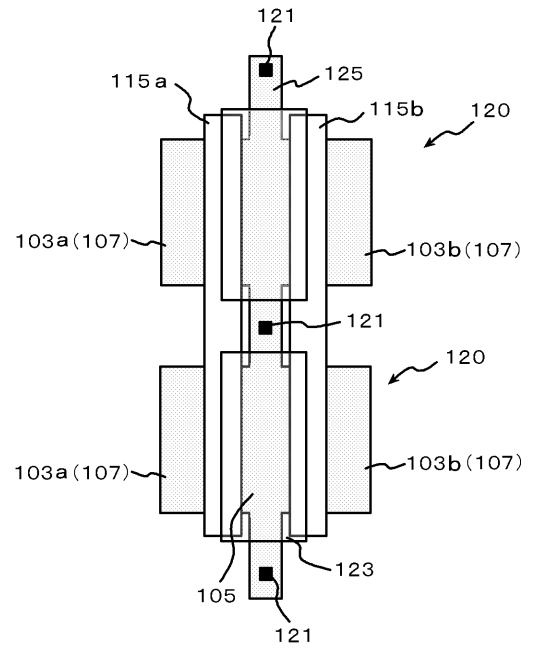
【図8】



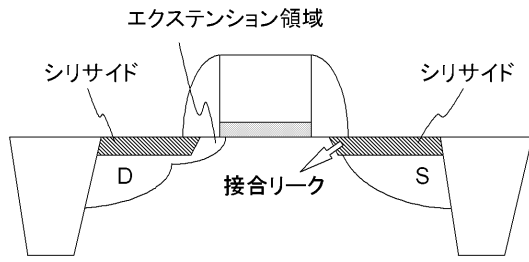
【図9】



【図10】



【図 11】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 23/522 (2006.01) H 0 1 L 21/90 D
H 0 1 L 21/768 (2006.01)

(56)参考文献 特開平07 - 283329 (JP, A)
特開平08 - 213484 (JP, A)
特開2000 - 174267 (JP, A)
特開2001 - 111022 (JP, A)
特開2004 - 071959 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 3 / 5 2 2
H 0 1 L 2 7 / 0 8 8
H 0 1 L 2 9 / 7 8