

發明專利說明書 200414283

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92128712

※ 申請日期：92.10.16

※IPC 分類：H01L 21/60

壹、發明名稱：(中文/日文)

半導體裝置及其製造方法

半導体装置およびその製造方法

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商瑞薩科技股份有限公司

RENESAS TECHNOLOGY CORP.

代表人：(中文/英文)

伊藤 達

SATORU ITO

住居所或營業所地址：(中文/英文)

日本國東京都千代田區丸內二丁目 4 番 1 號

4-1, MARUNOUCHI 2-CHOME, CHIYODA-KU, TOKYO, JAPAN

國 籍：(中文/英文)

日本

JAPAN

參、發明人：(共 5 人)

姓 名：(中文/英文)

- 1.大森 一稔
KAZUTOSHI OHMORI
- 2.田丸 剛
TSUYOSHI TAMARU
- 3.大橋 直史
NAOHUMI OHASHI
- 4.佐藤 清彦
KIYOHICO SATO
- 5.丸山 裕之
HIROYUKI MARUYAMA

住居所地址：(中文/英文)

- 1.日本國東京都千代田區丸內二丁目 4 番 1 號瑞薩科技股份有限公司
C/O RENESAS TECHNOLOGY CORP. 4-1, MARUNOUCHI
2-CHOME, CHIYODA-KU, TOKYO, JAPAN
- 2.日本國東京都千代田區丸內一丁目 5 番 1 號新丸大樓日立製作所
股份有限公司知的財產權本部
C/O HITACHI, LTD. INTELLECTUAL PROPERTY GROUP NEW
MARUNOUCHI BLDG. 5-1, MARUNOUCHI 1-CHOME,
CHIYODA-KU, TOKYO, JAPAN
- 3.日本國東京都千代田區丸內二丁目 4 番 1 號瑞薩科技股份有限公司
C/O RENESAS TECHNOLOGY CORP. 4-1, MARUNOUCHI
2-CHOME, CHIYODA-KU, TOKYO, JAPAN
- 4.日本國東京都千代田區丸內一丁目 5 番 1 號新丸大樓日立製作所
股份有限公司知的財產權本部
C/O HITACHI, LTD. INTELLECTUAL PROPERTY GROUP NEW
MARUNOUCHI BLDG. 5-1, MARUNOUCHI 1-CHOME,
CHIYODA-KU, TOKYO, JAPAN
- 5.日本國東京都千代田區丸內一丁目 5 番 1 號新丸大樓日立製作所
股份有限公司知的財產權本部
C/O HITACHI, LTD. INTELLECTUAL PROPERTY GROUP NEW
MARUNOUCHI BLDG. 5-1, MARUNOUCHI 1-CHOME,
CHIYODA-KU, TOKYO, JAPAN

國 籍：(中文/英文)

- 1.~5.均日本 JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 日本； 2002 年 10 月 17 日； 特願 2002-302689

2. 日本； 2003 年 09 月 03 日； 特願 2003-310953

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本； 2002 年 10 月 17 日； 特願 2002-302689

2. 日本； 2003 年 09 月 03 日； 特願 2003-310953

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置之製造技術，特別是關於一種適用於用所謂鑲嵌(Damascene)法所形成之配線構造，及具有該配線構造之半導體裝置有效的技術。

【先前技術】

為抑制隨半導體裝置微小化之配線延遲，謀求減小配線電阻及配線電容。關於配線電阻，研究設計技術因應，以及採用由銅作為主導體層之配線。對於銅配線之形成，使用在包含形成於絕緣膜之槽內部之基板上沉積以銅為主導體層之配線用金屬後，用CMP(化學機械研磨)法除去槽以外區域之多餘金屬，以在槽內部形成配線圖案之方法，所謂之鑲嵌法。

另一方面，關於配線電容，研究了採用具有相對介電常數為2~3程度之相對較低的低介電常數材料。其中尤以機械強度優良的含碳之氧化矽(Silicon-Oxycarbide：以下記作SiOC)膜作為低介電常數材料被認為有前途。

又，於特開2001-326279號公報(專利文獻1)中揭示有下述技術：將構成層間絕緣膜之多層絕緣膜中與銅配線相接觸之絕緣膜採用使成膜氣體電漿化，發生反應以成膜，該成膜氣體：含有具有矽氧烷鍵之烷基化合物，及調整為與該烷基化合物之氣體流量相等或較少氣體流量之 N_2O 、 H_2O 或 CO_2 中任一含氧氣體。

此外，於特開2001-110789號公報(專利文獻2)中揭示有下

述方法：沉積及蝕刻金屬間介電體層，該金屬間介電體層包含：含有矽、氧、及原子量至少約5%的碳之第1介電體層，與含有矽、氧、及第1介電體層中所含碳小於約2/3的碳之第2介電體層。

此外，於特開2002-203899號公報(專利文獻3)中揭示有下述技術：藉由層間絕緣膜由SiO膜、SiOF膜或SiOC膜形成，銅阻障膜由SiC膜形成，使層間絕緣膜與阻障膜之黏著性提高。

此外，於特開2002-134494號公報(專利文獻4)中揭示有下述技術：藉由層間絕緣膜由SiOC膜、SiOF膜或CF膜形成，CMP(化學機械研磨)時之研磨阻擋膜及銅阻障膜由SiC膜形成，以此防止串擾。

此外，於特開2002-353310號公報(專利文獻5)中揭示有下述技術：藉由層間絕緣膜由SiOC膜形成，銅阻障膜由SiC膜或SiN膜形成，以改善通路之蝕刻。

此外，於特開2003-142593號公報(專利文獻6)中揭示有下述技術：層間絕緣膜由SiO膜、SiOF膜或SiOC膜形成，銅阻障膜由SiC膜或SiN膜形成，以形成MIM(金屬絕緣體金屬)電容器。

此外，於特開2003-152076號公報(專利文獻7)中揭示有下述技術：藉由層間絕緣膜由SiOC膜、SiOF膜、BN膜或CF膜形成，CMP時之研磨阻擋膜由SiC膜、SiN膜、SiO膜或SiON膜形成，銅阻障膜由SiOC膜或SiON膜形成，以提高配線之耐絕緣破壞性。

此外，於特開2000-200832號公報(專利文獻8)中揭示有下述技術：藉由層間絕緣膜由SiO膜、SiOF膜或SiN膜形成，銅阻障膜由SiC膜或SiN膜形成，以提高銅阻障膜之黏著性。

此外，於特開2002-9150號公報(專利文獻9)中揭示有下述技術：藉由使銅鑲嵌配線之銅擴散防止膜成為由SiN膜、SiC膜或SiCN膜所構成之第1絕緣膜與由SiN所構成之第2絕緣膜之層疊構造，以防止銅配線集中。

此外，於特開2002-373936號公報(專利文獻10)中揭示有下述技術：使用SiC膜、SiN膜、SiCN膜或SiON膜作為形成銅鑲嵌配線時之蝕刻阻擋膜。

此外，於特開2002-170882號公報(專利文獻11)及特開2002-270691號公報(專利文獻12)中揭示有下述技術：在形成銅鑲嵌配線時，於絕緣膜之槽內埋入銅之CMP實施後，將銅表面曝露於氨(NH₃)或氦(He)電漿中進行表面處理，其後形成SiC膜、SiN膜或SiCN膜等之銅擴散防止膜。

【專利文獻1】特開2001-326279號公報

【專利文獻2】特開2001-110789號公報

【專利文獻3】特開2002-203899號公報

【專利文獻4】特開2002-134494號公報

【專利文獻5】特開2002-353310號公報

【專利文獻6】特開2003-142593號公報

【專利文獻7】特開2003-152076號公報

【專利文獻8】特開2000-200832號公報

【專利文獻9】特開2002-009150號公報

【專利文獻10】特開2002-373936號公報

【專利文獻11】特開2002-170882號公報

【專利文獻12】特開2002-270691號公報

本發明者對鑲嵌配線之製造方法進行了研究。以下為本發明者所研究之技術，其概要如下。

首先，於基板上依序沉積阻擋絕緣膜及形成配線用之絕緣膜(以下僅簡稱配線層間膜)。配線層間膜以用電漿CVD (Chemical Vapor Deposition)(化學氣相沉積)法形成之SiOC膜所構成，阻擋絕緣膜以用例如電漿CVD法形成之氧化矽(以下記作SiO)膜、氮化矽(以下記作SiN)膜或碳氮化矽(以下記作SiCN)膜所構成。阻擋絕緣膜起作用作為蝕刻配線層間膜時之蝕刻阻擋層。

其次，藉由以被形成圖案之光阻膜作為掩膜之蝕刻，於配線層間膜與阻擋絕緣膜之特定區域形成配線槽。接著於包括配線槽內部之基板全面形成阻障層，例如氮化鈦膜，進而形成埋入配線槽之銅膜。銅膜起作用作為主導體層，可用例如電鍍法形成。其後，以CMP法將配線槽以外區域之銅膜及阻障層除去而於配線槽內部形成銅配線。

其次，為防止來自銅配線之銅擴散，於銅配線上形成起作用作為阻障層之封蓋絕緣膜。封蓋絕緣膜係由例如以電漿CVD法成膜之SiO膜、SiN膜或SiCN膜所構成。此封蓋絕緣膜除作為阻障層之功能外，亦可起在銅配線上之絕緣膜形成連接孔時作為蝕刻阻擋層之作用。

但是，隨著半導體裝置高積體化之需求，研討加工尺寸

在 0.1 μm 以下之鑲嵌配線之微小化之結果發現，將銅膜以 CMP 法進行研磨時，在由 SiOC 膜構成之配線層間膜與由 SiO 膜、SiN 膜或 SiCN 膜所構成之阻擋絕緣膜之界面產生剝離，含有鑲嵌配線之半導體裝置之製造良率下降。

本發明之目的在於提供一種技術，其可提高將 SiOC 膜用於形成配線槽之絕緣膜或形成連接孔之絕緣膜之鑲嵌配線之可靠性。

本發明之前述以及其他目的和新特徵由本說明書之陳述及附加圖面當可明白。

【發明內容】

茲簡單說明在本案所揭示之發明中具代表性部分之概要如下。

本發明係關於一種半導體裝置，其係在半導體基板上之層間絕緣膜所形成之槽內部形成金屬配線，於前述層間絕緣膜與前述金屬配線之各自上部形成有防止構成前述配線之金屬之擴散的封蓋絕緣膜；前述層間絕緣膜係由 SiOC 膜、前述 SiOC 膜上所形成之 SiC 膜及前述 SiC 膜上所形成之 SiON 膜所構成，而前述封蓋絕緣膜係由 SiCN 膜及前述 SiCN 膜上所形成之 SiC 膜所構成。

本發明係在含有鑲嵌配線之半導體裝置之製造方法中，將形成配線槽之絕緣膜及形成連接孔之絕緣膜以 SiOC 膜形成，並與該 SiOC 膜相接層疊 5 nm 以上厚度之 SiC 膜。

茲簡單說明在本案所揭示之發明中由具代表性部分所得之效果如下。

在將SiOC膜使用於形成配線槽之絕緣膜或形成連接孔之絕緣膜之鑲嵌配線中，阻擋絕緣膜及封蓋絕緣膜係由SiC膜所構成，或以由SiCN膜及介於SiOC膜與SiCN膜間的SiC膜組成之層疊構造構成，藉此可防止SiOC膜之剝離。藉此，可提高鑲嵌配線之可靠性。

【實施方式】

以下，基於圖面詳細說明本發明之實施形態。在用於說明實施形態之所有圖面中，對同一部件原則上附以同一符號，省略重複說明。

(實施形態1)

用圖1～圖7所示之半導體基板主要部分之剖面圖按步驟依序進行說明本發明之實施形態1之CMOSFET(Complementary Metal Oxide Semiconductor Field Effect Transistor)(互補式金屬氧化物半導體場效電晶體)之製造方法。

首先，如圖1所示，準備例如由p-型單晶矽構成的半導體基板1，於半導體基板1主面上形成元件分離區域2。其次，以形成有圖案的光阻膜作為掩膜而將雜質進行離子佈植，以形成p型井3及n型井4。p型井3中將p型雜質，如硼進行離子佈植，n型井4中將n型雜質，如磷進行離子佈植。其後，亦可於各井區域將為控制MISFET(Metal Insulator Semiconductor FET)(金屬絕緣體半導體場效電晶體)之臨界值之雜質進行離子佈植。

其次，依序沉積成為閘極絕緣膜5之氧化矽膜，成為閘極

6之多晶矽膜及成為封蓋絕緣膜7之氧化矽膜以形成層疊膜，以形成有圖案的光阻膜作為掩膜蝕刻前述層疊膜。藉此，形成閘極絕緣膜5，閘極6及封蓋絕緣膜7。

其次，將氧化矽膜例如以CVD法沉積於半導體基板1上後，藉由將該氧化矽膜進行異向性蝕刻，於閘極6之側壁處形成側壁間隔物8。其後，以光阻膜作為掩膜，將n型雜質，例如磷或砷離子佈植於p型井3中，於p型井3之閘極6之兩側形成n型半導體區域9。n型半導體區域9為對閘極6與側壁間隔物8自行對準地所形成，起作用作為n通道MISFET之源極、汲極。同樣，以光阻膜作為掩膜，將p型雜質，例如氟化硼離子佈植於n型井4中，於n型井4之閘極6之兩側形成p型半導體區域10。p型半導體區域10為對閘極6與側壁間隔物8自行對準地所形成，起作用作為p通道MISFET之源極、汲極。

其次，如圖2所示，將氧化矽膜以噴鍍法或CVD法沉積於半導體基板1上後，將該氧化矽膜以例如CMP法進行研磨，從而形成表面平坦之層間絕緣膜11。再利用以形成有圖案的光阻膜作為掩膜之蝕刻，於層間絕緣膜11上形成連接孔12。該連接孔形成於n型半導體區域9或p型半導體區域10上等必要部分。

其次，在包括連接孔12內部的半導體基板1之全部表面，例如以CVD法形成氮化鈦膜，進而埋入連接孔12之鎢膜以例如CVD法形成。之後，例如以CMP法，將連接孔12以外之區域之鎢膜與氮化鈦膜除去而於連接孔12內部形成插塞

13。

其後，以單鑲嵌法形成第1配線層。首先，於插塞13上形成阻擋絕緣膜14，進而形成配線層間膜15。因在阻擋絕緣膜14與配線層間膜15上形成其次說明之第1配線層，故其共計膜厚度係由第1配線層必要之設計膜厚度所決定。

阻擋絕緣膜14係對配線層間膜15進行配線槽加工時成為蝕刻擋膜之膜，以對配線層間膜15具有蝕刻選擇比之材料所構成。阻擋絕緣膜14作為含氮量在1%以下之碳化矽(以下記作SiC)膜，其厚度可為例如約5 nm以上。SiC膜係以例如電漿CVD法形成，其成膜條件為例如射頻功率為200~1000 W，壓力為2~10 Torr，溫度為300~400℃，氣體種子為含碳氣體(例如烷基矽烷)與氮氣，氣體流量為100~2000 sccm。配線層間膜15由SiOC膜構成，相對介電常數為3程度。SiOC膜以例如電漿CVD法形成，其成膜條件為例如射頻功率為200~1000 W，壓力為2~10 Torr，溫度為300~400℃，氣體種子為含碳氣體(例如烷基矽烷)、氮氣及氧氣，氣體流量為100~2000 sccm。

又，構成阻擋絕緣膜14之SiC膜及構成配線層間膜15之SiOC膜可使用一台電漿CVD裝置形成。例如可例示使用電漿CVD裝置所具備的2個反應室，在各室形成SiC膜及SiOC膜之方法，或使用1個反應室，改變氣體等成膜條件而連續形成SiC膜及SiOC膜之方法。

其次，利用以形成有圖案的光阻膜作為掩膜之蝕刻，於阻擋絕緣膜14及配線層間膜15之特定區域形成配線槽16。

其次，於包括配線槽16內部的半導體基板1之全部表面形成阻障金屬層17。阻障金屬層17由例如鈰膜所構成，其厚度例如於基板平面上可為50 nm程度。前述鈰膜例如以噴鍍法形成。阻障金屬層17亦可由氮化鈦、氮化鈰等構成。

其後，於阻障金屬層17上以例如CVD法或噴鍍法形成銅晶種層(無圖示)，進而於晶種層上以例如電場電鍍法形成銅膜18。

其次，如圖3所示，以CMP法研磨銅膜18及晶種層。進而繼續研磨，以除去配線層間膜15上之阻障金屬層17。藉此，除去配線槽16以外之區域之銅膜18(包括晶種層)及阻障金屬層17，形成第1配線層之配線19。

且說在阻擋絕緣膜由SiO膜、SiN膜或SiCN膜構成，配線層間膜由SiOC膜構成之由本發明者所研討之技術中，於銅膜及阻障層之CMP步驟，在阻擋絕緣膜與配線層間膜之界面產生剝離。但是，在阻擋絕緣膜14由SiC膜構成，且配線層間膜15由SiOC膜構成之本實施形態1於銅膜18(包括晶種層)及阻障金屬層17之CMP步驟，在阻擋絕緣膜(SiC膜)14與絕緣膜(SiOC膜)15之界面不產生剝離。

表 1

	SiOC	SiC	SiO	SiCN	SiN
楊氏模量(GPa)	18	63	112	133	221
應力(MPa)	47	62	-140	-245	-151
含氮量(%)	<1	<1	4	20	45

表 1 匯集各種絕緣膜之楊氏模量、應力、含氮量。SiOC

膜與各種絕緣膜之黏著性以SiN膜、SiCN膜、SiO膜、SiC膜之順序減小，此有取決於含氮量之傾向。而楊氏模量以SiN膜、SiCN膜、SiO膜、SiC膜、SiOC膜之順序減小。並且，相對於SiOC膜及SiC膜顯示拉伸應力，SiN膜、SiCN膜、SiO膜則顯示壓縮應力。

由此可推測於SiOC膜之界面，以O、C終止之分子構造強化了界面之原子間結合而提高了黏著性。再者，將具有與SiOC膜相同拉伸應力，楊氏模量與SiOC膜之差為50 GPa以下，且應力之差為50 MPa以下之SiC膜與SiOC膜相接而設置，藉此SiC膜可緩和於銅膜之CMP處理時所產生之縱橫方向之負荷，從而抑制SiOC膜與SiC膜之界面之剝離。

又，此處雖例示SiC膜作為阻擋絕緣膜14，然亦可利用與SiOC膜之楊氏模量之差為50 GPa以下或應力之差為50 MPa以下之絕緣膜構成阻擋絕緣膜14。並且，以電漿CVD法形成了構成阻擋絕緣膜14之SiC膜，例示了其成膜條件，然製法及成膜條件並不限於此。

其次，以雙鑲嵌法形成第2配線層。首先，如圖4所示，於第1配線層之配線19上依序形成封蓋絕緣膜20，形成連接孔用之絕緣膜(以下僅簡稱為通路層間膜)21及配線形成用之阻擋絕緣膜22。

封蓋絕緣膜20作為含氮量在1%以下之SiC膜，其厚度可為例如約5 nm以上。且封蓋絕緣膜20具有防止銅擴散之作用，對於通路層間膜21以具有蝕刻選擇比之材料構成，亦用作至通路層間膜21之連接孔加工時之蝕刻阻擋膜。SiC膜

以例如電漿CVD法形成，其成膜條件例如可用與構成前述阻擋絕緣膜14之SiC膜大致相同之條件。

通路層間膜21由SiOC膜構成，SiOC膜係以例如電漿CVD法形成，其成膜條件例如可用與構成前述配線層間膜15之SiOC膜大致相同之條件。

阻擋絕緣膜22係對於通路層間膜21及之後述沉積於阻擋絕緣膜22上層之配線層間膜以具有蝕刻選擇比之絕緣材料所構成，作為含氮量在1%以下之SiC膜，其厚度可為例如約5 nm以上。SiC膜以例如電漿CVD法形成，其成膜條件例如可用與構成前述阻擋絕緣膜14之SiC膜大致相同之條件。

其次，於阻擋絕緣膜22上形成構圖成孔圖案之光阻膜，以該光阻膜為掩膜蝕刻阻擋絕緣膜22。

其次，於阻擋絕緣膜22上形成配線層間膜23。配線層間膜23由SiOC膜構成，SiOC膜以例如電漿CVD法形成，其成膜條件例如可用與構成前述阻擋絕緣膜15之SiOC膜大致相同之條件。又，因在阻擋絕緣膜22及配線層間膜23上形成埋入其次說明之第2配線層之配線槽，其共計厚度由第2配線層必要之設計膜厚度所決定。

其後，如圖5所示，於配線層間膜23上形成構圖成槽圖案之光阻膜，以該光阻膜為掩膜蝕刻配線層間膜23。此時，封蓋絕緣膜22起作用作為蝕刻阻擋層。

接著，以前述光阻膜及阻擋絕緣膜22作為掩膜蝕刻通路層間膜21。此時，封蓋絕緣膜20起作用作為蝕刻阻擋層。

其次，以例如乾蝕刻法除去露出之封蓋絕緣膜20。與除

去封蓋絕緣膜20的同時除去阻擋絕緣膜22，於封蓋絕緣膜20及阻擋絕緣膜21形成連接孔24，而於阻擋絕緣膜22及配線層間膜23形成配線槽25。

其次，如圖6所示，在包括連接孔24及配線槽25內部的半導體基板1之全部表面上形成阻障金屬層26。阻障金屬層26由例如鈹膜構成，其厚度例如在基板平面上可為50 nm程度。前述鈹膜以例如噴鍍法形成。阻障金屬層26亦可由氮化鈦、氮化鈹等構成。

接著，以例如CVD法或噴鍍法於阻障金屬層26上形成銅晶種層(無圖示)，進而以例如電場電鍍法於晶種層上形成銅膜27。

其次，如圖7所示，以CMP法研磨銅膜27及晶種層。再繼續研膜以除去配線層間膜23上之阻障金屬層26。藉此，除去配線槽25以外區域之銅膜27(含晶種層)及阻障金屬層26，以形成與連接構件一體形成的第2配線層之配線28。

於此銅膜27(含晶種層)及阻障金屬層26之CMP步驟，亦與前述銅膜18(含晶種層)及阻障金屬層17之CMP步驟的情況同樣，於封蓋絕緣膜(SiC膜)20與通路層間膜(SiOC膜)21間之界面、通路層間膜(SiOC膜)21與阻擋絕緣膜(SiC膜)22間之界面、阻擋絕緣膜(SiC膜)22與配線層間膜23(SiOC膜)間之界面不產生剝離。

接著，雖未圖示，但於第2配線層之配線28上形成封蓋絕緣膜29，進而形成上層之配線後，藉由以鈍化膜覆蓋半導體基板1之全部表面，CMOSFET大致完成。

又，本實施形態1中作為形成於半導體基板1之主面上之半導體元件，雖例示CMOSFET，但不限於此。

而且，本實施形態1中以雙鑲嵌法形成第2配線層之配線28時，於阻擋絕緣膜22上預先加工孔圖案後，使封蓋絕緣膜20及阻擋絕緣膜22起作用作為蝕刻阻擋層，於通路層間膜21上形成了連接孔24，同時於配線層間膜23上形成了配線槽25，但不限於此形成方法。例如有以下方法：利用以構圖成孔圖案的光阻膜作為掩膜之蝕刻，在配線層間膜23及通路層間膜21上形成連接孔23之後，利用以構圖定成槽圖案的光阻膜作為掩膜之蝕刻，在配線層間膜23上形成配線槽24之方法，或利用以構圖成槽圖案的光阻膜作為掩膜之蝕刻，在配線層間膜23上形成配線槽24之後，利用以構圖成孔圖案的光阻膜作為掩膜之蝕刻，在通路層間膜21上形成連接孔23之方法。

如此，根據本實施形態1，在以相對較低的低介電常數材料之SiOC膜構成配線層間膜15、23及通路層間膜21時，以SiC膜構成與配線層間膜15、23及通路層間膜21相連接設置之阻擋絕緣膜14、22及封蓋絕緣膜20，藉此可防止：在形成第1配線層之配線19之CMP步驟之配線層間膜15與阻擋絕緣膜14間之界面之剝離，及在形成第2配線層之配線20之CMP步驟之封蓋絕緣膜20與通路層間膜21之界面、通路層間膜21與阻擋絕緣膜22之界面、阻擋絕緣膜22與配線層間膜23之界面之剝離。

(實施形態2)

將本發明之實施形態2之CMOSFET之製造方法使用圖8所示之半導體基板主要部分之剖面圖進行說明。

於前述實施形態1中，阻擋絕緣膜14、22及封蓋絕緣膜20係由SiC膜構成，但於本實施形態2中，阻擋絕緣膜14、22及封蓋絕緣膜20則係由較之SiC膜可較小抑制洩漏電流之SiCN膜A，及介於構成配線層間膜15、23及通路層間膜21之SiOC膜與前述SiCN膜A之間之SiC膜B所構成。SiCN膜A之厚度為例如40 nm程度，SiC膜B之厚度為例如10 nm程度，SiCN膜A之含氮量定為1%以上。

此外，SiCN膜A以例如電漿CVD法形成，其成膜條件為例如射頻功率為200~1000 W，壓力為2~10 Torr，溫度為300~400℃，氣體種子為含碳氣體(例如烷基矽烷)與氮氣及氬氣，氣體流量為100~2000 sccm。SiC膜B以例如電漿CVD法形成，其成膜條件為例如射頻功率為200~1000 W，壓力為2~10 Torr，溫度為300~400℃，氣體種子為含碳氣體(例如烷基矽烷)與氮氣，氣體流量為100~2000 sccm。

圖9係測定3種絕緣膜(SiC膜、SiCN膜、SiN膜)之洩漏電流特性之圖，橫軸為電場強度(單位：MV/cm)，縱軸為膜之洩漏電流(單位：A/cm²)。由圖可知，例如電場強度=3 MV/cm之洩漏電流係SiCN膜最少，SiC膜最多。

如此，根據本實施形態2，阻擋絕緣膜14、22及封蓋絕緣膜20主要以洩漏電流較小的SiCN膜A所構成，藉由使SiC膜B介於構成配線層間膜15、23及通路層間膜21之SiOC膜與前述SiCN膜A之間，可減小配線間之洩漏電流，同時亦可防

止 SiOC 膜之剝離。

(實施形態3)

本實施形態3係以含氮之 SiOC 膜構成配線層間膜15、23及通路層間膜21，而以相對洩漏電流較小的 SiCN 膜構成阻擋絕緣膜14、22及封蓋絕緣膜20。含氮之 SiOC 膜以例如電漿 CVD 法形成，其成膜條件為例如射頻功率為 200~1000 W，壓力為 2~10 Torr，溫度為 300~400℃，氣體種子為含碳氣體(例如烷基矽烷)、氧氣及氮氣，或含碳氣體(例如烷基矽烷)與 N₂O，氣體流量為 100~2000 sccm。SiCN 膜以例如電漿 CVD 法形成，其成膜條件為例如射頻功率為 200~1000 W，壓力為 2~10 Torr，溫度為 300~400℃，氣體種子為含碳氣體(例如烷基矽烷)、氮氣及氫氣，氣體流量為 100~2000 sccm。SiCN 膜厚度為例如 50 nm 程度。

如此，根據本實施形態3，藉由 SiOC 膜中含氮，可提高二者黏著性。藉此，可減小配線間之洩漏電流，同時亦可防止 SiOC 膜之剝離。

(實施形態4)

如圖10所示，本實施形態4係阻擋絕緣膜14、22及封蓋絕緣膜20分別由 SiCN 膜A與 SiC 膜B之層疊膜構成。

圖11係測定3種絕緣膜(SiC膜、SiCN膜、SiN膜)之 TDDB (Time-dependent dielectric breakdown)(經時絕緣破壞)特性之圖。橫軸所示為電場強度(單位：MV/cm)，縱軸所示為 TDDB 壽命(單位：秒)。由圖可知，SiCN 膜比 SiC 膜 TDDB 壽命較長。

另一方面，圖12為評估對銅配線(通導部分)之應力轉移特性與SiCN膜及SiC膜間之關係之圖，橫軸所示為銅配線之寬度(單位： μm)，縱軸所示為由應力轉移所導致之配線不良率(單位：%)。由圖可知，銅配線寬度達到某值之上後，SiCN膜使銅配線之應力轉移特性明顯劣化，對此SiC膜與銅配線寬度之大小無關，幾乎不使應力轉移特性劣化。而且，SiCN膜與SiC膜之層疊膜顯示其等中間特性。

由以上，藉由以SiCN膜A與SiC膜B之層疊膜構成阻擋絕緣膜14、22及封蓋絕緣膜20之各個，可防止阻擋絕緣膜14、22及封蓋絕緣膜20之TDDB特性劣化，同時可謀求洩漏電流減小，且可防止銅配線之應力轉移特性劣化。

又，在以SiCN膜A與SiC膜B之層疊膜構成阻擋絕緣膜14、22及封蓋絕緣膜20之各個時，構成配線層間膜15、23及通路層間膜21之SiOC膜與SiCN膜A之界面黏著力會降低。因此，本實施形態中，配線層間膜15、23及通路層間膜21分別由SiOC膜C、SiC膜B與SiON膜D之3層構造所構成，使SiOC膜C與SiCN膜A不直接接觸。在此，SiOC膜C與SiON膜D間之薄SiC膜B係為提高SiOC膜C與SiON膜D之黏著性之黏著層。此外，為儘量降低配線層間膜15、23及通路層間膜21之介電常數，較SiOC膜C介電常數高之SiON膜D之膜厚度較SiOC膜C薄，同時含氮量亦以5 atoms%以下為佳。SiON膜D以例如使用甲矽烷(SiH_4)與氧化二氮(N_2O)為源氣體之電漿CVD法(成膜溫度=350~400℃)沉積。

(實施形態5)

如前述之實施形態4，配線層間膜15、23及通路層間膜21分別由SiOC膜C、SiC膜B與SiON膜D之3層構造構成時，因為黏著層之SiC膜B之蝕刻選擇比與SiOC膜C及SiON膜D之蝕刻選擇比不同，在形成配線槽16、25或連接孔24之蝕刻步驟中，SiC膜B成為蝕刻阻擋膜，有生產能力降低的問題。

因此，本實施形態中，如圖13所示，以SiOC膜C及SiON膜D之2層構造構成配線層間膜15、23及通路層間膜21之各個，便可防止於形成配線槽16、25及連接孔24時蝕刻產量下降。

另一方面，若省略為黏著層之SiC膜B，則SiOC膜C與SiON膜D之界面之黏著力下降，會產生薄膜易剝落等問題。

作為薄膜剝落之原因之一，SiOC膜C成膜後於室溫下之應力為45 MPa(拉伸應力)，對此於450℃下之應力為-16 MPa(壓縮應力)，被認為是薄膜應力變化由拉伸應力變為壓縮應力，且其變化量較大，達61 MPa(45 MPa-(-16 MPa))。

就其對策而言，可思考將SiOC膜C在高溫(例如成膜溫度375℃)下沉積，由此SiOC膜C成膜後於室溫下之應力由53 MPa(拉伸應力)於450℃下之應力變為78 MPa(拉伸應力)，其變化量為25 MPa(78 MPa-53 MPa)，成為因溫度變化而應力變動量小的膜，故可提高與SiON膜D之黏著性。此外，SiOC膜C成膜後，將其表面氦(He)電漿或氧電漿處理，再沉積SiON膜D，可提高二者之黏著力。又，若SiOC膜C之沉積溫度過高，或電漿處理過量，則SiOC膜C之介電常數會下降，故成膜溫度在400℃以下，電漿處理時間在20秒以內(例如

15秒程度)為佳。

此外，於SiOC膜C上部沉積SiON膜D時，改變為源氣體之甲矽烷與氧化二氮之比例，並使折射率成為1.485以下之薄膜或使膜中含氮量成為3~4%之薄膜，與SiOC膜C之黏著性提高。

(實施形態6)

於前述實施形態5中，以SiOC膜C及SiON膜D之2層構造構成配線層間膜15、23及通路層間膜21之各個，並且進行為提高二者之黏著性之各種處理，但本實施形態中，如圖14所示，以SiOC膜C及SiOCN膜E之2層構造構成配線層間膜15、23及通路層間膜21之各個。這種情況，SiOCN膜E之組成較SiON膜D接近SiOC膜C，故黏著性佳，由此不需要進行前述實施形態5中進行之類的為提高薄膜黏著性之各種處理。

於SiON膜D上部沉積SiOCN膜E時，可於沉積SiON膜D之中途於源氣體中添加含氮之氣體，進而繼續成膜。又，為防止介電常數變高，SiOCN膜E中之氮濃度宜控制在10 atoms%以下。

此外，圖示省略，亦可以SiOCN膜E及SiON膜D之2層構造構成配線層間膜15、23及通路層間膜21之各個。SiOCN膜E之組成較SiOC膜C接近SiON膜D，故黏著性佳，由此不需要進行前述實施形態5中進行之類的為提高薄膜黏著性之各種處理。

(實施形態7)

本實施形態中，如圖15所示，以SiOCN膜E構成配線層間膜15、23及通路層間膜21之各個。此時，相較於以SiOC膜C構成配線層間膜15、23及通路層間膜21之各個之前述實施形態1、2，雖介電常數變高，然相較於以多數膜構成配線層間膜15、23及通路層間膜21之各個之前述實施形態4～6，可大幅度縮短步驟。此外，SiOCN膜E之組成較SiOC膜C接近SiCN膜A，故與構成阻擋絕緣膜14、22及封蓋絕緣膜20之各個之一部分的SiCN膜A之界面亦不易產生黏著性下降。又，為防止介電常數變高，SiOCN膜E中之氮濃度宜控制在10 atoms%以下。

以上，基於發明之實施形態具體說明了由本發明者所提出之發明，然本發明並不限於前述之實施形態，在不超出其宗旨範圍內可適當進行多種變化。

例如，於前述實施形態5～7中，亦可僅使用SiCN膜，或僅使用SiC膜構成阻擋絕緣膜14、22及封蓋絕緣膜20之各個。

而且，於前述實施形態1～7中，對使用低介電常數薄膜於鑲嵌銅配線之配線層間膜及通路層間膜之情況進行了說明，但不限於此。例如，亦可適用於在使用微影技術及乾蝕技術形成之鋁合金或鎢等高熔點金屬膜所構成之配線上，形成低介電常數之層間絕緣膜之情況。

本發明係適用於含有以鑲嵌法形成之銅配線及低介電常數之層間絕緣膜之半導體裝置有效之技術。

【圖式簡單說明】

圖1係顯示本發明之實施形態1之CMOSFET製造方法之半導體基板主要部分之剖面圖。

圖2係顯示本發明之實施形態1之CMOSFET製造方法之半導體基板主要部分之剖面圖。

圖3係顯示本發明之實施形態1之CMOSFET製造方法之半導體基板主要部分之剖面圖。

圖4係顯示本發明之實施形態1之CMOSFET製造方法之半導體基板主要部分之剖面圖。

圖5係顯示本發明之實施形態1之CMOSFET製造方法之半導體基板主要部分之剖面圖。

圖6係顯示本發明之實施形態1之CMOSFET製造方法之半導體基板主要部分之剖面圖。

圖7係顯示本發明之實施形態1之CMOSFET製造方法之半導體基板主要部分之剖面圖。

圖8係顯示本發明之實施形態2之CMOSFET製造方法之半導體基板主要部分之剖面圖。

圖9係測定絕緣膜(SiC膜、SiCN膜、SiN膜)之洩漏電流特性之圖。

圖10係顯示本發明之實施形態4之CMOSFET之半導體基板主要部分之剖面圖。

圖11係測定絕緣膜(SiC膜、SiCN膜、SiN膜)之TDDB特性之圖。

圖12係評估銅配線之應力轉移特性與SiCN膜及SiC膜之關係之圖。

圖 13 係顯示本發明之實施形態 5 之 CMOSFET 之半導體基板主要部分之剖面圖。

圖 14 係顯示本發明之實施形態 6 之 CMOSFET 之半導體基板主要部分之剖面圖。

圖 15 係顯示本發明之實施形態 7 之 CMOSFET 之半導體基板主要部分之剖面圖。

【圖式代表符號說明】

- | | |
|----|----------|
| 1 | 半導體基板 |
| 2 | 元件分離區域 |
| 3 | p 型井 |
| 4 | n 型井 |
| 5 | 閘極絕緣膜 |
| 6 | 閘極電極 |
| 7 | 封蓋絕緣膜 |
| 8 | 側壁間隔物 |
| 9 | n 型半導體區域 |
| 10 | p 型半導體區域 |
| 11 | 層間絕緣膜 |
| 12 | 連接孔 |
| 13 | 插塞 |
| 14 | 阻擋絕緣膜 |
| 15 | 配線層間膜 |
| 16 | 配線槽 |
| 17 | 阻障金屬層 |

18	銅膜
19	配線
20	封蓋絕緣膜
21	通路層間膜
22	阻擋絕緣膜
23	配線層間膜
24	連接孔
25	配線槽
26	阻障金屬層
27	銅膜
28	配線
A	SiCN膜
B	SiC膜
C	SiOC膜
D	SiON膜
E	SiOCN膜

伍、中文發明摘要：

本發明係提高以低介電常數之SiOC膜構成配線層間膜及通路層間膜之銅鑲嵌配線之可靠性。藉由以SiOC膜構成配線層間膜15、23及通路層間膜21之各個，並以SiCN膜A與SiC膜B之層疊膜構成阻擋絕緣膜14、22及封蓋絕緣膜20，謀求降低配線層間膜15、23及通路層間膜21之洩漏電流和提高阻擋絕緣膜14、22與封蓋絕緣膜20的黏著性。

陸、日文發明摘要：

【課題】 配線層間膜およびビア層間膜を低誘電率のSiOC膜で構成した銅ダマシン配線の信頼性を向上する。

【解決手段】 配線層間膜15、23およびビア層間膜21のそれぞれをSiOC膜で構成し、ストッパ絶縁膜14、22およびキャップ絶縁膜20をSiCN膜AとSiC膜Bの積層膜で構成することによって、配線層間膜15、23およびビア層間膜21のリーク電流低減、ならびにストッパ絶縁膜14、22およびキャップ絶縁膜20との接着性向上を図る。

拾、申請專利範圍：

1. 一種半導體裝置之製造方法，其特徵為將由金屬材料構成之配線形成單層或多層者；且以SiOC膜形成層間絕緣膜，其係使位於上下或左右之前述配線間電氣絕緣，並且與前述SiOC膜相接觸形成有絕緣膜，該絕緣膜係與前述SiOC膜之楊氏模量之差在50 GPa以下，或應力之差在50 MPa以下。
2. 一種半導體裝置之製造方法，其特徵為將由金屬材料構成之配線形成單層或多層者；且以SiOC膜形成層間絕緣膜，其係使位於上下或左右之前述配線間電氣絕緣，於前述SiOC膜之上層或下層形成有相對較薄之SiCN膜，並使5 nm以上之厚度之SiC膜介於前述SiOC膜與前述SiCN膜之間。
3. 一種半導體裝置之製造方法，其特徵為將由金屬材料構成之配線形成單層或多層者；且以含氮之SiOC膜形成層間絕緣膜，其係使位於上下或左右之前述配線間電氣絕緣，並與前述SiOC膜相接觸形成有相對較薄之SiCN膜。
4. 一種半導體裝置，其特徵為於半導體基板上之層間絕緣膜所形成之槽內部形成有金屬配線，於前述層間絕緣膜及前述金屬配線之各個上部形成有防止構成前述配線之金屬擴散之封蓋絕緣膜者；且

前述層間絕緣膜包含SiOC膜及前述SiOC膜上所形成之SiC膜及前述SiC膜上所形成之SiON膜；

前述封蓋絕緣膜包含SiCN膜及前述SiCN膜上所形成之

SiC膜。

5. 如申請專利範圍第4項之半導體裝置，其中構成前述層間絕緣膜一部分之前述SiON膜為含氮量在5 atoms%以下，或折射率在1.495以下。
6. 如申請專利範圍第4項之半導體裝置，其中於前述層間絕緣膜之中途部形成有阻擋絕緣膜，其係起作用作為蝕刻前述層間絕緣膜以形成前述槽時之蝕刻阻擋膜，前述阻擋絕緣膜包含SiCN膜及前述SiCN膜上所形成之SiC膜。
7. 一種半導體裝置，其特徵為於半導體基板上之層間絕緣膜所形成之槽內部形成有金屬配線，於前述層間絕緣膜及前述金屬配線之各個上部形成有防止構成前述配線之金屬擴散之封蓋絕緣膜者；且
 前述層間絕緣膜包含SiOC膜及前述SiOC膜上所形成之SiON膜；
 前述封蓋絕緣膜包含SiCN膜及前述SiCN膜上所形成之SiC膜。
8. 如申請專利範圍第7項之半導體裝置，其中構成前述層間絕緣膜一部分之前述SiON膜之含氮量為3~4 atoms%以下。
9. 如申請專利範圍第7項之半導體裝置，其中構成前述層間絕緣膜一部分之前述SiON膜之折射率為1.485以下。
10. 如申請專利範圍第7項之半導體裝置，其中於前述層間絕緣膜之中途部形成有阻擋絕緣膜，其係起作用作為蝕刻前述層間絕緣膜以形成前述槽時之蝕刻阻擋膜，前述阻

擋絕緣膜包含SiCN膜及前述SiCN膜上所形成之SiC膜。

11. 一種半導體裝置，其特徵為於半導體基板上之層間絕緣膜所形成之槽內部形成有金屬配線，於前述層間絕緣膜及前述金屬配線之各個上部形成有防止構成前述配線之金屬擴散之封蓋絕緣膜者；且

前述層間絕緣膜包含SiOC膜及前述SiOC膜上所形成之SiOCN膜；

前述封蓋絕緣膜包含SiCN膜及前述SiCN膜上所形成之SiC膜。

12. 如申請專利範圍第11項之半導體裝置，其中構成前述層間絕緣膜一部分之前述SiOC膜係由室溫至450℃之溫度範圍之膜之應力變化量為50 MPa以下。
13. 如申請專利範圍第11項之半導體裝置，其中構成前述層間絕緣膜一部分之前述SiOCN膜之含氮量為10 atoms%以下。
14. 如申請專利範圍第11項之半導體裝置，其中於前述層間絕緣膜之中途部形成有阻擋絕緣膜，其係起作用作為蝕刻前述層間絕緣膜以形成前述槽時之蝕刻阻擋膜，前述阻擋絕緣膜包含SiCN膜及前述SiCN膜上所形成之SiC膜。
15. 一種半導體裝置，其特徵為於半導體基板上之層間絕緣膜所形成之槽內部形成有金屬配線，於前述層間絕緣膜及前述金屬配線之各個上部形成有防止構成前述配線之金屬擴散封蓋絕緣膜者；且

前述層間絕緣膜係由SiOCN膜所構成；

前述封蓋絕緣膜包含SiCN膜及前述SiCN膜上所形成之SiC膜。

16. 如申請專利範圍第15項之半導體裝置，其中前述層間絕緣膜包含SiOCN膜及前述SiOCN膜上所形成之SiON膜。
17. 如申請專利範圍第15項之半導體裝置，其中構成前述層間絕緣膜之前述SiOCN膜之含氮量為10 atoms%以下。
18. 如申請專利範圍第15或16項之半導體裝置，其中於前述層間絕緣膜之中途部形成有阻擋絕緣膜，其係起作用作為蝕刻前述層間絕緣膜以形成前述槽時之蝕刻阻擋膜，前述阻擋絕緣膜包含SiCN膜及前述SiCN膜上所形成之SiC膜。
19. 一種半導體裝置之製造方法，其特徵為於半導體基板上之層間絕緣膜所形成之槽內部形成有金屬配線，於前述層間絕緣膜及前述金屬配線之各個上部形成有封蓋絕緣膜，其係防止構成前述配線之金屬擴散者；

前述層間絕緣膜包含SiOC膜及前述SiOC膜上所形成之SiON膜；

前述封蓋絕緣膜包含SiCN膜及前述SiCN膜上所形成之SiC膜；且

在形成構成前述層間絕緣膜一部分之前述SiOC膜後，將前述SiOC膜之表面進行電漿處理，其後於前述SiOC膜上形成前述SiON膜。

20. 如申請專利範圍第19項之半導體裝置之製造方法，其中構成前述層間絕緣膜一部分之前述SiOC膜係用成膜溫度

375°C 之電漿CVD法沉積。

21. 如申請專利範圍第19項之半導體裝置之製造方法，其中將構成前述層間絕緣膜一部分之前述SiOC膜以由室溫至450°C之溫度範圍之膜之應力變化量為50 MPa以下之方式用電漿CVD法沉積。

拾壹、圖式：

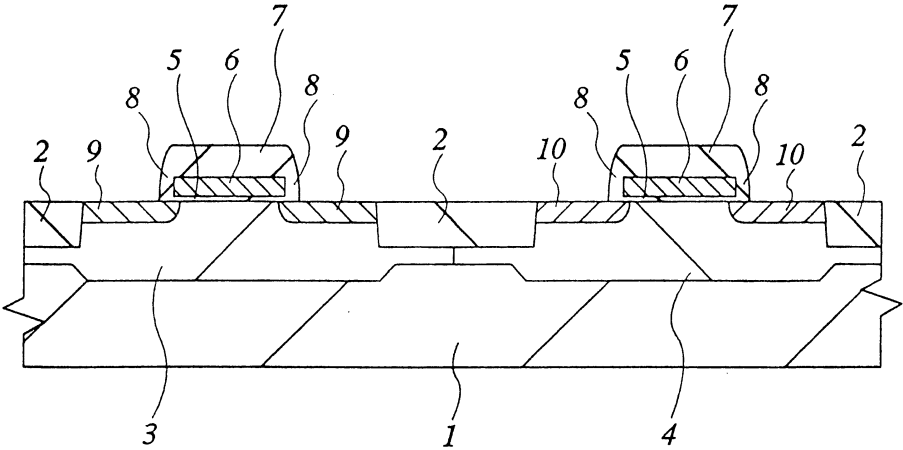


圖1

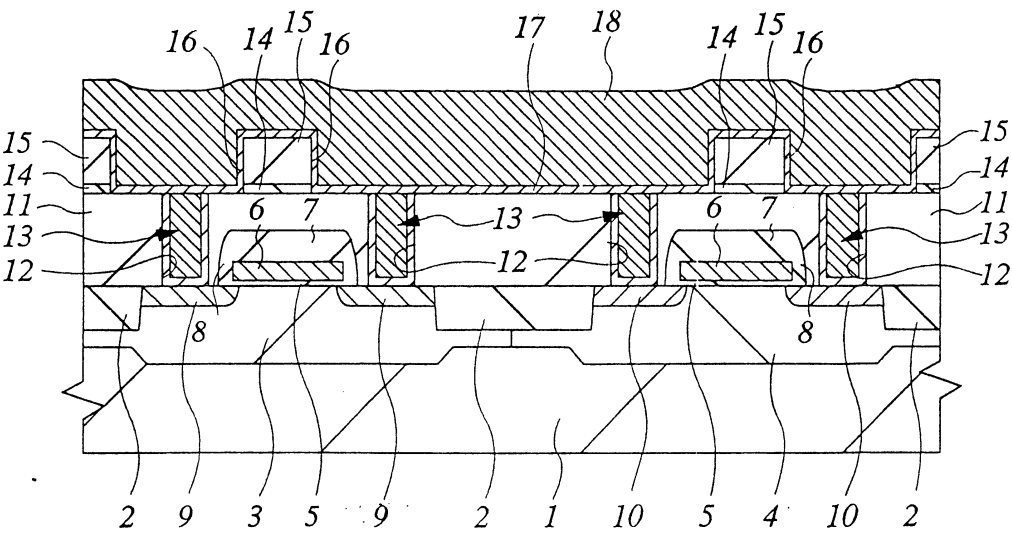


圖2

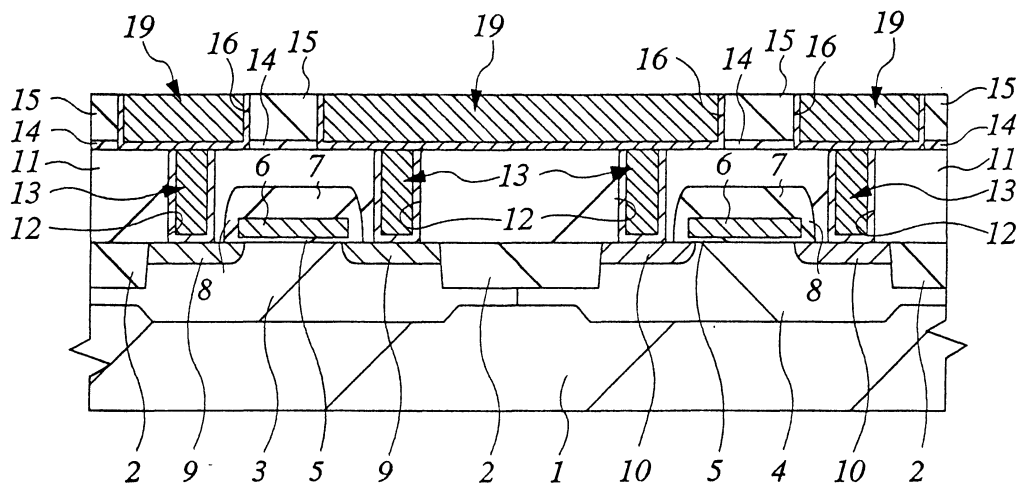


圖3

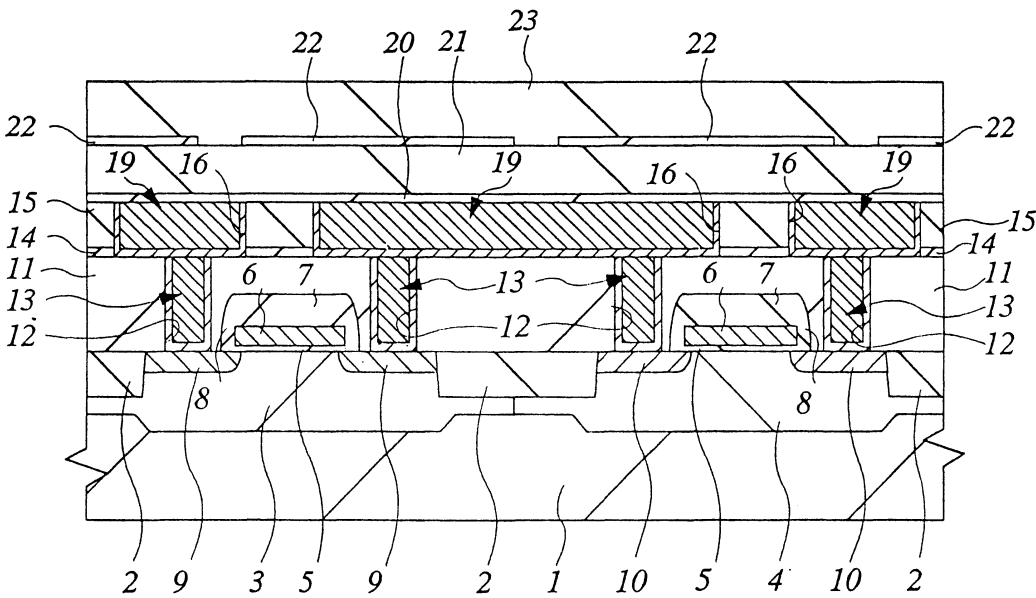


圖4

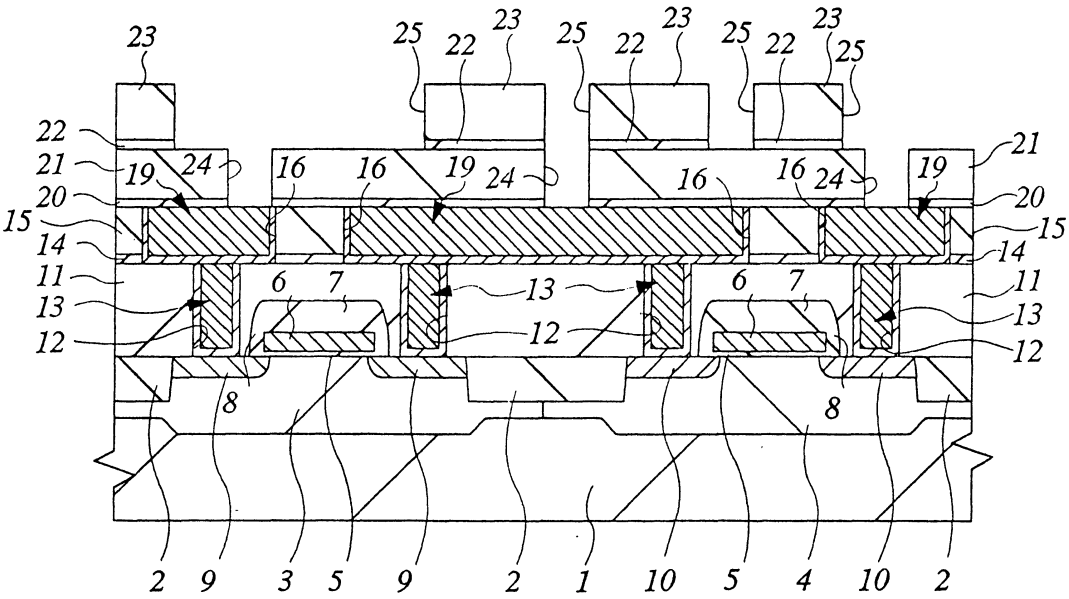


圖5

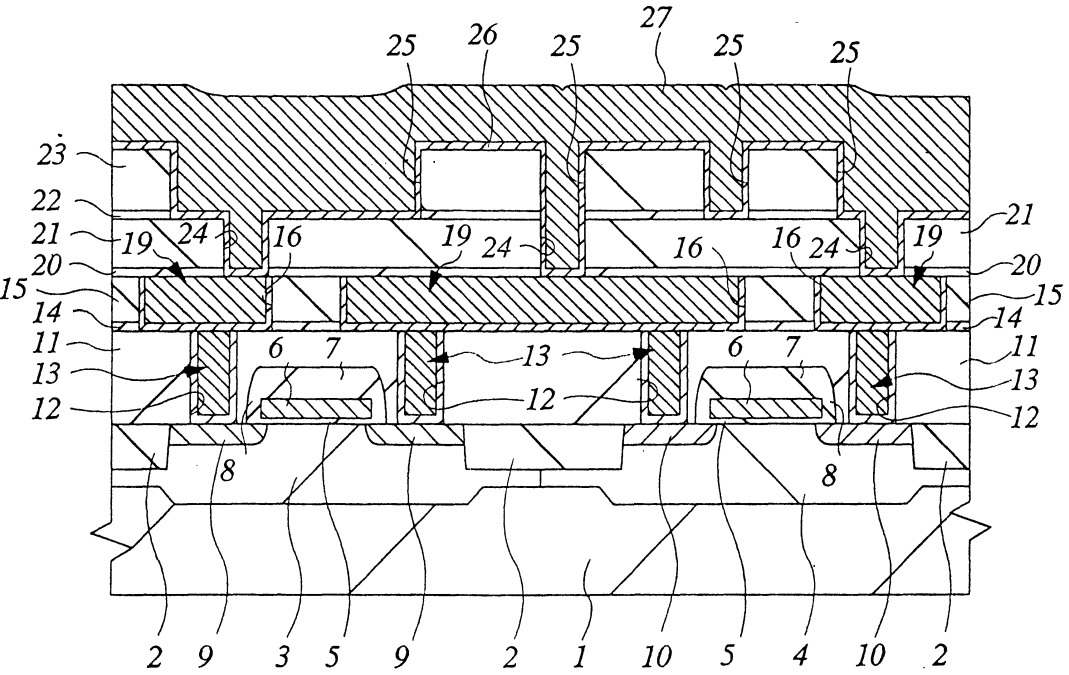


圖6

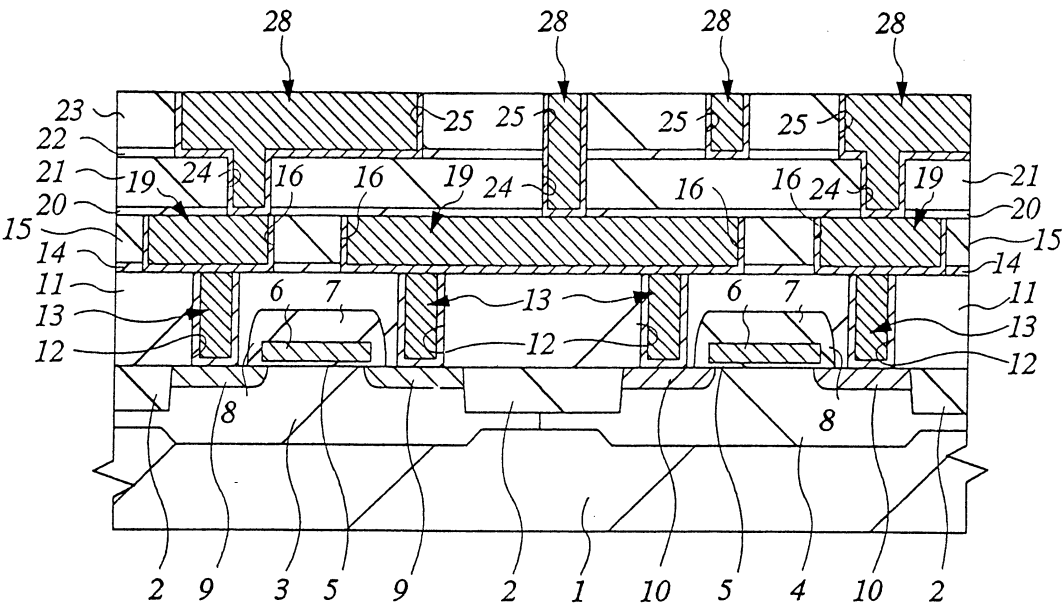


圖 7

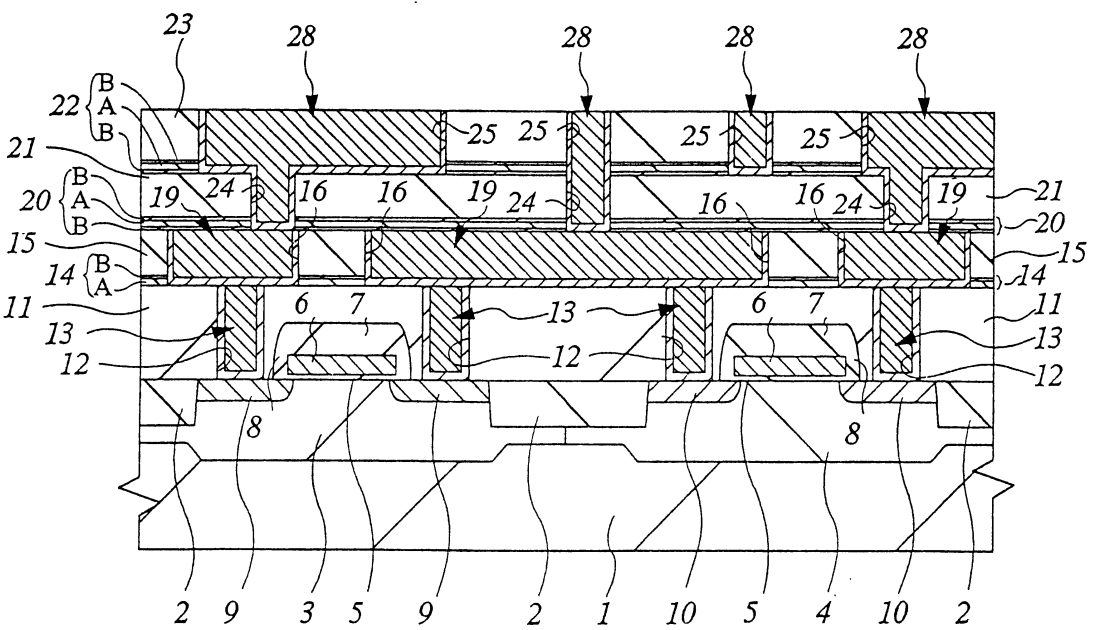


圖 8

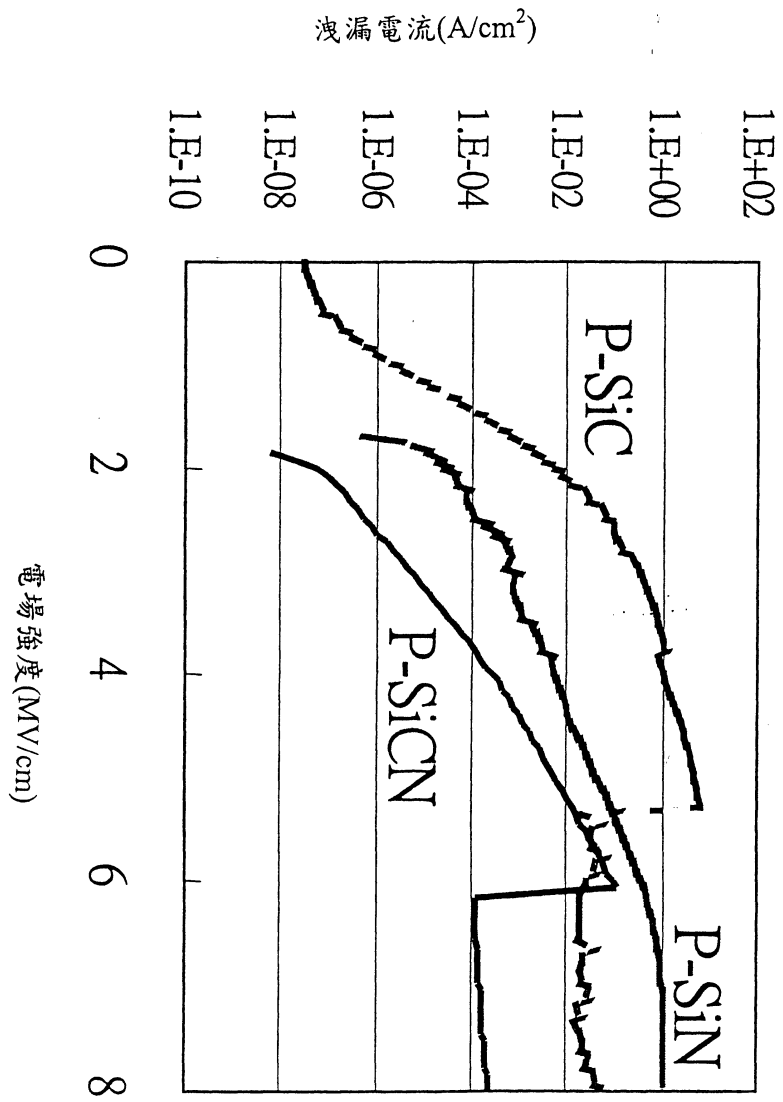


圖 9

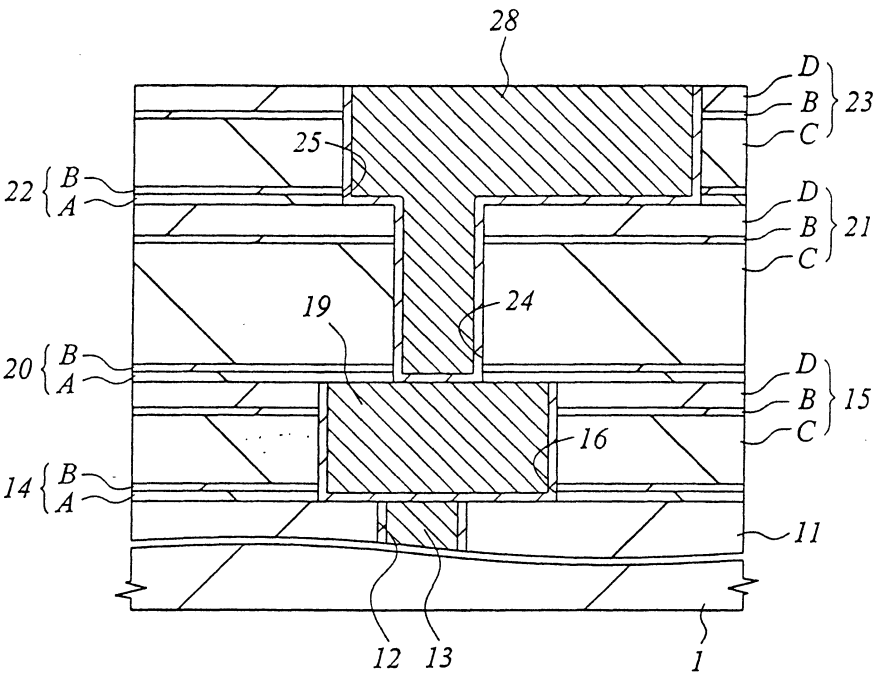


圖10

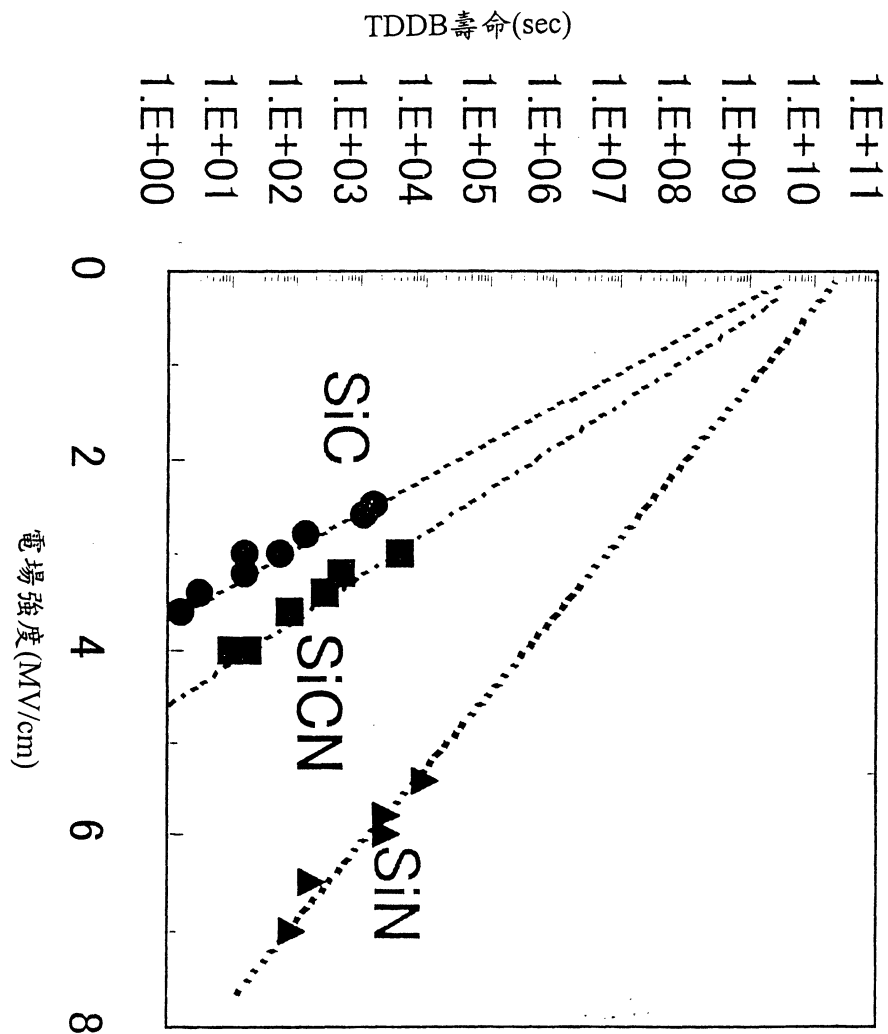


圖 11

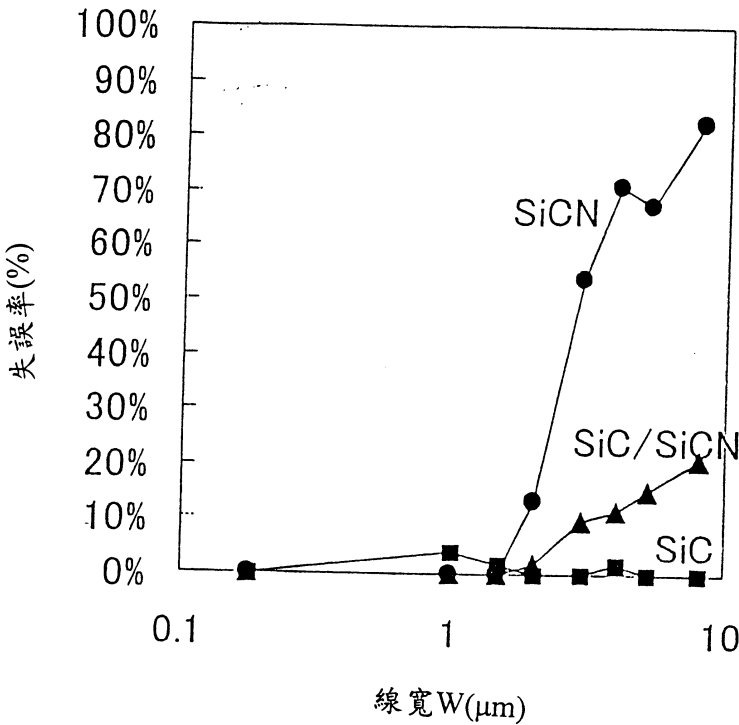


圖12

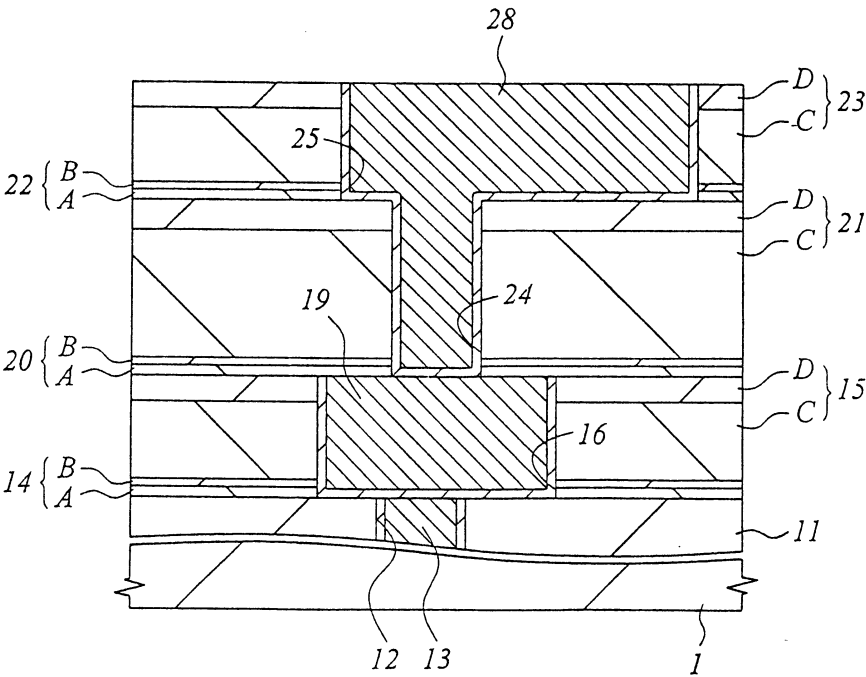


圖13

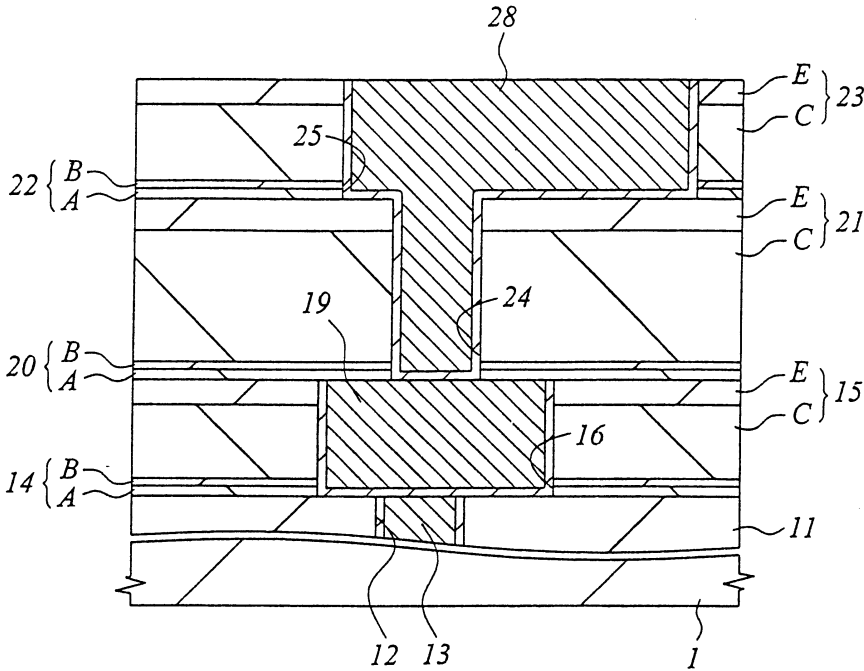


圖14

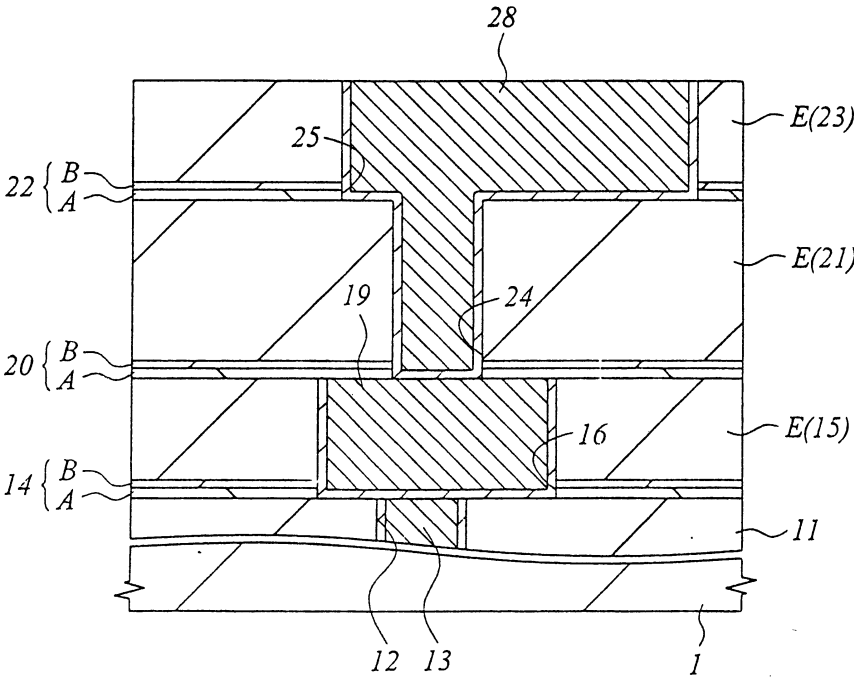


圖15

柒、指定代表圖：

(一)本案指定代表圖為：第（ 7 ）圖。

(二)本代表圖之元件代表符號簡單說明：

1	半導體基板
2	元件分離區域
3	p型井
4	n型井
5	閘極絕緣膜
6	閘極電極
7	封蓋絕緣膜
8	側壁間隔物
9	n型半導體區域
10	p型半導體區域
11	層間絕緣膜
12	連接孔
13	插塞
14	阻擋絕緣膜
15	配線層間膜
16	配線槽
19	配線
20	封蓋絕緣膜
21	通路層間膜
22	阻擋絕緣膜
23	配線層間膜
24	連接孔
25	配線槽
28	配線

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：