

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4019126号

(P4019126)

(45) 発行日 平成19年12月12日(2007.12.12)

(24) 登録日 平成19年10月5日(2007.10.5)

(51) Int. Cl.	F I
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 6 2 S
G 1 1 C 11/4076 (2006.01)	G 1 1 C 11/34 3 5 4 C
H O 3 L 7/081 (2006.01)	H O 3 L 7/08 J
H O 3 L 7/00 (2006.01)	H O 3 L 7/00 D
G O 6 F 1/06 (2006.01)	G O 6 F 1/04 3 1 2 A

請求項の数 4 (全 9 頁)

(21) 出願番号 特願平10-534894	(73) 特許権者 マイクロン テクノロジー, インク, アメリカ合衆国, アイダホ州 8371 6-9632, ボイス, サウス フェ デラル ウェイ 8000
(86) (22) 出願日 平成10年2月11日(1998.2.11)	(74) 代理人 弁理士 野村 泰久
(65) 公表番号 特表2001-511285(P2001-511285A)	(74) 代理人 弁理士 山本 秀策
(43) 公表日 平成13年8月7日(2001.8.7)	(72) 発明者 ハリソン, ロニー エム アメリカ合衆国 アイダホ 83716, ボイス, ナンバーティー105, サウス フェデラル ウェイ 4200
(86) 国際出願番号 PCT/US1998/002234	
(87) 国際公開番号 W01998/035446	
(87) 国際公開日 平成10年8月13日(1998.8.13)	
審査請求日 平成16年2月24日(2004.2.24)	
(31) 優先権主張番号 08/799,661	
(32) 優先日 平成9年2月11日(1997.2.11)	
(33) 優先権主張国 米国(US)	

最終頁に続く

(54) 【発明の名称】 遅延ロックされるループを含む同期的クロック発生器

(57) 【特許請求の範囲】

【請求項1】

データおよびコマンドを受け取るように構成されたメモリデバイスであって、該メモリデバイスは、

- a) データ入力端子と、
- b) コマンド入力端子と、
- c) 一次遅延ロックされるループであって、
 - c a) 基準クロック周波数で持続的な基準クロック信号を受け取るように構成された基準クロック端子と、
 - c b) 比較器であって、
 - 該基準クロック端子に結合された第1の入力端子であって、該基準クロック信号を受け取るように構成された第1の入力端子と、
 - 遅延クロック信号を受け取る第2の入力端子とを有し、
 - 該比較器は、該第1の入力端子において受け取られた該基準クロック信号と該第2の入力端子において受け取られた該遅延クロック信号との間のタイミング関係を示す比較信号を出力するように応答する、比較器と、
 - c c) 一次可変遅延ブロックであって、
 - 該比較器から該比較信号を受け取るように結合された一次制御入力と、
 - 該基準クロック端子を受け取るように結合された一次クロック入力端子と、
 - 該比較器の該第2の入力端子に結合された第1の遅延出力とを有し、

10

20

- 該一次可変遅延ブロックは、該一次制御入力に印加される該比較信号にตอบสนองして可変する一次遅延分だけ該基準クロック信号を遅延させることによって、該第1の遅延出力において該遅延クロック信号を生成する、一次可変遅延ブロックとを含む、一次遅延ロックされるループと、

d) 該遅延クロック信号から導出される一次遅延クロック信号を受け取るように結合されたクロッキング入力と、該コマンド入力端子に結合されたデータ入力とを有するラッチと、

e) 該基準クロック信号とは異なり、かつ、非持続的であり得る二次クロック信号を受け取るように構成された二次クロック端子と、

f) 二次遅延ブロックであって、

f a) 該比較器から該比較信号を受け取るように結合された二次制御入力端子と、

f b) 該二次クロック端子から該二次クロック信号を受け取るように結合された二次クロック入力と、

f c) 二次遅延出力とを有し、

f d) 該二次遅延ブロックは、該二次制御入力において受け取られた該比較信号にตอบสนองして可変する二次遅延分だけ該二次クロック信号を遅延させることによって、該二次遅延出力において二次遅延クロック信号を生成する、二次遅延ブロックと、

g) 該二次遅延出力から該二次遅延クロック信号を受け取るように結合されたクロッキング入力と、該データ入力端子に結合されたデータ入力とを有するラッチと

を備えた、メモリデバイス。

【請求項2】

a) 前記一次可変遅延ブロックの一次遅延は、第1の一次遅延を含み、該一次可変遅延ブロックは、第2の遅延出力をさらに含み、該第2の遅延出力は、前記一次制御入力に印加される前記比較信号にตอบสนองして可変する第2の一次遅延を有する第2の遅延信号を、前記一次クロック入力端子と該第2の遅延出力との間に提供し、

b) 該第2の一次遅延は、該第1の一次遅延と異なる、請求項1に記載のメモリデバイス。

【請求項3】

持続的な基準クロック信号および非持続的であり得るデータクロック信号にそれぞれตอบสนองして、メモリデバイス内でコマンドおよびデータをラッチする方法であって、

該方法は、

a) 該基準クロック信号にตอบสนองして遅延コマンドクロック信号を生成する工程であって、該遅延コマンドクロック信号は、コマンド遅延時間分だけ該基準クロック信号から遅延される、工程と、

b) 該データクロック信号にตอบสนองして遅延データクロック信号を生成する工程であって、該遅延データクロック信号は、データ遅延時間分だけ該データクロック信号から遅延される、工程と、

c) 該遅延コマンドクロック信号の位相と該基準クロック信号の位相とを比較する工程と、

d) 該位相を比較する工程にตอบสนองして、該コマンド遅延時間を調整する工程と、

e) 該位相を比較する工程にตอบสนองして、該データ遅延時間を調整する工程と、

f) 調整された遅延データクロック信号にตอบสนองして、該データをラッチする工程であって、該調整された遅延データクロック信号は、該遅延データクロック信号から導出される、工程と、

g) 調整された遅延コマンドクロック信号にตอบสนองして、該コマンドをラッチする工程であって、該調整された遅延コマンドクロック信号は、該遅延コマンドクロック信号から導出される、工程と

を包含する、方法。

【請求項4】

前記遅延データクロック信号を生成する工程は、前記データクロック信号を遅延回線に供

10

20

30

40

50

給する工程を包含し、前記データ遅延時間を調整する工程は、該遅延回線の遅延を調整する工程を包含する、請求項3に記載の方法。

【発明の詳細な説明】

技術分野

本発明は、集積回路デバイスに関し、より詳細には、集積回路デバイスにおいてクロック信号を発生することに関する。

発明の背景

同期ダイナミックランダムアクセスメモリ(SDRAM)など、多くの高速集積回路デバイスが、デバイスを介したり出入りするコマンド、データ、およびアドレスの流れの制御をクロック信号に依存している。典型的には、処理はクロック信号のエッジ(即ち、高から低または低から高の遷移)において起動される。デバイス内の処理タイミングをより正確に制御するには、時折クロックシグナルの各期間が従属期間(subperiod)に分割され、その結果、クロックエッジの直後まで特定の処理が行われない。

クロック信号の期間内での処理のタイミングを制御する方法の一つは、クロック信号の位相の遅延の型を発生するものである。例えば、クロック期間を4つの従属期間に分割するために、クロック信号に対しそれぞれ90度、180度および270度遅延する位相の遅延の型を生成する。位相の遅延したクロック信号のエッジは、各従属期間の開始または終了点で、処理を起動するのに用い得る信号遷移を提供する。

そのような方法の一例を、図1および図2に示す。ここでは、メモリデバイス10における処理のタイミングが、外部より提供された基準制御クロック信号CCLKREFおよび外部より提供された基準データクロック信号DCLKREFによって規定されている。基準クロック信号CCLKREF、DCLKREFはメモリ制御器11で発生させられ、コマンドクロックバスおよびデータクロックバスを介してメモリデバイス10に転送される。基準クロック信号CCLKREF、DCLKREFは、同一の周波数を有するが、基準制御クロック信号CCLKREFは持続的信号であり、基準データクロック信号DCLKREFは非持続的信号であって、即ち、図2に示すように、基準データクロック信号DCLKREFは、各クロック周期Tのためのパルスを含まない。基準クロック信号CCLKREF、DCLKREFは、等しい周波数を有するが、コマンドクロックバスとデータクロックバスとの経路(routing)の違いなどにより生成される伝搬時間の相違のために、メモリデバイス10への到着において遅延時間 T_L 分位相がシフトされている。

制御データCD1-CDNは、基準制御クロック信号CCLKREFのパルスと実質的に同時に各入力端子12に到達し、各制御データラッチ16でラッチされる。しかしながら、デバイスが制御データCD1-CDNを、基準制御クロック信号CCLKREFのエッジ上で即座にラッチすることを試みる場合、制御データは入力端子12で展開するのに十分な時間を有し得ない。例えば、データがラッチされる時刻までに、入力端子12での第1の論理状態(例えば0)に相当する電圧は、反対の論理状態(例えば1)に相当する電圧に変化し得ない。制御データCD1-CDNが、入力端子12で完全に展開する時間をもたらすには、制御データは、基準制御クロック信号CCLKREFに対して遅延した時刻でラッチされる。遅延時刻 t_1 においてコマンドCD1-CDNのトリガラッチング(trigger latching)にクロックエッジを供給するために、遅延回路18が基準クロック信号CCLKREFを遅延時刻 T_{D1} 分だけ遅延させ、第1の遅延クロック信号CCLKDを生成する。第1の遅延クロック信号CCLKDのエッジは、制御データCD1-CDNを時刻 t_1 でラッチするために、制御データラッチを起動する。

データDA1-DAMは、図2の第4および第5のグラフに示すように、基準データクロック信号DCLKREFと実質的にデータ端子14に到達する。各データラッチ20は、データDA1-DAMをラッチする。制御データCD1-CDNに関して、データ端子14で信号展開の時間を稼ぐためには、データDA1-DAMが基準データクロック信号DCLKREFの遷移に対して少し遅延してラッチされることが望ましい。遅延したクロックエッジを供給するために、遅延ブロック22が基準データクロック信号DCLKREFを遅延させ、基準データクロック信号DCLKREFに対して遅延時間 T_{D1} 分だけ遅

10

20

30

40

50

延する位相のずれたデータクロック DCLK1 を生成する。

制御データ CD1 - CDN およびデータ DA1 - DAM 双方をラッチするために、位相の遅延をいくらか適合させることがしばしば望ましい。例えば、もしクロック周波数が変化すれば、それに応じて従属期間の持続期間も変化する。その結果、遅延クロック CCLKD、DCLKD は、制御データまたはデータのラッチ以前に、十分な信号展開時間を稼ぎ得ない。また、制御データ、データ、クロック信号の転送時間の多様性は、メモリデバイスのクロック信号 CCLKREF、DCLKREF に対して制御データ CD1 - CDN またはデータ DA1 - DAM の到達時刻をシフトさせる。

可変遅延制御クロック CCLKD を生成する可能な方法の一つは、図 3 に示すように、基準コマンドクロック CCLKREF によって駆動され遅延ロックされるループ 38 を使用することである。基準制御クロック信号 CCLKREF は、Maneatis "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques," IEEE Journal of Solid-State Circuits 31(11):1723-1732, November 1996 に記載されているような、従来の複数の出力可変遅延回路 40 に入力される。遅延回路 40 は、基準信号 CCLKREF に対して増加した遅延で、多数の遅延信号 CCLK1 - CCLKN を出力する公知の回路である。信号 CCLK1 - CCLKN の遅延は、制御ポート 42 で受け取られる制御信号 V_{CON} に応答して可変する。

比較器 46 および積分器 48 から構成されるフィードバック回路 44 は、制御信号 V_{CON} を生成する。フィードバック回路 44 は、基準制御クロック信号 CCLKREF を比較器 46 の入力の一つで受け取り、遅延回路 40 からの出力信号 CCLKN の一つをフィードバック信号として、比較器 46 の他の入力で受け取る。次に、比較器 46 は、制御信号 V_{CON} を生成するために積分器 48 で積分された比較信号 V_{COMP} を出力する。

公知のように、制御信号 V_{CON} は、基準制御クロック信号 CCLKREF およびフィードバック信号 CCLKN の相対位相に依存している。もしフィードバック信号 CCLKN が、基準信号 CCLKREF を先導すれば、制御信号 V_{CON} は、遅延回路 40 の遅延を増大させ、これにより、フィードバック信号 CCLKN が基準信号 CCLKREF の位相となるまで、制御信号 V_{CON} の規模を低減する。同様に、もしフィードバック信号 CCLK が基準信号 CCLKREF とずれば、制御信号 V_{CON} は、遅延回路 40 の遅延を、フィードバック電圧 CCLKN が基準電圧 CCLKREF の位相となるまで遅延させる。

同様の遅延ロックされるループ 50 が、基準データクロック信号 DCLKREF に応答して遅延データクロック信号 DCLK1 - DCLKN を生成する。しかしながら、基準制御クロック信号 CCLKREF とは異なり、基準データクロック信号 DCLKREF は非持続的である。典型的には、基準データクロック信号 DCLKREF は、データのブロックがアクセスされたときに、クロックパルスのバースト (burst) として到達する。各バーストの間では、基準データクロック信号 DCLKREF は比較的非アクティブであるので、遅延ロックされるループ 50 はそのロックを失い得る。結果として、バーストが到達するとき、遅延データクロック DCLK1 - DCLKN の遅延は、遅延ロックされるループ 50 によって適切に調節され得ず、データ DA1 - DAM は、ラッチ前にデータバスにおいて、不十分または過剰な展開時間を有し得る。

発明の要旨

高速メモリデバイスは、基準周波数を有する基準クロック信号および、実質的に基準周波数に等しい第 2 の周波数を有する第 2 のクロック信号に応答して複数のクロック信号を発生するクロック発生器を備える。クロック信号の第 1 の組は、基準クロック信号に応答して遅延ロックされるループによって生成される。遅延ロックされるループの遅延ブロックは、基準クロック信号を受け取り、クロック周波数で位相の遅延した複数の信号を生成する。位相の遅延した信号の一つは、比較器にフィードバックされ、ここでフィードバック信号は基準クロック信号と比較される。次に、比較器の出力がフィルタにかけられ、遅延ブロックの遅延を調節するために、遅延ブロックの制御入力に与えられる。次に遅延ロ

10

20

30

40

50

クされるループは、基準クロック信号に対して固定位相を有する複数の出力信号を生成する。

遅延ロックされるループに加えて、クロック発生器は、第2のクロック信号によって供給されるクロック入力を有する第2の遅延ブロックをも備える。第2の遅延ブロックの制御入力は、比較器からの制御信号を受け取り、それにより、比較器は両方の遅延ブロックの制御を出力する。第2の遅延ブロックは、それぞれ第2のクロック信号に対し遅延を有する複数の第2の遅延信号を出力する。第2の遅延信号の可変的遅延を、基準クロック信号で駆動され遅延ロックされるループの出力で制御することにより、第2の遅延信号は、第2のクロック信号が非持続的なデータクロック信号であっても、遅延ロックされたまま維持され得る。

10

【図面の簡単な説明】

図1は、制御データとデータバスに接続されたメモリデバイスおよびメモリ制御器を有する従来技術メモリシステムのブロック概略図である。

図2は、図1のメモリシステムにおけるコマンド、データ、およびクロック信号のタイミングを示した信号タイミング図である。

図3は、制御およびデータ基準クロック信号によって別個に駆動される、従来技術による遅延ロックされるループの対のブロック図である。

図4は、本発明によるメモリシステムのブロック概略図であり、遅延ロックされるループが、基準クロック信号にตอบสนองしたコマンドクロック信号を発生し、遅延ロックされるループに結合された可変遅延ブロックが基準データクロック信号にตอบสนองしてデータクロック信号を発生するクロック発生回路を有するメモリデバイスを備える。

20

図5は、図4のメモリシステムを備えるコンピュータシステムのブロック概略図である。
発明の詳細な説明

図4に示すように、メモリシステム52は、メモリ制御器53の制御下で動作するメモリデバイス58を備える。メモリ制御器53は、制御データバス54およびクロックバス55によってそれぞれ運ばれる制御データCD1 - CDNおよび基準制御クロック信号CLKREFを介してメモリデバイス58を制御する。メモリ制御器53は、データバス56を介したデータDA1 - DAMおよびデータクロックバス57を介したデータクロック信号DCLKREFを同期的に、メモリデバイス58に供給する。

メモリデバイス58は、論理制御回路61の制御下で動作するラッチング回路60を備える。ラッチング回路60は、遅延ロックされるループ62、可変従属(slave)遅延回路64、制御データラッチ66、およびデータラッチ68から構成される。制御データラッチ66は、制御データバス54から制御データCD1 - CDNを受け取り、データラッチ68は、データバス56上でデータDA1 - DAMを受け取る。加えて、ラッチング回路60は、基準制御クロック信号CLKREFおよび基準データクロック信号DCLKREFを各クロックバス55および57から受け取る。

30

上述のように、基準制御クロック信号CLKREFは、遅延ロックされるループ62を周波数 f_{CLK} で駆動する、持続的なクロック信号である。図3を基準して上述した遅延ロックされるループ38のように、遅延ロックされるループ62は、可変遅延回路40、比較器46および積分器48で構成されている。可変遅延回路40は、従来構成のマルチタップ可変遅延回線70および選択スイッチ71から構成されている。遅延回路40は、いくつかの遅延クロック信号CLK1 - CLKNを供給し、各信号は周波数 f_{CLK} を有し、基準制御クロック信号CLKREFに対して各時間遅延分だけ遅延する。選択スイッチ71は、論理制御回路61の制御下にあり、可変遅延回線70の出力の一つを、遅延基準クロック信号CLKDの形で制御データラッチに結合する。論理制御器61は、制御クロックCLKREFに対してデータクロック期間の約半分遅延したパルスを有する遅延クロック信号CLK - CLKNを、遅延クロック信号CLKDとして選択するためのスイッチ位置を選択する。論理制御器61は、動作周波数の変化の結果として起こり得るクロック期間の変化を調節するために、スイッチ位置を変化させることができる。上述のように、遅延基準クロック信号CLKDは、制御データラッチ66をアクティブ

40

50

にし、それにより、制御データCD1 - CDNをラッチする。次に、ラッチされた制御データCD1 - CDNが、論理制御回路61で使用可能となる。

図3の回路と異なり、図4のラッチング回路60は、遅延データクロック信号DCLKDを生成するのに、第2の遅延ロックされるループを使用しない。代わりに、基準データクロック信号DCLKREFが、第2の可変遅延回線82および第2のスイッチ83から構成された従属遅延回路64を駆動する。第2の遅延回線82の遅延は、積分器48からの制御信号 V_{CON} を第2の遅延回線82の制御入力84に与えることにより制御される。第2の遅延回線82の全体的な遅延は、遅延ロックされるループ62の可変遅延回線70の遅延に実質的に等しい。しかしながら、従属期間の回数が、遅延回線70と82との間では異なり得る。第2の選択スイッチ83は、遅延データクロックDCLKDを生成するため、遅延データクロック信号DCLK1 - DCLKNの一つをデータラッチ68に結合し、これによりデータラッチ68は、遅延期間 T_{D1} 分だけデータクロックDCLKREFに対して遅延される。遅延データクロックDCLKDはラッチ68を起動し、それにより、ラッチデータDA1 - DAMが入力データバス72に到達する。次に、ラッチ68によって、ラッチされたデータDA1 - DAMが、読み出し/書き込み回路84を介してメモリアレイ82で利用可能となる。

10

ラッチング回路60は、図3の遅延ロックされるループ50を排除するために、基準クロックCCLKREFおよび基準データクロックDCLKREFの一致クロック期間Tを利用していることが、当業者には理解されるであろう。遅延データクロックDCLKDの遅延時間 T_{D1} は、基準データクロックDCLKREFに等しい周波数で駆動される遅延ロックされるループ62により制御されるので、遅延データクロックDCLKDは、非持続的な基準データクロックDCLKREFのロックがなくとも、非持続的な基準データクロック信号DCLKREFに対し固定された位相関係を有する。

20

図3の遅延ロックされるループ50を排除し、基準クロック信号CCLKREFに応じて遅延時間 T_{D1} を確立することにより、メモリシステム52は、非持続的信号(DCLKREF)よりも持続信号(CCLKREF)に応じて遅延時間 T_{D1} を確立する。結果として、メモリシステム52は、持続的に制御された時間遅延 T_{D1} を供給する一方で、遅延ロックされるループ50を非持続的なデータクロック信号DCLKREFにロックしようとするものの困難を排除する。

上記のように、選択スイッチ71、83は可変遅延回路40、64の出力を選択的に各ラッチ66、68に結合する。選択スイッチ71、83の位置は、論理制御回路61により選択される。好ましくは、選択スイッチ位置は、メモリデバイス58が製造されるときに、論理制御器61にプログラムされている。しかしながら、メモリデバイス58が一つ以上の周波数で使用されていたり、データまたはコマンドの到達時刻が、各基準クロックCCLKREF、DCLKREFに対して可変であるときは、メモリ制御器53が、修正された選択スイッチ位置を規定するため、論理制御回路61にコマンドを送り得る。従って、マルチタップ可変遅延回線70を選択スイッチ71、83と組み合わせて用いることは、メモリデバイス58が多様な動作条件または周波数に「調整」されていることを可能にする。

30

図5は、メモリ制御器53および図4のメモリデバイス58を3つ備えるコンピュータシステム200のブロック概略図である。コンピュータシステム200は、所望の演算およびタスクを行うためのソフトウェアを実行するなどコンピュータ機能を行うために、プロセッサ202を備える。またプロセッサ202は、メモリ制御器53をアクティブにするため、コマンド、アドレス、およびデータバス210を備え、これにより、メモリデバイス58との読み出しおよび書き込みを制御する。キーボードまたはマウスのような、一つ以上の入力デバイス204がプロセッサ202に結合されており、そこからオペレータはデータを手動で入力できる。一つ以上の出力デバイス206が、出力データを表示するか、またはプロセッサ202によって生成されたデータを出力するために、プロセッサ202に結合されている。出力デバイスの例には、プリンタおよびビデオ表示ユニットがある。一つ以上のデータ記憶デバイス208が、外部記憶媒体(図示せず)からのデータの記

40

50

憶または検索を行うために、プロセッサに結合されている。記憶デバイス 208 および記憶媒体の例には、ハードディスクおよびフロッピーディスクを受けるドライブ、テープカセット、ならびにコンパクトディスク読み出し専用メモリがある。

本発明を例示目的のみの実施形態で説明してきたが、本発明の精神および範囲から逸れることなく様々な変更が可能であり得る。例えば、図 5 のコンピュータシステム 200 は、3 つのメモリデバイス 58 しか備えていないが、より多い数またはより少ない数のメモリデバイス 58 がコンピュータシステム 200 に含み得る。同様に、遅延ロックされるループ 62 のフィードバック部は、比較器 46 および積分器 48 しか備えていないが、可変遅延回線 70、82 を制御するために他の回路も使用し得る。また、他のフィードバック要素が比較器 46 および積分器 48 を置き換え得ることは、当業者には理解される。例えば、比較器 46 は、いかなる公知の位相比較または検出回路とも置き換えが可能であり、積分器 48 は従来のループフィルタと置き換え可能である。さらに、制御データおよびデータが、基準クロック CCLKREF、DCLKREF に対して一定の位相でラッチされるようメモリデバイス 58 が動作するところでは、可変遅延回線 70、82 は一つの出力のみ有する。また本明細書では、遅延ロックされるループ 62 および追加の可変遅延ブロック 82 の組み合わせがラッチング回路の一部として記載されているが、他の多様な回路が、この組み合わせを援用するよう開発され得る。さらに、本明細書では、可変遅延回線 70、82 の出力がラッチ 66、68 を駆動するように示してあるが、メモリデバイス 58 内で、ラッチに加えて、またはラッチ以外の動作タイミングを制御する他の回路も、この出力が駆動し得る。さらに、本明細書に記載されている例示の実施形態は、基準クロック信号 CCLKREF をロックするために、遅延ロックされるループ 62 を用いているが、当業者であれば、本明細書に記載されている回路を、ロッキングのための位相ロックされるループを使用するように容易に調節し得る。従って、本発明は添付の請求の範囲以外によって限定されるものではない。

10

20

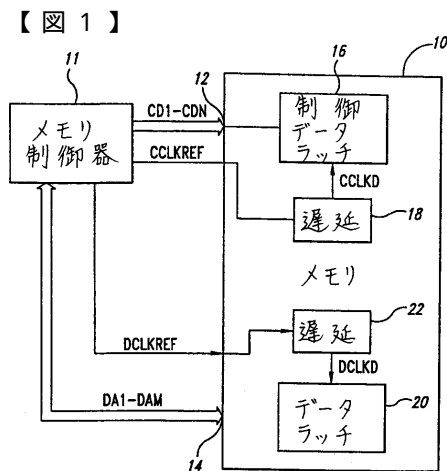


Fig. 1 (Prior Art)

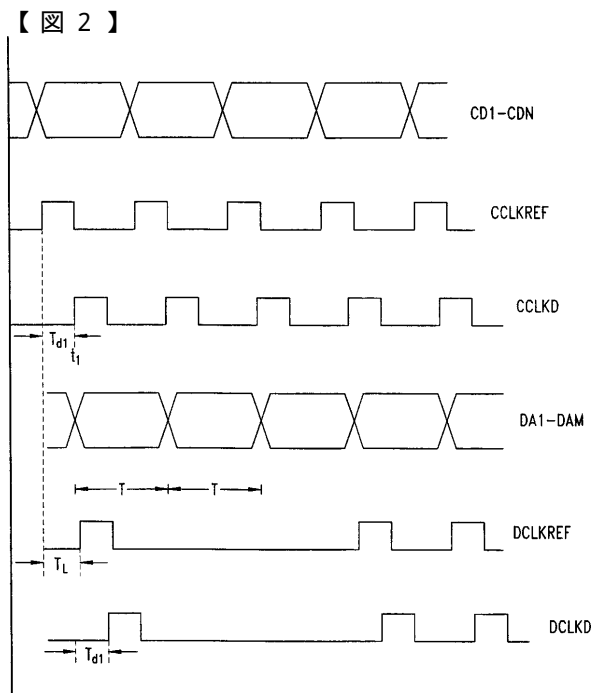


Fig. 2

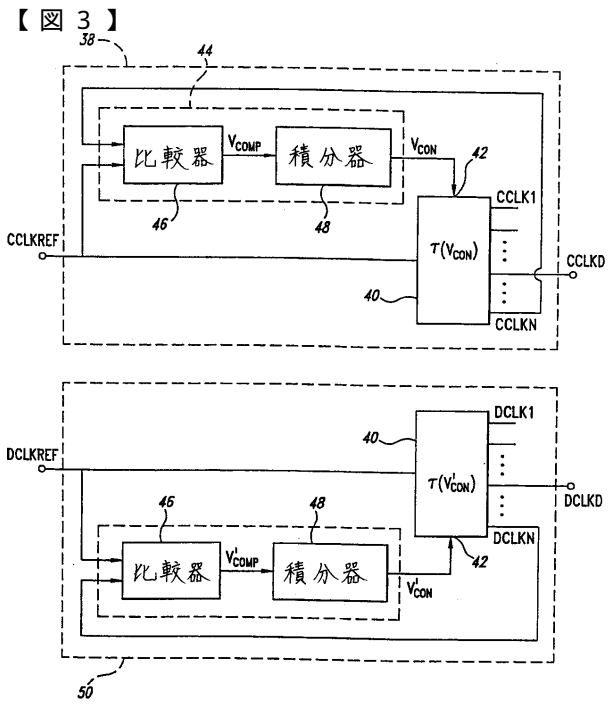


Fig. 3
(Prior Art)

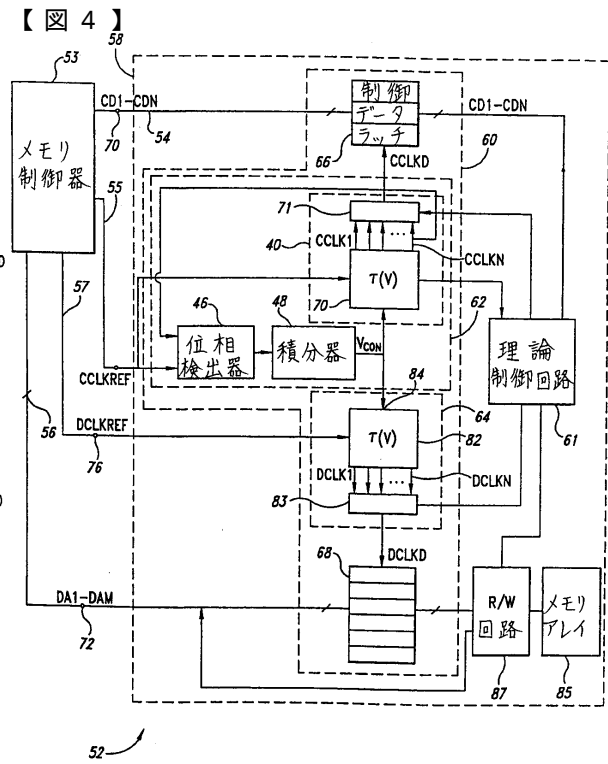


Fig. 4

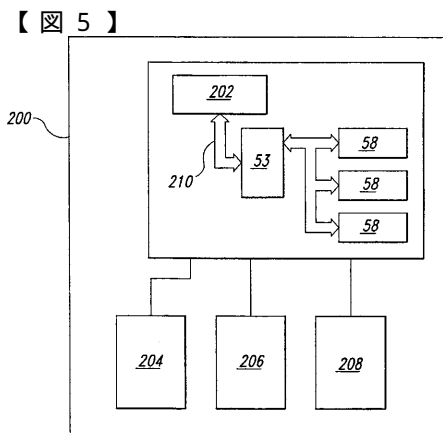


Fig. 5

フロントページの続き

(72)発明者 キース, プレント

アメリカ合衆国 アイダホ 83704, ボイス, ノース ソーグラス プレイス 3849

審査官 須原 宏光

(56)参考文献 特開平06-326574(JP, A)

特開平09-027192(JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/40 - 11/409