

【發明說明書】

【中文發明名稱】

半導體記憶裝置

【技術領域】

實施形態係關於一種半導體記憶裝置。

【先前技術】

要求半導體記憶裝置之動作之高速化。

【發明內容】

本發明之實施形態提供一種高品質之半導體記憶裝置。

實施形態之半導體記憶裝置具備：記憶單元陣列；溫度感測器，其測定溫度，產生基於所測定之溫度之第1電壓，對上述第1電壓與基於上一次溫度測定結果之第2電壓進行比較，判定自上一次溫度測定起之溫度之變動是否為設定值以內，於判定為溫度變動為設定值以內之情形時，基於上一次溫度測定結果而產生第1信號，於判定為溫度變動非設定值以內之情形時，更新溫度測定結果，且基於更新後之溫度測定結果而產生上述第1信號；及電壓產生電路，其基於上述第1信號，產生施加於上述記憶單元陣列之電壓。

【圖式簡單說明】

圖1係表示實施形態之半導體記憶裝置之方塊圖。

圖2係表示實施形態之半導體記憶裝置之溫度感測器之方塊圖。

圖3係表示實施形態之半導體記憶裝置之溫度碼之圖。

圖4係表示實施形態之半導體記憶裝置之溫度感測器之動作之流程圖。

圖5係表示實施形態之半導體記憶裝置之取樣動作之流程圖。

圖6係表示實施形態之半導體記憶裝置之定序器判定溫度碼TC為「溫度變化為設定值以內」之情形時之具體例之波形圖。

圖7係表示實施形態之半導體記憶裝置之定序器判定溫度碼TC並非「溫度變化為設定值以內」之情形時之具體例之波形圖。

圖8係表示實施形態之比較例1之半導體記憶裝置之溫度感測器之方塊圖。

圖9係實施形態之比較例1之半導體記憶裝置之溫度感測器之波形圖。

圖10係表示實施形態之比較例2之半導體記憶裝置之溫度感測器之方塊圖。

圖11係表示實施形態之變化例之半導體記憶裝置之溫度感測器之動作之流程圖。

【實施方式】

以下，參考附圖對實施形態進行說明。於該說明時，對所有圖之共同之部分標註共同之參考符號。

< 1 > 第1實施形態

對實施形態之半導體記憶裝置進行說明。

< 1-1 > 構成

< 1-1-1 > 關於記憶體系統之構成

使用圖1對包含本實施形態之半導體記憶裝置之記憶體系統之構成進行說明。

如圖1所示，記憶體系統1具備NAND(Not AND，反及)型快閃記憶體

(半導體記憶裝置)100及記憶體控制器200。NAND型快閃記憶體100及記憶體控制器200例如亦可藉由該等之組合而構成一個半導體裝置，作為其例，可舉出如SD™卡之類之記憶卡、或SSD(solid state drive，固態磁碟機)等。記憶體系統1亦可為進而具備主機裝置(未圖示)之構成。

< 1-1-2 > 記憶體控制器

記憶體控制器200將執行NAND型快閃記憶體100之動作所必需之指令等輸出至NAND型快閃記憶體100。記憶體控制器200藉由將該指令輸出至NAND型快閃記憶體100而自NAND型快閃記憶體100讀出資料、向NAND型快閃記憶體100寫入資料、或刪除NAND型快閃記憶體100之資料等。

< 1-1-3 > NAND型快閃記憶體

使用圖1，對本實施形態之NAND型快閃記憶體100進行說明。

記憶體控制器200與NAND型快閃記憶體100係經由輸入輸出介面101及控制信號輸入介面102而連接。

輸入輸出介面101根據自輸入輸出控制電路103供給之信號而產生資料選通信號DQS、BDQS(DQS之互補信號)。輸入輸出介面101於自資料輸入輸出線(DQ0~DQ7)輸出資料時，輸出資料選通信號DQS及BDQS。然後，記憶體控制器200配合資料選通信號DQS及BDQS之時序，自資料輸入輸出線(DQ0~DQ7)接收資料。

又，輸入輸出介面101例如具備指令輸入端子、及位址輸入端子等。

控制信號輸入介面102自記憶體控制器200接收晶片賦能信號BCE、指令鎖存賦能信號CLE、位址鎖存賦能信號ALE、寫入賦能信號BWE、讀取賦能信號RE、BRE(RE之互補信號)、寫入保護信號BWP、及資料選

通信號DQS、BDQS(DQS之互補信號)。

晶片賦能信號BCE被用作NAND型快閃記憶體100之選擇信號。

指令鎖存賦能信號CLE係將動作指令擷取至暫存器104時使用之信號。

位址鎖存賦能信號ALE係將位址資訊或輸入資料擷取至暫存器104時使用之信號。

寫入賦能信號BWE係用以將輸入輸出介面101上之指令、位址、及資料擷取至NAND型快閃記憶體100之信號。

讀取賦能信號RE、BRE係將資料自輸入輸出介面101串列輸出時使用之信號。

寫入保護信號BWP係於NAND型快閃記憶體100之電源接通時、或電源阻斷時等輸入信號不確定之情形時，用於保護資料免受無法預期之刪除或寫入。

圖1中雖未圖示，但將表示NAND型快閃記憶體100之內部動作狀態之R/B端子、電力供給用之Vcc/Vss/Vccq/Vssq端子等亦設置於NAND型快閃記憶體100。

輸入輸出控制電路103經由輸入輸出介面101將自記憶單元陣列110讀出之資料輸出至記憶體控制器200。輸入輸出控制電路103經由控制信號輸入介面102、及控制電路105而接收寫入、讀出、刪除、及狀態讀取等各種指令、位址、及寫入資料。

控制電路105將經由控制信號輸入介面102輸入之控制信號供給至輸入輸出控制電路103。

控制電路105控制溫度感測器106、電壓產生電路107、感測電路

111、資料暫存器112、行解碼器113、列解碼器114、及暫存器104。

控制電路105根據控制信號、及經由指令暫存器104輸入之指令而動作。控制電路105於資料之編程、驗證、讀出、及刪除時，使用電壓產生電路107，對記憶單元陣列110、感測電路111、及列解碼器114供給所需之電壓。

再者，本實施形態中，將輸入輸出控制電路103、及控制電路105分別按功能進行了說明。然而，輸入輸出控制電路103、及控制電路105亦可利用相同之硬體資源而實現。

暫存器104係將自輸入輸出控制電路103輸入之指令輸出至控制電路105。

暫存器104例如對自記憶體控制器200供給之位址進行鎖存。然後，暫存器104將鎖存之位址轉換成內部物理位址(行位址及列位址)。然後，暫存器104將行位址供給至行解碼器113，且將列位址供給至列解碼器114。

暫存器104用以將NAND型快閃記憶體100內部之各種狀態通知給外部。暫存器104具有保存表示NAND型快閃記憶體100處於就緒/忙碌狀態之哪一個之資料之就緒/忙碌暫存器、及保存表示寫入之通過/失敗之資料之寫入狀態暫存器(未圖示)。

溫度感測器106基於控制電路105之命令測定NAND型快閃記憶體100之溫度，且產生基於溫度之電壓產生信號。然後，溫度感測器106將電壓產生信號供給至電壓產生電路107。電壓產生電路107根據電壓產生信號產生各種電壓。關於溫度感測器106之詳細說明將在以下敘述。此外，於執行對記憶單元陣列110之寫入動作、自記憶單元陣列110之讀出動作、

及記憶單元陣列110之刪除動作等存取動作之前，溫度感測器106產生電壓產生信號。

記憶單元陣列110包含複數條位元線BL、複數條字元線WL、及源極線SL。該記憶單元陣列110包含將能夠電性覆寫之記憶單元電晶體(亦簡稱為記憶單元)MC配置成矩陣狀之複數個區塊BLK。記憶單元電晶體MC例如具有包含控制閘極電極及電荷蓄積層(例如浮動閘極電極)之積層閘極，通過由注入至浮動閘極電極之電荷量決定之電晶體之閾值之變化而記憶二值或多值資料。又，記憶單元電晶體MC亦可具有將電子捕獲至氮化膜之MONOS(Metal-Oxide-Nitride-Oxide-Silicon，金屬-氧化物-氮化物-氧化物-矽)構造。

關於記憶單元陣列110之構成亦可為其他構成。即，關於記憶單元陣列110之構成，例如記載在名為“三維積層非揮發性半導體記憶體 (THREE DIMENSIONAL STACKED NONVOLATILE SEMICONDUCTOR MEMORY)”且於2009年3月19日提出申請之美國專利申請12/407,403號中。又，記載在名為“三維積層非揮發性半導體記憶體 (THREE DIMENSIONAL STACKED NONVOLATILE SEMICONDUCTOR MEMORY)”且於2009年3月18日提出申請之美國專利申請12/406,524號、名為“非揮發性半導體記憶裝置及其製造方法 (NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND METHOD OF MANUFACTURING THE SAME)”且於2010年3月25日提出申請之美國專利申請12/679,991號、名為“非揮發性半導體記憶裝置 (NONVOLATILE SEMICONDUCTOR MEMORY DEVICE)”且於2011年9月22日提出申請之美國專利申請案13/816,799號、名為“半導體記憶

體及其製造方法(SEMICDNDUCTOR MEMORY AND METHOD FOR MANUFACTURING THE SAME) ” 且於2009年3月23日提出申請之美國專利申請12/532,030號中。該等專利申請案係藉由而將其整體引用於本案說明書中。

又，關於記憶單元陣列110之構成，例如記載在名為“具有集成於一個晶片上之多種類型之記憶體之半導體記憶裝置(SEMICONDUCTOR MEMORY DEVICE HAVING PLURALITY OF TYPES OF MEMORIES INTEGRATED ON ONE CHIP)” 且於2009年3月3日提出申請之美國專利申請12/397,711號中。又，記載在名為“包括具有電荷積累層及控制閘極之多層閘極之半導體記憶裝置及對半導體記憶裝置寫入資料之方法(SEMICONDUCTOR MEMORY DEVICE INCLUDING STACKD GATE HAVING CHARGE ACCUMULATION LAYER AND CONTROL GATE AND METHOD OF WRITING DATA TO SEMICONDUCTOR MEMORY DEVICE)” 且於2012年4月19日提出申請之美國專利申請13/451,185號、名為“非揮發性半導體記憶元件、非揮發性半導體記憶體、及操作非揮發性半導體記憶元件之方法(NONVOLATILE SEMICONDUCTOR MEMORY ELEMENT, NONVOLATILE SEMICONDUCTOR MEMORY, AND METHOD FOR OPERATING NONVOLATILE SEMICONDUCTOR MEMORY ELEMENT)” 且於2009年3月17日提出申請之美國專利申請12/405,626號、及名為“具有溝槽型元件隔離區之非揮發性半導體記憶裝置及其製造方法(NONVOLATILE SEMICONDUCTOR MEMORY DEVICE HAVING ELEMENT ISOLATING REGION OF TRENCH TYPE AND METHOD OF MANUFACTURING THE SAME)” 且於2001年9月

21日提出申請之美國專利申請09/956,986號中。該等專利申請案係藉由參考而將其整體引用於本案說明書中。

感測電路111於資料之讀出動作時，感測自記憶單元電晶體MC讀出至位元線之資料。

資料暫存器112係由SRAM(Static Random Access Memory，靜態隨機存取記憶體)等構成。資料暫存器112記憶自記憶體控制器200供給之資料、或由感測電路111偵測之驗證結果等。

行解碼器113對行位址信號進行解碼，將選擇位元線BL之任一條之選擇信號輸出至感測電路111。

列解碼器114對列位址信號進行解碼。然後，列解碼器114選擇記憶單元陣列110之字元線WL及選擇閘極線SGD、SGS而驅動。

< 1-1-4 > 溫度感測器

其次，使用圖2對溫度感測器106進行說明。

溫度感測器106具備帶隙基準源106a、逐次比較暫存器(SAR)106b、數位類比轉換電路(DAC)106c、電阻元件106d、106e、106f、電壓比較電路106g、106h、106i、AND(及)運算電路106j、定序器106k、及運算電路106l。

帶隙基準源106a例如具有二極體等。而且，若帶隙基準源106a自控制電路105接收“H(高)”位準之賦能信號EN，則產生參考電壓VREF、及與NAND型快閃記憶體100之絕對溫度成比例之電壓VPTAT_H。參考電壓VREF係不與溫度成比例之電壓。

逐次比較暫存器106b若自控制電路105接收“H”位準之賦能信號EN則進行動作。進而，逐次比較暫存器106b配合自控制電路105接收之時脈

信號CLK之時序(例如上升邊緣)而動作。逐次比較暫存器106b若自控制電路105接收賦能信號EN，則將所記憶之數位值之溫度碼TC(溫度轉換結果)向數位類比轉換電路106c供給。逐次比較暫存器106b若自定序器106k接收重設信號RESET，則執行用以確定最新之溫度碼之溫度碼更新動作(亦記為取樣動作)。逐次比較暫存器106b若自定序器106k接收完成通知信號DONE、或取樣動作完成，則將所記憶之溫度碼TC向運算電路106l供給。逐次比較暫存器106b基本上記憶最新之溫度碼TC。

數位類比轉換電路106c將溫度碼TC轉換成電壓。具體而言，數位類比轉換電路106c根據參考電壓VREF及溫度碼TC而產生第2參考電壓VREFT。第2參考電壓VREFT係不與溫度成比例、而與溫度碼TC成比例之電壓。

電壓比較電路106g經由節點N1向非反轉端予供給電壓VPTAT_H，且經由節點N4向反轉端予供給電壓VREFT。電壓比較電路106g於電壓VPTAT_H高於電壓VREFT之情形時輸出“H”位準之信號VC1。電壓比較電路106g於電壓VPTAT_H低於電壓VREFT之情形時輸出“L(低)”位準(L<H)之信號VC1。

電阻元件106d於一端連接節點N1，於另一端連接節點N2。關於該電阻元件106d之電阻值等將於以下進行敘述。

電壓比較電路106i經由節點N2向非反轉端予供給電壓VPTAT_M(VPTAT_M<VPTAT_H)，且經由節點N4向反轉端予供給電壓VREFT。電壓比較電路106i於電壓VPTAT_M高於電壓VREFT之情形時輸出“H”位準之信號VC3。電壓比較電路106i於電壓VPTAT_M低於電壓VREFT之情形時輸出“L”位準之信號VC3。

電阻元件106e於一端連接節點N2，於另一端連接節點N3。關於該電阻元件106e之電阻值等將於以下進行敘述。

電壓比較電路106h經由節點N3向非反轉端予供給電壓VPTAT_L($VPTAT_L < VPTAT_M$)，且經由節點N4向反轉端予供給電壓VREFT。電壓比較電路106h於電壓VPTAT_L高於電壓VREFT之情形時輸出“H”位準之信號VC2。電壓比較電路106h於電壓VPTAT_L低於電壓VREFT之情形時輸出“L”位準之信號VC2。

電阻元件106f於一端連接節點N3，於另一端連接接地電位VSS。

AND運算電路106j將信號VC1輸入至非反轉端予，且將信號VC2輸入至反轉端予。AND運算電路106j僅於信號VC1為“H”位準、且信號VC2為“L”位準之情形時輸出“H”位準之信號VAL，除此之外之情形時，輸出“L”位準之信號VAL。

定序器106k若自控制電路105接收“H”位準之賦能信號EN則進行動作。進而，定序器106k配合自控制電路105接收之時脈信號CLK之時序(例如上升邊緣)而動作。定序器106k若接收“H”位準之信號VAL，則將完成通知信號DONE供給至控制電路105。定序器106k若接收“L”位準之信號VAL，則將重設信號RESET供給至逐次比較暫存器106b。

運算電路106l基於自逐次比較暫存器106b供給之溫度碼TC與電壓碼VR、以及溫度係數Tco而產生電壓產生信號TOUT。運算電路106l使用下式「電壓產生信號TOUT = 電壓碼VR + 溫度係數Tco × 溫度碼TC」導出電壓產生信號TOUT。

< 1-1-5 > 溫度碼

其次，使用圖3對溫度碼進行說明。

溫度感測器106將NAND型快閃記憶體100之溫度轉換成n位元(n為任意之整數)之數位資料。該數位資料為溫度碼。

此處，作為一例對溫度碼為5位元之數位資料之情形進行說明。

於溫度碼為5位元之數位資料之情形時，如圖3所示，可將溫度分割成32份而進行判定。

第1位元(1st位元)係判定溫度TMP16之大小之位元。例如，於NAND型快閃記憶體100之溫度低於溫度TMP16之情形時，成為“1”。又，於NAND型快閃記憶體100之溫度高於溫度TMP16之情形時，成為“0”。

第2位元(2nd位元)係判定溫度TMP8、或溫度TMP24之大小之位元。例如，於NAND型快閃記憶體100之溫度低於溫度TMP8、或溫度TMP24之情形時，成為“1”。又，於NAND型快閃記憶體100之溫度高於溫度TMP8、或溫度TMP24之情形時，成為“0”。

第3位元(3rd位元)係判定選自溫度TMP4、溫度TMP12、溫度TMP20、及溫度TMP28中之1個溫度之大小之位元。例如，NAND型快閃記憶體100之溫度於低於選自溫度TMP4、溫度TMP12、溫度TMP20、及溫度TMP28中之1個溫度之情形時，成為“1”。又，NAND型快閃記憶體100之溫度於高於選自溫度TMP4、溫度TMP12、溫度TMP20、及溫度TMP28中之1個溫度之情形時，成為“0”。

第4位元(4th位元)係判定選自溫度TMP2、溫度TMP6、溫度TMP10、溫度TMP14、溫度TMP18、溫度TMP22、溫度TMP26、及溫度TMP30中之1個溫度之大小之位元。例如，NAND型快閃記憶體100之溫度於低於選自溫度TMP2、溫度TMP6、溫度TMP10、溫度TMP14、溫度TMP18、溫度TMP22、溫度TMP26、及溫度TMP30中之1個溫度之情形

時，成為“1”。又，NAND型快閃記憶體100之溫度於高於選自溫度TMP2、溫度TMP6、溫度TMP10、溫度TMP14、溫度TMP18、溫度TMP22、溫度TMP26、及溫度TMP30中之1個溫度之情形時，成為“0”。

第5位元(5th位元)係判定選自溫度TMP1、溫度TMP3、溫度TMP5、溫度TMP7、溫度TMP9、溫度TMP11、溫度TMP13、溫度TMP15、溫度TMP17、溫度TMP19、溫度TMP21、溫度TMP23、溫度TMP25、溫度TMP27、溫度TMP29、及溫度TMP31中之1個溫度之大小之位元。例如，NAND型快閃記憶體100之溫度於低於選自溫度TMP1、溫度TMP3、溫度TMP5、溫度TMP7、溫度TMP9、溫度TMP11、溫度TMP13、溫度TMP15、溫度TMP17、溫度TMP19、溫度TMP21、溫度TMP23、溫度TMP25、溫度TMP27、溫度TMP29、及溫度TMP31中之1個溫度之情形時，成為“1”。又，NAND型快閃記憶體100之溫度於高於選自溫度TMP1、溫度TMP3、溫度TMP5、溫度TMP7、溫度TMP9、溫度TMP11、溫度TMP13、溫度TMP15、溫度TMP17、溫度TMP19、溫度TMP21、溫度TMP23、溫度TMP25、溫度TMP27、溫度TMP29、及溫度TMP31中之1個溫度之情形時，成為“0”。

此外，電壓與NAND型快閃記憶體100之溫度成比例地變動。因此，上述本實施形態之半導體記憶裝置之溫度感測器106係根據因溫度而變動之電壓判定溫度。

使用圖3，對NAND型快閃記憶體100之溫度為溫度TMPA時之取樣動作方法概略地進行說明。於取樣動作時，逐次比較暫存器106b使數位類比轉換電路106c產生基於溫度TMP16之電壓。而且，如圖3所示，溫度

TMPA低於溫度TMP16。因此，對逐次比較暫存器106b供給“H”位準之信號VC3。由此，逐次比較暫存器106b判定第1位元為“1”。由於逐次比較暫存器106b判定第1位元為“1”，故對溫度TMPA與溫度TMP8之大小進行比較。溫度TMPA低於溫度TMP8。因此，逐次比較暫存器106b判定第2位元為“1”。由於逐次比較暫存器106b判定第1位元及第2位元為“1”，故對溫度TMPA與溫度TMP4之大小進行比較。溫度TMPA低於溫度TMP4。因此，逐次比較暫存器106b判定第3位元為“1”。由於逐次比較暫存器106b判定第1位元～第3位元為“1”，故對溫度TMPA與溫度TMP2之大小進行比較。溫度TMPA高於溫度TMP2。因此，逐次比較暫存器106b判定第4位元為“0”。由於逐次比較暫存器106b判定第1位元～第3位元為“1”、且第4位元為“0”，故對溫度TMPA與溫度TMP3之大小進行比較。溫度TMPA高於溫度TMP3。因此，逐次比較暫存器106b判定第5位元為“0”。以上述方式，逐次比較暫存器106b判定溫度TMPA在溫度TMP3與溫度TMP4之間，作為其判定結果，獲得「11100」這一數位碼。

作為更具體例，對NAND型快閃記憶體100之溫度為溫度TMPB時之取樣動作方法進行說明。溫度TMPB高於溫度TMP16。因此，逐次比較暫存器106b判定第1位元為“0”。由於逐次比較暫存器106b判定第1位元為“0”，故對溫度TMPB與溫度TMP24之大小進行比較。溫度TMPB低於溫度TMP24。因此，逐次比較暫存器106b判定第2位元為“1”。由於逐次比較暫存器106b判定第1位元為“0”、且第2位元為“1”，故對溫度TMPB與溫度TMP20之大小進行比較。溫度TMPB高於溫度TMP20。因此，逐次比較暫存器106b判定第3位元為“0”。由於逐次比較暫存器

106b判定第1位元及第3位元為0、且第2位元為“1”，故對溫度TMPB與溫度TMP22之大小進行比較。溫度TMPB低於溫度TMP22。因此，逐次比較暫存器106b判定第4位元為“1”。由於逐次比較暫存器106b判定第1位元及第3位元為“0”、且第2位元及第4位元為“1”，故對溫度TMPB與溫度TMP21之大小進行比較。溫度TMPB高於溫度TMP21。因此，逐次比較暫存器106b判定第5位元為“0”。以上述方式，逐次比較暫存器106b判定溫度TMPB在溫度TMP21與溫度TMP22之間，作為其判定結果，獲得「01010」這一數位碼。

此外，溫度TMP1～TMP31分別設定為等間隔(dTMP)。

< 1-2 > 動作

< 1-2-1 > 溫度感測器之動作

使用圖4，對本實施形態之半導體記憶裝置之溫度感測器106之動作進行說明。

[步驟S101]

帶隙基準源106a、及逐次比較暫存器106b於接收“H”位準之賦能信號EN之前待機。

溫度感測器106於接收“H”位準之賦能信號EN之情形時，執行用以判定NAND型快閃記憶體100之溫度是否相當於最新之溫度碼TC之「溫度之測定動作」。於此溫度之測定動作時，不執行取樣動作。

帶隙基準源106a於接收“H”位準之賦能信號EN之情形時，產生參考電壓VREF與電壓VPTAT_H。

逐次比較暫存器106b於接收“H”位準之賦能信號EN之情形時，將所記憶之溫度碼TC供給至數位類比轉換電路106c。該溫度碼TC係最新之

溫度碼TC。

數位類比轉換電路106c若接收參考電壓VREF及溫度碼TC，則產生與溫度碼TC對應之參考電壓VREFT。

對節點N1供給電壓VPTAT_H，且對節點N3供給電壓VPTAT_L。

且說，於本實施形態中，藉由電阻元件106d及電阻元件106e而設法使與NAND型快閃記憶體100之溫度成比例之電壓VPTAT_H降低，產生電壓VPTAT_L。由此，電壓VPTAT_H模擬地成為與溫度TMPX + 1(X為任意整數)相當之電壓，且電壓VPTAT_L成為與溫度TMPX相當之電壓。即，藉由調整電阻元件106d及電阻元件106e之電阻值而可調整溫度TMPX、與溫度TMPX + 1。具體而言，若減小電阻元件106d及電阻元件106e之電阻值，則溫度TMPX與溫度TMPX + 1之間隔dTMP變窄，若增大電阻元件106d及電阻元件106e之電阻值，則溫度TMPX與溫度TMPX + 1之間隔dTMP變寬。

電壓比較電路106g對電壓VPTAT_H與參考電壓VREFT之大小關係進行比較。電壓比較電路106h對電壓VPTAT_L與參考電壓VREFT之大小關係進行比較。藉由比較大小關係，溫度感測器106可判定基於最新之溫度碼TC之溫度是否處於溫度TMPX與溫度TMPX + 1之間。

[步驟S102]

若電壓VPTAT_H大於參考電壓VREFT，則於電壓VPTAT_L小於參考電壓VREFT之情形時，定序器106k可判定當前時間點之NAND型快閃記憶體100之溫度處於溫度TMPX與溫度TMPX + 1之間。即，可將當前時間點之NAND型快閃記憶體100之溫度視作與最新之溫度資訊相同。

又，於電壓VPTAT_H大於參考電壓VREFT、且電壓VPTAT_L大於

參考電壓VREFT之情形時，或者於電壓VPTAT_H小於參考電壓VREFT、且電壓VPTAT_L小於參考電壓VREFT之情形時，定序器106k可判定當前時間點之NAND型快閃記憶體100之溫度不處於溫度TMPX與溫度TMPX + 1之間。即，無法將當前時間點之NAND型快閃記憶體100之溫度視作與最新之溫度資訊相同。

以下，記載具體之動作。

於電壓比較電路106g輸出“H”位準之信號VC1、且電壓比較電路106h輸出“L”位準之信號VC2之情形時，AND運算電路106j將“H”位準之信號供給至定序器106k。由此，定序器106k判定步驟S101中記憶於逐次比較暫存器106b中之溫度碼TC為「溫度變化為設定值(間隔dTMP)以內」。

於電壓比較電路106g輸出“H”位準之信號VC1、且電壓比較電路106h輸出“H”位準之信號VC2之情形時，或於電壓比較電路106g輸出“L”位準之信號VC1、且電壓比較電路106h輸出“L”位準之信號VC2之情形時，AND運算電路106j將“L”位準之信號供給至定序器106k。由此，定序器106k判定步驟S101中記憶於逐次比較暫存器106b中之溫度碼TC並非「溫度變化為設定值以內」。

[步驟S103]

定序器106k於判定溫度碼TC並非「溫度變化為設定值以內」之情形時(步驟S102，否)，將重設信號RESET供給至逐次比較暫存器106b。逐次比較暫存器106b若接收重設信號RESET，則重設(刪除)所記憶之溫度碼TC。

[步驟S104]

逐次比較暫存器106b若重設(刪除)溫度碼TC，則開始溫度碼TC之更新動作(取樣動作)。此外，關於取樣動作之詳情將在以下敘述。

[步驟S105]

定序器106k於判定溫度碼TC為「溫度變化為設定值以內」之情形時(步驟S102，是)，將完成通知信號DONE供給至逐次比較暫存器106b。逐次比較暫存器106b若接收完成通知信號DONE，則將所記憶之溫度碼TC供給至運算電路106l。

或者，逐次比較暫存器106b若完成取樣動作，則將更新後之溫度碼TC供給至運算電路106l。

[步驟S106]

運算電路106l基於所接收之溫度碼TC而產生電壓產生信號TOUT。

以上述方式，溫度感測器106以測量NANDA型快閃記憶體100之溫度、且產生與溫度相應之電壓之方式而控制電壓產生電路107。

< 1-2-2 > 取樣動作

其次，使用圖5對步驟S104之取樣動作進行說明。

[步驟S201]

逐次比較暫存器106b於產生m位元(m為任意之整數)之溫度碼之情形時，進行m次第n位元(n為任意之整數)相關之判定。逐次比較暫存器106b首先判定第1位元，因而設定 $n = 1$ 。

[步驟S202]

逐次比較暫存器106b輸出用以判定第n位元之臨時之溫度碼TCP。數位類比轉換電路106c基於臨時之溫度碼TCP產生電壓VREFT。電壓VREFT成為與臨時之溫度碼TCP成比例之電壓。

電壓比較電路106i對用以判定第n位元之電壓VREFT、及與絕對溫度成比例之電壓VPTAT_M之大小進行比較。本例中，將電壓VPTAT_M作為與NAND型快閃記憶體100之溫度對應之電壓。

逐次比較暫存器106b若自電壓比較電路106i接收作為比較結果之信號VC3，則確定第n位元之資料。

[步驟S203]

逐次比較暫存器106b判定n是否為m。該m相當於圖3中所說明之「5位元」之「5」。又，該m可記憶於逐次比較暫存器106b內，亦可記憶於其他記憶區域(例如暫存器104)。

逐次比較暫存器106b於判定n為m之情形時(步驟S203，是)，結束取樣動作。

[步驟S204]

逐次比較暫存器106b於判定n非為m之情形時(步驟S203，否)，將n增加1。之後，反覆執行步驟S202。

< 1-2-3 > 具體例1

其次，使用圖6，對定序器106k判定溫度碼TC為「溫度變化為設定值以內」之情形(步驟S102，是)之具體例進行說明。

[時刻T1]

控制電路105於使電壓產生電路107產生電壓之情形時，將“H”位準之賦能信號EN向溫度感測器106供給。

帶隙基準源106a於接收“H”位準之賦能信號EN之情形時，產生參考電壓VREF與電壓VPTAT_H。

[時刻T2]

於時刻T2，若參考電壓VREF充分地上升，則溫度感測器106自控制電路105輸入時脈信號CLK。

逐次比較暫存器106b於接收“H”位準之賦能信號EN、且時脈信號CLK上升之情形時，將所記憶之溫度碼TC向數位類比轉換電路106c供給。

數位類比轉換電路106c若接收參考電壓VREF及溫度碼TC，則產生與溫度碼TC相應之參考電壓VREFT。

對節點N1供給電壓VPTAT_H，對節點N2供給電壓VPTAT_M，且對節點N3供給電壓VPTAT_L。

電壓比較電路106g對電壓VPTAT_H與參考電壓VREFT之大小關係進行比較。電壓比較電路106h對電壓VPTAT_L與參考電壓VREFT之大小關係進行比較。

如上述，本例係溫度碼TC為「溫度變化為設定值以內」之例。因此，電壓VPTAT_H大於參考電壓VREFT，電壓VPTAT_L小於參考電壓VREFT。

[時刻T3]

電壓比較電路106g輸出作為比較結果之“H”位準之信號VC1。電壓比較電路106h輸出作為比較結果之“L”位準之信號VC2。

此外，於步驟S101之階段，信號VC3之位準並無特別要求。

[時刻T4]

AND運算電路106j基於“H”位準之信號VC1及“L”位準之信號VC2輸出“H”位準之信號VAL。

[時刻T5]

定序器106k基於“H”位準之信號VAL，將“H”位準之完成通知信號DONE供給至控制電路105及逐次比較暫存器106b。

逐次比較暫存器106b若接收“H”位準之完成通知信號DONE，則將溫度碼TC供給至運算電路106l。

控制電路105若接收“H”位準之完成通知信號DONE，則將賦能信號EN下降至“L”位準。

[時刻T6]

運算電路106l基於溫度碼TC而產生電壓產生信號TOUT且輸出至電壓產生電路107。

如以上般，於溫度碼TC為「溫度變化為設定值以內」之情形時，可利用至少2次之時脈進行溫度碼TC之設定。

< 1-2-4 > 具體例2

其次，使用圖7，對定序器106k判定溫度碼TC並非「溫度變化為設定值以內」之情形(步驟S102，否)之具體例進行說明。

[時刻T1]

NAND型快閃記憶體100執行與圖6中所說明之時刻T1之動作相同之動作。

[時刻T2]

NAND型快閃記憶體100執行與圖6中所說明之時刻T2之動作相同之動作。

且說，如上述，本例係溫度碼TC並非「溫度變化為設定值以內」之例。因此，電壓VPTAT_H大於參考電壓VREFT，且電壓VPTAT_L大於參考電壓VREFT。或電壓VPTAT_H小於參考電壓VREFT，且電壓

VPTAT_L小於參考電壓VREFT。

[時刻T3]

於電壓VPTAT_H大於參考電壓VREFT，且電壓VPTAT_L大於參考電壓VREFT之情形時，電壓比較電路106g輸出作為比較結果之“H”位準之信號VC1。進而，電壓比較電路106h輸出作為比較結果之“H”位準之信號VC2。

於電壓VPTAT_H小於參考電壓VREFT、且電壓VPTAT_L小於參考電壓VREFT之情形時，電壓比較電路106g輸出作為比較結果之“L”位準之信號VC1。進而，電壓比較電路106h輸出作為比較結果之“L”位準之信號VC2。

此外，於步驟S101之階段，信號VC3之位準並無特別要求。

[時刻T7]

AND運算電路106j基於“H”位準之信號VC1及“H”位準之信號VC2、或“L”位準之信號VC1及“L”位準之信號VC2而輸出“L”位準之信號VAL。

[時刻T8]

定序器106k基於“L”位準之信號VAL，將“H”位準之重設信號RESET供給至逐次比較暫存器106b。

逐次比較暫存器106b若接收“H”位準之重設信號RESET，則重設(刪除)所記憶之溫度碼TC。

[時刻T9]

逐次比較暫存器106b重設溫度碼TC之後，開始取樣動作。此處，為簡單起見，對溫度碼TC為5位元之數位資料之情況進行說明。

具體而言，逐次比較暫存器106b將用以判定第1位元之資料之臨時之溫度碼TCP供給至數位類比轉換電路106c。

數位類比轉換電路106c基於臨時之溫度碼TCP而產生VREFT。

電壓比較電路106i對電壓VPTAT_M與參考電壓VREFT之大小關係進行比較。然後，電壓比較電路106i將比較結果作為信號VC3而輸出。

[時刻T10]

逐次比較暫存器106將時刻T10之時間點之信號VC3作為第1位元之數位值而記憶。

[時刻T11]

逐次比較暫存器106b於確定第1位元之後，將用以判定第2位元之資料之臨時之溫度碼TCP供給至數位類比轉換電路106c。

數位類比轉換電路106c基於臨時之溫度碼TCP而產生VREFT。

電壓比較電路106i對電壓VPTAT_M與參考電壓VREFT之大小關係進行比較。然後，電壓比較電路106i將比較結果作為信號VC3而輸出。

[時刻T12]

逐次比較暫存器106b將時刻T12之時間點之信號VC3作為第2位元之數位值而記憶。

[時刻T13]

逐次比較暫存器106b於確定第2位元之後，將用以判定第3位元之資料之臨時之溫度碼TCP供給至數位類比轉換電路106c。

數位類比轉換電路106c基於臨時之溫度碼TCP而產生VREFT。

電壓比較電路106i對電壓VPTAT_M與參考電壓VREFT之大小關係進行比較。然後，電壓比較電路106i將比較結果作為信號VC3而輸出。

[時刻T14]

逐次比較暫存器106b將時刻T14之時間點之信號VC3作為第3位元之數位值而記憶。

[時刻T15]

逐次比較暫存器106b於確定第3位元之後，將用以判定第4位元之資料之臨時之溫度碼TCP供給至數位類比轉換電路106c。

數位類比轉換電路106c基於臨時之溫度碼TCP產生VREFT。

電壓比較電路106i對電壓VPTAT_M與參考電壓VREFT之大小關係進行比較。然後，電壓比較電路106i將比較結果作為信號VC3而輸出。

[時刻T16]

逐次比較暫存器106b將時刻T16之時間點之信號VC3作為第4位元之數位值而記憶。

[時刻T17]

逐次比較暫存器106b於確定第4位元之後，將用以判定第5位元之資料之臨時之溫度碼TCP供給至數位類比轉換電路106c。

數位類比轉換電路106c基於臨時之溫度碼TCP產生VREFT。

電壓比較電路106i對電壓VPTAT_M與參考電壓VREFT之大小關係進行比較。然後，電壓比較電路106i將比較結果作為信號VC3而輸出。

[時刻T18]

逐次比較暫存器106b將時刻T18之時間點之信號VC3作為第5位元之數位值而記憶。

[時刻T19]

逐次比較暫存器106b於確定溫度碼之後將溫度碼TC供給至運算電路

106l。

定序器106k於逐次比較暫存器106b確定了溫度碼之後，將“H”位準之完成通知信號DONE供給至控制電路105。

控制電路105若接收“H”位準之完成通知信號DONE，則將賦能信號EN下降至“L”位準。

[時刻T20]

運算電路106l基於溫度碼TC產生電壓產生信號TOUT，且輸出至電壓產生電路107。

< 1-3 > 效果

根據上述實施形態，使用電阻元件106d、電阻元件106e、電壓比較電路106g、電壓比較電路106h、及AND運算電路106j，判定剛才之NAND型快閃記憶體100之溫度是否超出特定值(dTMP)而變化。

由此，可抑制取樣動作之次數，且可使半導體記憶裝置更高速地動作。

為了容易地理解上述實施形態之效果，對比較例1及比較例2進行說明。

首先，使用圖8及圖9對比較例1進行說明。

如圖8所示，比較例1之半導體記憶裝置之溫度感測器106A不具備電阻元件106d、電阻元件106e、電壓比較電路106g、電壓比較電路106h、及AND運算電路106j。

而且，比較例1之半導體記憶裝置之溫度感測器106A不執行上述之步驟S101及S102之溫度測定動作。

因此，如圖9所示，比較例1之半導體記憶裝置之溫度感測器106A執

行每次之取樣動作。

然而，根據上述實施形態，於剛才之NAND型快閃記憶體100之溫度未超出特定值(dTMP)而變化之情形時，無需執行取樣動作，故與比較例1相比，可使溫度感測器高速地動作。

接著，使用圖10對比較例2進行說明。

如圖10所示，比較例2之半導體記憶裝置之溫度感測器106B具備例如15個電阻元件106m、及15個電壓比較電路106n。由此，可使取樣動作高速化。然而，與本實施形態之溫度感測器相比較，比較例2之溫度感測器106B之電路面積變大。因此，根據半導體記憶裝置之微細化之觀點，亦欠佳。

如上述，根據上述實施形態，可一方面抑制半導體記憶裝置之電路面積之增加，一方面高速地動作。

<2> 變化例

使用圖11對實施形態之變化例進行說明。

如上述，溫度感測器106於存取動作之前產生電壓產生信號。然而，溫度感測器106於存取動作中、或未執行存取動作之情形時，亦可執行溫度測定動作。

使用圖11，對實施形態之變化例之半導體記憶裝置之溫度感測器106之動作進行說明。

[步驟S301]～[步驟S304]

NAND型快閃記憶體100執行與步驟S101～S104相同之動作。

[步驟S305]

定序器106k於判定溫度碼TC為「溫度變化為設定值以內」之情形時

(步驟S302，是)，維持溫度碼TC。

如以上，於不對存取動作之動作時間造成影響之時序，預先執行溫度測定動作，由此可提高溫度碼TC之精度。

此外，於上述實施形態中，使用了電阻元件106d、106e、及106f，但並不限於此，只要可使電壓VPTAT_H降低，則亦可為任意之構成。

又，於上述各實施形態中，

(1)讀出動作中：

施加至A位準之讀出動作中所選擇之字元線之電壓例如處於0 V～0.55 V之間。並不限定於此，亦可設為0.1 V～0.24 V、0.21 V～0.31 V、0.31 V～0.4 V、0.4 V～0.5 V、0.5 V～0.55 V之任一者之間。

施加至B位準之讀出動作中所選擇之字元線之電壓例如處於1.5 V～2.3 V之間。並不限定於此，亦可設為1.65 V～1.8 V、1.8 V～1.95 V、1.95 V～2.1 V、2.1 V～2.3 V之任一者之間。

施加至C位準之讀出動作中所選擇之字元線之電壓例如處於3.0 V～4.0 V之間。並不限定於此，亦可設為3.0 V～3.2 V、3.2 V～3.4 V、3.4 V～3.5 V、3.5 V～3.6 V、3.6 V～4.0 V之任一者之間。

作為讀出動作之時間(tR)，例如亦可設為25 μs～38 μs、38 μs～70 μs、70 μs～80 μs之間。

(2)如上述寫入動作包含編程動作與驗證動作。寫入動作中：

施加至編程動作時所選擇之字元線之電壓例如處於13.7 V～14.3 V之間。並不限定於此，例如亦可設為13.7 V～14.0 V、14.0 V～14.6 V之任一者之間。

亦可改變寫入第奇數條字元線時最初施加至所選擇之字元線之電

壓、與寫入第偶數條字元線時最初施加至所選擇之字元線之電壓。

在將編程動作設為ISPP方式(Incremental Step Pulse Program，增量階躍脈衝編程)時，作為升壓之電壓，可舉出例如0.5 V左右。

作為施加至非選擇之字元線之電壓，例如亦可設為6.0 V~7.3 V之間。並不限定於此情況，例如亦可設為7.3 V~8.4 V之間，還可設為6.0 V以下。

亦可根據非選擇之字元線為第奇數條字元線、抑或為第偶數條字元線而改變所施加之通道電壓。

作為寫入動作之時間(tProg)，例如亦可設為1700 μ s~1800 μ s、1800 μ s~1900 μ s、1900 μ s~2000 μ s之間。

(3)刪除動作中：

最初施加至形成在半導體基板上部且上方配置有上述記憶單元之井之電壓例如處於12 V~13.6 V之間。並不限定於此情況，例如亦可處於13.6 V~14.8 V、14.8 V~19.0 V、19.0~19.8 V、19.8 V~21 V之間。

作為刪除動作之時間(tErase)，例如亦可設為3000 μ s~4000 μ s、4000 μ s~5000 μ s、4000 μ s~9000 μ s之間。

(4)記憶單元之構造：

具有介隔膜厚4~10 nm之隧穿絕緣膜配置於半導體基板(矽基板)上之電荷蓄積層。該電荷蓄積層可設為膜厚2~3 nm之SiN、或SiON等絕緣膜與膜厚3~8 nm之多晶矽之積層構造。又，多晶矽中亦可添加Ru等金屬。於電荷蓄積層上具有絕緣膜。該絕緣膜例如具有被膜厚3~10 nm之下層High-k膜與膜厚3~10 nm之上層High-k膜夾著之膜厚4~10 nm之氧化矽膜。High-k膜可舉出HfO等。又，矽氧化膜之膜厚可厚於High-k膜之

膜厚。於絕緣膜上介隔膜厚3~10 nm之功函數調整用材料形成有膜厚30 nm~70 nm之控制電極。此處，功函數調整用之材料為TaO等金屬氧化膜、TaN等金屬氮化膜。對於控制電極可使用W等。

又，可於記憶單元間形成氣隙。

以上，對本發明之實施形態進行了說明，但本發明並不限定於上述實施形態，可於不脫離其主旨之範圍內進行各種變形而實施。進而，上述實施形態中包含各種階段之發明，藉由將所揭示之構成要件適當組合而引出各種發明。例如，即使自所揭示之構成要件中刪除若干構成要件，只要可獲得特定之效果，則可作為發明而引出。

[相關申請]

本申請享有以日本專利申請2017-54925號(申請日：2017年3月21日)作為基礎申請之優先權。本申請藉由參考該基礎申請而包含基礎申請之全部內容。

【符號說明】

1	記憶體系統
100	NAND型快閃記憶體
101	輸入輸出介面
102	控制信號輸入介面
103	輸入輸出控制電路
104	暫存器
105	控制電路
106	溫度感測器
106a	帶隙基準源

106b	逐次比較暫存器
106c	數位類比轉換 電路
106d	電阻元件
106e	電阻元件
106f	電阻元件
106g	電壓比較電路
106h	電壓比較電路
106i	電壓比較電路
106j	AND運算電路
106k	定序器
106l	運算電路
107	電壓產生電路
110	記憶單元陣列
111	感測電路
112	資料暫存器
113	行解碼器
114	列解碼器
200	記憶體控制器
ALE	位址鎖存賦能信號
BCE	晶片賦能信號
BDQS	資料選通信號
BRE	讀取賦能信號
BWE	寫入賦能信號

BWP	寫入保護信號
CLE	指令鎖存賦能信號
CLK	時脈信號
DONE	完成通知信號
DQ0~DQ7	資料輸入輸出線
DQS	資料選通信號
EN	賦能信號
N1~N4	節點
RE	讀取賦能信號
RESET	重設信號
T1~T20	時刻
TC	溫度碼
Tco	溫度係數
TCP	溫度碼
TMP1~TMP30	溫度
TMPA	溫度
TMPB	溫度
TOUT	電壓產生信號
VAL	信號
VC1	信號
VC2	信號
VC3	信號
VPTAT_H	電壓

VPTAT_M	電壓
VPTAT_L	電壓
VR	電壓碼
VREF	參考電壓
VREFT	第2參考電壓



I642061

【發明摘要】

申請日：106/07/20

IPC分類號：G11C 7/04 (2006.01)
G11C 16/02 (2006.01)

【中文發明名稱】

半導體記憶裝置

【中文】

本發明之實施形態提供一種高品質之半導體記憶裝置。

實施形態之半導體記憶裝置具備：記憶單元陣列；溫度感測器，其測定溫度，產生基於所測定的溫度之第1電壓，對上述第1電壓與基於上一次溫度測定結果之第2電壓進行比較，判定自上一次溫度測定起之溫度之變動是否為設定值以內，於判定為溫度變動為設定值以內之情形時，基於上一次溫度測定結果產生第1信號，於判定為溫度變動非設定值以內之情形時，更新溫度測定結果，且基於更新後之溫度測定結果產生上述第1信號；及電壓產生電路，其基於上述第1信號，產生施加於上述記憶單元陣列之電壓。

【指定代表圖】

圖2

【代表圖之符號簡單說明】

106	溫度感測器
106a	帶隙基準源
106b	逐次比較暫存器
106c	數位類比轉換電路
106d	電阻元件
106e	電阻元件
106f	電阻元件

【發明申請專利範圍】

【第1項】

一種半導體記憶裝置，其具備：

記憶單元陣列；

溫度感測器，其測定溫度，

產生基於所測定之溫度之第1電壓，

對上述第1電壓與基於上一次溫度測定結果之第2電壓進行比較，判定自上一次溫度測定起之溫度之變動是否為設定值以內，

於判定為溫度變動為設定值以內之情形時，基於上一次溫度測定結果產生第1信號，

於判定為溫度變動非設定值以內之情形時，更新溫度測定結果，且基於更新後之溫度測定結果產生上述第1信號；及

電壓產生電路，其基於上述第1信號，產生施加於上述記憶單元陣列之電壓。

【第2項】

如請求項1之半導體記憶裝置，其中

上述溫度感測器藉由降低上述第1電壓而產生第3電壓，

對上述第1電壓與上述第2電壓進行比較，且

藉由對上述第3電壓與上述第2電壓進行比較，而判定自上一次溫度測定起之溫度之變動是否為設定值以內。

【第3項】

如請求項2之半導體記憶裝置，其中

上述溫度感測器係於

上述第1電壓大於上述第2電壓，且
上述第3電壓小於上述第2電壓之情形時，
判定為自上一次溫度測定起之溫度之變動為設定值以內。

【第4項】

如請求項2之半導體記憶裝置，其中
上述溫度感測器係使用電阻元件降低上述第1電壓，且產生上述第3
電壓。

【第5項】

如請求項1至4中任一項之半導體記憶裝置，其中
上述溫度感測器記憶最新之上述溫度測定結果，
上述溫度測定結果為數位值。



【發明摘要】

申請日: 106/07/20

IPC分類號: G11C 7/04 (2006.01)
G11C 16/02 (2006.01)

【中文發明名稱】

半導體記憶裝置

【中文】

本發明之實施形態提供一種高品質之半導體記憶裝置。

實施形態之半導體記憶裝置具備：記憶單元陣列；溫度感測器，其測定溫度，產生基於所測定的溫度之第1電壓，對上述第1電壓與基於上一次溫度測定結果之第2電壓進行比較，判定自上一次溫度測定起之溫度之變動是否為設定值以內，於判定為溫度變動為設定值以內之情形時，基於上一次溫度測定結果產生第1信號，於判定為溫度變動非設定值以內之情形時，更新溫度測定結果，且基於更新後之溫度測定結果產生上述第1信號；及電壓產生電路，其基於上述第1信號，產生施加於上述記憶單元陣列之電壓。

【指定代表圖】

圖2

【代表圖之符號簡單說明】

106	溫度感測器
106a	帶隙基準源
106b	逐次比較暫存器
106c	數位類比轉換電路
106d	電阻元件
106e	電阻元件
106f	電阻元件

106g	電壓比較電路
106h	電壓比較電路
106i	電壓比較電路
106j	AND運算電路
106k	定序器
106l	運算電路
CLK	時脈信號
DONE	完成通知信號
EN	賦能信號
N1 ~ N4	節點
RESET	重設信號
TC	溫度碼
Tco	溫度係數
TCP	溫度碼
TOUT	電壓產生信號
VAL	信號
VC1	信號
VC2	信號
VC3	信號
VPTAT_H	電壓
VPTAT_M	電壓
VPTAT_L	電壓
VR	電壓碼

VREF 參考電壓

VREFT 第2參考電壓