



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년02월16일

(11) 등록번호 10-1493870

(24) 등록일자 2015년02월10일

(51) 국제특허분류(Int. Cl.)

H01L 27/146 (2006.01)

(21) 출원번호 10-2008-0058047

(22) 출원일자 2008년06월19일

심사청구일자 2013년05월29일

(65) 공개번호 10-2009-0132003

(43) 공개일자 2009년12월30일

(56) 선행기술조사문헌

KR1020070024992 A*

KR1020070034885 A

KR1020070033694 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

김진호

서울특별시 종로구 옥인6가길 50, 동산빌라 101호 (누상동)

문창록

서울특별시 서초구 효령로2길 30, 엔스위트 502호 (방배동)

신승훈

경기도 용인시 기흥구 삼성2로 95, 기흥공장 철쪽동 216호 (농서동, 삼성전자)

(74) 대리인

리앤록특허법인

전체 청구항 수 : 총 10 항

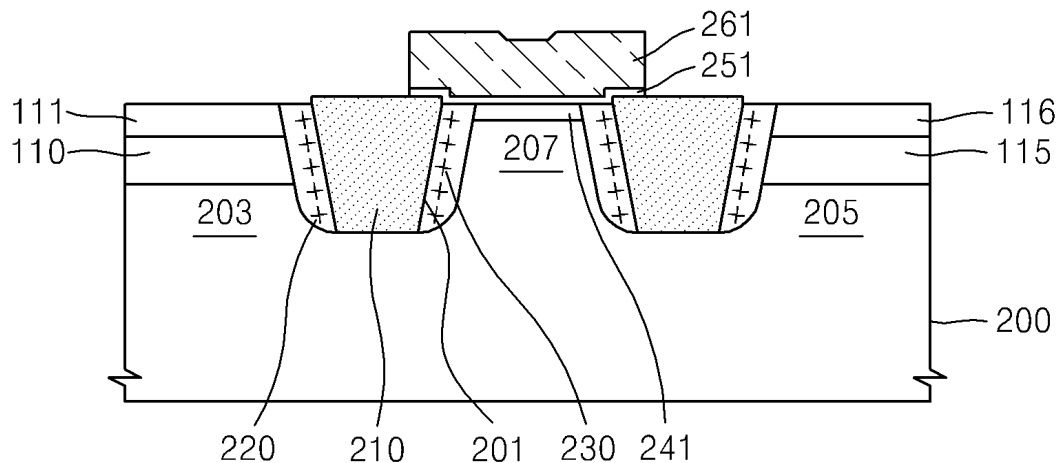
심사관 : 오순영

(54) 발명의 명칭 **신호 대 잡음 비가 개선된 이미지 소자 및 그 제조방법**

(57) 요약

로우 셀렉트 트랜지스터의 문턱전압을 소스 팔로워 버퍼 증폭기로 작용하는 드라이브 트랜지스터보다 낮추어 공간적 신호 대 잡음 비를 개선한 CMOS 이미지 소자 및 그 제조방법을 개시한다. 반도체 기판의 포토 다이오드 영역들과 트랜지스터 영역을 한정하는 소자 분리막을 형성한다. 상기 소자 분리막에 접하는 상기 포토 다이오드 영역들의 일부분들에 제1도전형의 패시베이션 영역을 형성하고, 상기 소자 분리막에 접하되, 상기 포토 다이오드 영역들에 대항하는 상기 트랜지스터 영역의 일부분들에 상기 제1도전형의 문턱 전압 조절층을 형성한다. 상기 문턱 전압 조절층을 포함하는 상기 트랜지스터 영역의 제1부분에 제1채널 이온 주입층을 형성하고 상기 제1부분에 이격되는 제2부분에 제2채널 이온 주입층을 형성한다. 상기 패시베이션 영역을 포함하는 상기 포토 다이오드 영역들로 제2도전형의 불순물을 이온주입하여 포토 다이오드들을 형성한다.

대표도 - 도12b



특허청구의 범위

청구항 1

제1도전형의 반도체 기관의 포토 다이오드 영역들과 트랜지스터 영역을 한정하는 소자 분리막;

상기 포토 다이오드 영역들에 배열되는 포토 다이오드들;

상기 트랜지스터 영역에 배열되어, 각각 상기 기관상에 형성된 게이트; 상기 게이트 양측의 상기 트랜지스터 영역에 형성된 불순물 영역들; 및 상기 게이트 하부의 상기 불순물 영역들사이에 형성된 이온주입층을 구비하며, 다수의 트랜지스터들중 일부는 상기 포토 다이오드 영역들 중 이웃하는 포토 다이오드 영역들 사이에 일렬로 배열되는 상기 다수의 트랜지스터들;

상기 포토 다이오드 영역의 상기 소자 분리막과의 계면에 형성된 패시베이션 영역;

상기 일부 트랜지스터들중 하나는 상기 게이트 하부의 상기 불순물 영역들사이의 상기 트랜지스터 영역의 상기 소자 분리막과의 계면에 형성된 문턱전압 조절층을 구비하는 신호 대 잡음 비가 개선된 이미지 소자.

청구항 2

제 1 항에 있어서, 상기 일부 트랜지스터들중 상기 하나의 트랜지스터는 전원 전압단자에 연결되고, 다른 하나의 트랜지스터는 상기 하나의 트랜지스터와 출력단사이에 연결되는 것을 특징으로 하는 신호 대 잡음 비가 개선된 이미지 소자.

청구항 3

삭제

청구항 4

삭제

청구항 5

제 2 항에 있어서, 상기 일부 트랜지스터들의 채널 이온 주입층은 상기 불순물 영역들과 다른 도전형을 갖는 것을 특징으로 하는 신호 대 잡음 비가 개선된 이미지 소자.

청구항 6

제 5 항에 있어서, 상기 하나의 트랜지스터의 상기 문턱 전압 조절층은 상기 채널이온 주입층과 동일 도전형을 갖는 것을 특징으로 하는 신호 대 잡음 비가 개선된 이미지 소자.

청구항 7

제 2 항에 있어서, 상기 하나의 트랜지스터는 상기 다른 하나의 트랜지스터보다 낮은 문턱 전압을 갖는 것을 특징으로 하는 신호 대 잡음 비가 개선된 이미지 소자.

청구항 8

삭제

청구항 9

반도체 기관의 포토 다이오드 영역들과 트랜지스터 영역을 한정하는 소자 분리막을 형성하고;

상기 소자 분리막의 일측면에 접하는 상기 포토 다이오드 영역들의 일부분들에 제1도전형의 패시베이션 영역을 형성하고, 상기 포토 다이오드 영역들에 대향되 상기 소자 분리막의 타측면에 접하는 상기 트랜지스터 영역의 일부분들에 상기 제1도전형의 문턱 전압 조절층을 형성하며;

상기 문턱 전압 조절층을 포함하는 상기 트랜지스터 영역의 제1부분과 상기 제1부분에 이격되는 제2부분에 각각 제1 및 제2채널 이온 주입층을 형성하고;

상기 패시베이션 영역을 포함하는 상기 포토 다이오드 영역들로 제2도전형의 불순물을 이온주입하여 포토 다이오드들을 형성하며;

상기 제1채널 이온 주입층에 대응하는 상기 기판상에 제1게이트 절연막을 구비하는 제1게이트와 상기 제2채널 이온 주입층에 대응하는 상기 기판상에 제2게이트 절연막을 구비하는 제2게이트를 형성하고;

상기 게이트 양측의 상기 트랜지스터 영역으로 제2도전형의 불순물을 이온주입하여 소오스/드레인용 불순물 영역들을 형성하는 것을 포함하는 신호 대 잡음 비가 개선된 이미지 소자의 제조방법.

청구항 10

제 9 항에 있어서, 상기 제1게이트를 구비하는 제1트랜지스터는 상기 제2게이트를 구비하는 트랜지스터보다 낮은 문턱전압을 갖는 것을 특징으로 하는 신호 대 잡음 비가 개선된 이미지 소자의 제조방법.

청구항 11

삭제

청구항 12

제 9 항에 있어서, 상기 채널 이온 주입층은 상기 불순물 영역들과는 다른 도전형을 갖는 것을 특징으로 하는 신호 대 잡음 비가 개선된 이미지 소자의 제조방법.

청구항 13

제 10 항에 있어서, 상기 문턱 전압 조절층은 상기 채널 이온 주입층과 동일한 도전형을 갖는 것을 특징으로 하는 신호 대 잡음비가 개선된 이미지 소자의 제조방법.

청구항 14

삭제

청구항 15

제 9 항에 있어서, 상기 문턱 전압 조절층의 제1도전형의 불순물이 상기 채널 이온주입층으로 확산되어 상기 제1게이트를 구비하는 제1트랜지스터의 문턱전압을 상기 제2게이트를 구비하는 제2트랜지스터보다 낮추어주는 것을 특징으로 하는 신호 대 잡음 비가 개선된 이미지 소자의 제조방법.

청구항 16

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 이미지 소자에 관한 것으로서, 보다 상세하게는 공간적 신호 대 잡음 비(SNR, signal to noise ratio)가 개선된 CMOS 이미지 센서 및 그 제조방법에 관한 것이다.

배경기술

[0002] 이미지 센서(image sensor)는 광학영상을 전기신호로 변환시키는 소자이다. 최근 들어, 컴퓨터산업과 통신 산업의 발달에 따라 디지털 카메라, 캠코더, PCS(personal computer system), 게임기기, 경비용 카메라, 의료용 마이크로 카메라, 로봇 등 다양한 분야에서 성능이 향상된 이미지 센서의 수요가 증대하고 있다.

[0003] 이미지 센서는 CCD(charge coupled device) 이미지 센서와 CMOS 이미지 센서로 나눌 수 있는데, 이 중에서 CMOS 이미지 센서는 구동방식이 간편하고 CMOS 공정 기술을 호환하여 사용할 수 있어 제조단가를 낮출 수 있는 장점이 있다. 이러한 CMOS 이미지 센서는 다양한 구조로 구현될 수 있으나, 일반적으로 4개의 트랜지스터와 포토다이오드를 사용한 구조가 사용되고 있다. CMOS 이미지 센서는 포토다이오드에 빛이 수광되면, 포토 다이오드는

빛에너지를 흡수하여 광량에 해당하는 전하를 축적하고, 트랜스퍼 트랜지스터는 포토다이오드에 축적된 전하를 플로팅 확산 영역으로 전송한다. 셀렉트 트랜지스터의 턴온시 소스 팔로워용 드라이브 트랜지스터는 상기 플로팅 확산 영역의 전위에 응답하여 변하는 전압을 출력한다.

[0004] 상기 이미지 센서에서 표시 품질을 향상시키기 위해서는 공간적 SNR 가 커야 한다. SNR을 개선하기 위한 하나의 방법으로 상기 셀렉트 트랜지스터의 문턱 전압을 상기 드라이브 트랜지스터의 문턱전압보다 낮추어 주는 방법이 있다. 상기 셀렉트 트랜지스터의 문턱전압이 높은 경우, 상기 드라이브 트랜지스터로부터 출력되는 출력신호가 그대로 전달되지 않고 감소하게 된다. 따라서, 게인이 감소하고 공간적 SNR 이 감소하게 된다. 따라서, 공간적 SNR 을 증가시키기 위해서는 상기 셀렉트 트랜지스터의 문턱전압을 감소시켜 주어야 한다.

[0005] 상기 이미지 센서의 상기 트랜지스터들은 통상적인 CMOS 제작공정을 통해 제작한다. 일반적으로 문턱전압을 조절하기 위한 채널 이온 주입공정이 상기 셀렉트 트랜지스터와 상기 드라이브 트랜지스터에 대해 동시에 수행되므로, 상기 셀렉트 트랜지스터와 상기 드라이브 트랜지스터는 실제적으로 동일한 문턱전압을 갖게 된다.

[0006] 도 13a는 종래의 이미지 센서의 셀렉트 트랜지스터와 드라이브 트랜지스터가 동일한 문턱전압을 갖는 경우, 이미지 센서의 입력 전압에 대한 출력전압을 도시한 것이다. 도 13a 를 참조하면, 상기 셀렉트 트랜지스터와 상기 드라이브 트랜지스터가 모두 제1문턱 전압(V_{th1})을 갖는 경우, 상기 드라이브 트랜지스터에 제공되는 입력 전압(V_{in})이 증가함에 따라 출력 전압(V_{out})이 커브 $V1$ 와 같이 증가하게 되고, 커브 $G11$ 의 게인이 얻어진다.

[0007] 한편, 상기 셀렉트 트랜지스터와 상기 드라이브 트랜지스터가 모두 상기 제1문턱 전압(V_{th1})보다 낮은 제2문턱 전압(V_{th2})을 갖는 경우에는, 상기 드라이브 트랜지스터에 제공되는 입력 전압(V_{in})이 증가함에 따라 출력 전압(V_{out})이 커브 $V2$ 로 된다. 따라서 상기 입력 전압(V_{in})이 증가함에 따라 상기 출력 전압(V_{out})이 상기 커브 $V1$ 에서 커브 $V2$ 로 증가하게 된다. 그러나, 출력 전압(V_{out})이 상기 커브 $V1$ 에서 상기 커브 $V2$ 로 보다 증가하지만, 게인은 커브 $G11$ 에서 커브 $G12$ 로 상기 입력 전압(V_{in})의 증가 방향과는 반대방향으로 증가하게 된다. 그러므로, 상기 낮은 문턱전압의 셀렉트 트랜지스터와 상기 드라이브 트랜지스터를 갖는 이미지 센서의 경우, 저전압 영역에서 게인 커브가 확장되기 때문에, 실제적으로 게인은 증가하지 않게 된다.

발명의 내용

해결 하고자하는 과제

[0008] 따라서, 상기 셀렉트 트랜지스터와 상기 드라이브 트랜지스터의 문턱전압을 동시에 낮추어 주는 경우에는, 상기 셀렉트 트랜지스터뿐만 아니라 드라이브 트랜지스터의 문턱 전압도 감소하게 되어 게인이 증가하지 않게 되므로, 공간적 SNR 을 증가시킬 수 없게 된다.

[0009] 한편, 서로 상이한 문턱 전압을 갖는 드라이브 트랜지스터와 셀렉트 트랜지스터를 제작하기 위해서는, 상기 셀렉트 트랜지스터와 상기 드라이브 트랜지스터에 대해 각각 별도의 이온주입공정을 수행하여야 하므로, 마스크 공정이 추가되어 공정이 복잡해지고, 또한 제조단가가 증가하게 된다.

[0010] 따라서, 본 발명이 이루고자 하는 기술적 과제는 추가 마스크 공정 없이 셀렉트 트랜지스터의 문턱전압을 드라이브 트랜지스터보다 감소시켜, SNR 을 개선시킨 이미지 소자 및 그 제조방법을 제공하는 것이다.

[0011] 상기한 본 발명의 기술적 과제를 달성하기 위하여, 본 발명은 셀렉트 트랜지스터와 드라이브 트랜지스터가 서로 다른 문턱전압을 갖는 이미지 소자를 제공한다. 상기 이미지 소자는 제1도전형의 반도체 기판의 포토 다이오드 영역들과 트랜지스터 영역을 한정하는 소자 분리막; 상기 포토 다이오드 영역들에 배열되는 포토 다이오드들; 및 상기 트랜지스터 영역에 배열되어, 각각 상기 기판상에 형성된 게이트, 상기 게이트 양측의 상기 트랜지스터 영역에 형성된 불순물 영역들, 및 상기 게이트 하부의 상기 불순물 영역들 사이에 형성된 이온주입층을 구비하는 다수의 트랜지스터들을 포함한다. 상기 다수의 트랜지스터들중 일부는 상기 이웃하는 포토 다이오드 영역들 사이에 일렬로 배열된다. 상기 포토 다이오드 영역의 상기 소자 분리막과의 계면에는 패시베이션 영역이 형성된다. 상기 일부 트랜지스터들중 하나는 상기 게이트 하부의 상기 불순물 영역들 사이의 상기 트랜지스터 영역의 상기 소자 분리막과의 계면에 형성된 문턱전압 조절층을 더 구비한다.

[0012] 상기 일부 트랜지스터들중 상기 하나의 트랜지스터는 전원 전압단자에 연결되는 셀렉트 트랜지스터를 포함하고, 다른 하나의 트랜지스터는 상기 하나의 트랜지스터와 출력단자 사이에 연결되는 드라이브 트랜지스터를 포함할 수 있다. 상기 셀렉트 트랜지스터는 상기 드라이브 트랜지스터보다 낮은 문턱 전압을 가질 수 있다. 상기 셀렉트 트랜지스터와 상기 드라이브 트랜지스터는 공핍형 트랜지스터를 포함할 수 있다.

[0013] 또한, 본 발명은 신호 대 잡음 비가 개선된 이미지 소자의 제조방법을 제공한다. 먼저, 반도체 기판의 포토 다이오드 영역들과 트랜지스터 영역을 한정하는 소자 분리막을 형성한다. 상기 소자 분리막에 접하는 상기 각 포토 다이오드 영역의 일부분에 제1도전형의 패시베이션 영역을 형성하고, 상기 소자 분리막에 접하되, 상기 포토 다이오드 영역들에 대항하는 상기 트랜지스터 영역의 일부분들에 상기 제1도전형의 문턱 전압 조절층을 형성한다. 상기 문턱 전압 조절층을 포함하는 상기 트랜지스터 영역의 제1부분과 상기 제1부분에 이격되는 제2부분에 각각 제1 및 제2채널 이온 주입층을 형성한다. 상기 패시베이션 영역을 포함하는 상기 포토 다이오드 영역들로 제2도전형의 불순물을 이온주입하여 포토 다이오드들을 형성한다. 상기 제1채널 이온 주입층에 대응하는 상기 기판상에 제1게이트 절연막을 구비하는 제1게이트와 상기 제2채널 이온 주입층에 대응하는 상기 기판상에 제2게이트 절연막을 구비하는 제2게이트를 형성한다. 상기 게이트 양측의 상기 트랜지스터 영역으로 제2도전형의 불순물을 이온주입하여 소오스/드레인용 불순물 영역들을 형성한다.

효 과

[0014] 본 발명의 이미지 소자 및 그 제조방법은 포토 다이오드들을 분리시켜 주는 패시베이션 영역을 형성하기 위한 이온 주입공정시, 셀렉트 트랜지스터의 채널 영역에도 선택적으로 이온을 주입하여 줌으로써, 드라이브 트랜지스터보다 낮은 문턱 전압을 갖는 상기 셀렉트 트랜지스터를 형성할 수 있다. 그러므로, 추가 마스크 공정이 필요하지 않아 공정을 단순화하고, 제조 원가를 감소시킬 수 있다. 또한, 상기 드라이브 트랜지스터에 비해 상기 셀렉트 트랜지스터가 낮은 문턱전압을 가지므로, 전원전압과 상기 드라이브 트랜지스터사이에 상기 셀렉트 트랜지스터가 배열되는 이미지 센서 구조에서, 게인을 증가시켜 공간적 SNR 을 개선시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0015] 이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다.

[0016] 도 1a는 본 발명의 실시예에 따른 이미지 센서의 단위화소의 개략적인 평면도이다. 도 1b는 도 1a의 이미지 센서의 단위화소의 등가 회로도이다. 도 1a 및 도 1b를 참조하면, 이미지 센서는 다수의 단위 블럭(100)을 구비하며, 각 단위 블럭(100)은 2개의 단위 화소를 구비한다. 상기 단위 블럭(100)은 2개의 단위 화소를 각각 구성하는 2개의 포토 다이오드들(110, 115) 및 상기 포토 다이오드들(110, 115)에 공유되는 플로팅 확산영역(Floating diffusion region)을 포함한다. 상기 포토 다이오드들(110, 115)은 입사되는 광을 전기적 신호로 변환시켜 주는 광전 변환부들로, 입사되는 광의 양에 대응하여 전하들을 발생하여 축적한다. 상기 플로팅 확산 영역(130)은 상기 포토 다이오드들(110, 115)로부터 전송되는 축적된 전하들을 누적적으로(accumulative) 저장한다.

[0017] 또한, 상기 단위 블럭(110)은 트랜스퍼 트랜지스터들(120, 125), 리세트 트랜지스터(140) 및 드라이브 트랜지스터(150) 그리고 셀렉트 트랜지스터(160)를 더 포함한다. 게이트에 각각 제1 및 제2전하 전송 신호(TG1, TG2)가 제공되는 상기 제1 및 제2트랜스퍼 트랜지스터들(120)은 상기 포토 다이오드들(110, 115)과 상기 플로팅 확산 영역(130)사이에 연결된다. 게이트에 리세스 신호(RG)가 인가되는 상기 리세트 트랜지스터(140)는 전원 전압(Vdd)과 상기 플로팅 확산 영역(130)사이에 연결된다. 게이트가 상기 플로팅 확산 영역(130)에 연결되는 상기 드라이브 트랜지스터(150)는 상기 셀렉트 트랜지스터(160)와 출력단(Vout)사이에 연결된다. 게이트에 로우(row) 셀렉트 신호(SG)가 인가되는 상기 셀렉트 트랜지스터(160)는 상기 드라이브 트랜지스터(150)와 상기 전원 전압(Vdd)사이에 연결된다.

[0018] 상기 포토 다이오드들(110, 115)은 빛을 수광하여 광전하를 생성한다. 상기 포토 다이오드들(110, 115)에 생성된 광전하들은 상기 제1 및 제2트랜스퍼 트랜지스터(120, 125)을 통해 상기 플로팅 확산 영역(130)으로 전송되어 저장된다. 상기 드라이브 트랜지스터(150)는 상기 플로팅 확산 영역(130)에 저장된 전하들에 응답하여 전압 신호를 출력하고, 상기 셀렉트 트랜지스터(160)는 스위칭동작에 의해 상기 드라이브 트랜지스터(150)로부터 출력되는 전압 신호를 출력단(Vout)으로 제공한다. 상기 리세트 트랜지스터는 상기 플로팅 확산 영역(130)을 주기적으로 리셋시켜 준다. 이러한 이미지 센서는 게인을 증대시켜 주기 위해서는 셀렉트 트랜지스터가 낮은 문턱 전압을 갖도록 형성하되, 상기 드라이브 트랜지스터보다는 상기 셀렉트 트랜지스터의 상기 문턱전압보다 작은 문턱전압을 갖도록 형성한다.

[0019] 도 2a 내지 도 12a는 본 발명의 실시예에 따른 이미지 소자의 제조방법을 설명하기 위한 평면도이다. 도 2b 내

지 도 12b는 도 2a 내지 도 12a의 B-B 선에 따른 단면도이다. 도 2c 내지 도 12c는 도 2a 내지 도 12a의 C-C 선에 따른 단면도이다. 도 2a, 도 2b, 도 2c 내지 도 12a, 도 12b, 도 12c는 도 1a의 이웃하는 포토 다이오드들(110, 115) 및 이들사이에 배열되는 셀렉트 트랜지스터(160)와 소스 팔로워용 드라이브 트랜지스터(150)에 한정하여 도시한다. 상기 드라이브 트랜지스터(150)와 상기 셀렉트 트랜지스터(160)는 공핍형 NMOS 트랜지스터를 포함할 수 있다.

[0020] 도 2a, 도 2b, 도 2c를 참조하면, 반도체 기판(200)상에 제1감광막(270)을 형성한다. 상기 제1감광막(270)은 상기 기판(200)중 후속 공정에서 소자 분리막이 형성될 부분을 노출시켜 주는 제1개구부(271)를 구비한다. 상기 제1감광막(270)을 식각 마스크로 하여 상기 기판(200)의 상기 노출된 부분을 식각하여 트렌치(201)를 형성한다.

[0021] 도 3a, 도 3b, 도 3c를 참조하면, 상기 제1감광막(270)을 제거한 다음, 상기 기판(200)상에 상기 트렌치(201)가 매립되도록 상기 절연막(미도시)을 형성한다. 상기 절연막은 산화막을 포함할 수 있다. CMP(chemical mechanical polishing) 공정 등을 통해 상기 절연막을 식각하여 상기 트렌치(201)내에 소자 분리막(210)을 형성한다. 상기 소자 분리막(210)에 의해 상기 기판(200)의 액티브 영역들(203, 205, 207)이 한정되어진다. 상기 제1액티브 영역(203)은 후속 공정에서 제1포토 다이오드(도 1의 110)가 형성될 영역이고, 상기 제2액티브 영역(205)은 후속 공정에서 제2포토 다이오드(도 1의 115)가 형성될 영역이다. 상기 제1 및 제2액티브 영역들(203, 205)사이에 배열되는 상기 제3액티브 영역(207)은 후속공정에서 트랜지스터들, 예를 들어 도 1의 셀렉트 트랜지스터(150) 및 드라이브 트랜지스터(160) 등이 형성될 영역이다.

[0022] 도 4a, 도 4b, 도 4c를 참조하면, 상기 기판(200)상에 제2감광막(272)을 형성한다. 상기 제2감광막(272)은 상기 소자 분리막(210) 및 상기 소자 분리막(210)의 일 측면에 접하는 상기 제1 및 제2액티브 영역들(203, 205)의 일 부분 그리고 상기 소자 분리막(210)의 상기 일 측면과 대향하는 타 측면에 접하는 상기 제3액티브 영역(207)중 상기 드라이브 트랜지스터(150)가 형성될 부분을 노출시켜 주는 제2개구부(273)를 구비한다.

[0023] 도 5a, 도 5b, 도 5c를 참조하면, 상기 제2감광막(272)을 이온 주입 마스크로 하여 상기 제1 및 제2액티브 영역들(203, 205)의 상기 노출된 부분들로 제1도전형의 불순물(280), 예를 들어 p형 불순물을 이온 주입하여, 상기 소자 분리막(210)의 상기 일 측면과 접하는 상기 제1 및 제2액티브 영역(203, 205)에 패시베이션 영역(220)을 형성한다. 상기 소자 분리막(210)의 형성시 상기 기판(210)의 스트레스 및 손상에 따라 땀글링 본딩 및 손상된 본딩(broken bonding)이 발생될 수 있다. 상기 패시베이션 영역(220)은 상기 땀글링 본딩 및 손상된 본딩 등에 의해 상기 소자 분리막(210)과 후속공정에서 상기 제1 및 제2액티브 영역들(203, 205)에 형성될 포토 다이오드(110, 115)간에 누설전류가 흐르는 것을 방지할 수 있다. 이와 동시에, 상기 소자 분리막(210)의 상기 타 측면과 접하는 상기 제3액티브 영역(207)중 상기 드라이브 트랜지스터(150)가 형성될 부분에 문턱전압 조절층(230)을 형성한다.

[0024] 도 6a, 도 6b, 도 6c를 참조하면, 상기 제2감광막(272)을 제거한다. 상기 기판(200)상에 제3감광막(274)을 형성한다. 상기 제3감광막(274)은 상기 제3액티브 영역(207)의 일부분들을 노출시켜 주는 제3개구부들(275a, 275b)을 구비한다. 상기 제3개구부들(275a, 275b)에 의해 노출되는 부분들은 각각 상기 셀렉트 트랜지스터(160)와 상기 드라이브 트랜지스터(150)의 채널 영역에 대응한다.

[0025] 도 7a, 도 7b, 도 7c를 참조하면, 상기 제3감광막(274)을 이온 주입 마스크로 하여 상기 제3액티브 영역(207)으로 제1도전형의 불순물(281)을 이온 주입한다. 상기 제3액티브 영역(207)에 각각 상기 셀렉트 트랜지스터(160)의 채널 이온 주입층(241)과 상기 드라이브 트랜지스터(150)의 채널 이온 주입층(245)을 형성한다.

[0026] 도 8a, 8b, 8c를 참조하면, 상기 제3감광막(274)을 제거한다. 상기 기판(220)상에 제4감광막(276)을 형성한다. 상기 제4감광막(276)은 상기 제1액티브 영역(203) 및 상기 제2액티브 영역(205)을 노출시키는 제4개구부(277)를 구비한다. 도 9a, 도 9b, 도 9c를 참조하면, 상기 제4감광막(276)을 이온 주입 마스크로 하여 상기 제1액티브 영역(203) 및 제2액티브 영역(205)으로 제2도전형의 불순물, 예를 들어 n형 불순물(282)을 이온주입하여 제1포토 다이오드(110) 및 제2포토 다이오드(115)를 형성한다.

[0027] 도 10a, 도 10b, 도 10c를 참조하면, 상기 제4감광막(276)을 제거한다. 상기 제1포토 다이오드(110) 및 상기 제2포토 다이오드(115)내에 상기 제1도전형의 불순물 영역들(111, 116)을 더 형성할 수도 있다. 상기 기판(200)상에 절연막(250)을 형성하고, 상기 절연막상에 도전막(260)을 형성한다. 도 11a, 도 11b, 도 11c를 참조하면, 상기 절연막(250)과 상기 도전막(260)을 식각하여 제2액티브 영역(207)상에 제1게이트 절연막(251)을 구비하는 제1게이트(261)와 제2게이트 절연막(255)을 구비하는 제2게이트(265)를 형성한다. 상기 제1게이트(261)는 상기 셀렉트 트랜지스터(160)의 게이트로 작용하며, 상기 제2게이트(265)는 상기 드라이브 트랜지스터(150)의 게이트로

작용한다. 상기 제1 및 제2게이트 절연막(251, 255)은 열산화막을 포함할 수 있다. 상기 제1 및 제2게이트(261, 266)은 폴리실리콘막(260)을 포함할 수 있다.

[0028] 도 12a, 도 12b, 도 12c를 참조하면, 상기 제1 및 제2게이트(261, 265)를 포함하는 상기 기판(200)상에 제5감광막(미도시)을 형성한다. 상기 제5감광막은 상기 제1 및 제2게이트(261, 265) 양측의 제3액티브 영역(207)의 일부분을 노출시키는 제5개구부를 구비할 수 있다. 상기 제5감광막을 이온 주입 마스크로 이용하여 상기 제3액티브 영역(207)의 상기 노출된 부분들로 제2도전형의 불순물을 이온주입하여 소오스/드레인용 불순물 영역들(267, 268, 269)을 형성한다. 상기 제1불순물 영역(267)은 상기 셀렉트 트랜지스터(160)의 드레인 영역로 작용하고, 상기 제2불순물 영역(268)은 상기 셀렉트 트랜지스터(160)의 소오스 및 상기 드라이브 트랜지스터(150)의 드레인으로 작용하며, 상기 제3불순물 영역(269)은 상기 드라이브 트랜지스터(150)의 소오스로 작용할 수 있다.

[0029] 상기 제1 내지 제3불순물 영역들(267, 268, 269)을 형성하기 위한 확산 공정시 상기 패시베이션 영역(220)도 활성화되고, 상기 문턱전압 조절층(230)도 활성화될 수 있다. 따라서, 상기 문턱전압 조절층(230)의 p형 불순물들이 게이트(261) 하부의 채널영역으로 확산되어 상기 채널 이온 주입층(241)의 p형 불순물의 농도가 증가되어진다. 그러므로, 상기 셀렉트 트랜지스터(160)의 문턱전압이 상대적으로 상기 드라이브 트랜지스터(150)의 문턱전압보다 낮아지게 된다.

[0030] 다른 실시예로서, 상기 문턱 전압 조절층(230)을 활성화시키기 위해 도 5a, 도 5b, 도 5c의 이온주입공정을 수행한 다음 별도의 열처리공정을 수행할 수도 있다.

[0031] 도 13b는 도 1b의 상기 전원전압(Vdd)과 상기 드라이브 트랜지스터(150)사이에 상기 셀렉트 트랜지스터(150)가 배열되는 이미지 센서 구조에서, 상기 드라이브 트랜지스터(160)의 드레인 노드의 전압에 대응하여 게인 커브가 고전압 영역으로 확장되어진다. 이때, 상기 드레인 노드의 상기 전압은 상기 셀렉트 트랜지스터(160)의 문턱전압에 의해 결정되어진다. 그러므로, 상기 셀렉트 트랜지스터(160)의 문턱전압이 상기 드라이브 트랜지스터(150)의 문턱전압보다 상대적으로 감소하게 되므로, 입력전압(Vin)이 증가함에 따라 출력전압(Vout)이 증가하게 되고, 상기 셀렉트 트랜지스터(160)와 상기 드라이브 트랜지스터(150)가 동일한 문턱전압을 갖는 경우에 비해 출력전압(Vout)의 커브가 V11에서 V22로 이동하게 된다. 이에 따라, 게인이 커브 G11 에서 커브 G22 로 이동하게 되어 고전압 영역으로 확장되어, 공간적 SNR 을 개선시킬 수 있다.

[0032] 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

도면의 간단한 설명

[0033] 도 1a는 본 발명의 실시예에 따른 이미지 센서의 단위화소의 개략적인 평면도이다.

[0034] 도 1b는 도 1a의 이미지 센서의 단위화소의 등가 회로도이다.

[0035] 도 2a 내지 도 12a는 본 발명의 이미지 센서의 제조방법을 설명하기 위한 평면도이다.

[0036] 도 2b 내지 도 12b는 도 2a 내지 도 12a의 B-B 선에 따른 이미지 센서의 제조방법을 설명하기 위한 단면도이다.

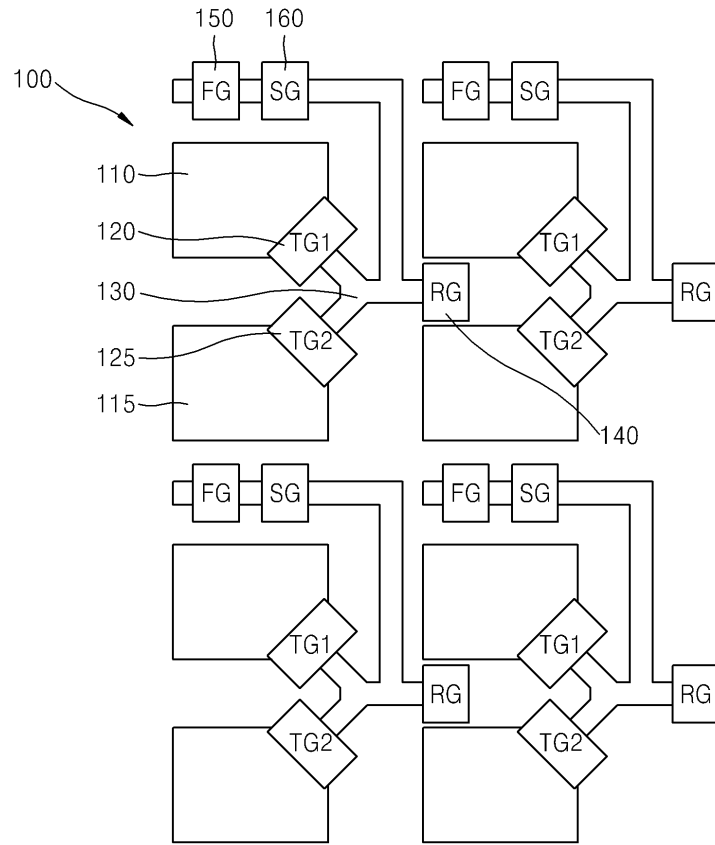
[0037] 도 2c 내지 도 12c는 도 2a 내지 도 12c의 C-C 선에 따른 이미지 센서의 제조방법을 설명하기 위한 단면도이다.

[0038] 도 13a는 종래의 이미지 센서의 입력 전압에 대한 출력전압 및 게인을 보여주는 도면이다.

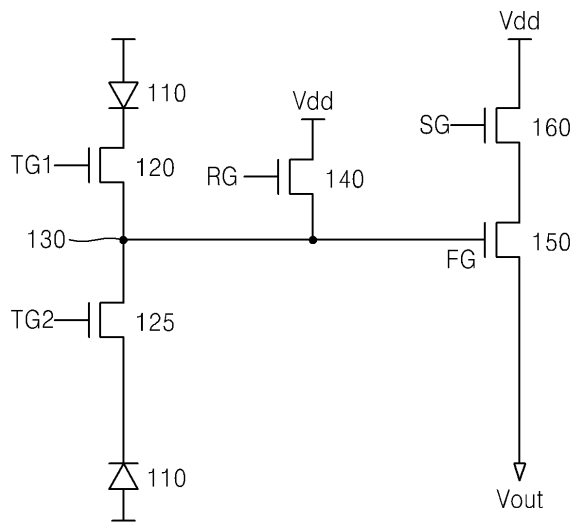
[0039] 도 13b는 본 발명의 이미지 센서의 입력 전압에 대한 출력전압 및 게인을 보여주는 도면이다.

도면

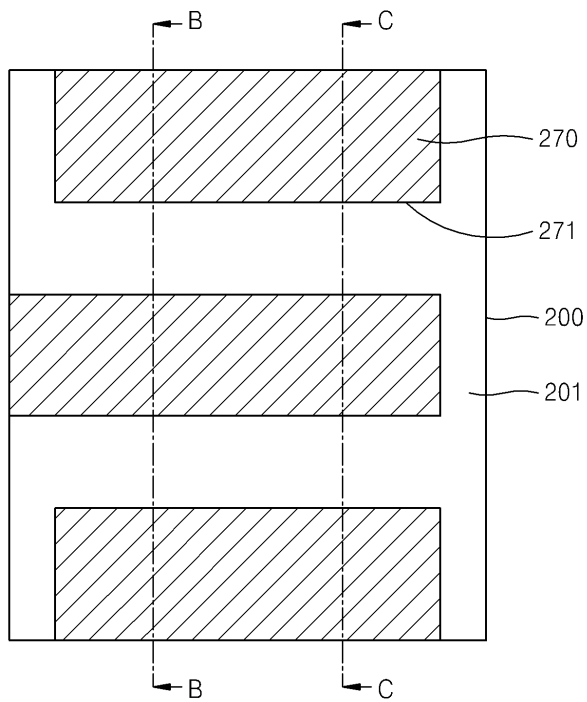
도면1a



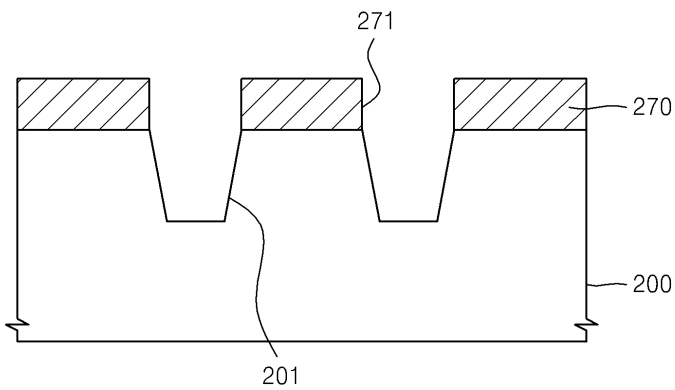
도면1b



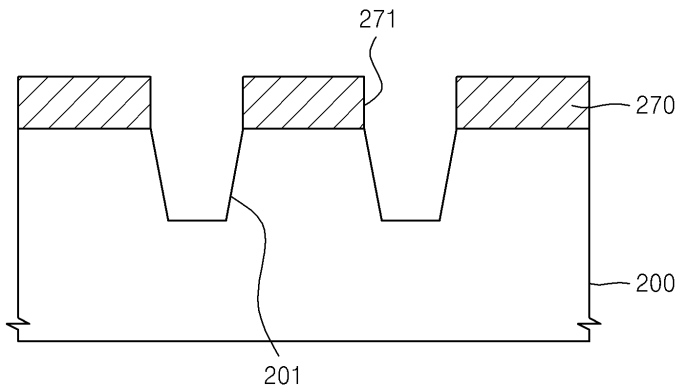
도면2a



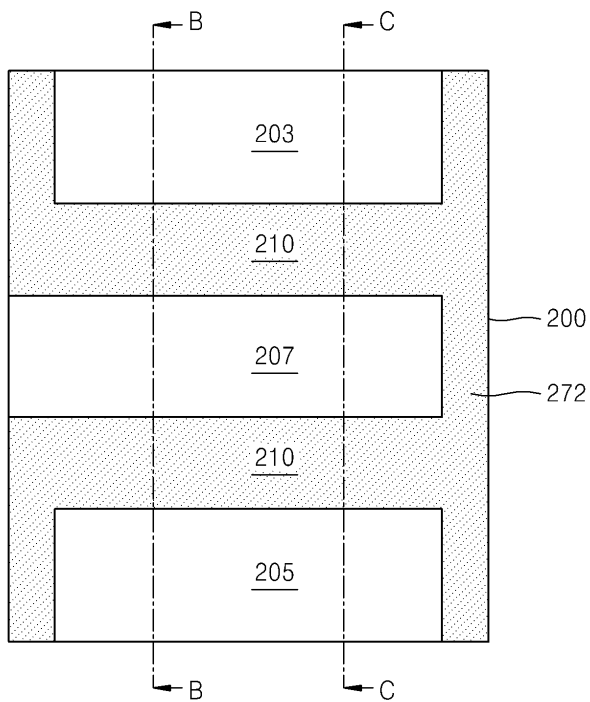
도면2b



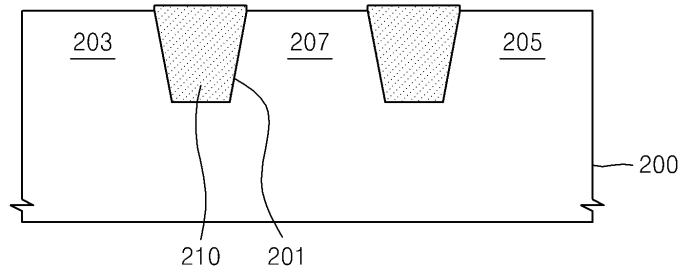
도면2c



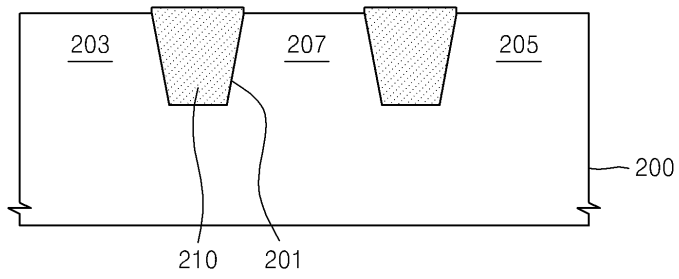
도면3a



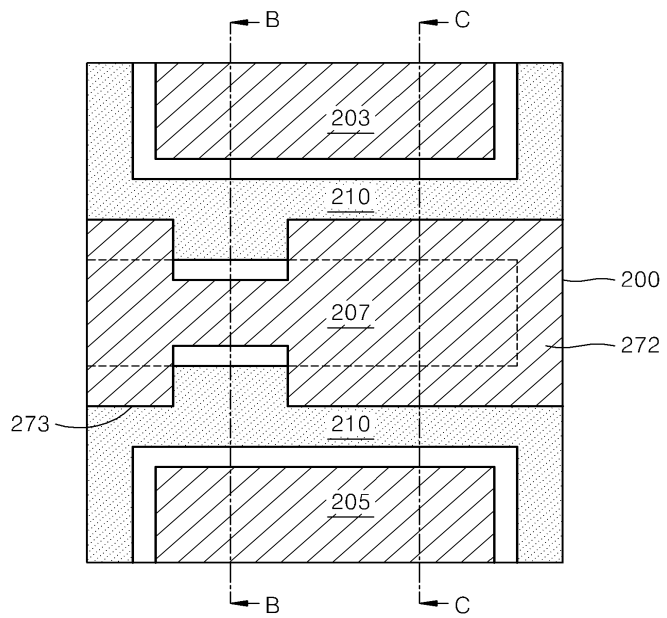
도면3b



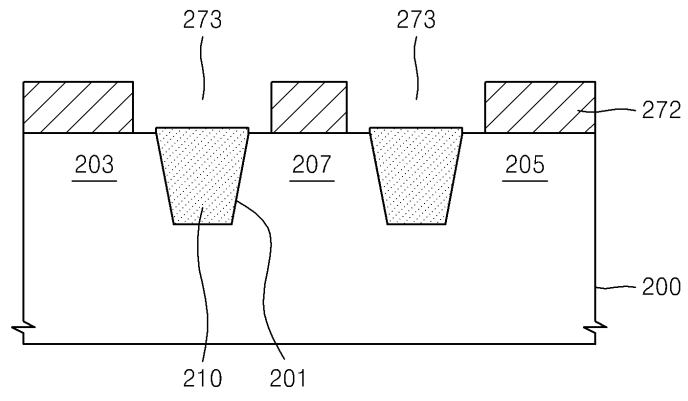
도면3c



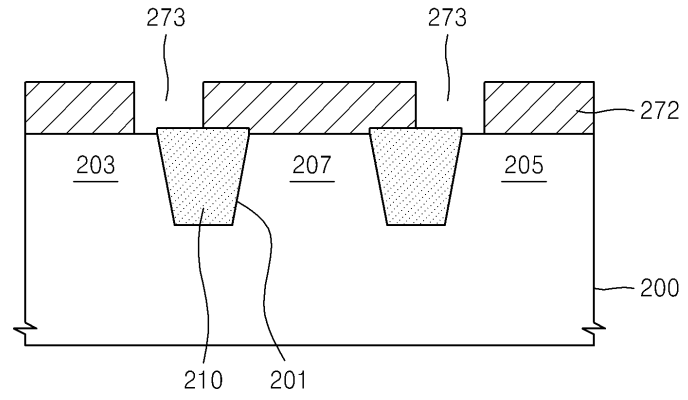
도면4a



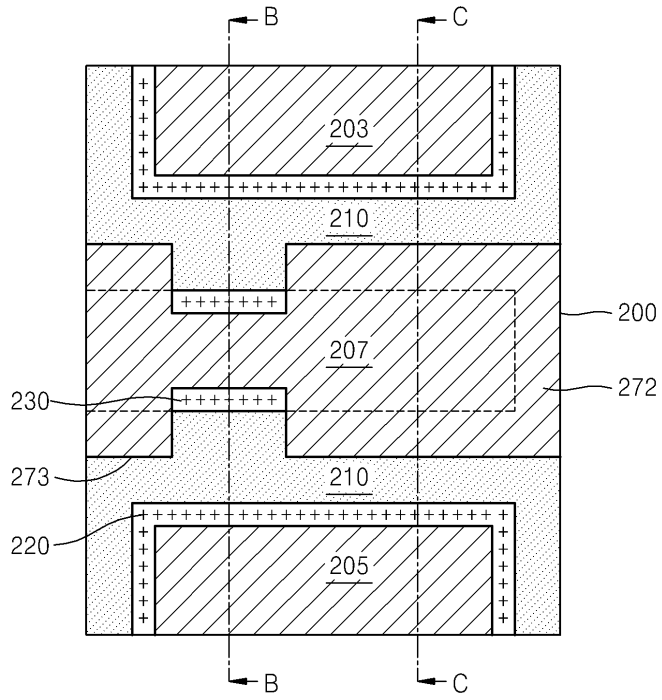
도면4b



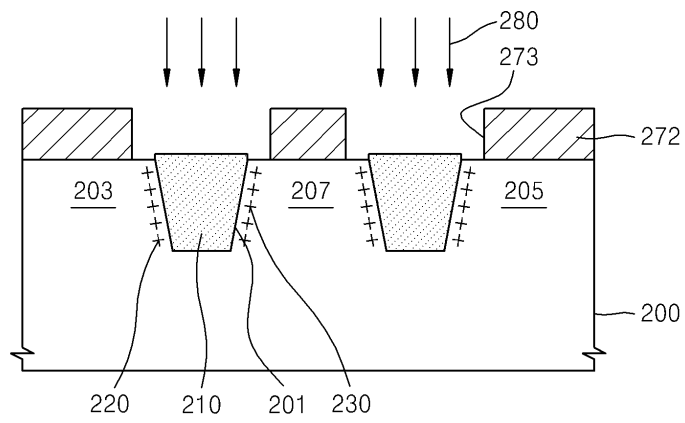
도면4c



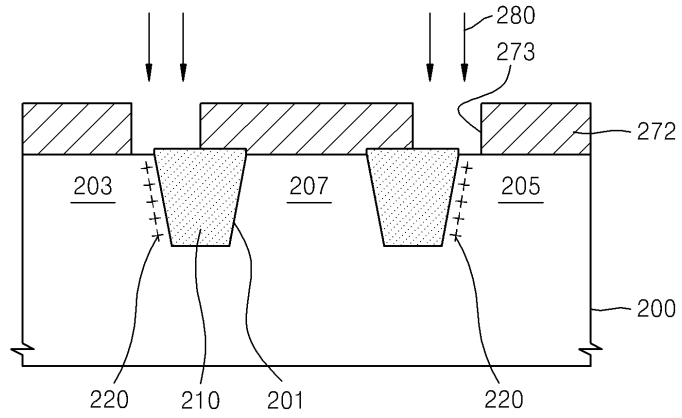
도면5a



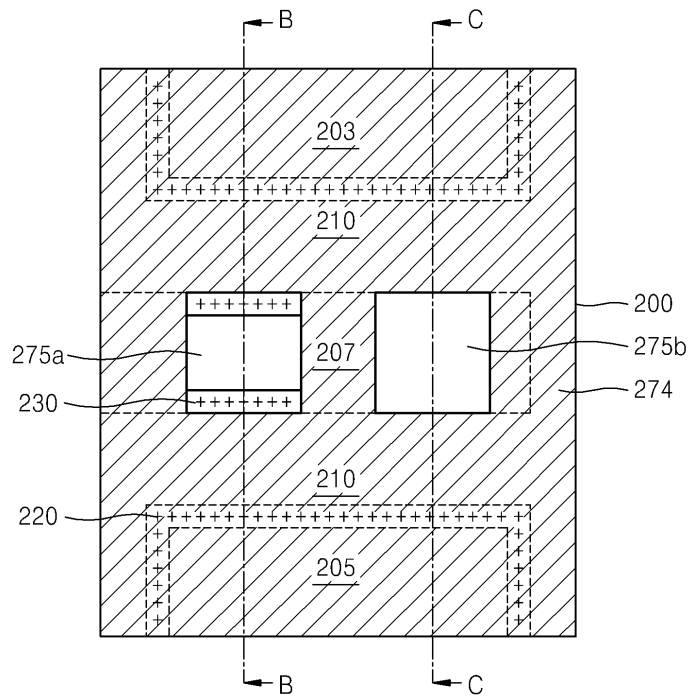
도면5b



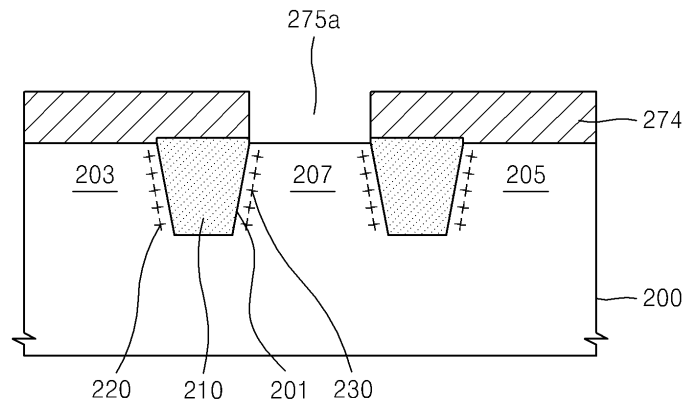
도면5c



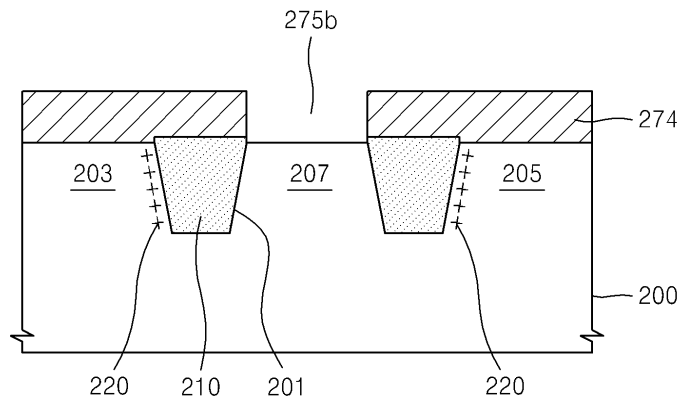
도면6a



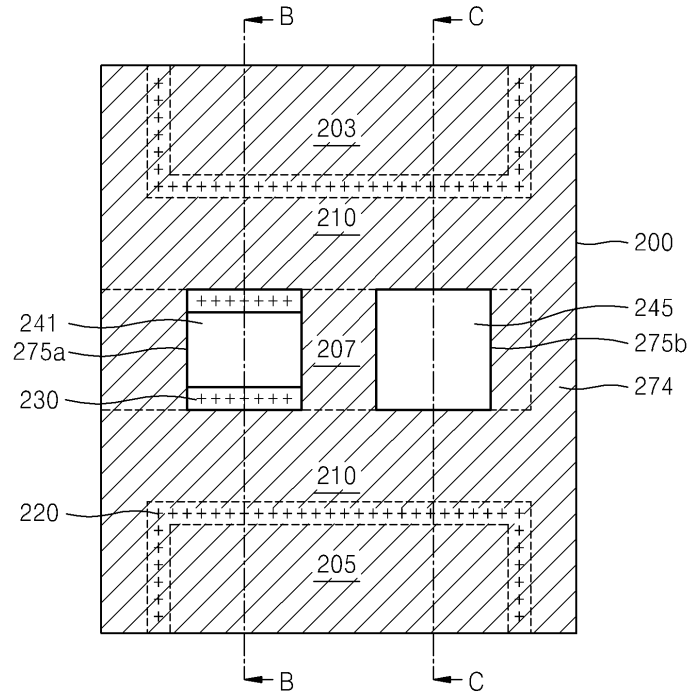
도면6b



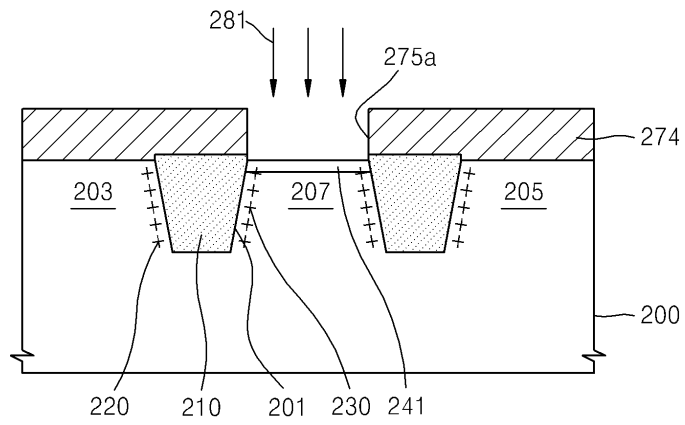
도면6c



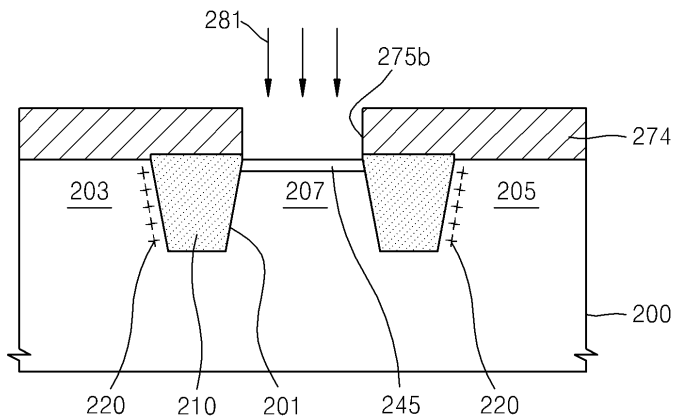
도면7a



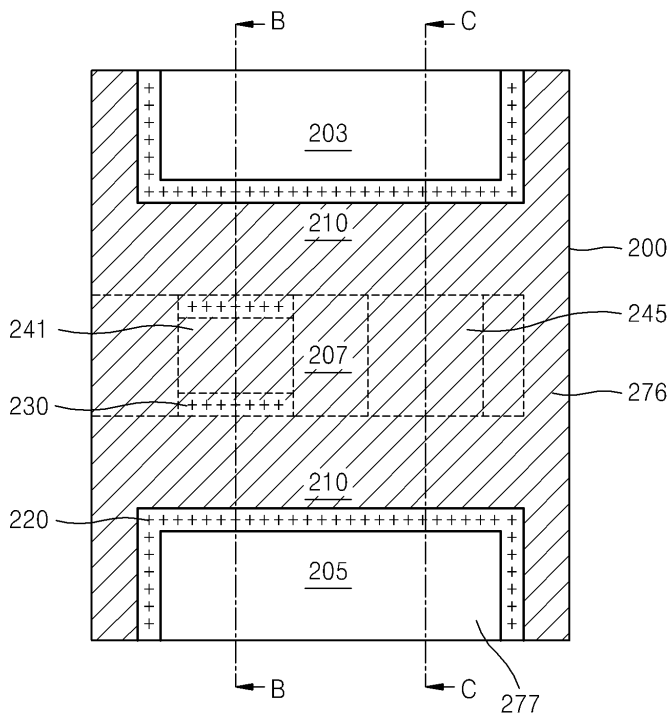
도면7b



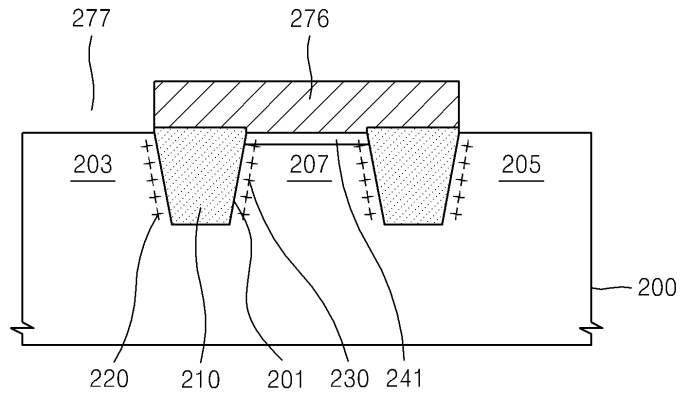
도면7c



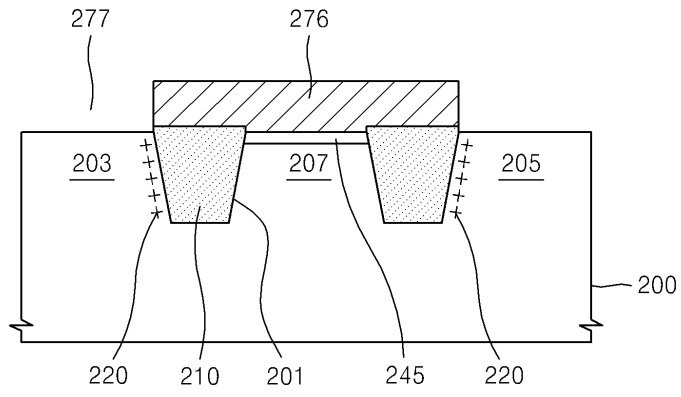
도면8a



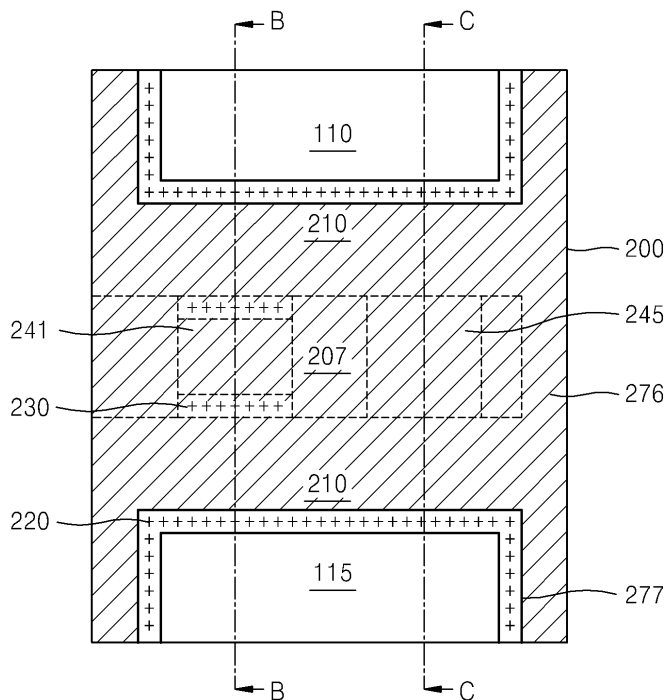
도면8b



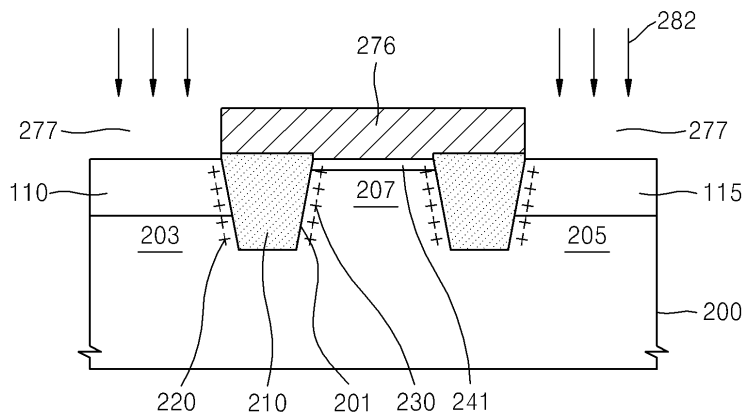
도면8c



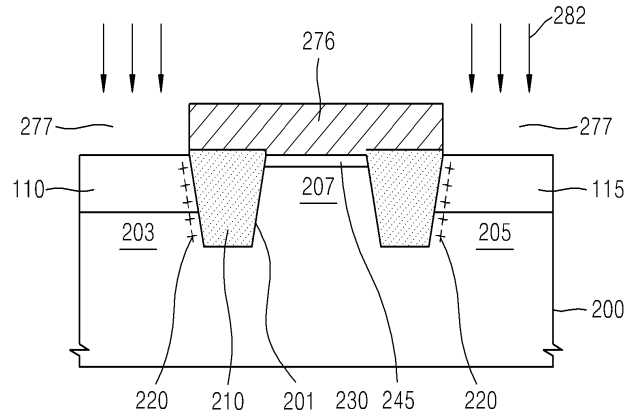
도면9a



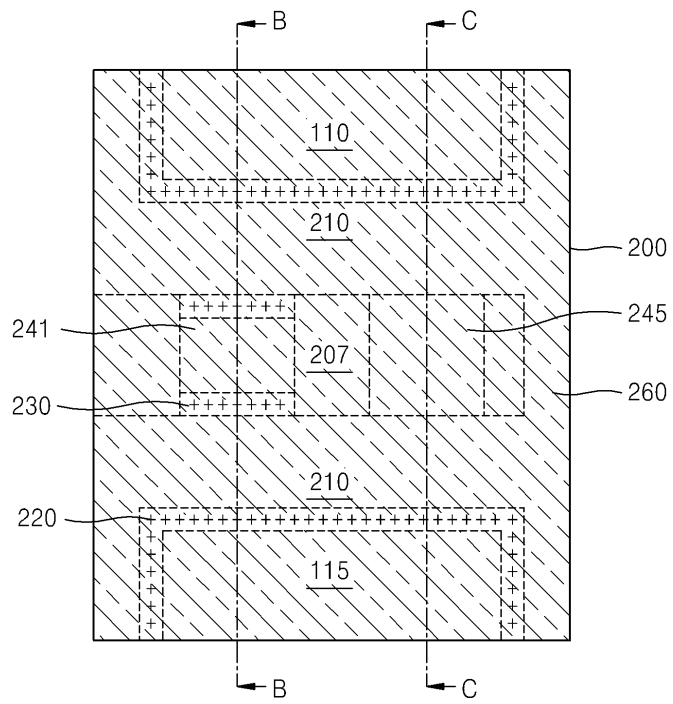
도면9b



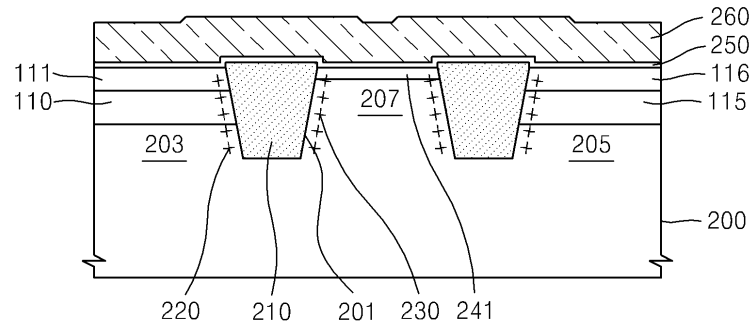
도면9c



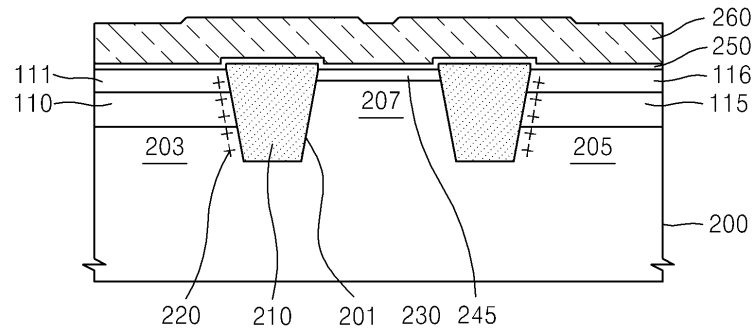
도면10a



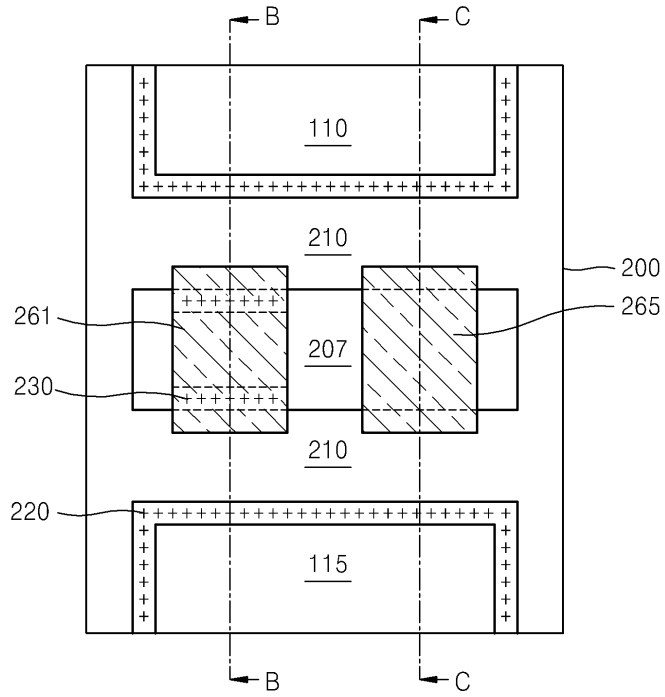
도면10b



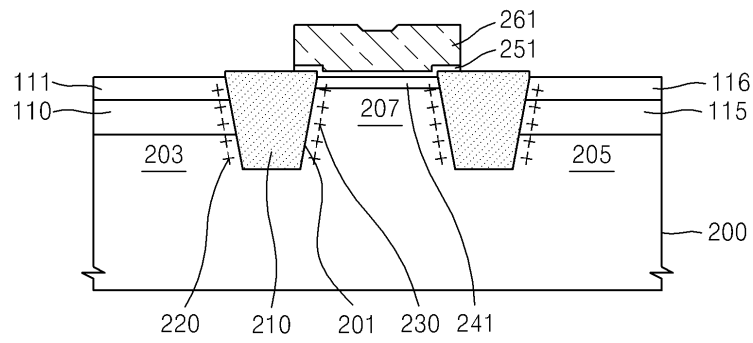
도면10c



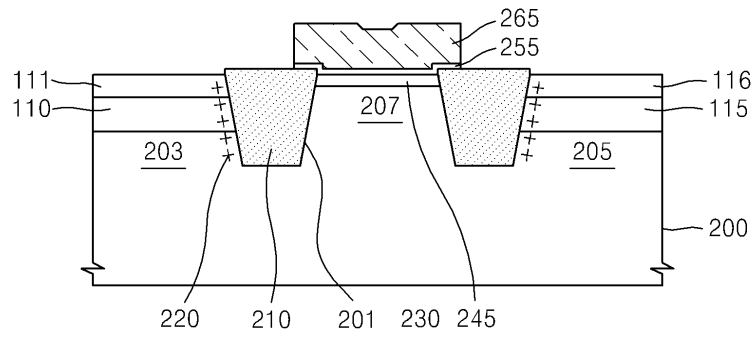
도면11a



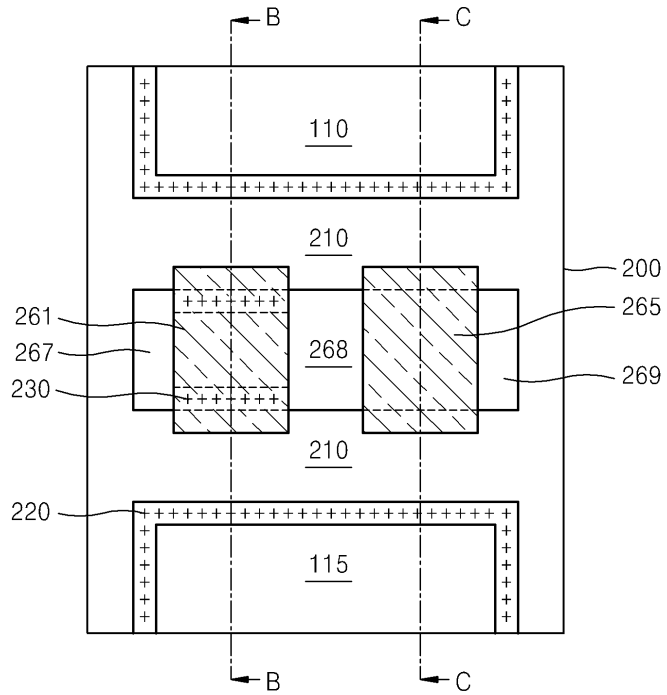
도면11b



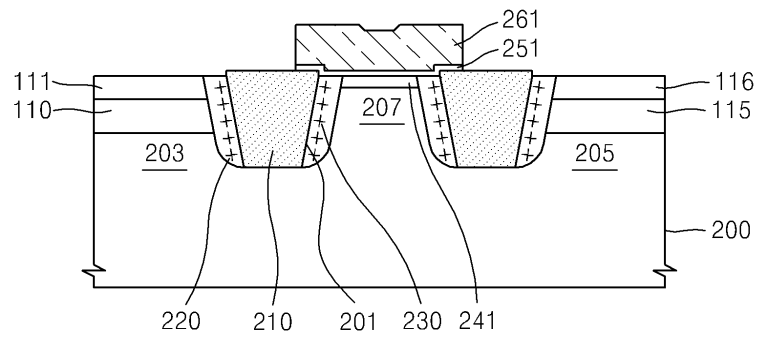
도면11c



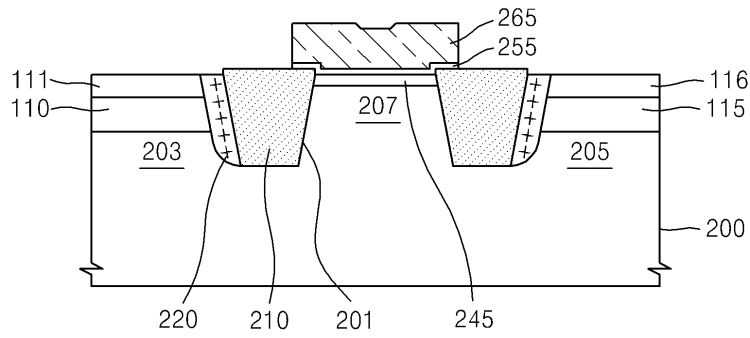
도면12a



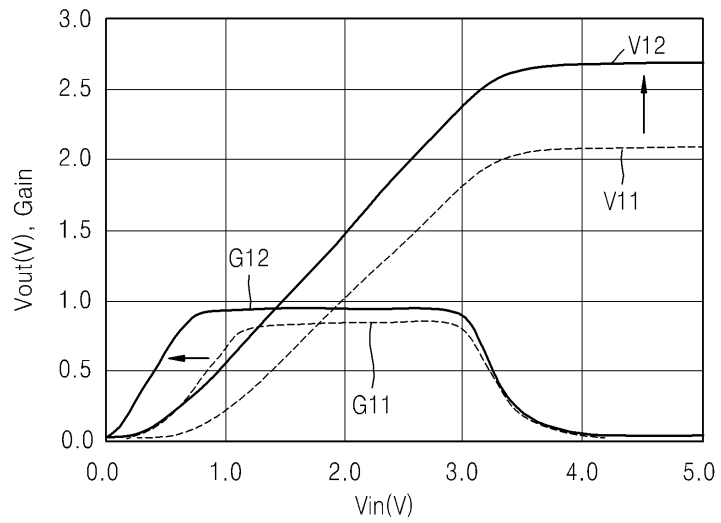
도면12b



도면12c



도면13a



도면13b

