

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2008-146807
(P2008-146807A)

(43) 公開日 平成20年6月26日(2008.6.26)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/417 (2006.01)	G 1 1 C 11/34 3 0 5	5 B 0 1 5
H 0 3 K 19/20 (2006.01)	H 0 3 K 19/20	5 J 0 4 2

審査請求 未請求 請求項の数 15 O L (全 14 頁)

(21) 出願番号 (22) 出願日 (31) 優先権主張番号 (32) 優先日 (33) 優先権主張国	特願2007-215679 (P2007-215679) 平成19年8月22日 (2007. 8. 22) 10-2006-0123574 平成18年12月7日 (2006. 12. 7) 韓国 (KR)	(71) 出願人 591024111 株式会社ハイニックスセミコンダクター HYNIX SEMICONDUCTOR INC. 大韓民国京畿道利川市夫鉢邑牙美里山136-1 San 136-1, Ami-Ri, Bubaal-Eup, Ichon-Shi, Kyoungki-Do, Korea (74) 代理人 100117514 弁理士 佐々木 敦朗 (72) 発明者 辛 範 柱 大韓民国京畿道利川市夫鉢邑牙美里山136-1 最終頁に続く
--	--	--

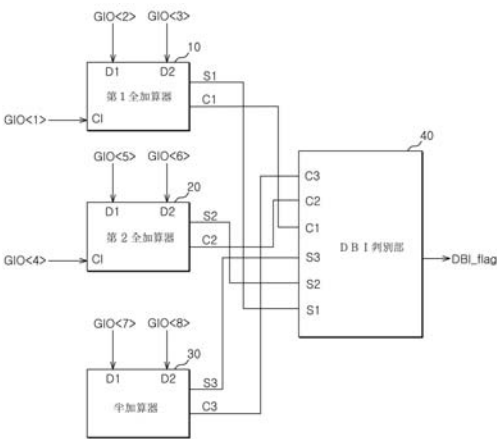
(54) 【発明の名称】 半導体集積回路のDBI信号生成装置および方法

(57) 【要約】

【課題】面積マージンを増加させ、高集積化の実現を可能にする半導体集積回路のDBI信号生成装置および方法を提供する。

【解決手段】データ入力端D1、D2とキャリー入力端CIにデータが各々入力されて、これを演算して合計とキャリーを出力する全加算器10、20と、データ入力端D1、D2にデータが各々入力されて、これを演算して合計とキャリーを出力する半加算器30と、前記全加算器10、20と前記半加算器30から伝えられる合計とキャリーから前記データの論理値を判別してDBI信号を生成するDBI判別部40を含む。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

データ入力端とキャリー入力端にデータが各々入力されて、これを演算して合計とキャリーを出力する全加算器と、

データ入力端にデータが各々入力されて、これを演算して合計とキャリーを出力する半加算器と、

前記全加算器と前記半加算器から伝えられる合計とキャリーから前記データの論理値を判別して DBI (Data Bus Inversion) 信号を生成する DBI 判別部と

を含むことを特徴とする半導体集積回路の DBI 信号生成装置。

10

【請求項 2】

前記 DBI 判別部は、前記全加算器と前記半加算器に入力される複数のデータ中の第 1 論理値を有するデータが所定個数以上であれば前記 DBI 信号をイネーブルさせ、前記所定個数未満であれば前記 DBI 信号をディスエーブルさせることを特徴とする請求項 1 に記載の半導体集積回路の DBI 信号生成装置。

【請求項 3】

2 個のデータ入力端と 1 個のキャリー入力端に各々データが入力されて、加算して、各々の合計とキャリーを出力する第 1 全加算器および第 2 全加算器と、

2 個のデータ入力端に各々データが入力されて、加算して合計とキャリーを出力する半加算器と、

20

前記第 1 全加算器および第 2 全加算器と前記半加算器から合計とキャリーが伝達され、前記第 1 全加算器および第 2 全加算器と前記半加算器に入力されるデータ中の第 1 論理値のデータの数が半分を超過すればイネーブルになる DBI 信号を生成する DBI 判別部とを含むことを特徴とする半導体集積回路の DBI 信号生成装置。

【請求項 4】

前記 DBI 判別部は、前記第 1 全加算器および第 2 全加算器と前記半加算器から伝えられるキャリーがいずれも前記第 1 論理値を有すれば前記 DBI 信号をイネーブルさせることを特徴とする請求項 3 に記載の半導体集積回路の DBI 信号生成装置。

【請求項 5】

前記 DBI 判別部は、前記第 1 全加算器および第 2 全加算器から伝えられるキャリーと前記半加算器から伝えられる合計がいずれも前記第 1 論理値を有すれば前記 DBI 信号をイネーブルさせることを特徴とする請求項 3 に記載の半導体集積回路の DBI 信号生成装置。

30

【請求項 6】

前記 DBI 判別部は、前記第 1 全加算器および第 2 全加算器から伝えられる合計のうち少なくとも 1 個の合計が前記第 1 論理値を有する場合、前記第 1 全加算器および第 2 全加算器および前記半加算器から伝えられるキャリーのうち少なくとも 2 個のキャリーが前記第 1 論理値を有すれば前記 DBI 信号をイネーブルさせることを特徴とする請求項 3 に記載の半導体集積回路の DBI 信号生成装置。

【請求項 7】

40

前記 DBI 判別部は、前記第 1 全加算器および第 2 全加算器と前記半加算器から伝えられるキャリーがいずれも前記第 1 論理値を有し、前記第 1 全加算器および第 2 全加算器から伝えられるキャリーのうち少なくとも 1 個のキャリーが前記第 1 論理値を有すれば前記 DBI 信号をイネーブルさせることを特徴とする請求項 3 に記載の半導体集積回路の DBI 信号生成装置。

【請求項 8】

前記 DBI 判別部は、

前記第 2 全加算器の出力キャリーと前記半加算器の出力キャリーが入力される第 1 ナンドゲートと、

前記第 1 全加算器の出力キャリーと前記半加算器の出力キャリーが入力される第 2 ナン

50

ドゲートと、

前記第 1 全加算器の出力キャリーと前記第 2 全加算器の出力キャリーが入力される第 3 ナンドゲートと、

前記第 2 全加算器の出力合計が入力される第 1 インバータと、

前記第 1 全加算器の出力合計が入力される第 2 インバータと、

前記第 2 全加算器の出力キャリーが入力される第 3 インバータと、

前記第 1 全加算器の出力キャリーが入力される第 4 インバータと、

前記第 1 ナンドゲートの出力信号が入力される第 5 インバータと、

前記第 1、第 2 および第 3 ナンドゲートの出力信号が入力される第 4 ナンドゲートと、

前記第 3 ナンドゲートの出力信号が入力される第 6 インバータと、

10

前記第 1 および第 2 インバータの出力信号が入力される第 5 ナンドゲートと、

前記第 3 および第 4 インバータの出力信号が入力される第 6 ナンドゲートと、

前記第 5 インバータの出力信号と前記第 1 全加算器の出力キャリーが入力される第 7 ナンドゲートと、

前記第 2 全加算器の出力合計と前記第 6 インバータの出力信号が入力される第 8 ナンドゲートと、

前記第 4 および第 5 ナンドゲートの出力信号が入力される第 9 ナンドゲートと、

前記第 6 ナンドゲートの出力信号、前記第 1 全加算器の出力合計、前記第 2 全加算器の出力合計および前記半加算器の出力合計が入力される第 10 ナンドゲートと、

前記第 7、第 8、第 9 および第 10 ナンドゲートの出力信号が入力されて、前記 D B I 信号を出力する第 11 ナンドゲートと

20

を含むことを特徴とする請求項 3～請求項 7 のいずれか一項に記載の半導体集積回路の D B I 信号生成装置。

【請求項 9】

全加算器のデータ入力端とキャリー入力端にデータを各々入力して合計とキャリーを生成して、半加算器のデータ入力端にデータを各々入力して合計とキャリーとを生成するステップと、

前記全加算器および前記半加算器で生成された合計とキャリーから前記データの論理値を判別して D B I 信号を生成するステップと

を含むことを特徴とする半導体集積回路の D B I 信号生成方法。

30

【請求項 10】

前記 D B I 信号を生成するステップは、前記全加算器と前記半加算器に入力される複数のデータ中の第 1 論理値を有するデータが所定個数以上であれば前記 D B I 信号をイネーブルさせ、前記所定個数未満であれば前記 D B I 信号をディスエーブルさせることを特徴とする請求項 9 に記載の半導体集積回路の D B I 信号生成方法。

【請求項 11】

第 1 全加算器および第 2 全加算器に各々備わった 2 個のデータ入力端と 1 個のキャリー入力端に各々データを入力して、各々の合計とキャリーとを生成して、半加算器の 2 個のデータ入力端に各々データを入力して合計とキャリーとを生成するステップと、

前記第 1 全加算器および第 2 全加算器と前記半加算器で生成された合計とキャリーが伝達され、前記第 1 全加算器および第 2 全加算器と前記半加算器に入力されるデータ中の第 1 論理値のデータの数が半分を超過すればイネーブルになる D B I 信号を生成するステップと

40

を含むことを特徴とする半導体集積回路の D B I 信号生成方法。

【請求項 12】

前記 D B I 信号を生成するステップは前記第 1 全加算器および第 2 全加算器と前記半加算器から各々出力されるキャリーがいずれも前記第 1 論理値を有すれば前記 D B I 信号をイネーブルさせることを特徴とする請求項 11 に記載の半導体集積回路の D B I 信号生成方法。

【請求項 13】

50

前記 D B I 信号を生成するステップは、前記第 1 全加算器および第 2 全加算器から各々出力されるキャリーと前記半加算器から出力される合計がいずれも前記第 1 論理値を有すれば前記 D B I 信号をイネーブルさせることを特徴とする請求項 11 に記載の半導体集積回路の D B I 信号生成方法。

【請求項 14】

前記 D B I 信号を生成するステップは、前記第 1 全加算器および第 2 全加算器から各々出力される合計のうち少なくとも 1 個の合計が前記第 1 論理値を有する場合、前記第 1 全加算器および第 2 全加算器と前記半加算器から各々出力されるキャリーのうち少なくとも 2 個のキャリーが前記第 1 論理値を有すれば前記 D B I 信号をイネーブルさせることを特徴とする請求項 11 に記載の半導体集積回路の D B I 信号生成方法。

10

【請求項 15】

前記 D B I 信号を生成するステップは、前記第 1 全加算器および第 2 全加算器と前記半加算器から各々出力されるキャリーがいずれも前記第 1 論理値を有し、前記第 1 および第 2 全加算器から各々出力されるキャリーのうち少なくとも 1 個のキャリーが前記第 1 論理値を有すれば前記 D B I 信号をイネーブルさせることを特徴とする請求項 11 に記載の半導体集積回路の D B I 信号生成方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路の D B I (Data Bus Inversion) 信号生成装置および方法に関し、より詳しくは、面積マージンを増加させる半導体集積回路の D B I 信号生成装置および方法に関するものである。

20

【背景技術】

【0002】

一般的に半導体記憶装置のような半導体集積回路は、2 の倍数個の単位（例えば、128 個、256 個）でデータの出力動作を行う。このため、半導体集積回路は出力データの数ほどのデータ出力バッファを備え、グローバル入出力ラインから伝えられる各々のデータを駆動する。各データ出力バッファには M O S トランジスタが備えられ、各 M O S トランジスタはデータのレベルに応答してデータを駆動し、これをチップの外部に出力する。

【0003】

データ出力バッファを構成する各々の M O S トランジスタは、データの論理値によりその状態が決定される。例えば、N M O S トランジスタで実現されたデータ出力バッファにハイレベルのデータが伝えられれば、前記 N M O S トランジスタはターンオンされ、これによって、前記 N M O S トランジスタのドレーン端とソース端との間には電流が流れるようになる。このように、複数のデータ出力バッファに備わった複数の M O S トランジスタのうちの電流が流れる M O S トランジスタが多いほど、半導体集積回路の電流損失が大きくなるようになり、それにより電力効率が減少するようになる。

30

【0004】

従来技術に係る半導体集積回路は、上述したような電流損失問題を解決するために D B I という技術を導入した（例えば、非特許文献 1 参照）。前記 D B I 技術は、所定個数単位（例えば、8 個）のデータのうちのいくつかのデータがデータ出力バッファのトランジスタに電流を発生させるか否かを判別して、電流を発生させるデータが多ければデータを反転させることによって電流損失を減少させる技術である。例えば、データ出力バッファに N M O S トランジスタが備わっている場合、半導体集積回路は 8 個のデータのうちハイレベルのデータが 5 個未満であれば、データを反転せずにデータ出力バッファに伝達する。反面半導体集積回路は、8 個のデータのうちハイレベルのデータが 5 個以上であれば、データを反転してデータ出力バッファに伝達する。

40

【0005】

このような動作を行うために、半導体集積回路は D B I 信号生成装置を備える。D B I 信号生成装置は、上述したように電流を発生させるデータの数を判別して D B I 信号を生

50

成する。すなわち、DBI信号がイネーブルになれば、DBI制御装置はデータ出力バッファに伝えられるデータを反転させる。反面DBI信号がディスエーブルになれば、前記DBI制御装置はデータ出力バッファに伝えられるデータを反転させない。このようなDBI技術は、半導体記憶装置だけでなくGPU(Graphic Processing Unit)のような半導体集積回路にも適用され、低電力消費を追求する大部分の半導体集積回路で実現可能な技術である。

【0006】

以下、従来の技術に係るDBI信号生成装置を図1を参照して説明すれば次の通りである。

図1は、従来の技術に係る半導体集積回路のDBI信号生成装置の構成を示すブロック図であり、グローバル入出力ラインから伝えられる8個のデータGIO<1:8>からDBI信号DBI_flagを生成するDBI信号生成装置を示すものである。

【0007】

図に示すように、前記DBI信号生成装置は、4個の2入力カウンタ2と、2個の6入力カウンタ4、および1個の8入力カウンタ6を備える。各々の2入力カウンタ2は、グローバル入出力ラインを介して伝えられる8個のデータGIO<1:8>のうち2つずつが入力される。各2入力カウンタ2は、2個のデータにハイレベル、すなわち論理値「1」を有するデータの数がいくつであるかを判別して、各々第1の0個判別信号dtng1<0>、第1の1個判別信号dtng1<1>、および第1の2個判別信号dtng1<2>のうちいずれか1つをイネーブルさせる。以後、各々の6入力カウンタ4は、前記4個の2入力カウンタ2のうち2個の2入力カウンタ2から伝えられる2個の前記第1の0個判別信号dtng1<0>、2個の前記第1の1個判別信号dtng1<1>、および2個の前記第1の2個判別信号dtng1<2>を用いて、4個のデータに論理値「1」を有するデータの数がいくつであるかを判別して、各々第2の0個判別信号dtng2<0>、第2の2個判別信号dtng2<2>、第2の3個判別信号dtng2<3>、および第2の4個判別信号dtng2<4>がイネーブルであるか否かを決定する。この時、前記4個のデータに論理値「1」が1つ含まれれば、前記第2の0個判別信号dtng2<0>、前記第2の2個判別信号dtng2<2>、前記第2の3個判別信号dtng2<3>、および前記第2の4個判別信号dtng2<4>はいずれもディスエーブルになる。

【0008】

以後、前記8入力カウンタ6は、前記2個の6入力カウンタ4から伝えられる2個の前記第2の0個判別信号dtng2<0>、2個の前記第2の2個判別信号dtng2<2>、2個の前記第2の3個判別信号dtng2<3>、および2個の前記第2の4個判別信号dtng2<4>を用いて、前記8個のデータに含まれたデータ中の論理値「1」の数がいくつであるかを判別してDBI信号DBI_flagがイネーブルであるか否かを決定する。すなわち、前記8入力カウンタ6は、前記8個のデータに含まれたデータ中の論理値「1」の数が5個以上であれば前記DBI信号DBI_flagをイネーブルさせ、前記8個のデータに含まれたデータ中の論理値「1」の数が5個未満であれば前記DBI信号DBI_flagをディスエーブルさせる。

【0009】

上述したように構成された従来の技術に係るDBI信号生成装置は、3段階の演算過程を実現するために7個のカウンタを備えたため、その占める面積が小さくなかった。また、2入力カウンタの信号出力ラインは、信号入力ラインに比べて、その数が1.5倍増加した形態であるため、DBI信号生成装置の高集積化の実現に技術的限界として作用した。すなわち、従来の技術に係るDBI信号生成装置の構成は、面積マージンを増加させるのに容易ではなかった。

【非特許文献1】株式会社ハイニックス・セミコンダクター・ジャパン、報道資料“ハイニックス半導体、世界最高速 / 最大容量グラフィックメモリー開発”、[online]、2005年12月5日、株式会社ハイニックス・セミコンダクター・ジャパン、[平成

10

20

30

40

50

19年8月21日検索]、インターネット<URL: http://hsj.hynix.com/hsj/03_pr/news/20051230_171308_press_release_hsj.jsp>

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明は、上述した問題点を解決するために案出されたものであり、面積マージンを増加させ、高集積化の実現を可能にする半導体集積回路のDBI信号生成装置および方法を提供することにその技術的課題がある。

【0011】

また、本発明は、電流消費を減少させ、電力効率を向上させる半導体集積回路のDBI信号生成装置および方法を提供することに他の技術的課題がある。

10

【課題を解決するための手段】

【0012】

上述した技術的課題を達成するための本発明の一実施形態に係る半導体集積回路のDBI信号生成装置は、データ入力端とキャリー入力端にデータが各々入力されて、これを演算して合計とキャリーを出力する全加算器と、データ入力端にデータが各々入力されて、これを演算して合計とキャリーを出力する半加算器と、前記全加算器と前記半加算器から伝えられる合計とキャリーから前記データの論理値を判別してDBI信号を生成するDBI判別部と、を含むことを特徴とする。

【0013】

20

また、本発明の他の実施形態に係る半導体集積回路のDBI信号生成装置は、2個のデータ入力端と1個のキャリー入力端に各々データが入力されて、加算して、各々の合計とキャリーを出力する第1全加算器および第2全加算器と、2個のデータ入力端に各々データが入力されて、加算して合計とキャリーを出力する半加算器と、前記第1全加算器および第2全加算器と前記半加算器から合計とキャリーが伝達され、前記第1全加算器および第2全加算器と前記半加算器に入力されるデータ中の第1論理値のデータの数が半分を超過すればイネーブルになるDBI信号を生成するDBI判別部と、を含むことを特徴とする。

【0014】

そして本発明の一実施形態に係る半導体集積回路のDBI信号生成方法は、全加算器のデータ入力端とキャリー入力端にデータを各々入力して合計とキャリーを生成して、半加算器のデータ入力端にデータを各々入力して合計とキャリーとを生成するステップと、前記全加算器および前記半加算器で生成された合計とキャリーから前記データの論理値を判別してDBI信号を生成するステップと、を含むことを特徴とする。

30

【0015】

また、本発明の他の実施形態に係る半導体集積回路のDBI信号生成方法は、第1全加算器および第2全加算器に各々備わった2個のデータ入力端と1個のキャリー入力端に各々データを入力して、各々の合計とキャリーとを生成して、半加算器の2個のデータ入力端に各々データを入力して合計とキャリーとを生成するステップと、前記第1全加算器および第2全加算器と前記半加算器で生成された合計とキャリーが伝達され、前記第1全加算器および第2全加算器と前記半加算器に入力されるデータ中の第1論理値のデータの数が半分を超過すればイネーブルになるDBI信号を生成するステップと、を含むことを特徴とする。

40

【発明の効果】

【0016】

本発明の半導体集積回路のDBI信号生成装置および方法は、備える素子の数とラインの数とを減少させ、面積マージンを向上させて高集積化の実現を可能にする効果がある。

【0017】

合わせて、本発明の半導体集積回路のDBI信号生成装置および方法は、相対的に少ない数の素子を用いて動作することによって、電流消費を減少させて電力効率を向上させる

50

効果がある。

【発明を実施するための最良の形態】

【0018】

以下では添付された図面を参照して、本発明の好ましい実施形態をより詳細に説明することにする。

図2は、本発明の一実施形態に係る半導体集積回路のDBI信号生成装置の構成を示すブロック図であって、グローバル入出力ラインから伝えられる8個のデータGIO<1:8>からDBI信号DBI__flagを生成するDBI信号生成装置を示すものである。

【0019】

図に示すように、前記DBI信号生成装置は、第1全加算器10、第2全加算器20、半加算器30およびDBI判別部40を含む。

10

【0020】

前記第1全加算器10は、キャリー入力端CIに第1データGIO<1>が、第1データ入力端D1に第2データGIO<2>が、第2データ入力端D2に第3データGIO<3>が入力されて、これを加算して第1合計S1と第1キャリーC1とを出力する。

【0021】

前記第2全加算器20は、キャリー入力端CIに第4データGIO<4>が、第1データ入力端D1に第5データGIO<5>が、第2データ入力端D2に第6データGIO<6>が入力されて、これを加算して第2合計S2と第2キャリーC2とを出力する。

【0022】

前記半加算器30は、第1データ入力端D1に第7データGIO<7>が、第2データ入力端D2に第8データGIO<8>が入力されて、これを加算して第3合計S3と第3キャリーC3とを出力する。

20

【0023】

前記第1および第2全加算器10、20は3個のデータを加算し、前記半加算器30は2個のデータを加算する。前記半加算器30から出力される前記第3合計S3と前記第3キャリーC3は同時に論理値「1」を有することができない。

【0024】

前記DBI判別部40には、前記第1合計S1、前記第2合計S2、前記第3合計S3、前記第1キャリーC1、前記第2キャリーC2、および前記第3キャリーC3が入力される。これから前記DBI判別部40は第1～8データGIO<1:8>に含まれた論理値「1」のデータの数を判別してDBI信号DBI__flagを生成する。前記DBI判別部40は、論理値「1」であるデータの数が5個以上であれば前記DBI信号DBI__flagをイネーブルし、論理値「1」であるデータの数が5個未満であれば前記DBI信号DBI__flagをディスエーブルする。

30

前記DBI判別部40が前記8個のデータGIO<1:8>のうち論理値「1」であるデータの数を判別するのは次のような論理に従う。

【0025】

前記第1キャリーC1、前記第2キャリーC2、および前記第3キャリーC3が全て論理値「1」を有する場合には、前記8個のデータGIO<1:8>のうち論理値「1」であるデータが少なくとも6個であるため前記DBI信号DBI__flagがイネーブルになる。

40

これを式で表せば数式1のようになる。

(数1)

$$\text{DBI信号DBI__flag} = C1 * C2 * C3$$

【0026】

前記第1キャリーC1、前記第2キャリーC2、および前記第3キャリーC3のうち2個のキャリーが論理値「1」を有する場合には、前記第1合計S1、前記第2合計S2および前記第3合計S3のうち少なくともいずれか1つが論理値「1」を有する時、前記DBI信号DBI__flagがイネーブルになる。この時、前記第3合計S3と前記第3キ

50

ャリー C 3 は同時に論理値「1」を有さないという点を考慮しなければならない。

これを式で表せば数式 2 のようになる。

(数 2)

$$\text{DBI 信号 DBI_flag} = C1 * C2 * (S1 + S2 + S3) + C1 * C3 * (S1 + S2) + C2 * C3 * (S1 + S2) = C1 * C2 * S3 + (C1 * C2 + C2 * C3 + C1 * C3) * (S1 + S2)$$

【0027】

前記第 1 キャリー C 1 と前記第 2 キャリー C 2 とのうち 1 個のキャリーが論理値「1」を有する場合には、前記第 1 合計 S 1、前記第 2 合計 S 2 および前記第 3 合計 S 3 が全て論理値「1」を有する場合にだけ前記 DBI 信号 DBI_flag がイネーブルになる。この場合、前記第 3 キャリー C 3 と前記第 3 合計 S 3 は同時に「1」にならないため、前記第 3 キャリー C 3 だけが論理値「1」を有する場合には、前記 DBI 信号 DBI_flag はイネーブルにならない。

10

これを式で表せば数式 3 のようになる。

(数 3)

$$\text{DBI 信号 DBI_flag} = C1 * S1 * S2 * S3 + C2 * S1 * S2 * S3 = (C1 + C2) * S1 * S2 * S3$$

【0028】

上述した論理により前記 DBI 信号 DBI_flag がイネーブルになる。

これを式で表せば数式 4 のようになる。

20

(数 4)

$$\text{DBI 信号 DBI_flag} = C1 * C2 * C3 + C1 * C2 * S3 + (C1 * C2 + C2 * C3 + C1 * C3) * (S1 + S2) + (C1 + C2) * S1 * S2 * S3$$

【0029】

前記 DBI 判別部 40 は、前記 DBI 信号 DBI_flag を生成する公式により構成される。このような前記 DBI 判別部 40 の構成を図 3 に示す。

図 3 は、図 2 に示した DBI 判別部の詳細構成を示す回路図である。

【0030】

前記 DBI 判別部 40 は、第 1 ～第 11 ナンドゲート ND 1 ～ND 11 および第 1 ～第 6 インバータ IV 1 ～IV 6 を含む。

30

【0031】

第 1 ナンドゲート ND 1 には、前記第 2 キャリー C 2 と前記第 3 キャリー C 3 とが入力される。

第 2 ナンドゲート ND 2 には、前記第 1 キャリー C 1 と前記第 3 キャリー C 3 とが入力される。

第 3 ナンドゲート ND 3 には、前記第 1 キャリー C 1 と前記第 2 キャリー C 2 とが入力される。

【0032】

第 1 インバータ IV 1 には、前記第 2 合計 S 2 が入力される。

第 2 インバータ IV 2 には、前記第 1 合計 S 1 が入力される。

40

第 3 インバータ IV 3 には、前記第 2 キャリー C 2 が入力される。

第 4 インバータ IV 4 には、前記第 1 キャリー C 1 が入力される。

第 5 インバータ IV 5 には、前記第 1 ナンドゲート ND 1 の出力信号が入力される。

【0033】

第 4 ナンドゲート ND 4 には、前記第 1、第 2 および第 3 ナンドゲート ND 1、ND 2、ND 3 の出力信号が入力される。

第 6 インバータ IV 6 には、前記第 3 ナンドゲート ND 3 の出力信号が入力される。

第 5 ナンドゲート ND 5 には、前記第 1 および第 2 インバータ IV 1、IV 2 の出力信号が入力される。

第 6 ナンドゲート ND 6 には、前記第 3 および第 4 インバータ IV 3、IV 4 の出力信

50

号が入力される。

【0034】

第7ナンドゲートND7には、前記第5インバータIV5の出力信号と前記第1キャリアC1が入力される。

第8ナンドゲートND8には、前記第3合計S3と前記第6インバータIV6の出力信号が入力される。

第9ナンドゲートND9には、前記第4および第5ナンドゲートND4、ND5の出力信号が入力される。

第10ナンドゲートND10には、前記第6ナンドゲートND6の出力信号、前記第1合計S1、前記第2合計S2、および前記第3合計S3が入力される。

第11ナンドゲートND11は、前記第7、第8、第9および第10ナンドゲートND7、ND8、ND9、ND10の出力信号が入力されて、前記DBI信号DBI__flagを出力する。

【0035】

このように構成された前記DBI判別部40において、前記第1キャリアC1、前記第2キャリアC2、および前記第3キャリアC3が全て論理値「1」を有すれば、前記第1ナンドゲートND1の出力信号はローレベルになり前記第5インバータIV5の出力信号はハイレベルになる。これによって、前記第7ナンドゲートND7の出力信号はローレベルになる。したがって、前記第11ナンドゲートND11は、ローレベルの信号の入力によりハイレベルの前記DBI信号DBI__flagすなわち、イネーブルになった前記DBI信号DBI__flagを出力する。

【0036】

前記第1キャリアC1、前記第2キャリアC2および前記第3合計S3が論理値「1」を有する場合にも前記DBI信号DBI__flagはイネーブルになる。この場合、前記第3ナンドゲートND3はローレベルの信号を出力し、前記第6インバータIV6はこれを反転させる。前記第8ナンドゲートND8にはハイレベルの信号が入力されて、ローレベルの信号を出力する。これによって、前記第11ナンドゲートND11は、ハイレベルの前記DBI信号DBI__flagを出力する。

【0037】

前記第1キャリアC1と前記第2キャリアC2が論理値「1」を有すれば、前記第1合計S1または前記第2合計S2が論理値「1」を有する時にも前記DBI信号DBI__flagがイネーブルになる。この場合、前記第3ナンドゲートND3の出力信号はローレベルになり、前記第4ナンドゲートND4の出力信号はハイレベルになり、前記第5ナンドゲートND5の出力信号もハイレベルになる。これによって、前記第9ナンドゲートND9の出力信号はローレベルになり、前記第11ナンドゲートND11はハイレベルの前記DBI信号DBI__flagを出力する。

【0038】

前記第2キャリアC2と前記第3キャリアC3とが論理値「1」を有すれば、前記第1合計S1または前記第2合計S2が論理値「1」を有する時、前記DBI信号DBI__flagがイネーブルになる。この場合、前記第1ナンドゲートND1の出力信号はローレベルになり、前記第4ナンドゲートND4の出力信号はハイレベルになり、前記第5ナンドゲートND5の出力信号もハイレベルになる。これによって、前記第9ナンドゲートND9の出力信号はローレベルになり、前記第11ナンドゲートND11はハイレベルの前記DBI信号DBI__flagを出力する。

【0039】

前記第1キャリアC1と前記第3キャリアC3とが論理値「1」を有する場合にも、前記第1合計S1または前記第2合計S2が論理値「1」を有する時、前記DBI信号DBI__flagがイネーブルになる。この場合、前記第2ナンドゲートND2の出力信号はローレベルになり、前記第4ナンドゲートND4の出力信号はハイレベルになり、前記第5ナンドゲートND5の出力信号もハイレベルになる。前記第9ナンドゲートND9の出

10

20

30

40

50

力信号はローレベルになり、前記第 1 1 ナンドゲート ND 1 1 はハイレベルの前記 DB I 信号 DB I __ f l a g を出力する。

【0040】

前記第 1 合計 S 1、前記第 2 合計 S 2 および前記第 3 合計 S 3 が全て論理値「1」を有し前記第 1 キャリー C 1 または前記第 2 キャリー C 2 が論理値「1」を有する場合にも前記 DB I 信号 DB I __ f l a g がイネーブルになる。この場合、前記第 6 ナンドゲート ND 6 の出力信号はハイレベルになり、前記第 1 0 ナンドゲート ND 1 0 には 4 個のハイレベル信号が入力されて、ローレベルの信号を出力する。以後、前記第 1 1 ナンドゲート ND 1 1 は、ハイレベルの前記 DB I 信号 DB I __ f l a g を出力する。

【0041】

上述した以外の場合には、前記第 7 ～第 1 0 ナンドゲート ND 7 ～ND 1 0 の出力信号がいずれもハイレベルになり、それにより前記第 1 1 ナンドゲート ND 1 1 がローレベルの前記 DB I 信号 DB I __ f l a g を出力することを表す回路構成によって容易に理解できる。

【0042】

すなわち、上述した数式により構成した前記 DB I 判別部 4 0 は、前記第 1 合計 S 1、前記第 2 合計 S 2、前記第 3 合計 S 3、前記第 1 キャリー C 1、前記第 2 キャリー C 2、および前記第 3 キャリー C 3 を介して、前記 8 個のデータ GIO < 1 : 8 > のうち論理値「1」であるデータが 5 個以上であるか否かを判別し、前記 DB I 信号 DB I __ f l a g がイネーブルであるか否かを決定する。

【0043】

このように 2 個の全加算器 1 0、2 0 と 1 個の半加算器 3 0 および上述した DB I 判別部 4 0 で構成される本発明の DB I 信号生成装置は、従来の技術に比べて専有面積が画期的に減少する。従来の DB I 信号生成装置と本発明の DB I 信号生成装置の面積を内部に備える内部素子の個数によって比較した結果、本発明の DB I 信号生成装置は従来の DB I 信号生成装置に比べて、約 5 2 % 程度の面積だけを占めることを把握することができた。さらに、従来の技術に比べて信号を伝送するラインの数が減少するため、本発明の DB I 信号生成装置の高集積化の実現はより容易になる。半導体集積回路内に多くの数の DB I 信号生成装置を備えるため、本発明によって半導体集積回路の面積マージンは顕著に向上する。

【0044】

また、各素子が用いる電力の側面を考えてみれば、少ない数の素子を備える本発明の DB I 信号生成装置の電力消耗が大きく減少するということを知ることができる。すなわち、本発明は、半導体集積回路の電力効率を向上させるという利点もまた得られるようになる。

【0045】

このように、本発明が属する技術分野の当業者は、本発明がその技術的思想や必須特徴を変更せず、他の具体的な形態で実施され得ることを理解できる。したがって、以上で記述した実施形態はすべての面で例示的なものであり、限定的なものではないこととして理解しなければならない。本発明の範囲は前記詳細な説明よりは特許請求の範囲によって示され、特許請求の範囲の意味および範囲、そしてその等価概念から導き出されるすべての変更または変形された形態が本発明の範囲に含まれると解釈しなければならない。

【図面の簡単な説明】

【0046】

【図 1】従来の技術に係る半導体集積回路の DB I 信号生成装置の構成を示すブロック図である。

【図 2】本発明の一実施形態に係る半導体集積回路の DB I 信号生成装置の構成を示すブロック図である。

【図 3】図 2 に示した DB I 判別部の詳細構成を示す回路図である。

【符号の説明】

【 0 0 4 7 】

C 1 ～ 3 … 第 1 ～ 3 キャリー

C I … キャリー入力端

D 1 … 第 1 データ入力端

D 2 … 第 2 データ入力端

D B I _ f l a g … D B I 信号

I V 1 ～ 6 … 第 1 ～ 第 6 インバータ

l v f x … レベル固定信号 l v f x

N D 1 ～ 1 1 … 第 1 ～ 1 1 のナンドゲート

1 0 … 第 1 全加算器

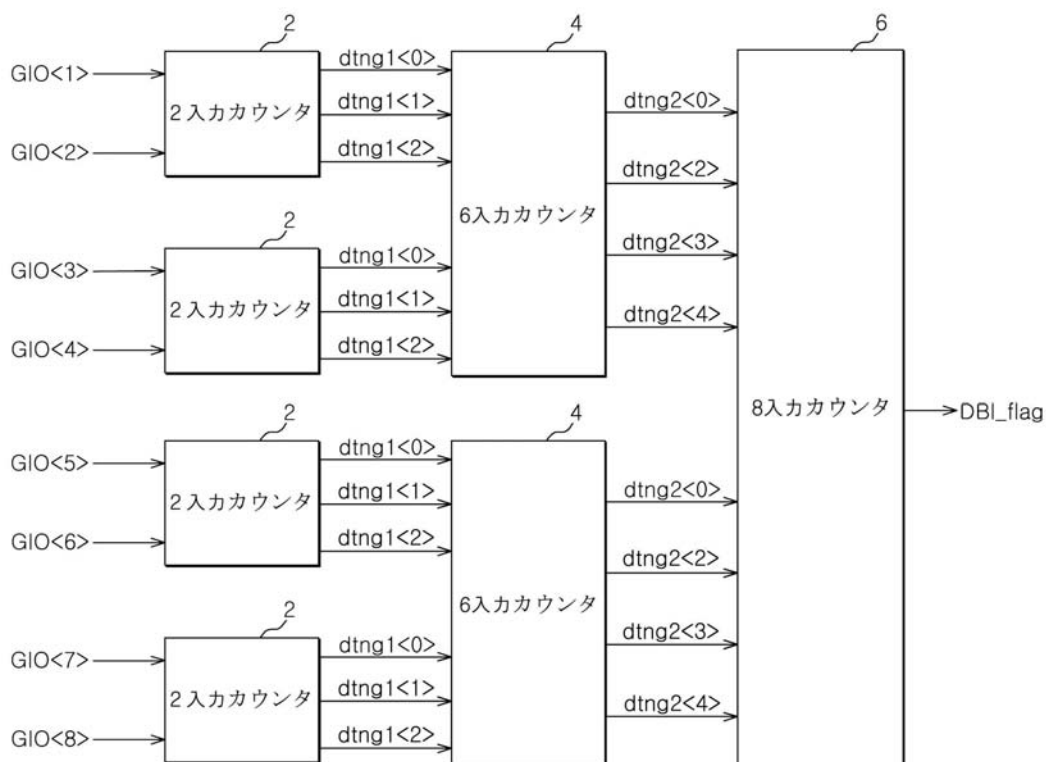
2 0 … 第 2 全加算器

3 0 … 半加算器

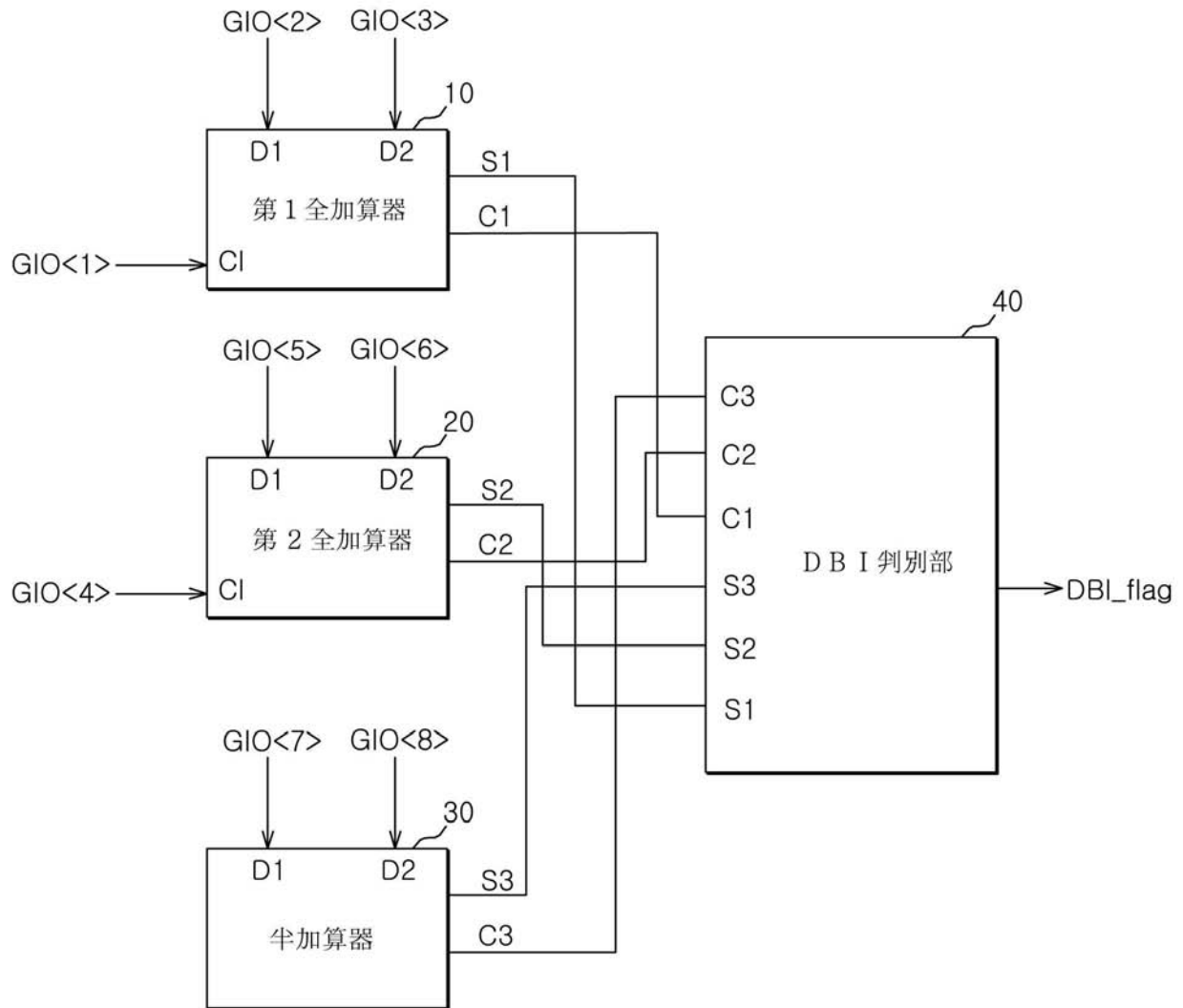
4 0 … D B I 判別部

10

【 図 1 】

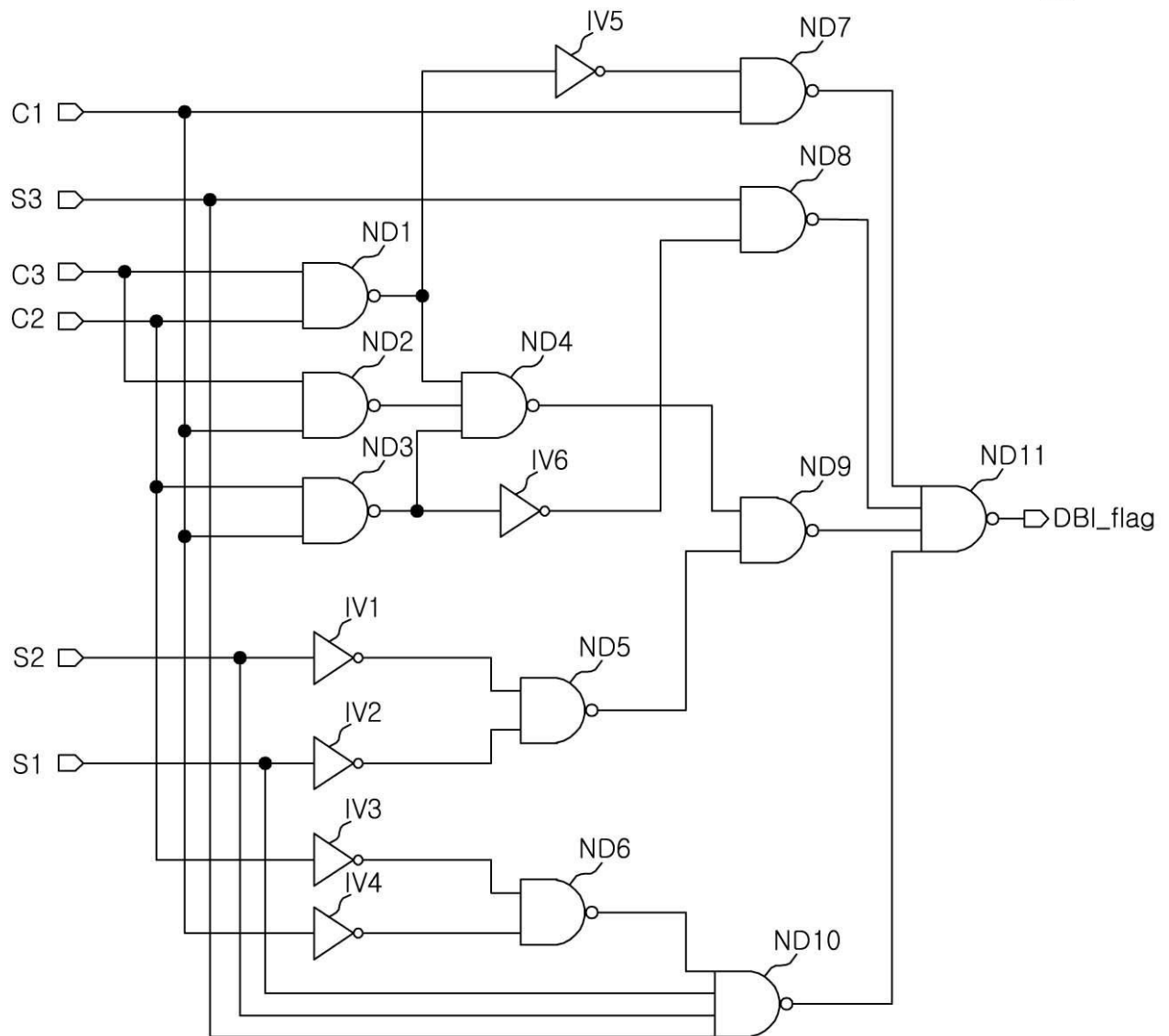


【図 2】



【図 3】

40



フロントページの続き

Fターム(参考) 5B015 HH01 JJ03 JJ37 KB33 MM04 NN03
5J042 BA19 CA18 CA19 CA24 CA27 DA01 DA02 DA04