



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년09월04일
(11) 등록번호 10-1179744
(24) 등록일자 2012년08월29일

- (51) 국제특허분류(Int. C1.)
H01L 21/60 (2006.01)
- (21) 출원번호 10-2007-7005769
- (22) 출원일자(국제) 2005년09월07일
심사청구일자 2010년06월29일
- (85) 번역문제출일자 2007년03월13일
- (65) 공개번호 10-2007-0052791
- (43) 공개일자 2007년05월22일
- (86) 국제출원번호 PCT/JP2005/016423
- (87) 국제공개번호 WO 2006/030674
국제공개일자 2006년03월23일
- (30) 우선권주장
JP-P-2004-00267919 2004년09월15일 일본(JP)
JP-P-2005-00091347 2005년03월28일 일본(JP)
- (56) 선행기술조사문현
JP06125169 A*
JP11186334 A*
US06773855 B1*
WO2004070827 A1*

*는 심사관에 의하여 인용된 문현

전체 청구항 수 : 총 17 항

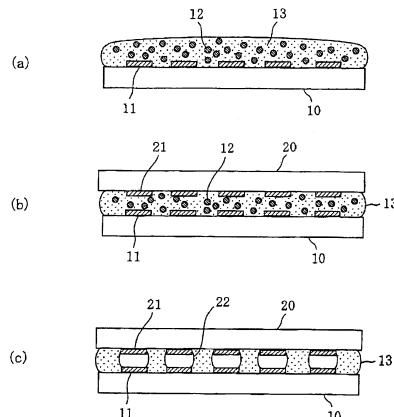
심사관 : 박태식

(54) 발명의 명칭 플립 칩 실장 방법 및 플립 칩 실장체

(57) 요 약

차세대 LSI의 플립 칩 실장에 적용 가능한, 생산성 및 신뢰성이 높은 플립 칩 실장 방법은, 복수의 전극 단자(11)를 구비한 배선 기판(10) 상에, 땜납 분말 및 대류 첨가제(12)를 함유하는 수지(13)를 공급한 후, 수지(13)의 표면에 복수의 접속 단자(21)를 구비한 반도체 칩(20)을 맞닿게 한다. 이 상태에서, 배선 기판(10)을, 땜납 분말이 용융되는 온도로 가열한다. 가열 온도는, 대류 첨가제(12)의 비점보다도 높은 온도로 실행되어서, 비등한 대류 첨가제(12)는 수지(13) 중에서 대류한다. 이 가열 공정에서, 용융된 땜납 분말을, 배선 기판(10)의 전극 단자(11)와 반도체 칩(20)의 접속 단자(21)의 사이에 자기 집합시킴으로써, 전극 단자(11)와 접속 단자(21)를 전기적으로 접속한다. 마지막으로, 수지(13)를 경화시켜서, 반도체 칩(20)을 배선 기판(10)에 고정한다.

대 표 도 - 도2



(72) 발명자

도메카와 사토루

일본 오오사카후 가도마시 오오아자 가도마 1006,
마츠시타 텐끼산교 가부시키가이샤 내

기타에 다카시

일본 오오사카후 가도마시 오오아자 가도마 1006,
마츠시타 텐끼산교 가부시키가이샤 내

나카타니 세이이치

일본 오오사카후 가도마시 오오아자 가도마 1006,
마츠시타 텐끼산교 가부시키가이샤 내

특허청구의 범위

청구항 1

복수의 전극 단자를 구비한 배선 기판과 대향시켜서, 복수의 접속 단자를 구비한 반도체 칩을 배치하고, 상기 배선 기판의 상기 전극 단자와, 상기 반도체 칩의 상기 접속 단자를 전기적으로 접속하는 플립 칩 실장 방법에 있어서,

(1) 상기 배선 기판의 상기 전극 단자를 구비한 표면 상에, 땜납 분말 및 대류 첨가제를 함유하는 수지를 공급하는 공정,

(2) 상기 수지 표면에 상기 반도체 칩을 맞닿게 하는 공정,

(3) 상기 배선 기판을, 상기 땜납 분말이 용융되는 온도로 가열하는 공정, 및

(4) 상기 가열 공정 후, 상기 수지를 경화시키는 공정을 포함하고,

상기 배선 기판의 가열 공정(3)에서, 상기 대류 첨가제를 비등시켜서 수지 중에서 기포를 발생시키고, 상기 기포가 수지 중에서 대류함으로써 땜납 분말을 상기 전극 단자 및 상기 접속 단자에 집합시켜서, 상기 전극 단자와 상기 접속 단자를 전기적으로 접속하는 접속체를 형성하고,

상기 수지의 경화 공정(4)에서, 상기 반도체 칩을 상기 배선 기판에 고정하는 것을 특징으로 하는 플립 칩 실장 방법.

청구항 2

청구항 1에 있어서,

상기 기판을 가열하는 공정(3)은, 상기 대류 첨가제의 비점보다도 높은 온도로 실행되는 것을 특징으로 하는 플립 칩 실장 방법.

청구항 3

청구항 2에 있어서,

상기 기판을 가열하는 공정(3)에서, 상기 비등한 대류 첨가제는, 상기 수지 중에서 대류하는 것을 특징으로 하는 플립 칩 실장 방법.

청구항 4

청구항 1에 있어서,

상기 기판을 가열하는 공정(3)에서, 상기 땜납 분말은, 용융 상태로 상기 수지 중에서 대류하는 것을 특징으로 하는 플립 칩 실장 방법.

청구항 5

청구항 1에 있어서,

상기 대류 첨가제는, 용제, 글리세린, 약스, 이소프로필알코올, 아세트산부틸, 부틸카르비톨 및 에틸렌글리콜로 이루어지는 군(群)으로부터 선택되는 1종 또는 2종 이상의 재료로 구성된 것을 특징으로 하는 플립 칩 실장 방법.

청구항 6

청구항 1에 있어서,

상기 기판을 가열하는 공정(3)은, 상기 수지의 점도가 저하하는 온도로 실행되는 것을 특징으로 하는 플립 칩 실장 방법.

청구항 7

청구항 1에 있어서,

상기 기판을 가열하는 공정(3)에서, 상기 반도체 칩에 일정한 압력을 가함으로써, 상기 수지를 압압(押壓)하면서, 상기 기판을 가열하는 것을 특징으로 하는 플립 칩 실장 방법.

청구항 8

청구항 1에 있어서,

상기 수지는, 열경화성 수지로 구성된 것을 특징으로 하는 플립 칩 실장 방법.

청구항 9

청구항 8에 있어서,

상기 수지의 경화 공정(4)은, 상기 배선 기판의 가열 공정보다도 높은 온도로 기판을 가열함으로써 실행되는 것을 특징으로 하는 플립 칩 실장 방법.

청구항 10

청구항 1에 있어서,

상기 수지는, 광경화성 수지로 구성되고, 상기 수지의 경화 공정(4)은, 상기 수지에 광을 조사함으로써 실행되는 것을 특징으로 하는 플립 칩 실장 방법.

청구항 11

청구항 1에 있어서,

상기 수지 표면에, 복수의 반도체 칩을 맞닿게 함으로써, 상기 복수의 반도체 칩을 상기 배선 기판에 플립 칩 실장하는 것을 특징으로 하는 플립 칩 실장 방법.

청구항 12

청구항 1에 있어서,

상기 땜납 분말은, 0.5~30체적%의 비율로, 상기 수지 중에 함유되어 있는 것을 특징으로 하는 플립 칩 실장 방법.

청구항 13

(a) 복수의 전극 단자를 구비한 배선 기판을 준비하는 공정,

(b) 상기 배선 기판 상에, 땜납 분말 및 대류 첨가제를 함유하는 수지를 공급하는 공정,

(c) 상기 배선 기판을, 상기 땜납 분말이 용융되는 온도로 가열하고, 상기 전극 단자 상에 범프를 형성하는 공정,

(d) 복수의 접속 단자를 구비한 반도체 칩을, 상기 접속 단자와 상기 범프가 대응하도록, 상기 배선 기판 상에 탑재하는 공정, 및

(e) 상기 배선 기판을, 상기 범프가 용융되는 온도로 가열하는 공정을 포함하고,

상기 배선 기판의 가열 공정(c)에서, 상기 대류 첨가제를 비등시켜서 수지 중에서 기포를 발생시키고, 상기 기포가 수지 중에서 대류함으로써 땜납 분말을 상기 전극 단자에 집합시키고,

상기 배선 기판의 가열 공정(e)에 의해서, 상기 배선 기판의 상기 전극 단자와 상기 반도체 칩의 상기 접속 단자를 전기적으로 접속하는 접속체를 형성하는 것을 특징으로 하는 플립 칩 실장 방법.

청구항 14

청구항 13에 있어서,

상기 전극 단자 상에 범프를 형성하는 공정(c)에서, 상기 배선 기판을 가열하는 온도는, 상기 대류 첨가제의 비점보다도 높은 것을 특징으로 하는 플립 칩 실장 방법.

청구항 15

청구항 13에 있어서,

상기 전극 단자 상에 범프를 형성하는 공정(c)에서, 상기 비등한 대류 첨가제는 상기 수지 중에서 대류하는 것을 특징으로 하는 플립 칩 실장 방법.

청구항 16

청구항 13에 있어서,

상기 전극 단자 상에 범프를 형성하는 공정(c)에서, 범프를 형성한 후, 상기 수지를 상기 배선 기판으로부터 제거하는 것을 특징으로 하는 플립 칩 실장 방법.

청구항 17

청구항 1에 기재한 실장 방법에 의해서, 상기 배선 기판의 상기 전극 단자와, 상기 반도체 칩의 상기 접속 단자가 전기적으로 접속된 플립 칩 실장체.

명세서

기술 분야

[0001]

본 발명은, 반도체 칩을 배선 기판에 탑재하는 플립 칩 실장(實裝) 방법 및 플립 칩 실장체에 관한 것이고, 특히, 협(狹) 피치(pitch)화된 반도체 칩에도 대응 가능한, 생산성이 높은 플립 칩 실장 방법 및 플립 칩 실장체에 관한 것이다.

배경 기술

[0002]

최근, 전자기기에 사용되는 반도체 집적회로(LSI)의 고밀도, 고집적화에 따라서, LSI 칩의 전극 단자의 다(多) 핀(pin)화, 협(狹) 피치화가 급속히 진행되고 있다. 이러한 LSI 칩의 배선 기판에의 실장에는, 배선 지연(遲延)을 적게 하기 위하여, 플립 칩(flip chip) 실장이 널리 이용되고 있다. 그리고, 이 플립 칩 실장에 있어서는, LSI 칩의 전극 단자 상에 땜납 범프(bump)를 형성하고, 이 땜납 범프를 사이에 두고, 배선 기판 상에 형성된 전극에 일괄 접합되는 것이 일반적이다.

[0003]

그러나, 전극 단자 수가 5000을 초과하는 차세대 LSI를 배선 기판에 실장하기 위해서는, 100 μ m 이하의 협 피치에 대응하는 범프를 배선 기판 상에 형성할 필요가 있지만, 현재의 땜납 범프 형성 기술에서는, 그것에 적응하는 것이 어렵다. 또한, 전극 단자 수에 대응하는 다수의 범프를 형성할 필요가 있으므로, 저코스트화를 도모하기 위해서는, 칩(chip)당 탑재 택트(tact)의 단축에 의한 높은 생산성도 요구된다.

[0004]

종래에, 범프의 형성 기술로서는, 도금법이나 스크린 인쇄법 등이 개발되어 있다. 도금법은 협 피치에는 적합하지만, 공정이 복잡하게 되는 점과, 생산성에 문제가 있고, 또한, 스크린 인쇄법은, 생산성은 우수하지만, 마스크를 이용하는 점에서, 협 피치화에는 적합하지 않다.

[0005]

이러한 상황에서, 최근에는, LSI 칩이나 배선 기판의 전극 상에, 땜납 범프를 선택적으로 형성하는 기술이 몇 가지 개발되어 있다. 이러한 기술은, 미세 범프의 형성에 적합할 뿐만 아니라, 범프의 일괄 형성이 가능하므로, 생산성도 우수하고, 차세대 LSI의 배선 기판에의 실장에 적응 가능한 기술로서 주목받고 있다.

[0006]

그 하나로, 땜납 분말과 플럭스(flux)의 혼합물에 의한 솔더 페이스트를, 표면에 전극이 형성된 기판 상에 전체적으로 도포하고, 기판을 가열함으로써, 땜납 분말을 용융하여, 인접 전극 간에 단락(短絡)을 일으키지 않고, 습윤성(濕潤性)이 높은 전극 상에 선택적으로 땜납 범프를 형성하는 기술이 있다(예로서, 특개2000-94179 호 공보(이하 "특허문현 1"이라고도 한다) 참조).

[0007]

또한, 유기산 납염과 금속 주석을 주요 성분으로 하는 페이스트 상(狀)의 조성물(소위 화학 반응 석출형 땜납)을, 전극이 형성된 기판 상에 도포하고, 기판을 가열함으로써, Pb와 Sn의 치환 반응을 일으키게 하여, Pb/Sn의 합금을 기판의 전극 상에 선택적으로 석출시키는 기술이 있다(예로서, 특개평1-157796호 공보(이하 "특허문현 2"라고도 한다) 및 일렉트로닉스 실장 기술, 2000년 9월호, pp.38-45(이하 "비특허문현 1"이라고도 한다) 참조).

[0008]

특허문현 1의 범프 형성 기술은, 땜납 분말의 표면 산화를 제거함으로써, 금속에 대한 습윤성을 가지면서, 인

접 단자 간에 단락을 일으키기 어렵게 하는 것을 목적으로 하고 있다. 그러나, 산화량, 산화 방법을 제어함으로써, 원래 상반되는 습윤성과 단락을 일으키기 어려운 것의 모두를 만족시키는 것은 어렵다. 또한, 특허문현 2에서 사용되는 화학 반응 석출형 땜납 재료는, 특정한 화학 반응을 이용하므로, 땜납 조성의 선택의 자유도가 낮고, 땜납의 무연화(無鉛化)에의 대응에도 문제가 있다.

[0009] 그런데, 종래의 범프 형성 기술을 이용한 플립 칩 실장은, 범프가 형성된 배선 기판에 반도체 칩을 탑재한 후, 반도체 칩을 배선 기판에 고정하기 위하여, 언더필(underfill)이라고 하는 수지를, 반도체 칩과 배선 기판의 사이에 주입하는 공정을 추가로 필요로 한다.

[0010] 따라서, 반도체 칩과 배선 기판이 대향하는 전극 단자 간의 전기적 접속과, 반도체 칩의 배선 기판에의 고정을 동시에 실행하는 방법으로서, 이방성 도전 재료를 사용한 플립 칩 실장 기술(예로서, 특개2000-332055호 공보(이하 "특허문현 3"이라고도 한다) 참조)이 개발되어 있다. 이것은, 배선 기판과 반도체 칩의 사이에, 도전 입자를 함유시킨 열경화성 수지를 공급하고, 반도체 칩을 가압하는 동시에, 열경화성 수지를 가열함으로써, 반도체 칩과 배선 기판의 전극 단자 간의 전기적 접속과, 반도체 칩의 배선 기판에의 고정을 동시에 실현하는 것이다.

[0011] 그런데, 저용접 금속 충전제(充填劑)(도전성 입자)를 함유한 수지를 사용하여, 기판 상에 반도체 칩을 실장하는 기술이 제안되어 있다(예로서, 특개2004-260131호 공보(이하 "특허문현 4"라고도 한다), 비특허문현 1 및 신학 기법 EMD 96-15(이하 "비특허문현 2"라고도 한다) 참조).

[0012] 이것은, 수지 중의 금속 충전제(도전성 입자(粒子))를 용융하여, 기판 및 반도체 칩의 전극 간에 금속 접합을 자기(自己) 정합적(整合的)으로 형성하는 것이다. 그러나, 10th Symposium on "Microjoining and Assembly Technology in Electronics" February 5-6, 2004, pp.183-188(이하 "비특허문현 3"이라고도 한다) 및 9th Symposium on "Microjoining and Assembly Technology in Electronics" February 6-7, 2003, pp.115-120(이하 "비특허문현 4"라고도 한다)에서는, 오로지 금속 접합의 자기 정합적 형성의 메커니즘이 탐구되어 있는 것에 지나지 않는다.

[0013] 또한, 상기 비특허문현 1, 비특허문현 2 및 특허문현 4에는 수지로서 환원성 수지를 사용하는 것도 개시되어 있지만, 이것은, 소위 노플로(no-flow) 타입의 언더필 재료(underfill material)라고 부르는 것으로서(예로서 특개2001-329048호 공보(이하 "특허문현 5"라고도 한다) 참조), 수지에 산무수물(酸無水物)의 경화제를 첨가하고, 이 산무수물을 가수 분해하여 발생하는 카르본산으로써 플러스 활성을 일으키는 것이다.

[0014] 상기 특허문현 4에서는, 도전성 입자의 분산성과 습윤성만의 특성에 의해서 도전성 입자를 전극 상에 응집시키려고 하고 있으며, 그 결과, 수지 중에 함유되는 도전성 입자의 체적비는, 하한치가 20체적% 이상인 것이 바람직하고, 30체적% 이상인 것이 더욱 바람직한 것으로 기재되어 있다.

발명의 상세한 설명

[0015] (발명이 해결하려고 하는 과제)

[0016] 그러나, 상기한 이방성 도전 재료를 사용한 플립 칩 실장에서는, 도전 입자를 통한 기계적 접촉에 의해서 전극 간의 전기적 도통을 얻고 있지만, 이 방식으로는 안정된 도통 상태를 얻는 것이 어렵다. 또한, 대향 전극의 사이에 끼워진 도전 입자는, 수지의 열경화에 의한 응집력에 의해서 유지되어 있으므로, 열경화성 수지의 탄성을 또는 열 팽창률 등의 특성이나, 도전 입자의 입경 분포 등의 특성을 갖출 필요가 있어서, 실장 프로세스의 제어가 어렵다고 하는 과제가 있다. 즉, 이방성 도전 재료를 사용한 플립 칩 실장은, 접속 단자 수가 5,000을 초과하는 차세대 LSI 칩에 적용하기 위해서는, 생산성이나 신뢰성의 면에서, 해결해야 할 과제를 많이 남기고 있다.

[0017] 본 발명은 이러한 점을 감안하여 이루어진 것으로서, 차세대 LSI의 플립 칩 실장에 적용 가능한, 생산성 및 신뢰성이 높은 플립 칩 실장 방법 및 플립 칩 실장체를 제공하는 것을 목적으로 한다.

[0018] (과제를 해결하기 위한 수단)

[0019] 본 발명은, 복수의 전극 단자를 구비한 배선 기판과 대향시켜서, 복수의 접속 단자를 구비한 반도체 칩을 배치하고, 상기 배선 기판의 상기 전극 단자와, 상기 반도체 칩의 상기 접속 단자를 전기적으로 접속하는 플립 칩 실장 방법을 제공하고, 이 방법은,

[0020] (1) 상기 배선 기판 상에, 땜납 분말 및 대류(對流) 첨가제를 함유하는 수지를 공급하는 공정,

- [0021] (2) 상기 수지 표면에 상기 반도체 칩을 맞닿게 하는 공정,
- [0022] (3) 상기 배선 기판을 상기 땜납 분말이 용융되는 온도로 가열하는 공정, 및
- [0023] (4) 상기 가열 공정 후, 상기 수지를 경화시키는 공정을 포함한다.
- [0024] 상기 배선 기판의 가열 공정(3)에서, 상기 용융된 땜납 분말을, 상기 배선 기판의 상기 전극 단자와 상기 반도체 칩의 상기 접속 단자의 사이에 자기 집합(自己集合)시킴으로써, 접속체를 형성하고, 상기 수지의 경화 공정에서, 상기 반도체 칩을 상기 배선 기판에 고정한다. 또한, 배선 기판에 공급하는 수지는, 땜납 분말 및 대류 첨가제를 함유하는 수지 조성물이고, 수지 조성물을 기판 상에 도포하여 수지 조성물을 박막(薄膜)의 형태로 배선 기판 상에 공급하는 것이 바람직하다.
- [0025] 본 발명의 방법에 있어서, 땜납 분말이 용융될 정도로 기판을 가열하는 경우, 땜납 분말은 수지 조성물 중에서 용이하게 이동할 수 있고, 그 결과, 땜납 분말이 전극 상에 용이하게 자기 집합할 수 있다. 따라서, 상기 기판의 가열 공정은, 상기 수지의 점도가 저하하는 온도로 실행하는 것이 바람직하다.
- [0026] 본 발명의 하나의 실시형태에서는, 상기 기판의 가열 공정은, 상기 대류 첨가제의 비점(沸點)보다도 높은 온도로 실행되는 것이 바람직하고, 또한, 다른 실시형태에서는, 상기 비등(沸騰)한 대류 첨가제는, 상기 수지 중에서 대류하는 것이 바람직하고, 또 다른 실시형태에서는, 상기 기판의 가열 공정에서, 상기 땜납 분말은, 상기 수지 중에서 대류하는 것이 바람직하다. 이러한 실시형태의 특징은, 단독으로 이용해도 좋고, 또는 이러한 특징을 어떠한 조합으로 이용해도 좋고, 또는 모든 특징을 함께 이용해도 좋다.
- [0027] 상기의 경우, 가열에 의해서 비등한 대류 첨가제가, 수지 중에서 대류함으로써, 및/또는 수지 중에서 땜납 분말이 대류함으로써, 땜납 분말의 이동이 촉진되므로, 용융 땜납 분말의 결합을 균일하게 할 수 있다. 그 결과, 균일하게 성장한 땜납 분말이 전극 상에 자기 집합함으로써, 균일성이 더욱 높은 미세한 접속체를 일괄적으로 형성할 수 있게 된다. 따라서, 상기 대류 첨가제가 비등했을 때에, 땜납 분말이 용융되어 있지 않은 것은 그다지 바람직하지 않으므로, 상기 대류 첨가제의 비점은, 상기 땜납 분말의 용점보다도 낮은 것이 바람직하다. 그러나, 땜납 분말이 용융되는 동시에 또는 그 직후에, 대류 첨가제가 비등해도 좋고, 이 경우도, 대류 첨가제의 상기의 효과가 나타난다. 요컨대, 땜납의 용융과 대류 첨가제의 비등의 현상의 어느 하나가 먼저 발생해도, 쌍방의 현상이 발생한 상태에서 본 발명의 효과를 이용할 수 있다.
- [0028] 어느 바람직한 실시형태에 있어서, 상기 대류 첨가제는, 용제, 글리세린, 왁스(예로서 일렉트론 왁스 등의 왁스), 이소프로필알코올, 아세트산부틸, 부틸카르비톨 및 에틸렌글리콜로 이루어지는 군(群)으로부터 선택되는 적어도 1종의 재료로 이루어진다. 또한, 본 발명에서, 용제는 플럭스를 구성하는 액체 성분(실온에서 액체인 성분)이다. 또한, 플럭스는 납땜 시에 통상적으로 이용되는 소위 "플럭스"이다. 예로서, 이소프로필알코올 등의 알코올, 부틸카르비톨아세테이트 등의 유기 용제 등을 용제로서 예시할 수 있다.
- [0029] 또한, 상기 용제는 플럭스 중에 포함되어 있어도 대류 첨가제로서의 효과를 얻을 수 있다. 환원성 재료 및 용제를 포함하는 플럭스 등을 사용하는 경우는, 용제로부터 뿐만 아니라, 도체 패턴, 도전 입자 등의 금속 산화물의 환원 반응에 의해서 산소의 기포가 발생하는 경우가 있다. 이 경우, 그 기포도 대류 첨가제의 효과를 발휘할 수 있으므로 더욱 바람직하다. 또한, 기판에 포함되어 있는 수분도 대류 첨가제로서 작용할 수 있다.
- [0030] 또한, 플럭스를 사용하는 경우에는, 그 중에 일반적으로 포함되어 있는 수지, 활성제, 광택 제거제 등을, 본 발명의 방법에 사용하는 수지가 포함해도 좋다. 따라서, 본 발명에 있어서, 수지는, 용제 및 플럭스에 포함되어 있는 용제 이외의 다른 성분을 포함해도 좋다. 즉, 수지는 플럭스를 포함해도 좋다.
- [0031] 다른 실시형태에 있어서, 상기 대류 첨가제로서, 가열 공정에서 비등할 수 있는 성분을 유리(遊離) 또는 생성하는 재료라도 좋다. 즉, 가열 공정에서의 열 환경하에서 그러한 성분을 새롭게 발생하는 대류 화합물을 첨가제로서 사용할 수 있다. 구체적으로는, 그러한 화합물로서, 가열에 의해서 분해되고, 그 결과, 대류 첨가제와 동등한 기능을 갖는 성분을 발생하는 것, 예로서, 수화물, 특히 결정수를 함유하는 화합물(예로서, 수산화알루미늄, 도소나이트, 메타붕산암모늄, 메타붕산바륨, 아조디카르본아미드, 탄산수소나트륨) 등을 예시할 수 있다.
- [0032] 어느 바람직한 실시형태에 있어서, 배선 기판에 공급하는 수지, 즉, 상기 접속체를 형성하는 데에 사용하는 수지 조성물을 구성하는 수지는, 열경화성 수지(예로서, 에폭시 수지), 열가소성 수지(예로서, 폴리카보네이트 수지), 또는 광경화성 수지(예로서, 광경화성 에폭시 수지)의 어느 1종이고, 본 발명에 악영향을 주지 않는 한, 어느 1종을 주성분으로 하고, 다른 수지(예로서, 페놀 수지)를 포함해도 좋다. 본 명세서의 내용으로

부터 용이하게 이해할 수 있는 바와 같이, 경화성 수지의 경우, 가열 공정에서 경화 반응이 완료되어서는 안 되고, 바람직하게는 경화 반응이 시작된다고 해도 그다지 진행되지 않는 것이 바람직하며, 실질적으로 경화 반응이 시작되지 않는 것이 바람직하다. 접속체가 형성된 후는, 경화 반응이 진행되어도, 또는 완료되어도 좋고, 따라서, 기판을 더욱 가열해도 좋다.

[0033] 어느 바람직한 실시형태에 있어서, 상기 기판의 가열 공정(3)에서, 상기 배선 기판 상에 공급된 상기 수지의 표면에 반도체 칩을 맞닿게 하면서, 상기 배선 기판을 가열한다. 이 경우, 상기 배선 기판 상에 형성된 전극에 대하여(따라서, 배선 기판에 대하여), 상기 반도체 칩과의 사이를 모두 같은 거리로 유지하고, 이에 따라서 일정한 간극이 형성되어 있는 것이 바람직하다. 즉, 가열 공정 중에, 배선 기판과 반도체 칩의 사이의 거리가 변동하지 않도록 실시하는 것이 바람직하다.

[0034] 어느 바람직한 실시형태에 있어서, 상기 배선 기판의 가열 공정(3)에서, 상기 반도체 칩에 일정한 압력을 가함으로써, 공급된 상기 수지를 압압(押壓)하면서, 상기 배선 기판을 가열해도 좋다. 또한, 상기와 같이, 가열 공정 시에, 배선 기판과 반도체 칩의 사이의 거리가 변동하지 않도록 실시한 결과, 가열 공정의 적어도 일부분의 사이에 걸쳐서, 수지를 압압하는 것으로 되어도 좋다.

[0035] 상기 땜납 분말은, 그 입경 분포가 샤프(sharp)한 것이 바람직하고, 대략 동일한 입경의 입자로 구성되는 것이 특히 바람직하다. 어느 바람직한 실시형태에 있어서, 상기 기판의 가열 공정에서, 상기 배선 기판 상에 형성된 전극과 상기 반도체 칩과의 사이에 형성된 일정한 간극의 폭(또는 두께)은, 상기 땜납 분말의 입경보다도 넓은 것이 바람직하고, 상당히 넓은 것이 바람직하다. 예로서, 땜납 분말의 최대 입경은, 간극의 100% 이하인 것이 바람직하고, 더욱 바람직하게는 90% 이하이다.

[0036] 어느 바람직한 실시형태에 있어서, 상기 배선 기판의 가열 공정에서, 상기 비등한 대류 첨가제는, 상기 기판과 상기 반도체 칩의 사이에 존재하는 간극의 주변부로부터, 외부에 배출된다.

[0037] 본 발명의 방법에 있어서, 반도체 칩은, 배선 기판과 접속해야 하는, 어떠한 적당한 것이라도 좋고, 예로서 LSI 칩, 메모리, 광소자, RF 소자 등을 예시할 수 있다. 어느 바람직한 실시형태에 있어서, 상기 반도체 칩은, 상기 배선 기판에 대향하는 평면 상의, 상기 배선 기판에 형성된 복수의 전극과 대향하는 위치에, 상기 전극과 대략 동일한 형상의 금속 패턴이 형성되어 있다. 또한, 반도체 칩과 접속해야 하는 상기 배선 기판은, 반도체 칩, 예로서 LSI 칩 등이라도 좋다.

[0038] 본 발명의 방법에 있어서, 수지를 경화시키는 공정(4)은, 사용하는 수지에 따라서, 어떠한 적당한 방법으로 실시해도 좋다. 예로서, 열경화성 수지를 사용하는 경우는, 가열 공정(3) 후에, 가열을 계속함으로써, 바람직한 실시형태에서는, 더욱 높은 온도로 가열을 계속함으로써 수지를 경화시킨다. 광경화성(예로서 자외선 경화성) 수지를 사용하는 경우는, 가열 공정(3) 후에, 광을 조사(照射)함으로써 경화시킨다. 이 경우, 가열 공정 후에, 배선 기판 및 반도체 칩을 냉각한 후 조사해도, 또는 냉각하지 않고 조사해도 좋다. 또한, 열가소성 수지를 사용하는 경우에는, 가열 공정 후에, 냉각함으로써, 수지를 경화시킨다.

[0039] 어느 바람직한 실시형태에 있어서, 상기 배선 기판에 공급된 상기 수지 표면에, 복수의 반도체 칩을 맞닿게 함으로써, 이 복수의 반도체 칩을 상기 배선 기판에 플립 칩 실장한다.

[0040] 본 발명의 방법의 어느 바람직한 실시형태에 있어서, 상기 땜납 분말은, 0.5~30체적%, 더욱 바람직하게는 0.5~20체적%의 비율로, 상기 수지 중에 함유되어 있다. 또한, 이 비율은, 수지, 땜납 분말 및 대류 첨가제, 및 필요에 따라서 함유되는 다른 성분으로 구성되는 수지 조성물 전체의 양을 기준으로 하는(실온(25°C)에서의 체적을 기준으로 하는) 것이다. 예로서, 수지는, 필요에 따라서, 예로서 상기의 플럭스에 함유되어 있는 성분 등을 필요량 함유해도 좋다.

[0041] 본 발명은 또 하나의 플립 칩 실장 방법을 제공하고, 그 방법은,

[0042] (a) 복수의 전극 단자를 구비한 배선 기판을 준비하는 공정,

[0043] (b) 상기 배선 기판 상에, 땜납 분말 및 대류 첨가제를 함유하는 수지를 공급하는 공정,

[0044] (c) 상기 배선 기판을 상기 땜납 분말이 용융되는 온도로 가열하여 범프를 형성하는 공정,

[0045] (d) 복수의 접속 단자를 구비한 반도체 칩을, 상기 접속 단자와 상기 범프가 대향하도록, 상기 배선 기판 상에 탑재하는 공정, 및

[0046] (e) 상기 배선 기판을 상기 범프가 용융되는 온도로 가열하는 공정을 포함하고, 상기 배선 기판의 상기 전극

단자와 상기 반도체 칩의 상기 접속 단자를 전기적으로 접속하는 접속체를 형성하는 것을 특징으로 한다.

[0047] 상기 전극 단자 상에 범프를 형성하는 공정(c)에서, 상기 용융된 땜납 분말을, 상기 배선 기판의 상기 전극 단자 상에 자기 집합시킴으로써, 상기 전극 단자 상에 범프를 형성한다. 이 공정에서, 상기 배선 기판을 가열하는 온도는, 상기 대류 첨가제의 비율보다도 높은 것이 바람직하다. 이 공정(c)에 있어서, 공급한 수지를 덮는 평판을 수지 위에 탑재하여 가열하는 것이 바람직하고, 또한 상기 비등한 대류 첨가제는, 상기 수지 중에서 대류하는 것이 바람직하다. 또한, 평판은, 전극 단자 및 접속 단자를 구성하는 재료에 비하여, 용융된 땜납 분말에 대한 습윤성이 더욱 작은 것이 바람직하고, 예로서 유리판을 사용할 수 있다.

[0048] 어느 바람직한 실시형태에 있어서, 상기 범프를 형성하는 공정(c) 후에, 상기 수지를 상기 배선 기판으로부터 제거하는 공정을 포함해도 좋다. 수지의 제거는, 어떠한 적당한 방법으로 실시해도 좋고, 예로서, 유기 용제로써 초음파 세정함으로써 제거해도 좋다.

[0049] 또한, 접속체를 형성하는 가열 공정(e)에서, 범프를 용융시켜서 상기 접속 단자와 상기 범프의 접촉 부분을 합금화함으로써 접속체를 형성하는 것이 바람직하다.

[0050] 또한, 상기의 또 하나의 플립 칩 실장 방법에 있어서, 먼저 설명한 플립 칩 실장 방법에 관한 땜납 분말, 수지, 대류 첨가제의 특징이 그대로 적합하다.

[0051] 본 발명은, 상기한 바와 같은 여러 가지 실시형태의 플립 칩 실장 방법에서 사용하는 수지, 즉, 땜납 분말 및 대류 첨가제를 함유하는 수지 조성물도 제공한다. 수지 조성물은, 배선 기판 상에 반도체 칩을 플립 칩 실장 할 때에, 상기 배선 기판 또는 반도체 칩의 전극 상에의 범프 형성에 적절하게 이용할 수 있다.

(발명의 효과)

[0053] 본 발명에 의한 플립 칩 실장 방법에서는, 가열 공정에서 용융된 땜납 분말이 수지 중에서 이동하고, 특히 바람직한 실시형태에서는, 수지 중에 함유되어 있는 대류 첨가제가 가열에 의하여 비등하고, 비등한 대류 첨가제가 수지 중에서 대류함으로써, 땜납 분말의 수지 중의 이동이 촉진되어서, 용융 땜납 분말끼리의 결합이 수지 중에서 균일하게 진행된다. 그 결과, 균일하게 성장한 용융 땜납 분말이, 습윤성이 높은 배선 기판의 전극 단자와 반도체 칩의 접속 단자의 사이에 자기 집합함으로써, 전극 단자와 접속 단자의 사이에 균일성이 높은 접속체를 형성할 수 있다. 또한, 배선 기판과 반도체 칩의 사이에 있는 수지를 경화시킴으로써, 반도체 칩을 배선 기판에 고정할 수 있다. 특히, 수지로서 열경화성 수지를 사용하는 경우, 일련의 공정으로, 반도체 칩과 배선 기판의 전극 단자의 사이의 전기적 접속과, 반도체 칩의 배선 기판에의 고정을 동시에 실행할 수 있어서, 생산성이 높은 플립 칩 실장체가 실현된다.

[0054] 또한, 배선 기판 상에 공급된 수지의 표면에 반도체 칩을 맞닿게 함으로써, 비등한 대류 첨가제가 수지의 표면으로부터 외부에 증발하는 것을 방지할 수 있으므로, 배선 기판과 반도체 칩의 사이에 끼워진 수지 중에서 대류하는 효과적인 첨가제를 유지할 수 있어서, 용융된 땜납 분말을, 대향하는 단자 간에 더욱 균일하게 자기 집합시킬 수 있다. 이에 따라서, 전극 단자와 접속 단자의 전기적 접속을 더욱 균일하게 할 수 있고, 신뢰성이 높은 플립 칩 실장체를 실현할 수 있다.

[0055] 또한, 비등한 대류 첨가제의 대류에 의한 운동 에너지를, 수지 중에 분산되어 있는 땜납 분말에 부여함으로써, 효율적으로 땜납 분말을 단자 사이에 자기 집합시킬 수 있으므로, 전극 단자와 접속 단자의 사이에 접속체를 형성한 후에는, 접속체 이외의 수지 중에 잔류하는 땜납 분말의 양을 적게 할 수 있다. 특히, 땜납 분말의 수지 중에 함유하는 비율을, 접속체 형성에 필요한 최적량으로 미리 설정해 둠으로써, 접속체 형성 후의 땜납 분말의 잔류량을 실질적으로 없앨 수 있다. 그 결과, 접속체 간의 절연 내성을 향상시킬 수 있고, 반도체 칩의 미세 과정화에도 충분히 대응 가능하게 된다.

실시 예

[0075] 이하에, 본 발명의 실장 방법의 실시의 형태에 대하여, 도면을 참조하여 설명한다. 이하의 도면에서는, 설명의 간략화를 위하여, 실질적으로 동일한 기능을 갖는 구성 요소를 동일한 참조 부호로 나타낸다. 또한, 본 발명은 이하의 실시형태에 한정되는 것은 아니다.

(실시형태 1)

[0077] 도 1(a) ~ (d)를 참조하여, 상기의 또 하나의 플립 칩 실장 방법에서 땜납 범프를 형성하는 방법을 설명한다. 도 1(a)에 나타내는 바와 같이, 복수의 전극(11)이 형성된 배선 기판(10) 상에, 땜납 분말(도시되어 있지 않

음) 및 대류 첨가제(12)를 함유하는 수지(13)를 공급한다. 이어서, 도 1(b)에 나타내는 바와 같이, 배선 기판(10) 상에 공급된 수지(13)의 표면에 평판(14)을 맞닿게 하면서, 배선 기판(10)을 땜납 분말이 용융되는 온도로 가열한다. 이 가열 공정에서, 용융된 땜납 분말은 자기 집합하여, 도 1(c)에 나타내는 바와 같이, 성장한 땜납 볼(15)이, 복수의 전극(11) 상에 선택적으로 형성된다. 그리고, 도 1(d)에 나타내는 바와 같이, 평판(14)을 수지(13)의 표면으로부터 분리하고, 수지(13)를 제거하면, 복수의 전극(11) 상에 범프(16)가 형성된 배선 기판(10)이 취득된다.

[0078] 이 범프 형성 방법의 특징은, 땜납 분말을 함유한 수지에, 땜납 분말이 용융되는 온도에서 바람직하게는 비등하는 대류 첨가제를 추가로 함유시킨 점에 있다. 따라서, 바람직한 실시형태에서는, 땜납 분말이 용융된 온도에서, 수지 중에 함유시킨 첨가제(이하, 대류 첨가제라고 한다)가 비등하고, 이 비등한 대류 첨가제가 기체로 되어서 수지 중에서 대류함으로써, 수지 중에서 부유(浮遊)하는 용융된 땜납 분말의 이동이 촉진되어서, 용융 땜납 분말의 균일한 결합이 진행된다. 이에 따라서, 균일한 미세 범프를 형성할 수 있다.

[0079] 여기서, 평판(14)을 수지(13)의 표면에 맞닿게 하는 것은, 비등한 대류 첨가제(12)가 수지(13)의 표면으로부터 외부에 증발하는 것을 조금이라도 억제하기 위한 것이다. 이렇게 함으로써, 수지 중에서 대류하는 첨가제(12)를 효과적으로 유지할 수 있으므로, 더욱 균일한 미세 범프를 형성할 수 있다.

[0080] 또한, 도 1(a) ~ (d)를 참조하여 설명한 상기의 범프 형성 프로세스는, 어디까지나 발명자들의 추측이고, 본 발명은 이 개념에 하등 구속되는 것은 아니다.

[0081] 상기의 대류 첨가제의 설명으로부터 용이하게 이해할 수 있는 바와 같이, 본 명세서에서, 대류 첨가제에 관하여 사용하는 "대류"라는 것은, 염밀한 의미의 대류만을 의미하는 것이 아니고, 운동의 형태로서의 첨가제의 여러 가지의 이동을 의미한다. 이러한 이동의 하나의 형태로서 대류도 포함될 수 있으므로, 편의적으로 "대류"라는 용어를 사용한다. 따라서, 본 발명에 있어서, 수지(13) 중에서 비등한 대류 첨가제가 이동함으로써, 수지(13) 중에 분산되는 땜납 분말에 운동 에너지를 부여하고, 땜납 분말의 이동을 촉진시키는 작용을 부여하는 것인 한, 이러한 이동은, 어떠한 형태라도, 본 명세서에서 편의상 사용하는 "대류"에 포함된다.

[0082] 또한, 땜납 분말에 관하여 "대류"라는 용어를 사용하는 경우도, 상기와 마찬가지로, 염밀한 의미의 대류만을 유지하는 것이 아니고, 운동의 형태로서의 여러 가지의 이동을 의미한다. 이러한 이동의 하나의 형태로서 대류도 포함될 수 있으므로, 편의적으로 "대류"라는 용어를 사용한다.

[0083] 또한, 본 출원의 발명자는, 땜납 분말만을 함유시킨 수지와, 땜납 분말에 추가로 첨가제(예로서, 땜납 분말이 용융되는 온도 또는 그것보다 낮은 온도에서 비등하는 성분)를 함유시킨 수지를 사용하여, 범프 형성의 비교 실험을 실행하였다. 원형 전극이 어레이(array) 형상으로 배치된 프린트 기판 상에, 땜납 분말만을 함유한 수지와, 땜납 분말과 첨가제를 함유한 수지를 도포한 후, 그 위에 평판을 맞닿게 하면서 가열하였다.

[0084] 그 결과, 땜납 분말만을 함유시킨 수지를 사용한 경우에는, 도 10에 나타내는 바와 같이 땜납 층이 양호하게 형성되지 않고, 전극과 전극의 사이의 영역에 땜납 분말이 분산된 상태인 채로 있는 것에 반해, 땜납 분말과 첨가제를 함유시킨 수지를 사용한 경우는, 도 11에 나타내는 바와 같이 모든 전극 상에 땜납 범프가 양호하게 형성되고, 또한 전극 이외(즉, 전극과 전극의 사이의 영역)에 땜납 분말이 잔존하지 않아, 첨가제를 함유시키지 않은 경우와의 차이를 분명히 확인할 수 있었다.

[0085] 또한, 상기의 비교 실험 시에 다음의 재료 및 조건을 사용하였다:

도 10의 경우

[0087] 수지: 에폭시 수지

[0088] 땜납 분말: SnAgCu(융점: 220°C)

[0089] 수지와 땜납 분말의 비율: 50중량%:50중량%

[0090] 프린트 기판: 마츠시타전자부품(주)제 ALIVH

[0091] (전극의 직경 및 폐치: 직경 300μm, 폐치 500μm)

[0092] 기판의 가열 온도: 250°C

도 11의 경우

[0094] 대류 첨가제: 플럭스로서 첨가(비점: 170°C)

- [0095] 수지와 땜납 분말과 플러스의 비율: 45중량%:50중량%:5중량%
- [0096] 기타 조건은, 도 10의 경우와 동일.
- [0097] 도 11의 경우에는, 땜납 분말이 용융된 온도에서, 수지 중에 함유시킨 첨가제(이하, 대류 첨가제라고도 한다)가 비등하고, 비등한 대류 첨가제가 수지 중에서 대류함에 따라서, 전극 상에 범프가 양호하게 형성되어 가는 것이 관찰되었으므로, 대류 첨가제의 대류가, 용융된 땜납 분말의 이동을 촉진하는 효과가 있고, 이에 따라서, 용융 땜납 분말의 균일한 결합이 촉진되는 것으로 추측된다. 도 10의 경우에는, 대류 첨가제가 존재하지 않으므로, 그 효과를 기대할 수 없기 때문인 것으로 생각된다.
- [0098] 본 발명의 방법에서 사용하는 수지는, 땜납 분말이 용융되는 온도에서, 수지의 점성이 저하하는 것을 이용하여, 용융된 땜납 분말이 자유롭게 부유, 이동하는 "바다"의 역할을 하는 것으로서, 상기 방법에서는, 범프 형성 후, 필요에 따라서 이 수지를 제거해도 좋다.
- [0099] 이와 같이 땜납 범프가 형성된 후는, 통상의 플립 칩 실장 방법과 마찬가지로, 범프의 위에 반도체 칩을 탑재하고, 배선 기판의 전극 단자와 반도체 칩의 접속 단자를 원하는 바와 같이 대향시키고, 이것들을 가열하여 그 사이에 접속체(즉, 이것들을 전기적으로 접속하는 부분)를 형성한다. 범프와 반도체 칩의 접속 전극의 사이의 접속체는, 합금화 상태로 되는 것이 바람직하다.
- [0100] 또한, 여기서 사용되는 수지가, 예로서, 열경화성 수지와 같은 것인 경우, 범프 형성 후, 수지를 제거하지 않고 그대로 남겨 두고, 기판을 소정의 온도로 가열하여, 수지를 열경화시키면, 그대로 평판(14)을, 수지로써 기판(10)에 고정시킬 수 있다.
- [0101] 본 발명의 최초에 설명한 플립 칩 실장 방법은, 이러한 점에 착안하여 이루어진 것으로서, 평판(14) 대신에, 반도체 칩을 수지에 맞닿게 하고, 상기의 범프 형성 방법을 이용하여, 반도체 칩을 배선 기판에 플립 칩 실장시키는 것이다.
- [0102] (실시형태 2)
- [0103] 도 2(a) ~ (c)는 본 발명의 실시형태 2에 있어서의 플립 칩 실장 방법의 기본적인 공정을 나타내는 도면이다.
- [0104] 우선, 도 2(a)에 나타내는 바와 같이, 복수의 전극 단자(11)를 구비한 배선 기판(10) 상에, 땜납 분말(도시되어 있지 않음) 및 대류 첨가제(12)를 함유하는 수지(13)를 공급한다. 이어서, 도 2(b)에 나타내는 바와 같이, 배선 기판(10) 상에 공급된 수지(13)의 표면에 반도체 칩(20)을 맞닿게 한다. 이때, 복수의 접속 단자(21)를 구비한 반도체 칩(20)은, 복수의 전극 단자(11)를 구비한 배선 기판(10)과 대향시켜 배치된다. 그리고, 이 상태에서, 배선 기판(10)을, 땜납 분말이 용융되는 온도 또는 그것보다 높은 온도로 가열한다. 여기서, 배선 기판(10)의 가열 온도는, 대류 첨가제(12)의 비점 또는 그것보다 높은 온도로 실행되고, 비등한 대류 첨가제(12)는, 수지(13) 중에서 대류한다.
- [0105] 이 가열 공정에서, 용융된 땜납 분말을, 배선 기판(10)의 전극 단자(11)와 반도체 칩(20)의 접속 단자(21)의 사이에 자기 접합시킴으로써, 전극 단자(11)와 접속 단자(21)를 전기적으로 접속하는 접속체(22)를 형성한다.
- [0106] 마지막으로, 도 2(c)에 나타내는 바와 같이, 수지(13)를 경화시켜서, 반도체 칩(20)을 배선 기판(10)에 고정시킨다.
- [0107] 본 발명의 방법에 의하면, 수지(13) 중에 함유된 대류 첨가제(12)가 가열에 의해서 비등하고, 비등한 대류 첨가제(12)가 수지(13) 중에서 대류함으로써, 땜납 분말의 수지(13) 중에서의 이동이 촉진되고, 용융 땜납 분말끼리의 결합이 수지(13) 중에서 균일하게 진행된다. 그 결과, 균일하게 성장한 용융 땜납 분말이, 습윤성이 높은 배선 기판(10)의 전극 단자(11)와 반도체 칩(20)의 접속 단자(21)의 사이에 자기 접합함으로써, 전극 단자(11)와 접속 단자(21)의 사이에, 균일성이 높은 접속체(22)를 실현할 수 있다. 그것과 동시에, 배선 기판(10)과 반도체 칩(20)의 사이에 있는 수지(13)를 경화시킴으로써, 반도체 칩(20)을 배선 기판(10)에 고정할 수 있다. 따라서, 일련의 공정으로, 반도체 칩(20)과 배선 기판(10)의 전극 단자의 사이의 전기적 접속과, 반도체 칩(20)의 배선 기판(10)에의 고정을 동시에 실행할 수 있어서, 생산성이 높은 플립 칩 실장체가 실현된다.
- [0108] 또한, 배선 기판(10) 상에 공급된 수지(13)의 표면을 반도체 칩(20)에 맞닿게 함으로써, 비등한 대류 첨가제(12)가 수지(13)의 표면(상축 표면)으로부터 외부에 증발하는 것을 방지할 수 있으므로, 수지(13) 중에서 대류하는 효과적인 첨가제(12)를 유지할 수 있어서, 용융된 땜납 분말을, 대향하는 단자 간에 더욱 균일하게 자기 접합시킬 수 있다. 이에 따라서, 전극 단자(11)와 접속 단자(21)의 전기적 접속을 더욱 균일하게 할 수 있

고, 신뢰성이 높은 플립 칩 실장체를 실현할 수 있다.

[0109] 또한, 비등한 대류 첨가제의 대류에 의한 운동 에너지를, 수지 중에 분산되어 있는 땜납 분말에 부여함으로써, 효율적으로 땜납 분말을 단자 사이에 자기 집합시킬 수 있으므로, 전극 단자와 접속 단자의 사이에 접속체를 형성한 후에는, 접속체 이외의 수지 중에 잔류하는 땜납 분말의 양을 적게 할 수 있다. 특히, 땜납 분말의 수지 중에 함유하는 비율을, 접속체 형성에 필요한 최적량으로 미리 설정해 둠으로써, 접속체 형성 후의 땜납 분말의 잔류량을 실질적으로 없앨 수 있다. 그 결과, 접속체 간의 절연 내성을 향상시킬 수 있고, 반도체 칩의 미세 피치화에도 충분히 대응 가능하게 된다.

[0110] 이하, 도 2(a)~(c)를 다시 참조하여, 본 발명의 실시형태를 더욱 상세하게 설명한다.

[0111] 도 2(a)에 나타내는 바와 같이, 표면에 전극(11)이 형성된 배선 기판(10)을 준비하고, 배선 기판(10)의 표면을 아세톤 등으로 충분히 세정한 후, 배선 기판(10)의 표면에, 땜납 분말(도시되어 있지 않음)과 대류 첨가제(12)를 함유시킨 수지(13)를 도포한다. 여기서는, 땜납 분말로서는, 예로서, Sn-Ag계 땜납 분말(Cu 등을 첨가한 것도 포함한다)을 사용할 수 있지만, 다른 땜납 분말이라도 관계없다. 예로서, 다른 땜납 분말로서, 용융 후, Sn-Zn계, Sn-Bi계 합금이 되는, Pb가 없는 땜납, Pb-Sn 땜납, 또는 용융 후, Cu-Ag계 합금이 되는 저융점 땜납 재료의 분말을 사용할 수 있다. 또한, 땜납 분말은, 융점이 100~300°C의 범위인 것이 바람직하고, 융점이 130~280°C의 범위인 것이 더욱 바람직하다.

[0112] 또한, 대류 첨가제(12)로서는, 기판(10)을 가열하여 땜납 분말을 용해시키는 온도, 예로서 100~300°C 또는 그것보다 낮은 온도에서 비등하는 재료인 것이 바람직하다. 예로서, 유기산을 활성 성분으로 하는 수지계 플렉스에 사용하는 용제를 대류 첨가제로서 사용할 수 있다. 이외에, 예로서, 와스(더욱 구체적으로는 일렉트론 와스 등), 글리세린, 이소프로필알코올, 아세트산부틸, 부틸카르비톨, 에틸렌글리콜 등을 사용해도 좋다. 또한, 대류 첨가제는, 땜납 분말의 융점보다 조금 낮은 온도, 바람직하게는 10~100°C 낮은 온도, 더욱 바람직하게는 10~60°C 낮은 온도에서 비등해도, 또는 대류 첨가제의 비점과 땜납 분말의 융점이 실질적으로 동일해도, 또는 땜납 분말의 융점보다 조금 높은 온도, 바람직하게는 10~100°C 높은 온도, 더욱 바람직하게는 10~20°C 높은 온도에서 비등해도 좋다.

[0113] 이 비점이 융점보다 낮은 경우에는, 대류 첨가제가 먼저 비등하여, 그 후에 용융되는 땜납의 이동이 촉진된다. 이 비점이 융점보다 높은 경우에는, 땜납이 먼저 용융하고 대류 첨가제가 그 후에 비등하여, 용융된 땜납의 이동이 촉진된다. 이 경우, 가열 공정에서의 가열 온도는, 땜납의 융점보다 높은 온도이지만, 이 경우에도, 땜납이 용융되는 온도로 가열되고 있는 것에는 차이가 없다.

[0114] 본 발명에 있어서, 수지로서는, 예로서 에폭시 수지를 사용할 수 있지만, 예로서, 다른 열경화성 수지, 열가소성 수지, 자외선 경화형 등의 광경화 수지 등이라도 좋다. 본 발명의 가열 공정에서 고체 또는 용융 땜납 분말의 이동이 용이하게 되도록, 가열 온도에서 점도가 낮은 것이 바람직하다.

[0115] 이어서, 도 2(b)에 나타내는 바와 같이, 배선 기판(10)의 표면에 도포된 수지(13)의 표면에, 접속 단자(21)를 구비한 반도체 칩(20)을 맞닿게 한다. 이때, 배선 기판(10)의 전극 단자(11)와, 반도체 칩(20)의 접속 단자(21)는, 서로 대향하는 위치에 배치되어 있다. 여기서, 반도체 칩(20)의 접속 단자(21)는 영역 어레이로 되어 있고, 단자 간 피치에 제한은 없지만, 본 발명에서는, 100μm 이하가 바람직하다.

[0116] 이 상태에서, 배선 기판(10)을 땜납 분말이 용융되는 온도로 가열한다. 이때, 수지(13)의 점성은 감소하므로, 용융된 땜납 분말은 수지(13) 중에서 부유하는 상태가 된다. 여기서, 배선 기판(10)의 가열 온도는, 대류 첨가제(12)의 비점보다도 높은 온도로 실행되어서, 이 가열 공정에서, 수지(13)에 함유된 대류 첨가제(12)는 비등하고, 수지 중에서 대류한다. 그리고, 용융된 땜납 분말은, 이 대류하는 첨가제(12)에 의해서 이동이 촉진되어서, 용융된 땜납 분말끼리의 결합이 균일하게 진행되고, 도 2(c)에 나타내는 바와 같이, 성장한 용융 땜납으로 이루어지는 접속체(22)가, 습윤성이 큰 전극 단자(11)와 접속 단자(21)의 사이에 자기 집합한다.

[0117] 여기서, 배선 기판(10) 상에 공급된 수지(13)의 표면에는, 반도체 칩(20)이 맞닿아 있으므로, 비등한 대류 첨가제(12)가 수지(13)의 표면으로부터 외부에 증발하는 것을 방지할 수 있고, 그 결과, 수지(13) 중에서 대류하는 효과적인 대류 첨가제(12)를 유지할 수 있으므로, 용융된 땜납 분말을, 대향하는 단자 간에 더욱 균일하게 자기 집합시킬 수 있다.

[0118] 마지막으로, 배선 기판(10)을 가열함으로써, 수지(13)를 열경화시켜서, 반도체 칩(20)을 배선 기판(10)에 고정시키면, 전극 단자(11)와 접속 단자(21)가 전기적으로 접속된 플립 칩 실장체가 완성된다.

[0119] 수지로서 열경화성 수지를 사용하는 경우, 가열 공정에서 땜납 분말을 이동시킬 때에, 경화가 시작되어도 좋

지만, 대류 첨가제의 상기의 효과가 저해될 정도로 경화가 진행되어서는 안 되고, 경화가 실질적으로 진행되지 않는 것이 바람직하다. 그러나, 땜납 분말의 이동이 종료된 후에는, 경화가 진행되어도 좋다. 특히, 바람직한 실시형태에서는, 땜납 분말을 용융시켜서 이동시킨 후, 더욱 높은 온도에서 경화가 진행되어서 실질적으로 완료되는 것이 바람직하다. 또한, 땜납 분말의 용융 시에 사용하는 가열 온도에 의하여, 땜납 분말의 집합 후에 경화가 진행되는 경우는, 그대로 가열을 계속하여 수지를 경화시켜도 좋다.

[0120] 도 3은 상기의 플립 칩 실장 방법에서, 배선 기판(10)의 가열 공정에서의 온도 프로파일의 일례를 나타내는 그래프이다. 횡축은 배선 기판(10)의 가열 시간을 나타내고, 종축은 배선 기판(10)의 가열 온도를 나타낸다.

[0121] 도 3에 나타내는 바와 같이, 우선, 배선 기판(10)을, 실온(T_0)으로부터, 땜납 분말이 용융되는 온도(T_1)로 가열한다. 이 온도(T_1)가 대류 첨가제(12)의 비첨보다도 높은 온도가 되도록 땜납 분말의 재료 및 대류 첨가제를 선택한다. 땜납 분말로서, 예로서 Sn-Ag-Cu계 땜납을 사용하고, 대류 첨가제(12)로서, 통상적으로 사용되고 있는 유기산을 활성 성분으로 하는 수지계 플러스의 용제를 사용한 경우, T_1 로서 150~220°C로 설정해도 좋다.

[0122] 이 온도(T_1)를 일정 시간(t_2) 유지하고, 이 동안에 비등한 대류 첨가제(12)가 수지(13) 중에서 대류함으로써, 땜납 분말의 수지(13) 중의 이동이 촉진되어서, 용융 땜납 분말끼리의 결합이 수지(13) 중에서 균일하게 진행된다. 비등한 대류 첨가제의 대류 속도, 및 용융 땜납 분말끼리의 결합 속도가 빠르므로, 온도 (T_1)의 유지 시간(t_2)으로서는, 예로서 10~20초로 충분하다.

[0123] 이어서, 배선 기판(10)을 온도 (T_2)로 상승시켜서, 일정 시간(t_4) 유지하고, 이 동안에 수지(13)를 열경화시켜서, 반도체 칩(20)을 배선 기판(10)에 고정시킨다. 열경화성 수지로서, 예폭시 수지를 사용한 경우, 예로서 T_2 를 235~260°C, 유지 시간(t_4)을 10~240초로 설정해도 좋다.

[0124] 이와 같이, 본 발명의 플립 칩 실장 방법은, 배선 기판(10)의 일련의 가열 공정으로써, 반도체 칩과 배선 기판의 전극 단자 간의 전기적 접속과, 반도체 칩의 배선 기판에의 고정을 동시에 실행할 수 있으므로, 생산성이 높은 플립 칩 실장이 실현된다.

[0125] 또한, 대류 첨가제(12)로서 플러스를 사용한 경우, 비등하는 플러스의 대류에 의해서, 용융 땜납 분말의 이동을 촉진하는 효과 이외에, 땜납 분말 표면에 불가피하게 형성된 산화막을 제거하는 효과도 기대할 수 있다.

[0126] 또한, 수지(13)로서는, 예폭시 수지 등의 열경화성 수지를 사용하고, 기판을 추가로 가열함으로써, 수지(13)를 경화시킬 수 있지만, 다른 수단에 의해서 경화하는 재료, 예로서, 광을 조사함으로써 경화하는, 광중합성(光重合性) 올리고머(oligomer) 등의 광경화성 수지를 사용할 수도 있다. 광경화성 수지를 사용한 경우, 도 3에 나타내는 바와 같은, 배선 기판(10)의 일련의 가열 공정으로써 플립 칩 실장을 실행할 수는 없지만, 광의 일괄적인 조사에 의해서, 수지를 경화시킬 수 있으므로, 생산성이 우수한 점에 있어서는, 열경화성 수지를 사용한 경우와 별로 차이가 없다.

[0127] 또한, 배선 기판(10)의 가열 공정에서, 전극 단자(11)의 상측과 접속 단자(21)의 사이에 형성되는 성장 땜납(접속체)(22)에 형상 찌그러짐이 생기지 않게 하기 위하여, 반도체 칩(20)이 어긋나지 않도록, 반도체 칩(20)에 일정한 압력을 가함으로써, 수지(13)를 압압하면서 배선 기판(10)을 가열하면, 형상 찌그러짐이 없는 균일한 성장 땜납(접속체)(22)을 형성할 수 있다.

[0128] 그런데, 본 발명의 방법을 이용하여 플립 칩 실장체를 형성한 경우, 수지(13) 중에 분산되어 있는 땜납 분말이, 배선 기판(10)과 반도체 칩(20)의 단자(11, 21) 사이에 자기 집합하여 접속체(22)를 형성하고, 단자 간 이외의 수지(13) 중에 땜납 분말을 잔존시키지 않는 대책을 강구하는 것이 바람직하다. 특히, 반도체 칩(20)의 전극 단자(21)가 미세 퍼치가 되면, 단자 사이에 성장한 땜납 분말이 잔존한 경우, 단자 간의 절연 내압의 열화(劣化)나 단락(短絡)의 원인이 되므로, 신뢰성이나 제품 통과율의 저하를 방지하는 면에서, 이러한 대책은 중요하다. 더욱 구체적으로는, 배선 기판 및/또는 반도체 칩의 단자 이외의 노출 표면에 땜납에 대한 습윤성이 뒤떨어지는 재료를 배치해도 좋다. 예로서 이러한 노출 표면에 솔더 레지스트를 도포해도 좋다.

[0129] 본 발명에서의 수지(13) 중에 함유된 대류 첨가제(12)는, 수지(13) 중에 분산되어 있는 땜납 분말을 강제적으로 이동시키는 작용을 하므로, 단순히 습윤성만을 이용하여 단자 간에 자기 집합시키는 것에 비하여, 더욱 효율적으로 땜납 분말을 단자 간에 자기 집합시킬 수 있다. 그러므로, 과잉의 땜납 분말을 수지(13) 중에 함유시키지 않고, 적량의 땜납 분말로써, 단자 간에 필요로 하는 접속체(22)를 형성하는 것이 가능하게 된다. 이

에 따라서, 접속체(22)를 형성한 후에, 단자 간 이외의 수지 중에 잔류하는 땜납 분말의 양을 감소시킬 수 있어서, 단자 간의 절연 내압의 열화나 단락의 문제를 방지할 수 있게 된다.

[0130] 본 발명의 수지(13) 중에 포함되는 땜납 분말의 최적의 함유량은, 대체로, 이하와 같은 지침에 따라서 설정할 수 있다. 또한, 땜납 분말의 최적의 함유량은, 예로서, 이하에 설명하는 바와 같이 설정할 수 있다.

[0131] 배선 기판(10)과 반도체 칩(20)의 사이에 공급되는 수지 조성물(13)(즉, 땜납 분말 및 대류 첨가제를 포함한다)의 체적(V_B) 중에 함유되는 땜납 분말 전부가, 배선 기판(10)의 전극 단자(11)와 반도체 칩(20)의 접속 단자(21)의 사이의 접속체(22)의 형성에 기여하는 것으로 생각하면, 접속체(22)의 총 체적(V_A)과 수지(13)의 체적(V_B)은 이하와 같은 관계식 (1)이 성립하는 것으로 간주할 수 있다:

$$V_A : V_B \doteq S_A : S_B \quad \dots (1)$$

[0133] 식 (1) 중에서, S_A 는 배선 기판(10)의 전극 단자(11)의 총 면적(또는, 반도체 칩(20)의 접속 단자(21)의 총 면적), S_B 는 배선 기판(10)(또는 반도체 칩(20))의 면적을 각각 나타낸다.

[0134] 이에 따라서, 수지 조성물(13) 중에 포함되는 땜납 분말의 함유량은, 이하와 같은 식 (2)로 표시된다:

$$(亸납 분말의 함유량, 체적\%) = V_A / V_B = S_A / S_B \times 100 \quad \dots (2)$$

[0136] 실제로는, 모든 땜납 분말이 단자 사이에 자기 집합한다고는 할 수 없고, 수지(13) 중에 얼마간 잔류할 수는 있다. 또한, 단자 간에 형성되는 접속체(22)는, 최종적으로는 단자 사이가 일정한 조건을 만족시키는 전기적 접속이 이루어져 있으면 좋고, 이러한 조건을 만족시키는 범위 내이면, 반드시 단자 사이를 모두 접속체(22)로써 채울 필요는 없다.

[0137] 따라서, 수지(13) 중에 포함되는 땜납 분말의 최적 함유량은, 대략 이하와 같은 식 (3)에 따라서 설정할 수 있다.

$$(亸납 분말의 함유량, 체적\%) = (S_A / S_B \times 100) + \alpha \quad \dots (3)$$

[0139] 식 (3) 중에서, 파라미터(α)는 땜납 분말이 단자 사이에 자기 집합할 때의 과부족분을 조정하기 위한 것으로서, 여러 가지의 조건에 따라서 결정할 수 있다. 예로서, 사용하는 수지(13)의 유동성이 낮은(점도가 높은) 경우에는, 땜납 분말의 수지(13) 중에서의 자유스러운 이동이 억제되므로, 땜납 분말의 자기 집합률(亸납 분말이 전극 간에 자기 집합하는 비율)이 저하한다. 따라서, 이 경우에는, 그 부족분을 보충하는 양(α 는 정(正)의 값)을 포함하는 땜납 분말을 수지(13) 중에 함유시켜 두는 것이 바람직하다. 또한, 땜납 분말의 자기 집합률에 영향을 주는 것으로서는, 이외에, 대류 첨가제(12)에 의한 대류 효과나, 전극 단자의 습윤성 등을 고려할 수 있다. 용이하게 이해할 수 있도록, 범프 형성 조건을 결정한 후에, 예로서 시행 착오법으로써 α 의 값을 실험적으로 구할 수 있다.

[0140] 이와 같이, 땜납 분말이 단자 간에 자기 집합할 때의 과부족분을 조정하는 파라미터(α)는, 여러 가지 조건에 따라서 결정되지만, 본래의 절연 내압의 열화(劣化) 등을 방지하는 목적을 따르기 위해서는, α 는, ±10체적%의 범위, 더욱 바람직하게는 ±5체적%의 범위로 설정하는 것이 바람직하다.

[0141] 배선 기판(10)의 전극 단자(11)(또는, 반도체 칩(20)의 접속 단자(21))의 배치는, 여러 가지 형태를 취할 수 있지만, 예로서, 도 4 및 도 5에 나타내는 바와 같은 전형적인 전극 단자(11)(또는 접속 단자(21))의 배치에 대하여, 식 (3)에 따라서 최적의 땜납 분말의 함유량을 구하면, 대략 이하와 같은 값이 된다.

[0142] 도 4에 나타낸 배치(주변 배치)... 0.5~5체적%

[0143] 도 5에 나타낸 배치(영역 어레이 배치)... 15~30체적%

[0144] 이것으로부터, 전극(11) 상에 필요로 하는 범프를 형성하기 위해서는, 수지(13) 중에 분산되는 땜납 분말은, 통상 0.5~30체적%, 바람직하게는 0.5~20체적%의 비율로 조성물로서의 수지(즉, 땜납 분말 및 대류 첨가제를 함유하는 수지 조성물)(13) 중에 함유되어 있으면 충분하다.

[0145] 이와 같이, 땜납 분말의 함유량을 적은 양으로 억제할 수 있는 것은, 수지(13) 중에 분산되는 대류 첨가제의 수지(13) 중에서의 대류에 의하여 달성되는 작용 효과에 의한 것이다. 또한, 일반적으로, 땜납 분말과 수지 또는 대류 첨가제와의 중량비는 약 7 정도이므로, 상기 0.5~30체적%의 비율은, 대략 3~75중량%의 비율에

상당한다.

[0146] (실시형태 3)

[0147] 이하에, 상기한 실시형태 2에 대한 여러 가지의 변형예에 의한 실시형태 3에 대하여, 도면을 참조하여 설명한다.

[0148] 도 6(a), (b)는 배선 기판(10)에, 복수의 반도체 칩(20a, 20b, 20c, 20d)을 플립 칩 실장한 경우의 구성을 나타낸 도면으로서, 도 6(a)는 그 평면도, 도 6(b)는 도 6(a)의 B-B'선을 따르는 단면도를 나타낸다.

[0149] 복수의 반도체 칩(20a, 20b, 20c, 20d)의 배선 기판(10)에의 플립 칩 실장은, 이하의 방법으로 실행된다.

[0150] 우선, 배선 기판(10) 상의 각각의 반도체 칩(20a, 20b, 20c, 20d)이 탑재되는 영역에, 미리, 땜납 분말과 대류 첨가제를 함유한 수지를 도포하여 둔다. 그리고, 각각의 반도체 칩의 접속 단자가, 배선 기판(10) 상의 각각의 전극 단자와 대향하도록, 각각의 반도체 칩을 수지 표면에 맞닿게 한다. 그 후, 배선 기판(10)을 가열하여, 수지 중에 함유된 땜납 분말을 용융시키고, 땜납 분말끼리 결합하여 성장한 땜납을, 각각의 반도체 칩의 접속 단자와 배선 기판의 전극 단자 간에 자기 접합시킨다. 마지막으로, 수지를 경화시켜서, 각각의 반도체 칩을 배선 기판에 고정하여, 플립 칩 실장이 완료된다.

[0151] 본 발명의 플립 칩 실장에 의하면, 수지로서 열경화성 수지를 사용하는 경우, 각각의 반도체 칩과 배선 기판의 전극 단자의 사이의 전기적 접속과, 각각의 반도체 칩의 배선 기판에의 고정을, 일련의 공정으로 일괄적으로 실행할 수 있어서, 생산성이 높은 플립 칩 실장을 실현할 수 있다. 또한 상기의 예에서는, 수지를, 배선 기판(10) 상의 각각의 반도체 칩이 탑재되는 영역에 도포하도록 하였지만, 배선 기판(10)의 전면에 수지를 도포해도 관계없다.

[0152] (실시형태 4)

[0153] 이어서, 반도체 칩의 다른 플립 칩 실장 방법에 대하여, 도 7(a)~(e)를 참조하여 설명한다.

[0154] 우선, 도 7(a)에 나타내는 바와 같이, 복수의 전극 단자(11)를 구비한 배선 기판(10) 상에, 땜납 분말(도시되어 있지 않음) 및 대류 첨가제(12)를 함유하는 수지(13)를 공급한다. 이어서, 도 7(b)에 나타내는 바와 같이, 배선 기판(10) 상에 공급된 수지(13)의 표면에 평판(14)을 맞닿게 한다. 그리고, 이 상태에서, 배선 기판(10)을, 땜납 분말이 용융되는 온도로 가열한다. 여기서, 배선 기판(10)의 가열 온도는, 대류 첨가제(12)의 비접보다도 높은 온도로 실행되어서, 비등한 대류 첨가제(12)는, 수지(13) 중에서 대류하는 것이 바람직하다. 이 가열 공정에서, 용융된 땜납 분말을, 배선 기판(10)의 전극 단자(11) 상에 자기 접합시킴으로써, 전극 단자(11) 상에 땜납 볼(16)을 형성시킨다.

[0155] 여기서, 평판(14)을 수지(13)의 표면에 맞닿게 하는 것은, 비등한 대류 첨가제(12)가 수지(13)의 표면으로부터 외부에 증발하는 것을 조금이라도 억제하기 위한 것이다. 이렇게 함으로써, 수지 중에서 대류하는 첨가제(12)를 효과적으로 유지할 수 있으므로, 용융된 땜납 분말을 더욱 광범위하게 이동 촉진을 도모할 수 있다.

[0156] 이어서, 도 7(c)에 나타내는 바와 같이, 평판(14)을 떼어낸 후, 수지(13)를 배선 기판(10)의 표면으로부터 제거함으로써, 배선 기판(10)의 전극 단자(11) 상에, 땜납 범프(16)가 형성된다. 여기서, 평판(14)을 떼어낸 후, 수지(13)를 남겨 두어도 관계없지만, 범프 형성 후, 미소한 땜납 분말이 수지(13) 상에 잔사(殘渣)로서 남는 경우도 있으므로, 신뢰성의 면을 고려하면, 땜납 분말의 잔사와 함께 수지(13)를 제거하는 것이 바람직하다.

[0157] 이어서, 도 7(d)에 나타내는 바와 같이, 복수의 접속 단자(21)를 구비한 반도체 칩(20)을, 접속 단자(21)와 범프(16)가 대응하도록, 배선 기판(10) 상에 탑재한다. 그리고, 반도체 칩(20)을 범프(16)에 압압(押壓)하면서, 배선 기판(10)을, 범프(16)가 용융되는 온도로 가열하고, 접속 단자(21)와 범프(16)의 접촉면을 합금화함으로써, 배선 기판(10)의 전극 단자(11)와, 반도체 칩(20)의 접속 단자(21)를 전기적으로 접속한다.

[0158] 마지막으로, 도 7(e)에 나타내는 바와 같이, 배선 기판(10)과 반도체 칩(20) 사이에, 언더필 재료(23)를 주입한 후, 배선 기판(10)을 가열함으로써, 언더필 재료(23)를 열경화시켜서, 플립 칩 실장을 완성한다.

[0159] 본 실시형태의 플립 칩 실장 방법에서는, 실시형태 3에서 설명한 바와 같이, 반도체 칩과 배선 기판의 전극 단자의 사이의 전기적 접속과, 반도체 칩의 배선 기판에의 고정을, 일련의 가열 공정으로 동시에 실행할 수는 없지만, 배선 기판의 전극 단자 상에의 범프 형성이 확실하게 되어 있는가 아닌가를 육안으로써 확인할 수 있으므로, 미리, 범프 형성 불량을 제거할 수 있어서, 그 후의 반도체 칩의 플립 칩 실장에서의 제품 통과율을

향상시킬 수 있다.

[0160] 그런데, 반도체 칩의 다(多) 편화에 따라서, 반도체 칩의 접속 단자는, 영역 어레이 구조가 주류로 되고 있지만, 복수의 반도체 칩을 배선 기판에 실장할 때에는, 주변에 배치된 접속 단자를 구비한 반도체 칩이 포함되는 수도 있다.

[0161] 본 발명에 있어서의 플립 칩 실장 방법은, 땜납 분말의 자기 집합 기능을 이용하고 있으므로, 균일한 자기 집합을 실행하게 하기 위해서는, 전극의 배치는 균일한 쪽이 바람직하고, 그 의미에서, 영역 어레이의 반도체 칩은, 본 발명의 플립 칩 실장 방법을 적용하는 데에 적합하다고 말할 수 있다.

[0162] 그러나, 주변에 배치된 접속 단자를 구비한 반도체 칩에 대해서도, 도 8 및 도 9에 나타내는 바와 같은 방법을 이용하면, 영역 어레이의 반도체 칩과 아무런 차이 없이, 균일성 좋게 플립 칩 실장할 수 있다.

[0163] 도 8은 배선 기판(10)의 평면도이고, 도 9(a)~(c)는 플립 칩 실장의 공정 단면도를 나타낸다.

[0164] 도 8에 나타내는 바와 같이, 배선 기판(10)의 주변에는, 단자가 주변에 배치된 반도체 칩의 접속 단자에 대응하는 위치에, 전극 단자(11)가 형성되어 있다. 그리고, 땜납 분말과 대류 첨가제를 함유한 수지(13)를, 전극 단자(11)가 형성되어 있지 않은 배선 기판(10)의 중앙 영역(30)을 제외하고, 배선 기판(10) 상에 형성된 전극 단자(11)를 피복하도록 공급한다(도 9(a)).

[0165] 그리고, 도 9(b)에 나타내는 바와 같이, 반도체 칩(20)을, 수지(13)에 맞닿게 하여, 배선 기판(10)을 가열함으로써, 도 9(c)에 나타내는 바와 같이, 반도체 칩(20)의 접속 단자(21)와, 배선 기판(10)의 전극 단자(11)가, 접속체(22)를 통하여 전기적으로 접속된 플립 칩 실장체가 실현된다.

[0166] 도 8에 나타내는 바와 같이, 전극 단자(11)와 접속 단자(21)는, 수지(13)에 대하여 균일하게 배치된 모양으로 되어 있으므로, 용융된 땜납 분말은, 단자 간에 균일하게 자기 집합할 수 있고, 영역 어레이와 마찬가지로, 균일성 좋게 플립 칩 실장을 실행할 수 있다.

[0167] 또한, 도 9(c)에 나타내는 바와 같이, 플립 칩 실장체는, 반도체 칩(20)과 배선 기판(10)의 사이의 중앙 영역(30)에, 수지(13)가 존재하지 않지만, 접착 강도나, 기타의 신뢰성의 면에서, 별도로, 중앙 영역(30)을 다른 수지 등으로 채워 두어도 좋다.

[0168] 또한, 수지(13)를 배선 기판(10)의 전면(全面)에 공급해도, 땜납 분말이 대류에 의해서 단자에 자기 집합하므로 본 발명의 효과가 상실되는 일은 없고, 그 경우에는, 중앙 영역(30)을 다시 다른 수지로 채울 필요는 없다.

[0169] 이상, 본 발명을 바람직한 실시형태로써 설명하였지만, 이러한 실시형태에 있어서, 여러 가지의 변형이 가능하다. 예로서, 땜납 분말과 대류 첨가제를 함유하는 수지로서, 열경화성 수지, 광경화성 수지 등을 예시했지만, 이것들의 병용형(併用型) 수지, 또는 2액(液) 혼합형 수지를 사용해도 관계없다. 또한, 반도체 칩은, 실리콘 반도체에 한정되지 않으며, 화합물 반도체의 반도체 칩에도, 당연히 적용할 수 있다.

[0170] 상기한 바와 같은 본 발명은, 이하의 형태를 포함한다:

[0171] 제1형태: 복수의 전극 단자를 구비한 배선 기판과 대향시켜서, 복수의 접속 단자를 구비한 반도체 칩을 배치하고, 상기 배선 기판의 상기 전극 단자와, 상기 반도체 칩의 상기 접속 단자를 전기적으로 접속하는 플립 칩 실장 방법에 있어서,

[0172] (1) 상기 배선 기판의 상기 전극 단자를 구비한 표면 상에, 땜납 분말 및 대류 첨가제를 함유하는 수지를 공급하는 것,

[0173] (2) 상기 수지 표면에 상기 반도체 칩을 맞닿게 하는 것,

[0174] (3) 상기 배선 기판을, 상기 땜납 분말이 용융되는 온도로 가열하는 것, 및

[0175] (4) 상기 가열 공정 후, 상기 수지를 경화시키는 것을 포함하고,

[0176] 상기 배선 기판을 가열할 때(3), 상기 전극 단자와 상기 접속 단자를 전기적으로 접속하는 접속체를 형성하고, 또한 상기 수지를 경화시킬 때(4), 상기 반도체 칩을 상기 배선 기판에 고정하는 것을 특징으로 하는 플립 칩 실장 방법.

[0177] 제2형태: 상기 제1형태에 있어서, 상기 기판을 가열하는 것(3)은, 상기 대류 첨가제의 비점보다도 높은 온도

로 실행되는 것을 특징으로 하는 플립 칩 실장 방법.

[0178] 제3형태: 상기 제2형태에 있어서, 상기 기판이 가열될 때(3)에, 상기 비등한 대류 첨가제는, 상기 수지 중에서 대류하는 것을 특징으로 하는 플립 칩 실장 방법.

[0179] 제4형태: 상기 제1~3형태 중 어느 하나의 형태에 있어서, 상기 기판이 가열될 때(3)에, 상기 땜납 분말은, 용융 상태로 상기 수지 중에서 대류하는 것을 특징으로 하는 플립 칩 실장 방법.

[0180] 제5형태: 상기 제1~4형태 중 어느 하나의 형태에 있어서, 상기 대류 첨가제는, 용제, 글리세린, 왁스, 이소프로필알코올, 아세트산부틸, 부틸카르비톨 및 에틸렌글리콜로 이루어지는 군(群)으로부터 선택되는 1종 또는 2종 이상의 재료로 구성된 것을 특징으로 하는 플립 칩 실장 방법.

[0181] 제6형태: 상기 제1~5형태 중 어느 하나의 형태에 있어서, 상기 기판의 가열(3)은, 상기 수지의 점도가 저하는 온도로 실행되는 것을 특징으로 하는 플립 칩 실장 방법.

[0182] 제7형태: 상기 제1~6형태 중 어느 하나의 형태에 있어서, 상기 기판이 가열될 때(3)에, 상기 반도체 칩에 일정한 압력을 가함으로써, 상기 수지를 압압하면서, 상기 기판을 가열하는 것을 특징으로 하는 플립 칩 실장 방법.

[0183] 제8형태: 상기 제1~7형태 중 어느 하나의 형태에 있어서, 상기 수지는, 열경화성 수지로 구성된 것을 특징으로 하는 플립 칩 실장 방법.

[0184] 제9형태: 상기 제8형태에 있어서, 상기 수지의 경화(4)는, 상기 배선 기판의 가열 공정보다도 높은 온도로 기판을 가열함으로써 실행되는 것을 특징으로 하는 플립 칩 실장 방법.

[0185] 제10형태: 상기 제1~7형태 중 어느 하나의 형태에 있어서, 상기 수지는, 광경화성 수지로 구성되고, 상기 수지의 경화 공정(4)은, 상기 수지에 광을 조사함으로써 실행되는 것을 특징으로 하는 플립 칩 실장 방법.

[0186] 제11형태: 상기 제1~10형태 중 어느 하나의 형태에 있어서, 상기 수지 표면에, 복수의 반도체 칩을 맞닿게 함으로써, 이 복수의 반도체 칩을 상기 배선 기판에 플립 칩 실장하는 것을 특징으로 하는 플립 칩 실장 방법.

[0187] 제12형태: 상기 제1~11형태 중 어느 하나의 형태에 있어서, 상기 땜납 분말은, 0.5~30체적%의 비율로, 상기 수지 중에 함유되어 있는 것을 특징으로 하는 플립 칩 실장 방법.

[0188] 제13형태: (a) 복수의 전극 단자를 구비한 배선 기판을 준비하는 것,

[0189] (b) 상기 배선 기판 상에, 땜납 분말 및 대류 첨가제를 함유하는 수지를 공급하는 것,

[0190] (c) 상기 배선 기판을, 상기 땜납 분말이 용융되는 온도로 가열하고, 상기 전극 단자 상에 범프를 형성하는 것,

[0191] (d) 복수의 접속 단자를 구비한 반도체 칩을, 상기 접속 단자와 상기 범프가 대응하도록, 상기 배선 기판 상에 탑재하는 것, 및

[0192] (e) 상기 배선 기판을, 상기 범프가 용융되는 온도로 가열하는 것을 포함하고,

[0193] 상기 배선 기판의 가열(e)에 의해서, 상기 배선 기판의 상기 전극 단자와, 상기 반도체 칩의 상기 접속 단자를 전기적으로 접속하는 접속체를 형성하는 것을 특징으로 하는 플립 칩 실장 방법.

[0194] 제14형태: 상기 제13형태에 있어서, 상기 전극 단자 상에 범프가 형성될 때(c)에, 상기 배선 기판을 가열하는 온도는, 상기 대류 첨가제의 비첨보다도 높은 것을 특징으로 하는 플립 칩 실장 방법.

[0195] 제15형태: 상기 제13형태 또는 제14형태에 있어서, 상기 전극 단자 상에 범프가 형성될 때(c)에, 상기 비등한 대류 첨가제는, 상기 수지 중에서 대류하는 것을 특징으로 하는 플립 칩 실장 방법.

[0196] 제16형태: 상기 제13~15형태 중 어느 하나의 형태에 있어서, 상기 전극 단자 상에 범프를 형성할 때(c), 범프를 형성한 후, 상기 수지를 상기 배선 기판으로부터 제거하는 것을 특징으로 하는 플립 칩 실장 방법.

[0197] 제17형태: 상기 제1~16형태 중 어느 하나의 형태에 있어서, 상기 배선 기판의 상기 전극 단자와, 상기 반도체 칩의 상기 접속 단자가 전기적으로 접속된 플립 칩 실장체.

산업상 이용 가능성

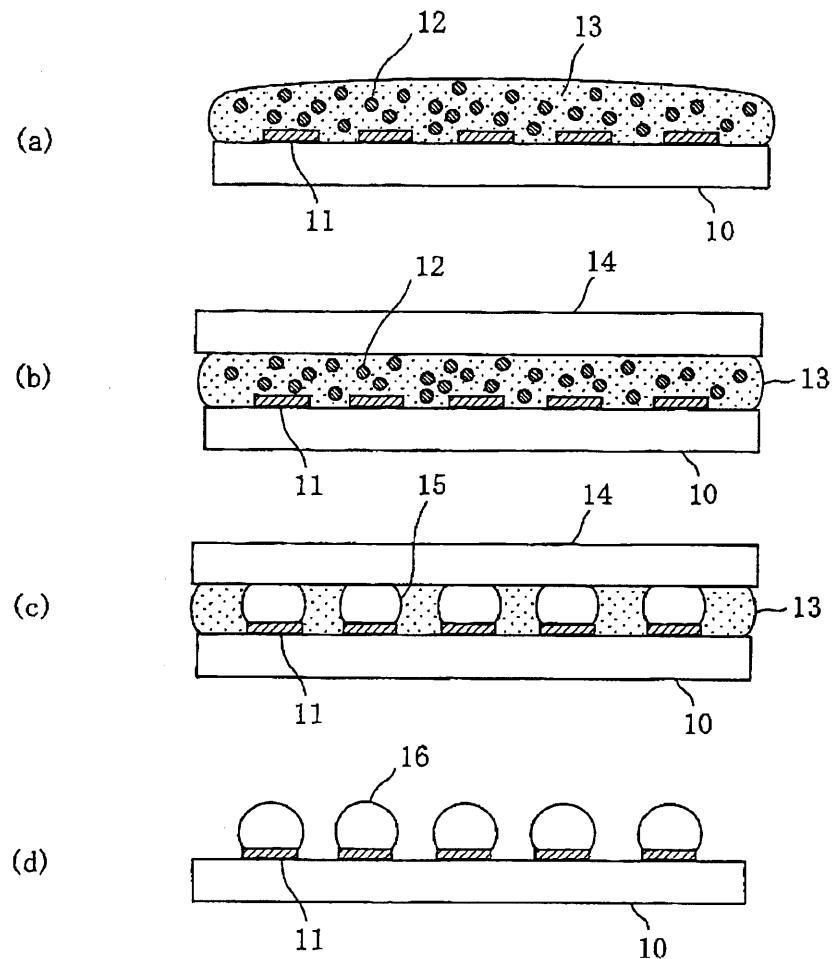
- [0198] 본 발명에 의하면, 차세대 LSI의 플립 칩 실장에 적용 가능한, 생산성 및 신뢰성이 높은 플립 칩 실장 방법 및 플립 칩 실장체를 제공할 수 있다.
- [0199] (관련 출원의 상호 참조)
- [0200] 본 출원은, 일본국 특허출원 제2004-267919호(출원일: 2004년 9월 15일, 발명의 명칭: "플립 칩 실장 방법 및 플립 칩 실장체") 및 일본국 특허출원 제2005-091347호(출원일: 2005년 3월 28일, 발명의 명칭: "플립 칩 실장 방법 및 플립 칩 실장체")에 근거하여 파리 조약상의 우선권을 주장한다. 이 출원에 개시된 내용은 모두, 이 인용에 의해서, 본 명세서에 포함되는 것으로 한다.

도면의 간단한 설명

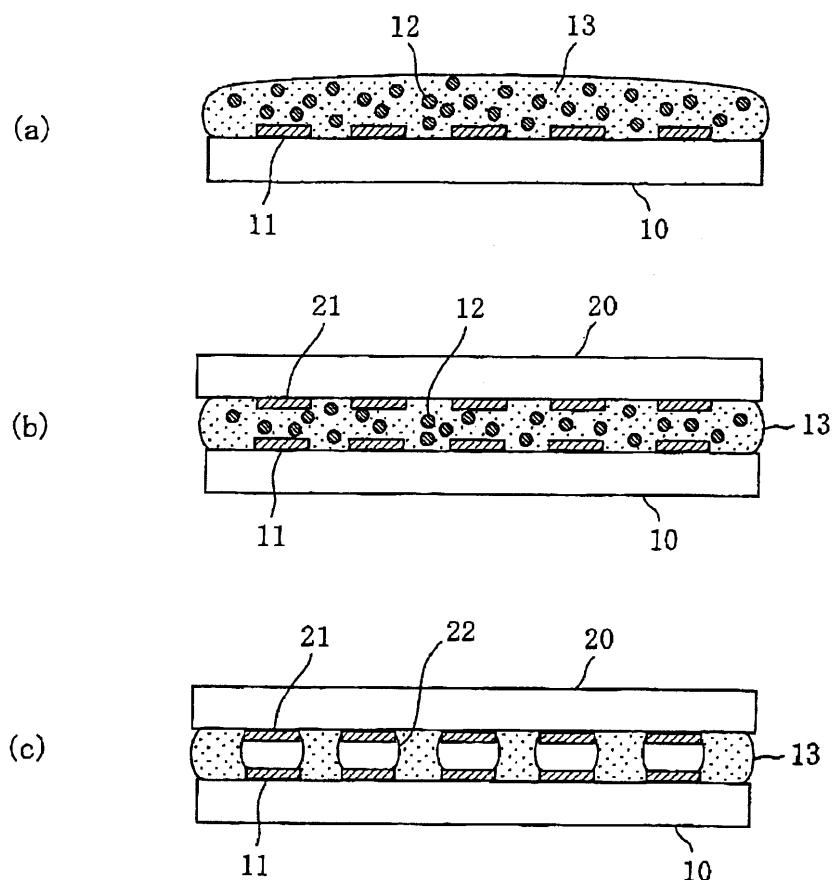
- [0056] 도 1(a) ~ (d)는 본 발명에 관련되는 미세 범프의 형성 방법을 나타내는 공정 단면도.
- [0057] 도 2(a) ~ (c)는 본 발명에 의한 플립 칩 실장 방법을 나타내는 공정 단면도.
- [0058] 도 3은 본 발명의 플립 칩 실장 방법에 있어서의, 배선 기판의 가열 공정의 온도 프로파일을 나타내는 그래프.
- [0059] 도 4는 본 발명의 플립 칩 실장 방법에 있어서의, 배선 기판의 접속 단자의 주변 배치를 나타내는 평면도.
- [0060] 도 5는 본 발명의 플립 칩 실장 방법에 있어서의, 배선 기판의 접속 단자의 영역 어레이 배치를 나타내는 평면도.
- [0061] 도 6(a)는 복수의 반도체 칩이 플립 칩 실장된 배선 기판의 평면도이고, 도 6(b)는 그 단면도.
- [0062] 도 7(a) ~ (e)는 본 발명의 다른 플립 칩 실장 방법을 나타내는 공정 단면도.
- [0063] 도 8은 주변에 전극 단자를 구비한 배선 기판에 수지를 공급된 상태를 나타내는 배선 기판의 평면도.
- [0064] 도 9(a) ~ (c)는 주변에 접속 단자가 배열된 반도체 칩을 배선 기판에 플립 칩 실장하는 방법을 나타내는 공정 단면도.
- [0065] 도 10은 땜납 분말을 함유하는 수지를 원형 전극 상에 도포하여 가열한 후의 모양을 나타내는 사진.
- [0066] 도 11은 땜납 분말 및 대류 첨가제를 함유하는 수지를 원형 전극 상에 도포하여 가열한 후의 모양을 나타내는 사진.
- [0067] (부호의 설명)
- | | |
|---------------------------------------|----------------|
| [0068] 10: 배선 기판 | 11: 전극 단자 |
| [0069] 12: 대류 첨가제 | 13: 수지 |
| [0070] 14: 평판 | 15: 땜납 볼(ball) |
| [0071] 16: 범프(bump) | |
| [0072] 20(20a, 20b, 20c, 20d): 반도체 칩 | |
| [0073] 21: 접속 단자 | 22: 접속체 |
| [0074] 23: 언더필 재료(underfill material) | 30: 중앙 영역 |

도면

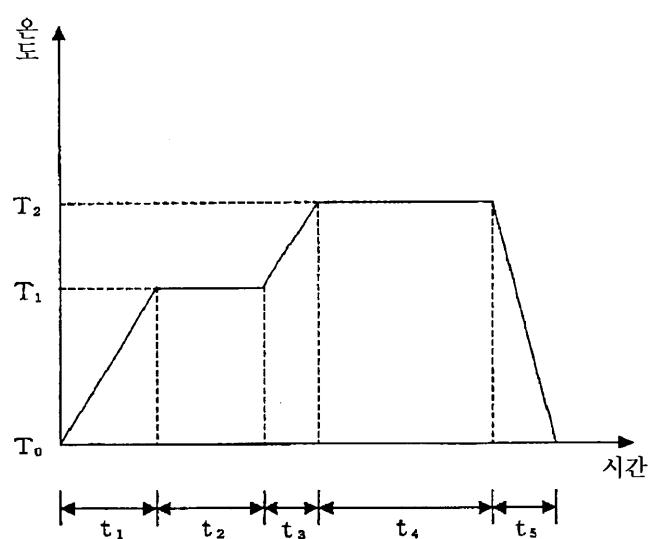
도면1



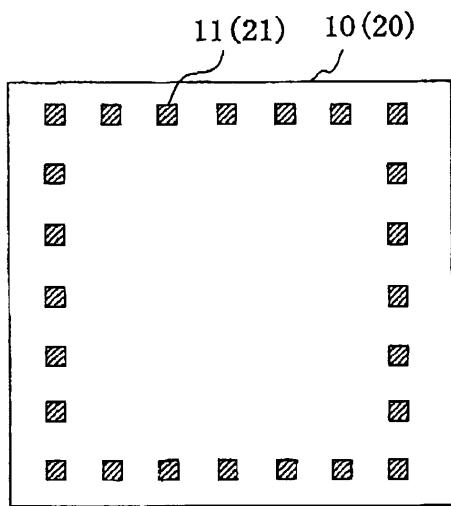
도면2



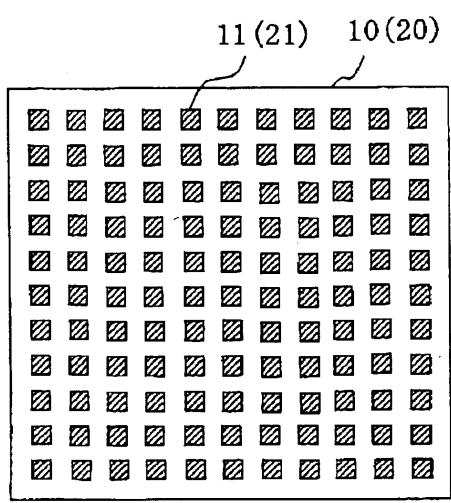
도면3



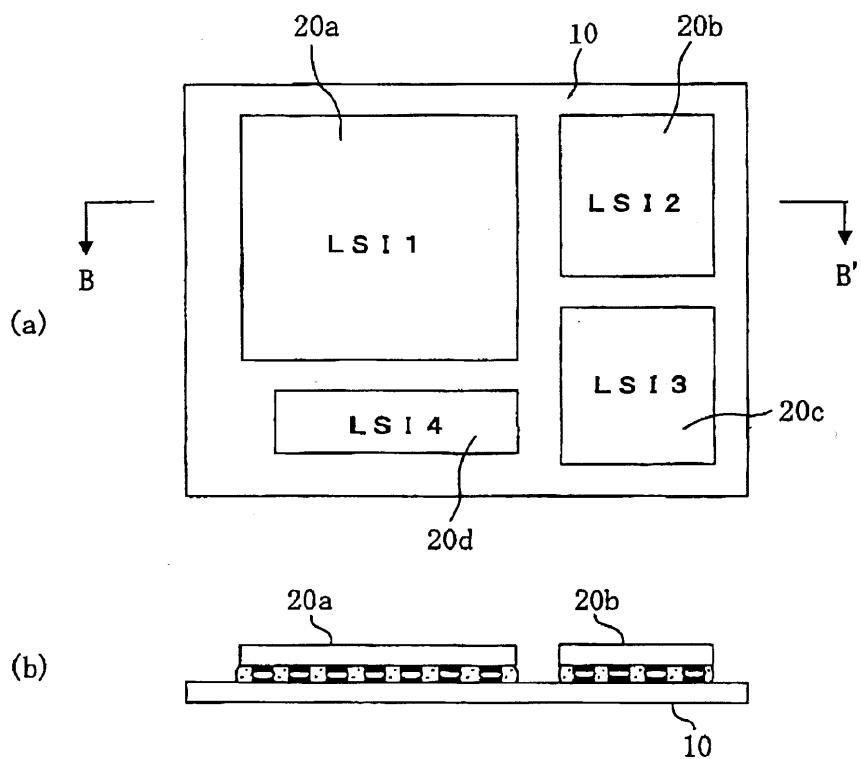
도면4



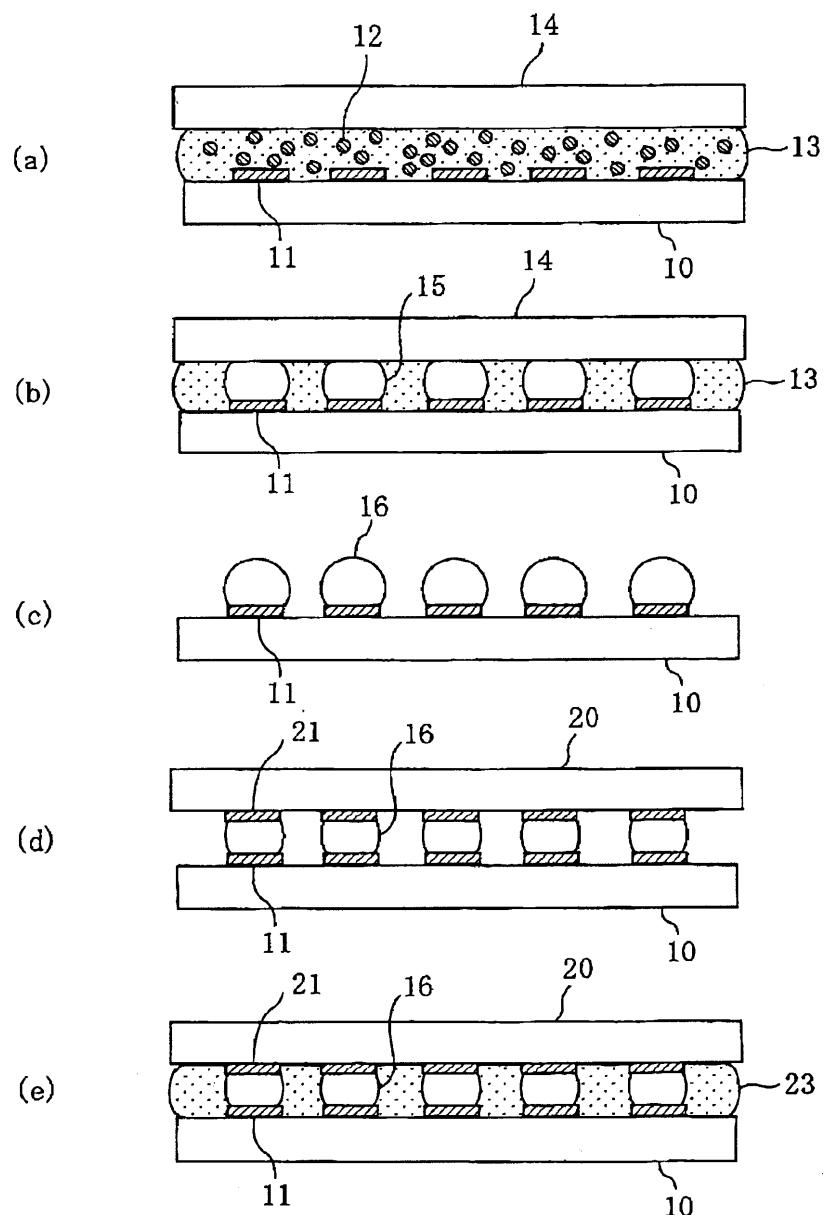
도면5



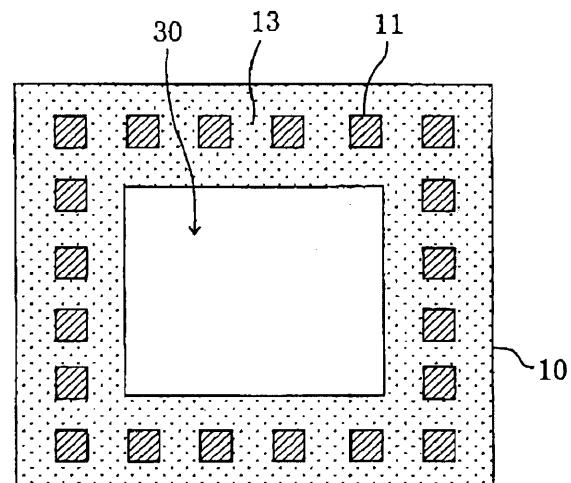
도면6



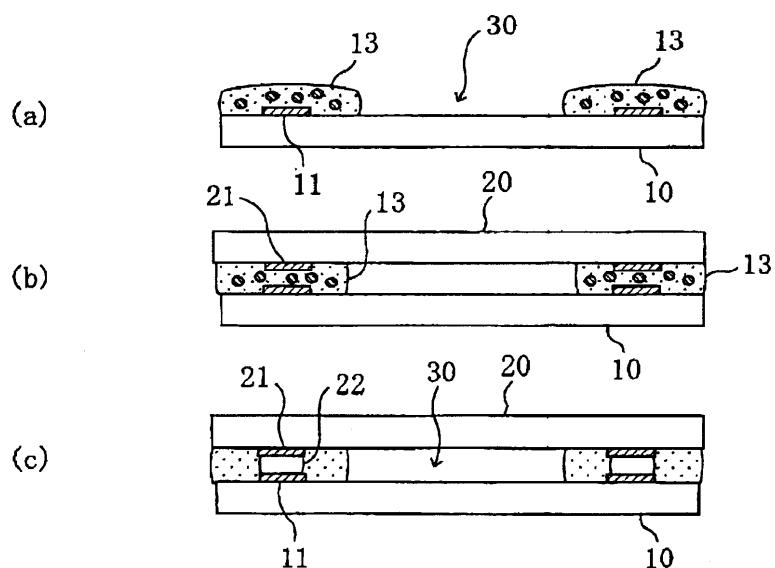
도면7



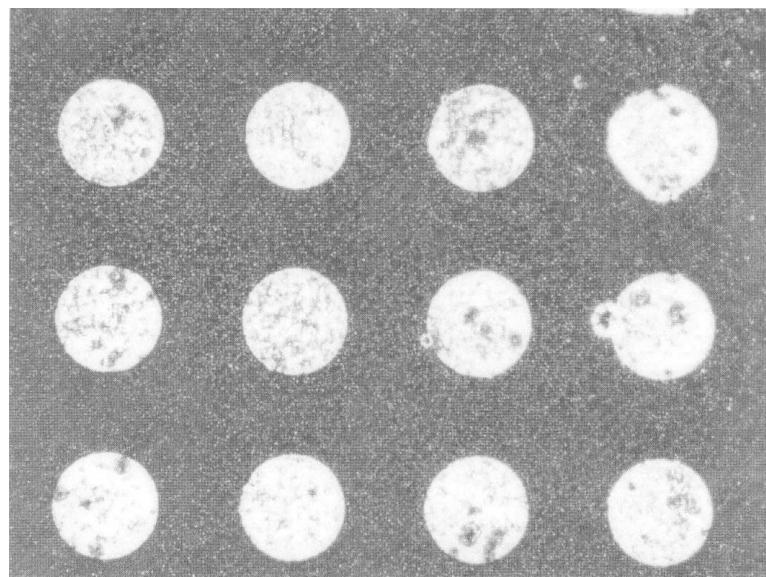
도면8



도면9



도면10



도면11

