



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201729172 A

(43)公開日：中華民國 106 (2017) 年 08 月 16 日

(21)申請案號：105105426

(22)申請日：中華民國 105 (2016) 年 02 月 24 日

(51)Int. Cl. : G09G3/20 (2006.01)

G09G3/36 (2006.01)

(30)優先權：2016/02/05 美國

15/016,295

(71)申請人：聯詠科技股份有限公司 (中華民國) NOVATEK MICROELECTRONICS CORP.  
(TW)

新竹縣創新一路 13 號 2 樓

(72)發明人：方柏翔 FANG, PO-HSIANG (TW)；程智修 CHENG, JHIH-SIOU (TW)

(74)代理人：葉璟宗；詹東穎；劉亞君

申請實體審查：有 申請專利範圍項數：16 項 圖式數：8 共 30 頁

## (54)名稱

顯示面板的閘極驅動器及其操作方法

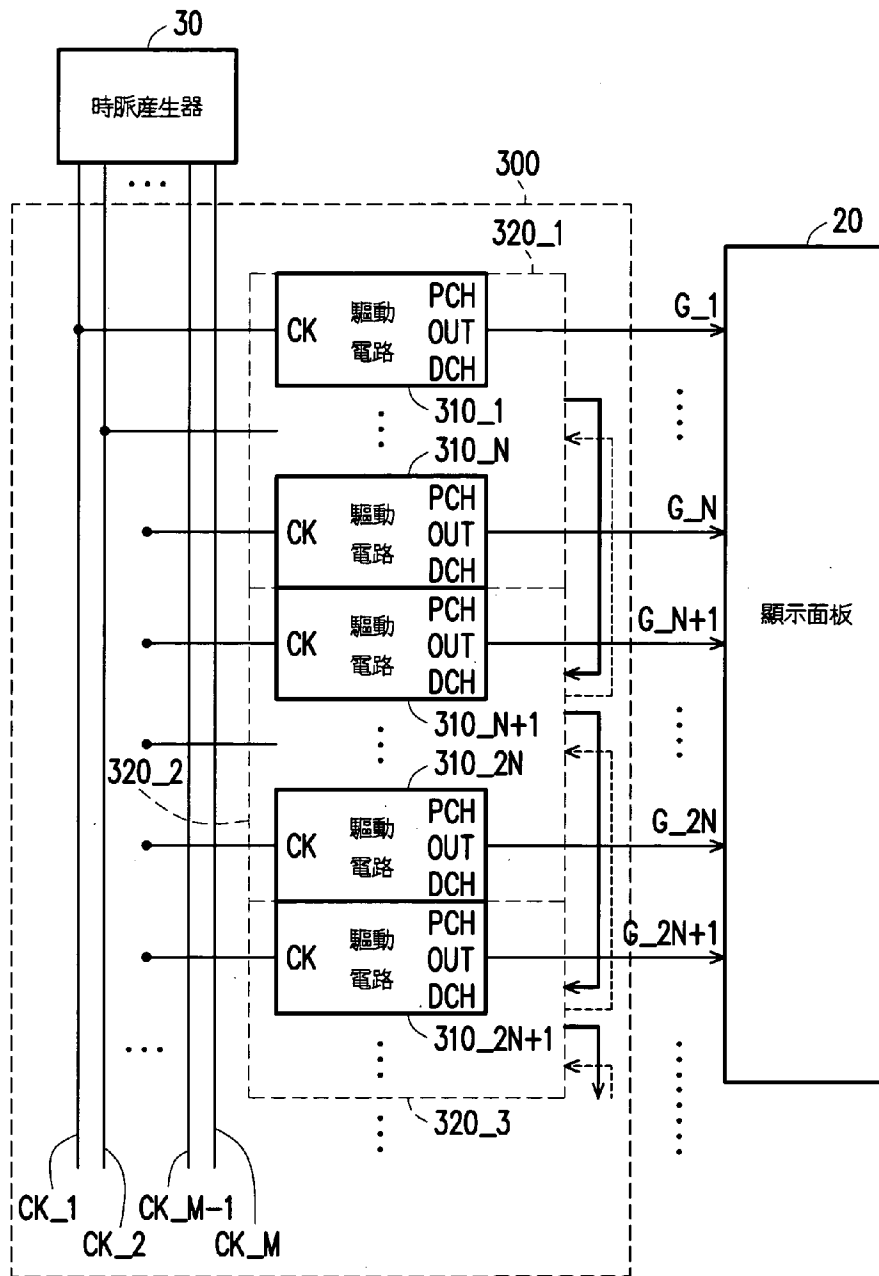
GATE DRIVER OF DISPLAY PANEL AND OPERATION METHOD THEREOF

## (57)摘要

一種閘極驅動器及其操作方法。閘極驅動器包括多條時脈傳輸線以及多個驅動電路。這些時脈傳輸線用以傳輸不同相位的多個時脈信號。這些驅動電路的每一個具有時脈輸入端、預充端、放電控制端與輸出端。這些輸出端用以驅動顯示面板的多條閘極線。這些驅動電路被分群為多個驅動電路群組。這些驅動電路群組中的第一驅動電路群組的驅動電路稱為第一驅動電路。這些第一驅動電路的時脈輸入端耦接至時脈傳輸線中的不同傳輸線。這些第一驅動電路的預充端共同接收第一預充信號。這些第一驅動電路的放電控制端共同接收第一放電控制信號。

A gate driver and an operation method thereof are provided. The gate driver includes clock transmission wires and driving circuits. The clock transmission wires are configured to transmit clock signals having different phases. Each of the driving circuits has a clock input terminal, a pre-charge terminal, a discharge control terminal and an output terminal. The output terminals are configured to drive gate lines of a display panel. The driving circuits are grouped into several driving circuit groups. The driving circuits belonging to a first driving circuit group among the driving circuit groups are called first driving circuits. The clock input terminals of the first driving circuits are coupled to different transmission wires among the clock transmission wires. The pre-charge terminals of the first driving circuits commonly receive a first pre-charge signal. The discharge control terminals of the first driving circuits commonly receive a first discharge control signal.

指定代表圖：



【圖3】

符號簡單說明：

20 . . . 顯示面板

30 . . . 時脈產生器

300 . . . 閘極驅動器

310\_1、310\_N、

310\_{N+1}、310\_{2N}、

310\_{2N+1} . . . 驅動  
電路

320\_1、320\_2、

320\_3 . . . 驅動電路  
群組

CK . . . 時脈輸入端

CK\_1、CK\_2、

CK\_{M-1}、

CK\_M . . . 時脈傳  
輸線

DCH . . . 放電控制  
端

G\_1、G\_N、G\_N

+1、G\_{2N}、G\_{2N}

+1 . . . 閘極線

OUT . . . 輸出端

PCH . . . 預充電



201729172

## 【發明摘要】

申請日: 105. 2. 24

IPC分類: G09G 3/20 (2006.1)  
G09G 3/36 (2006.1)

【中文發明名稱】顯示面板的閘極驅動器及其操作方法

【英文發明名稱】GATE DRIVER OF DISPLAY PANEL AND

OPERATION METHOD THEREOF

【中文】一種閘極驅動器及其操作方法。閘極驅動器包括多條時脈傳輸線以及多個驅動電路。這些時脈傳輸線用以傳輸不同相位的多個時脈信號。這些驅動電路的每一個具有時脈輸入端、預充端、放電控制端與輸出端。這些輸出端用以驅動顯示面板的多條閘極線。這些驅動電路被分群為多個驅動電路群組。這些驅動電路群組中的第一驅動電路群組的驅動電路稱為第一驅動電路。這些第一驅動電路的時脈輸入端耦接至時脈傳輸線中的不同傳輸線。這些第一驅動電路的預充端共同接收第一預充信號。這些第一驅動電路的放電控制端共同接收第一放電控制信號。

【英文】A gate driver and an operation method thereof are provided. The gate driver includes clock transmission wires and driving circuits. The clock transmission wires are configured to transmit clock signals having different phases. Each of the driving circuits has a clock input terminal, a pre-charge terminal, a discharge control terminal and an output terminal. The output terminals are configured to drive gate lines of a display panel. The driving

circuits are grouped into several driving circuit groups. The driving circuits belonging to a first driving circuit group among the driving circuit groups are called first driving circuits. The clock input terminals of the first driving circuits are coupled to different transmission wires among the clock transmission wires. The pre-charge terminals of the first driving circuits commonly receive a first pre-charge signal. The discharge control terminals of the first driving circuits commonly receive a first discharge control signal.

【指定代表圖】圖3。

【代表圖之符號簡單說明】

20：顯示面板

30：時脈產生器

300：閘極驅動器

310\_1、310\_N、310\_N+1、310\_2N、310\_2N+1：驅動電路

320\_1、320\_2、320\_3：驅動電路群組

CK：時脈輸入端

CK\_1、CK\_2、CK\_M-1、CK\_M：時脈傳輸線

DCH：放電控制端

G\_1、G\_N、G\_N+1、G\_2N、G\_2N+1：閘極線

OUT：輸出端

PCH：預充端

【特徵化學式】無

## 【發明說明書】

【中文發明名稱】顯示面板的閘極驅動器及其操作方法

【英文發明名稱】 GATE DRIVER OF DISPLAY PANEL AND  
OPERATION METHOD THEREOF

### 【技術領域】

【0001】 本發明是有關於一種顯示裝置，且特別是有關於一種顯示面板的閘極驅動器及其操作方法。

### 【先前技術】

【0002】 現有的液晶顯示面板產品為節省成本，往往使用非晶矽電晶體來製成閘極驅動器。在設計顯示面板時，直接將閘極驅動器電路做進顯示面板中的薄膜電晶體陣列(TFT Array)裡，業界稱為面板上閘(Gate on Panel, GOP)電路或陣列上閘(Gate on Array, GOA)電路，此方法可以有效減少驅動晶片腳位數。GOP電路已成一熟知技術，然而現有的GOP電路電路架構為依固定順序開啟/驅動相對應的閘極線，較無變化性。

### 【發明內容】

【0003】 本發明提供一種顯示面板的閘極驅動器及其操作方法，其可以提供掃描順序的變化性。

【0004】 本發明的實施例提供一種閘極驅動器。閘極驅動器包括

多條時脈傳輸線以及多個驅動電路。這些時脈傳輸線用以傳輸不同相位的多個時脈信號。這些驅動電路的每一個具有時脈輸入端、預充端、放電控制端與輸出端。這些輸出端用以驅動顯示面板的多條閘極線。這些驅動電路被分群為多個驅動電路群組。這些驅動電路群組中的第一驅動電路群組的驅動電路稱為第一驅動電路。這些第一驅動電路的時脈輸入端耦接至時脈傳輸線中的不同傳輸線。這些第一驅動電路的預充端共同接收第一預充信號。這些第一驅動電路的放電控制端共同接收第一放電控制信號。

**【0005】** 本發明的實施例提供一種閘極驅動器的操作方法。操作方法包括下述步驟。多條時脈傳輸線被配置用以傳輸不同相位的多個時脈信號。多個驅動電路被配置，其中這些驅動電路的每一個具有時脈輸入端、預充端、放電控制端與輸出端，而這些輸出端用以驅動顯示面板的多條閘極線。將這些驅動電路分群為多個驅動電路群組，其中這些驅動電路群組中的第一驅動電路群組的驅動電路稱為第一驅動電路，而這些第一驅動電路的時脈輸入端耦接至時脈傳輸線中的不同傳輸線。這些第一驅動電路的預充端共同接收第一預充信號。這些第一驅動電路的放電控制端共同接收第一放電控制信號。

**【0006】** 基於上述，本發明實施例所述顯示面板的閘極驅動器及其操作方法可以將這些驅動電路分群為多個驅動電路群組，其中屬於同一個驅動電路群組的這些驅動電路的預充端共同接收相同的預充信號，而屬於同一個驅動電路群組的這些驅動電路的放電

控制端共同接收相同的放電控制信號。藉由改變多條時脈傳輸線的時脈信號的相位關係，本發明實施例所述顯示面板的閘極驅動器可以提供閘極線掃描順序的變化性。

【0007】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【圖式簡單說明】

#### 【0008】

圖 1 繪示一種閘極驅動器的實施範例。

圖 2 繪示了圖 1 所示電路的信號時序示意圖。

圖 3 是依照本發明一實施例所繪示一種閘極驅動器的電路方塊示意圖。

圖 4 是依照本發明一實施例說明圖 3 所繪示閘極驅動器的電路方塊示意圖。

圖 5 是依照本發明一實施例說明圖 4 所繪示其中一個驅動電路的電路方塊示意圖。

圖 6 是依照本發明一實施例說明圖 5 所繪示預充電路以及放電電路的電路示意圖。

圖 7 是依照本發明一實施例說明圖 4 與圖 5 所示電路的信號時序示意圖。

圖 8 是依照本發明一實施例說明一種閘極驅動器的操作方法的流程示意圖。

**【實施方式】**

**【0009】** 在本案說明書全文(包括申請專利範圍)中所使用的「耦接(或連接)」一詞可指任何直接或間接的連接手段。舉例而言，若文中描述第一裝置耦接(或連接)於第二裝置，則應該被解釋成該第一裝置可以直接連接於該第二裝置，或者該第一裝置可以透過其他裝置或某種連接手段而間接地連接至該第二裝置。另外，凡可能之處，在圖式及實施方式中使用相同標號的元件/構件/步驟代表相同或類似部分。不同實施例中使用相同標號或使用相同用語的元件/構件/步驟可以相互參照相關說明。

**【0010】** 在設計顯示面板時，直接將閘極驅動器電路做進薄膜電晶體陣列(TFT Array)裡，業界稱為面板上閘(Gate on Panel, GOP)電路或陣列上閘(Gate on Array, GOA)電路。圖 1 繪示一種閘極驅動器 100 的實施範例的電路方塊示意圖。閘極驅動器 100 包括多條時脈傳輸線(例如圖 1 所示時脈傳輸線 CK<sub>1</sub>、CK<sub>2</sub>、CK<sub>3</sub>、CK<sub>4</sub>、CK<sub>5</sub>、CK<sub>6</sub>)以及多個驅動電路(例如圖 1 所示驅動電路 110\_1、110\_2、110\_3、110\_4、110\_5、110\_6 與 110\_7)。驅動電路 110\_1~110\_7 的每一個具有時脈輸入端 CK、預充端 PCH、放電控制端 DCH 與輸出端 OUT。驅動電路 110\_1~110\_7 的這些輸出端 OUT 用以驅動顯示面板 10 的多條閘極線(例如圖 1 所示閘極線 G1、G2、G3、G4、G5、G6 與 G7)。

**【0011】** 這些驅動電路 110\_1~110\_7 的這些預充端 PCH 各自接收



先前級的驅動電路的輸出端 OUT 的驅動信號作為預充信號。例如，驅動電路 110\_7 的預充端 PCH 接收驅動電路 110\_5 的輸出端 OUT 的驅動信號，驅動電路 110\_6 的預充端 PCH 接收驅動電路 110\_4 的輸出端 OUT 的驅動信號，而驅動電路 110\_5 的預充端 PCH 接收驅動電路 110\_3 的輸出端 OUT 的驅動信號。驅動電路 110\_1 的預充端 PCH 可以接收第一起始脈衝 STVA，而驅動電路 110\_2 的預充端 PCH 可以接收第二起始脈衝 STVB。

● 【0012】 這些驅動電路 110\_1~110\_7 的這些放電控制端 DCH 分別接收後級的驅動電路的輸出端 OUT 的驅動信號作為放電控制信號。例如，驅動電路 110\_1 的放電控制端 DCH 接收驅動電路 110\_3 的輸出端 OUT 的驅動信號，驅動電路 110\_2 的放電控制端 DCH 接收驅動電路 110\_4 的輸出端 OUT 的驅動信號，而驅動電路 110\_3 的放電控制端 DCH 接收驅動電路 110\_5 的輸出端 OUT 的驅動信號。

● 【0013】 圖 2 繪示了圖 1 所示電路的信號時序示意圖。圖 2 所示橫軸表示時間。請參照圖 1 與圖 2，時脈傳輸線 CK<sub>1</sub>~CK<sub>6</sub> 可以傳輸不同相位的多個時脈信號。這些驅動電路 110\_1~110\_7 的這些時脈輸入端 CK 分別耦接至這些時脈傳輸線 CK<sub>1</sub>~CK<sub>6</sub> 中的不同傳輸線。例如，驅動電路 110\_1 的時脈輸入端 CK 耦接至時脈傳輸線 CK<sub>1</sub>，驅動電路 110\_2 的時脈輸入端 CK 耦接至時脈傳輸線 CK<sub>2</sub>，驅動電路 110\_3 的時脈輸入端 CK 耦接至時脈傳輸線 CK<sub>3</sub>，驅動電路 110\_4 的時脈輸入端 CK 耦接至時脈傳輸線 CK<sub>4</sub>，驅動電路 110\_5

的時脈輸入端 CK 耦接至時脈傳輸線 CK<sub>5</sub>，驅動電路 110\_6 的時脈輸入端 CK 耦接至時脈傳輸線 CK<sub>6</sub>，而驅動電路 110\_7 的時脈輸入端 CK 耦接至時脈傳輸線 CK<sub>1</sub>。若要開啟第 N 條閘極線，則需要第 N-X (X 為定值) 條閘極線的信號控制第 N 個驅動電路的預充電，以及需要第 N+Y (Y 為定值) 條閘極線的信號控制第 N 個驅動電路的放電。舉例來說，若要開啟閘極線 G3，則需要閘極線 G1 的信號去控制驅動電路 110\_3 的預充電操作，以及需要閘極線 G5 的信號去控制驅動電路 110\_3 的放電。基於時脈傳輸線 CK<sub>1</sub>~CK<sub>6</sub> 的時脈信號的觸發時序，驅動電路 110\_1、110\_3、110\_5、110\_7 可以將第一起始脈衝 STVA 逐級傳遞於閘極線 G1、G3、G5、G7，而驅動電路 110\_2、110\_4、110\_6 可以將第二起始脈衝 STVB 逐級傳遞於閘極線 G2、G4、G6，如圖 2 所示。無論如何，圖 1 所示閘極驅動器 100 對閘極線 G1~G7 的驅動順序（掃描順序）是固定的，如圖 2 所示。

【0014】圖 3 是依照本發明一實施例所繪示一種閘極驅動器 300 的電路方塊示意圖。閘極驅動器 300 包括多條時脈傳輸線（例如圖 3 所示時脈傳輸線 CK<sub>1</sub>、CK<sub>2</sub>、...、CK<sub>M-1</sub>、CK<sub>M</sub>，其中 M 為整數）以及多個驅動電路（例如圖 3 所示驅動電路 310<sub>1</sub>、...、310<sub>N</sub>、310<sub>N+1</sub>、...、310<sub>2N</sub>、310<sub>2N+1</sub>、...，其中 N 為整數）。其中，一個驅動電路群組中的驅動電路的數量 N 小於或等於時脈傳輸線 CK<sub>1</sub>~CK<sub>M</sub> 的數量 M。於本實施例中，驅動電路 310<sub>1</sub>~310<sub>2N+1</sub> 為面板上閘電路（Gate on Panel, GOP）。驅動電路

310\_1~310\_2N+1 的每一個具有時脈輸入端 CK、預充端 PCH、放電控制端 DCH 與輸出端 OUT。驅動電路 310\_1~310\_2N+1 的這些輸出端 OUT 用以驅動顯示面板 20 的多條閘極線（例如圖 3 所示閘極線 G\_1、...、G\_N、G\_{N+1}、...、G\_{2N}、G\_{2N+1}、...），如圖 3 所示。

【0015】這些驅動電路 310\_1~310\_2N+1 被分群為多個驅動電路群組（例如圖 3 所示驅動電路群組 320\_1、320\_2、320\_3）。屬於同一個驅動電路群組的這些驅動電路的預充端 PCH 共同接收相同的預充信號，而屬於同一個驅動電路群組的這些驅動電路的放電控制端 DCH 共同接收相同的放電控制信號。舉例來說（但不限於此），屬於驅動電路群組 320\_2 的這些驅動電路 310\_{N+1}~310\_{2N} 的預充端 PCH 共同接收驅動電路群組 320\_1 的某一個驅動電路的輸出端 OUT 的驅動信號作為預充信號，而屬於驅動電路群組 320\_2 的這些驅動電路 310\_{N+1}~310\_{2N} 的放電控制端 DCH 共同接收驅動電路群組 320\_3 的某一個驅動電路的輸出端 OUT 的驅動信號作為放電控制信號。同理可推，屬於驅動電路群組 320\_1 的這些驅動電路 310\_1~310\_N 的放電控制端 DCH 共同接收驅動電路群組 320\_2 的某一個驅動電路的輸出端 OUT 的驅動信號作為放電控制信號，而屬於驅動電路群組 320\_3 的這些驅動電路的預充端 PCH 共同接收驅動電路群組 320\_2 的某一個驅動電路的輸出端 OUT 的驅動信號作為預充信號。

【0016】多條時脈傳輸線（例如圖 3 所示時脈傳輸線 CK\_1、

CK<sub>2</sub>、...、CK<sub>M-1</sub>、CK<sub>M</sub>) 耦接至時脈產生器 30，以傳輸不同相位的多個時脈信號。屬於同一個驅動電路群組的驅動電路（例如屬於驅動電路群組 320<sub>1</sub> 的驅動電路 310<sub>1</sub>~310<sub>N</sub>）的時脈輸入端 CK 耦接至這些時脈傳輸線 CK<sub>1</sub>~CK<sub>M</sub> 中的不同傳輸線。於同一個驅動電路群組中，時脈傳輸線 CK<sub>1</sub>~CK<sub>6</sub> 的時脈信號可以決定驅動電路的驅動順序（或掃描順序）。

【0017】 圖 4 是依照本發明一實施例說明圖 3 所繪示閘極驅動器 300 的電路方塊示意圖。圖 4 所示實施例將假設閘極驅動器具有 6 條時脈傳輸線，如圖 4 所示時脈傳輸線 CK<sub>1</sub>、CK<sub>2</sub>、CK<sub>3</sub>、CK<sub>4</sub>、CK<sub>5</sub>、CK<sub>6</sub>。圖 4 所示實施例又將假設每一個驅動電路群組各自具有 3 個驅動電路，例如圖 4 所示驅動電路群組 320<sub>1</sub> 具有驅動電路 310<sub>1</sub>、310<sub>2</sub>、310<sub>3</sub>，而驅動電路群組 320<sub>2</sub> 具有驅動電路 310<sub>4</sub>、310<sub>5</sub>、310<sub>6</sub>。驅動電路 310<sub>1</sub>~310<sub>7</sub> 的輸出端 OUT 用以驅動顯示面板的閘極線 G<sub>1</sub>、G<sub>2</sub>、G<sub>3</sub>、G<sub>4</sub>、G<sub>5</sub>、G<sub>6</sub>、G<sub>7</sub>，如圖 4 所示。

【0018】 屬於同一個驅動電路群組的這些驅動電路的預充端 PCH 共同接收相同的預充信號，而屬於同一個驅動電路群組的這些驅動電路的放電控制端 DCH 共同接收相同的放電控制信號。舉例來說，屬於驅動電路群組 320<sub>1</sub> 的這些驅動電路 310<sub>1</sub>、310<sub>2</sub>、310<sub>3</sub> 的預充端 PCH 共同接收起始脈衝 STV 作為預充信號，而屬於驅動電路群組 320<sub>1</sub> 的這些驅動電路 310<sub>1</sub>、310<sub>2</sub>、310<sub>3</sub> 的放電控制端 DCH 共同接收驅動電路群組 320<sub>2</sub> 的驅動電路 310<sub>5</sub> 的輸出

端 OUT 的驅動信號（即閘極線 G<sub>5</sub> 的信號）作為放電控制信號。同理可推，屬於驅動電路群組 320<sub>2</sub> 的這些驅動電路 310<sub>4</sub>、310<sub>5</sub>、310<sub>6</sub> 的預充端 PCH 共同接收驅動電路群組 320<sub>1</sub> 的驅動電路 310<sub>2</sub> 的輸出端 OUT 的驅動信號（即閘極線 G<sub>2</sub> 的信號）作為預充信號，而屬於驅動電路群組 320<sub>2</sub> 的這些驅動電路 310<sub>4</sub>、310<sub>5</sub>、310<sub>6</sub> 的放電控制端 DCH 共同接收驅動電路群組 320<sub>3</sub> 的某一個驅動電路的輸出端 OUT 的驅動信號（例如閘極線 G<sub>8</sub> 的信號）作為放電控制信號。屬於驅動電路群組 320<sub>3</sub> 的這些驅動電路（例如驅動電路 310<sub>7</sub>）的預充端 PCH 共同接收驅動電路群組 320<sub>2</sub> 的驅動電路 310<sub>5</sub> 的輸出端 OUT 的驅動信號（即閘極線 G<sub>5</sub> 的信號）作為預充信號。

【0019】圖 5 是依照本發明一實施例說明圖 4 所繪示驅動電路 310<sub>1</sub> 的電路方塊示意圖。圖 4 所示其餘驅動電路（例如 310<sub>2</sub>~310<sub>7</sub>）可以參照驅動電路 310<sub>1</sub> 的相關說明而類推，故不再贅述。於圖 5 所示實施例中，驅動電路 310<sub>1</sub> 包括電晶體 M1、電容器 C1、預充電路 510 以及放電電路 520。電晶體 M1 具有第一端（例如汲極）、第二端（例如源極）與控制端（例如閘極）。電晶體 M1 的第一端作為驅動電路 310<sub>1</sub> 的時脈輸入端 CK，以耦接至時脈傳輸線 CK<sub>1</sub>~CK<sub>6</sub> 中的對應者（例如時脈傳輸線 CK<sub>1</sub>）。電晶體 M1 的第二端作為驅動電路 310<sub>1</sub> 的輸出端 OUT，以耦接至閘極線 G<sub>1</sub>~G<sub>7</sub> 中的對應者（例如閘極線 G<sub>1</sub>）。預充電路 510 的控制端作為驅動電路 310<sub>1</sub> 的預充端 PCH，以接收預充信號。預充電

路 510 受控於預充端 PCH 的預充信號，而決定是否對電晶體 M1 的控制端進行預充電。電容器 C1 的第一端耦接至電晶體 M1 的控制端。電容器 C1 的第二端耦接至電晶體 M1 的第二端。放電電路 520 耦接至電容器 C1 的第一端與電容器 C1 的第二端。放電電路 520 的控制端作為驅動電路 310\_1 的放電控制端 DCH，以接收放電控制信號。放電電路 520 受控於放電控制端 DCH 的放電控制信號，而決定是否對電容器 C1 進行放電（將電容器 C1 的電荷釋放至參考電壓源  $V_{ss}$ ）。

【0020】圖 6 是依照本發明一實施例說明圖 5 所繪示預充電路 510 以及放電電路 520 的電路示意圖。圖 6 所示預充電路 510 包括電晶體 M2。電晶體 M2 的控制端（例如閘極）與第一端（例如汲極）接收預充端 PCH 的預充信號。電晶體 M2 的第二端（例如源極）耦接至電晶體 M1 的控制端。在其他實施例中，電晶體 M2 可以被二極體取代，其中所述二極體的陽極接收預充端 PCH 的預充信號，而所述二極體的陰極耦接至電晶體 M1 的控制端。

【0021】圖 6 所示放電電路包括開關 SW1 以及開關 SW2。開關 SW1 的第一端耦接至電容器 C1 的第一端。開關 SW1 的第二端耦接至參考電壓源  $V_{ss}$ 。開關 SW1 的控制端接收放電控制端 DCH 的放電控制信號。開關 SW2 的第一端耦接至電容器 C1 的第二端。開關 SW2 的第二端耦接至參考電壓源  $V_{ss}$ 。開關 SW2 的控制端接收放電控制端 DCH 的放電控制信號。

【0022】圖 7 是依照本發明一實施例說明圖 4 與圖 5 所示電路的

信號時序示意圖。圖 7 所示橫軸表示時間。請參照圖 4、圖 5 與圖 7，屬於驅動電路群組 320\_1 的這些驅動電路 310\_1、310\_2、310\_3 的預充端 PCH 共同接收起始脈衝 STV 作為預充信號。以驅動電路 310\_1 為例，當起始脈衝 STV 為邏輯高準位時，預充電路 510 可以對電容器 C1 的第一端與電晶體 M1 的控制端進行預充電，進而拉高節點 Q\_1 的電壓（即電晶體 M1 的控制端的電壓）。節點 Q\_1 的高電壓將導通（turn on）電晶體 M1，使得驅動電路 310\_1 可以將時脈輸入端 CK 的信號傳輸至輸出端 OUT，也就是時脈傳輸線 CK\_1 的信號可以被傳輸至閘極線 G\_1。以圖 5 所示驅動電路 310\_1 而類推至其他驅動電路 310\_2 與驅動電路 310\_3 可知，驅動電路 310\_2 內的節點 Q\_2 的電壓（可從圖 5 所示節點 Q\_1 的電壓來類推）與驅動電路 310\_3 內的節點 Q\_3 的電壓（可從圖 5 所示節點 Q\_1 的電壓來類推）亦被拉高，如圖 7 所示。節點 Q\_2 與 Q\_3 的高電壓將使得這些驅動電路 310\_2、310\_3 可以將時脈輸入端 CK 的信號傳輸至輸出端 OUT，也就是時脈傳輸線 CK\_2 的信號可以被傳輸至閘極線 G\_2，而時脈傳輸線 CK\_3 的信號可以被傳輸至閘極線 G\_3。藉由改變時脈傳輸線 CK\_1~CK\_3 的時脈信號的相位關係，本實施例所述閘極驅動器 300 可以提供閘極線 G\_1~G\_3 掃描順序的變化性。

【0023】屬於驅動電路群組 320\_2 的這些驅動電路 310\_4、310\_5、310\_6 的預充端 PCH 共同接收驅動電路群組 320\_1 的驅動電路 310\_2 的輸出端 OUT 的驅動信號（即閘極線 G\_2 的信號）作

為預充信號。以圖 5 所示驅動電路 310\_1 而類推至驅動電路 310\_4、310\_5、310\_6 可知，當閘極線 G\_2 的信號為邏輯高準位時，驅動電路 310\_4 內的節點 Q\_4 的電壓（可從圖 5 所示節點 Q\_1 的電壓來類推）、驅動電路 310\_5 內的節點 Q\_5 的電壓（可從圖 5 所示節點 Q\_1 的電壓來類推）與驅動電路 310\_6 內的節點 Q\_6 的電壓（可從圖 5 所示節點 Q\_1 的電壓來類推）亦被拉高，如圖 7 所示。節點 Q\_4、Q\_5 與 Q\_6 的高電壓將使得這些驅動電路 310\_4、310\_5、310\_6 可以將時脈輸入端 CK 的信號傳輸至輸出端 OUT，也就是時脈傳輸線 CK\_4 的信號可以被傳輸至閘極線 G\_4，時脈傳輸線 CK\_5 的信號可以被傳輸至閘極線 G\_5，而時脈傳輸線 CK\_6 的信號可以被傳輸至閘極線 G\_6。藉由改變時脈傳輸線 CK\_4~CK\_6 的時脈信號的相位關係，本實施例所述閘極驅動器 300 可以提供閘極線 G\_4~G\_6 掃描順序的變化性。

【0024】屬於驅動電路群組 320\_1 的這些驅動電路 310\_1、310\_2、310\_3 的放電控制端 DCH 共同接收驅動電路群組 320\_2 的驅動電路 310\_5 的輸出端 OUT 的驅動信號（即閘極線 G\_5 的信號）作為放電控制信號。以驅動電路 310\_1 為例，當閘極線 G\_5 的信號為邏輯高準位時，放電電路 520 可以拉低節點 Q\_1 的電壓（即電晶體 M1 的控制端的電壓）。節點 Q\_1 的低電壓將截止（turn off）電晶體 M1，使得驅動電路 310\_1 的輸出端 OUT 的電壓保持於低電壓，也就是時脈傳輸線 CK\_1 的信號不能被傳輸至閘極線 G\_1。以圖 5 所示驅動電路 310\_1 而類推至其他驅動電路 310\_2 與



驅動電路 310\_3 可知，當閘極線 G\_5 的信號為邏輯高準位時，驅動電路 310\_2 內的節點 Q\_2 的電壓與驅動電路 310\_3 內的節點 Q\_3 的電壓亦被拉低，如圖 7 所示。節點 Q\_2 與 Q\_3 的低電壓將使得這些驅動電路 310\_2、310\_3 可以將輸出端 OUT 的電壓保持於低電壓，也就是時脈傳輸線 CK\_2 的信號不能被傳輸至閘極線 G\_2，而時脈傳輸線 CK\_3 的信號不能被傳輸至閘極線 G\_3。

【0025】屬於驅動電路群組 320\_2 的這些驅動電路 310\_4、310\_5、310\_6 的放電控制端 DCH 共同接收驅動電路群組 320\_3 的某一個驅動電路的輸出端 OUT 的驅動信號（例如閘極線 G\_8 的信號）作為放電控制信號。以圖 5 所示驅動電路 310\_1 而類推至驅動電路 310\_4、310\_5、310\_6 可知，當閘極線 G\_8 的信號為邏輯高準位時，驅動電路 310\_4 內的節點 Q\_4 的電壓、驅動電路 310\_5 內的節點 Q\_5 的電壓與驅動電路 310\_6 內的節點 Q\_6 的電壓亦被拉低，如圖 7 所示。節點 Q\_4、Q\_5 與 Q\_6 的低電壓將使得這些驅動電路 310\_4、310\_5、310\_6 可以將輸出端 OUT 的電壓保持於低電壓，也就是時脈傳輸線 CK\_4 的信號不能被傳輸至閘極線 G\_4，時脈傳輸線 CK\_5 的信號不能被傳輸至閘極線 G\_5，而時脈傳輸線 CK\_6 的信號不能被傳輸至閘極線 G\_6。

【0026】圖 8 是依照本發明一實施例說明一種閘極驅動器的操作方法的流程示意圖。於步驟 S810 中，多條時脈傳輸線被配置於閘極驅動器中。這些時脈傳輸線可以傳輸不同相位的多個時脈信號。多個驅動電路還在步驟 S810 中被配置於閘極驅動器。這些驅

動電路的每一個具有時脈輸入端 CK、預充端 PCH、放電控制端 DCH 與輸出端 OUT。這些驅動電路的輸出端 OUT 用以驅動顯示面板的多條閘極線。於步驟 S820 中，這些驅動電路被分群為多個驅動電路群組。其中，這些驅動電路群組中的第一驅動電路群組的驅動電路稱為第一驅動電路，而這些第一驅動電路的時脈輸入端 CK 耦接至不同傳輸線。於步驟 S820 中，屬於同一個驅動電路群組的多個驅動電路的預充端 PCH 共同接收相同的預充信號，而屬於同一個驅動電路群組的多個驅動電路的放電控制端 DCH 共同接收相同的放電控制信號。舉例來說，由第一驅動電路群組的這些第一驅動電路的預充端 PCH 共同接收第一預充信號，以及由第一驅動電路群組的這些第一驅動電路的放電控制端 DCH 共同接收第一放電控制信號。

【0027】 值得注意的是，在不同的應用情境中，閘極驅動器及/或驅動電路的相關功能可以利用一般的硬體描述語言（hardware description languages，例如 Verilog HDL 或 VHDL）或其他合適的編程語言來實現為韌體或硬體。可執行所述相關功能的韌體可以被佈置為任何已知的計算機可存取媒體（computer-accessible media），例如磁帶（magnetic tapes）、半導體（semiconductors）記憶體、磁盤（magnetic disks）或光盤（compact disks，例如 CD-ROM 或 DVD-ROM），或者可通過互聯網（Internet）、有線通信（wired communication）、無線通信（wireless communication）或其它通信介質傳送所述韌體。所述韌體可以被存放在計算機的可存取媒體

中，以便於由計算機的處理器來存取/執行所述韌體的編程碼（programming codes）。另外，本發明的裝置和方法可以通過硬體和軟體的組合來實現。

【0028】 綜上所述，本發明諸實施例所述顯示面板的閘極驅動器 100 及其操作方法可以將這些驅動電路分群為多個驅動電路群組，其中屬於同一個驅動電路群組的這些驅動電路的預充端共同接收相同的預充信號，而屬於同一個驅動電路群組的這些驅動電路的放電控制端共同接收相同的放電控制信號。藉由改變多條時脈傳輸線的時脈信號的相位關係，本發明實施例所述顯示面板的閘極驅動器 100 可以提供閘極線掃描順序的變化性。

【0029】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

#### 【符號說明】

#### 【0030】

10、20：顯示面板

30：時脈產生器

100、300：閘極驅動器

110\_1、110\_2、110\_3、110\_4、110\_5、110\_6、110\_7、310\_1、  
310\_2、310\_3、310\_4、310\_5、310\_6、310\_7、310\_N、310\_N+1、

310<sub>2N</sub>、310<sub>2N+1</sub>：驅動電路

320<sub>1</sub>、320<sub>2</sub>、320<sub>3</sub>：驅動電路群組

510：預充電路

520：放電電路

C1：電容器

CK：時脈輸入端

CK<sub>1</sub>、CK<sub>2</sub>、CK<sub>3</sub>、CK<sub>4</sub>、CK<sub>5</sub>、CK<sub>6</sub>、CK<sub>1</sub>、CK<sub>2</sub>、CK<sub>3</sub>、

CK<sub>4</sub>、CK<sub>5</sub>、CK<sub>6</sub>、CK<sub>M-1</sub>、CK<sub>M</sub>：時脈傳輸線

DCH：放電控制端

G1、G2、G3、G4、G5、G6、G7、G<sub>1</sub>、G<sub>2</sub>、G<sub>3</sub>、G<sub>4</sub>、

G<sub>5</sub>、G<sub>6</sub>、G<sub>7</sub>、G<sub>8</sub>、G<sub>N</sub>、G<sub>N+1</sub>、G<sub>2N</sub>、G<sub>2N+1</sub>：閘極線

M1：電晶體

M2：電晶體

OUT：輸出端

PCH：預充電端

S810~S830：步驟

STV：起始脈衝

STVA：第一起始脈衝

STVB：第二起始脈衝

SW1、SW2：開關

V<sub>ss</sub>：參考電壓源

Q<sub>1</sub>、Q<sub>2</sub>、Q<sub>3</sub>、Q<sub>4</sub>、Q<sub>5</sub>、Q<sub>6</sub>：節點

## 【發明申請專利範圍】

【第1項】 一種閘極驅動器，包括：

多條時脈傳輸線，用以傳輸不同相位的多個時脈信號；以及  
多個驅動電路，其中該些驅動電路的每一個具有一時脈輸入端、一預充端、一放電控制端與一輸出端，該些輸出端用以驅動一顯示面板的多條閘極線，該些驅動電路被分群為多個驅動電路群組，該些驅動電路群組中一第一驅動電路群組的該些驅動電路稱為第一驅動電路，該些第一驅動電路的該些時脈輸入端耦接至該些時脈傳輸線中的不同傳輸線，該些第一驅動電路的該些預充端共同接收一第一預充信號，以及該些第一驅動電路的該些放電控制端共同接收一第一放電控制信號。

【第2項】 如申請專利範圍第1項所述的閘極驅動器，其中該第一驅動電路群組中的該些第一驅動電路的數量小於或等於該些時脈傳輸線的數量。

【第3項】 如申請專利範圍第1項所述的閘極驅動器，其中該些第一驅動電路的每一個包括：

一電晶體，具有一第一端、一第二端與一控制端，其中該電晶體的該第一端耦接至該些時脈傳輸線中的一對應者，該電晶體的該第二端用以耦接至該些閘極線中的一對應者；

一預充電路，受控於該第一預充信號而決定是否對該電晶體的該控制端進行預充電；

一電容器，具有一第一端與一第二端，其中該電容器的該第

一端耦接至該電晶體的該控制端，該電容器的該第二端耦接至該電晶體的該第二端；以及

一放電電路，耦接至該電容器的該第一端與該電容器的該第二端，其中該放電電路受控於該第一放電控制信號而決定是否對該電容器進行放電。

【第4項】如申請專利範圍第3項所述的閘極驅動器，其中該預充電路包括：

一二極體，其陽極接收該第一預充信號，該二極體的陰極耦接至該電晶體的該控制端。

【第5項】如申請專利範圍第3項所述的閘極驅動器，其中該預充電路包括：

一第二電晶體，其控制端與第一端接收該第一預充信號，該第二電晶體的第二端耦接至該電晶體的該控制端。

【第6項】如申請專利範圍第3項所述的閘極驅動器，其中該放電電路包括：

一第一開關，其第一端耦接至該電容器的該第一端，該第一開關的第二端耦接至一參考電壓，該第一開關的控制端接收該第一放電控制信號；以及

一第二開關，其第一端耦接至該電容器的該第二端，該第二開關的第二端耦接至該參考電壓，該第二開關的控制端接收該第一放電控制信號。

【第7項】如申請專利範圍第1項所述的閘極驅動器，其中該些驅動電路群組中的一第二驅動電路群組的該些驅動電路稱為第二驅動電路，該些第二驅動電路其中一者的該輸出端的驅動信號被傳送至該些第一驅動電路的該些預充端作為該第一預充信號。

【第8項】如申請專利範圍第1項所述的閘極驅動器，其中該些驅動電路群組中的一第三驅動電路群組的該些驅動電路稱為第三驅動電路，該些第三驅動電路其中一者的該輸出端的驅動信號被傳送至該些第一驅動電路的該些放電控制端作為該第一放電控制信號。

【第9項】如申請專利範圍第8項所述的閘極驅動器，其中該些第一驅動電路其中一者的該輸出端的驅動信號被傳送至該些第三驅動電路的該些預充端作為一第二預充信號。

【第10項】如申請專利範圍第1項所述的閘極驅動器，其中該些驅動電路為面板上閘電路。

【第11項】一種閘極驅動器的操作方法，包括：

配置多條時脈傳輸線，用以傳輸不同相位的多個時脈信號；

配置多個驅動電路，其中該些驅動電路的每一個具有一時脈輸入端、一預充端、一放電控制端與一輸出端，該些輸出端用以驅動一顯示面板的多條閘極線；

將該些驅動電路分群為多個驅動電路群組，其中該些驅動電路群組中一第一驅動電路群組的該些驅動電路稱為第一驅動電路，而該些第一驅動電路的該些時脈輸入端耦接至該些時脈傳輸

線中的不同傳輸線；

由該些第一驅動電路的該些預充端共同接收一第一預充信號；以及

由該些第一驅動電路的該些放電控制端共同接收一第一放電控制信號。

【第12項】如申請專利範圍第11項所述的閘極驅動器的操作方法，其中該第一驅動電路群組中的該些第一驅動電路的數量小於或等於該些時脈傳輸線的數量。

【第13項】如申請專利範圍第11項所述的閘極驅動器的操作方法，其中該些驅動電路群組中的一第二驅動電路群組的該些驅動電路稱為第二驅動電路，該些第二驅動電路其中一者的該輸出端的驅動信號被傳送至該些第一驅動電路的該些預充端作為該第一預充信號。

【第14項】如申請專利範圍第11項所述的閘極驅動器的操作方法，其中該些驅動電路群組中的一第三驅動電路群組的該些驅動電路稱為第三驅動電路，該些第三驅動電路其中一者的該輸出端的驅動信號被傳送至該些第一驅動電路的該些放電控制端作為該第一放電控制信號。

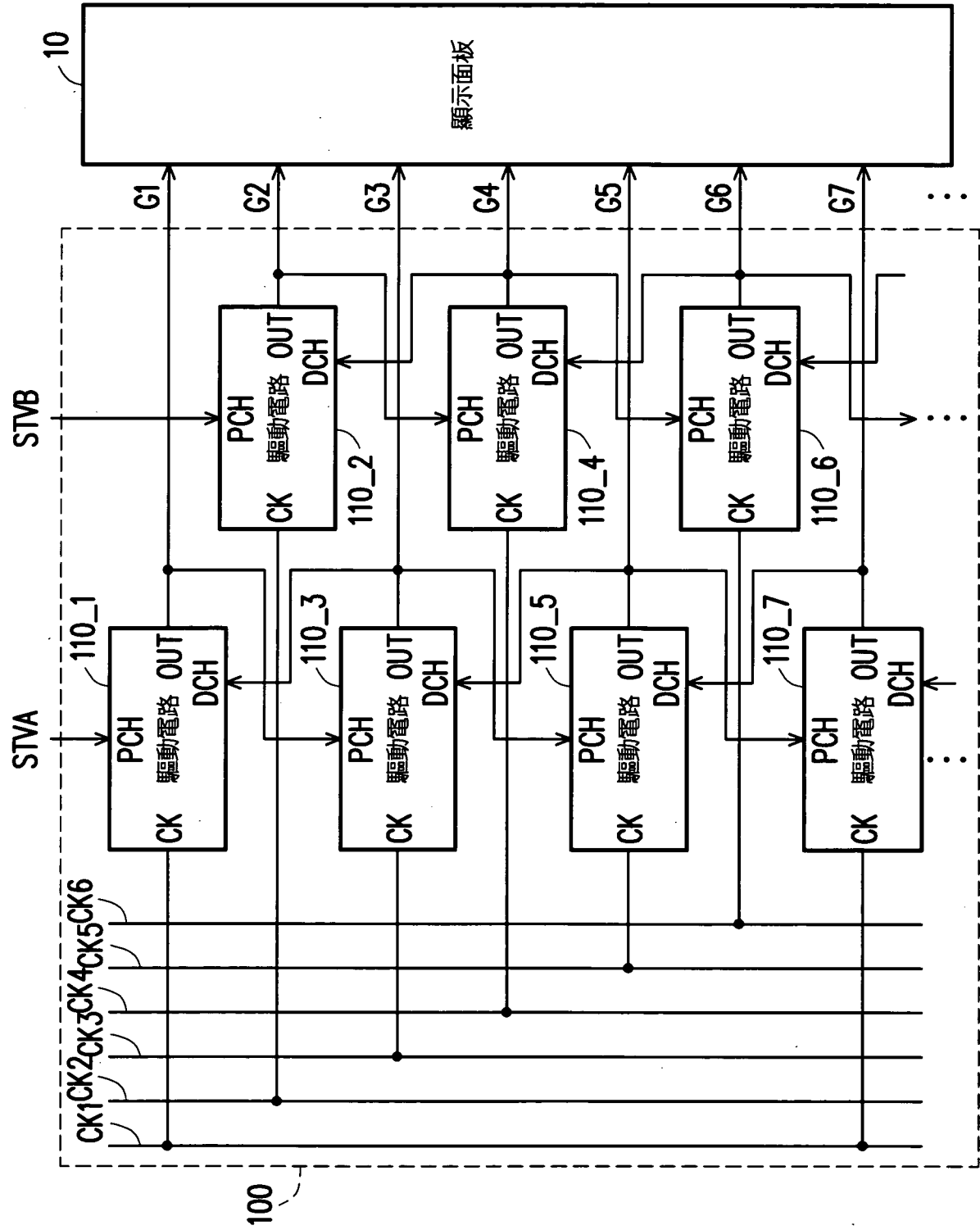
【第15項】如申請專利範圍第14項所述的閘極驅動器的操作方法，更包括：

將該些第一驅動電路其中一者的該輸出端的驅動信號傳送至該些第三驅動電路的該些預充端作為一第二預充信號。

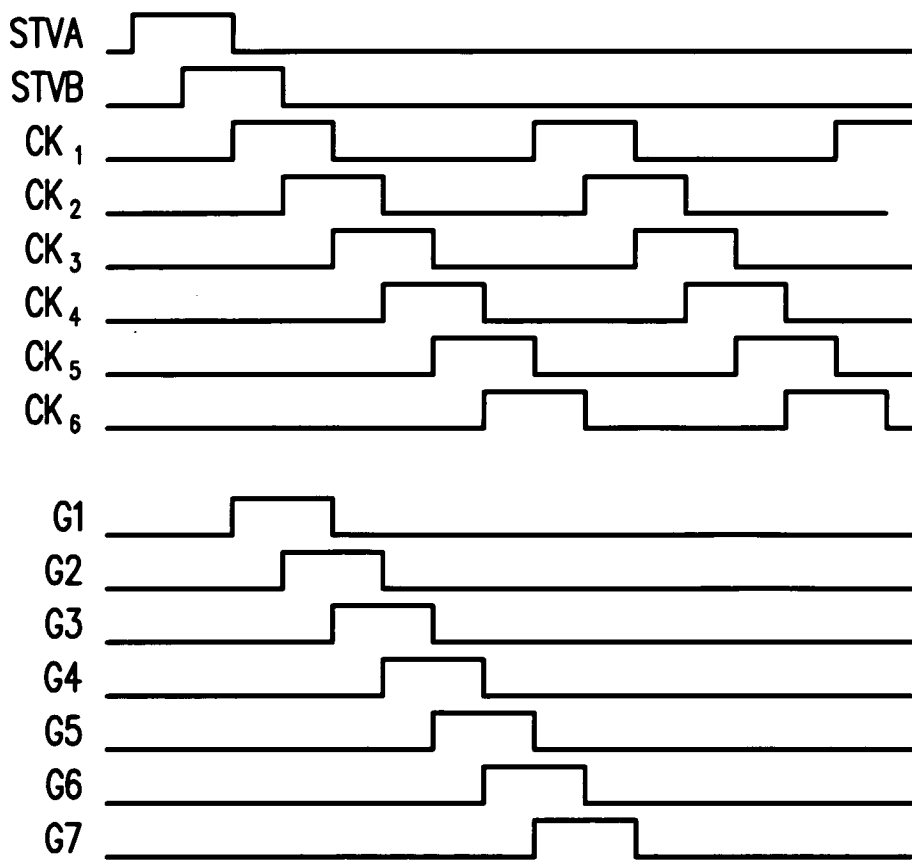


【第16項】 如申請專利範圍第11項所述的閘極驅動器的操作方  
法，其中該些驅動電路為面板上閘電路。

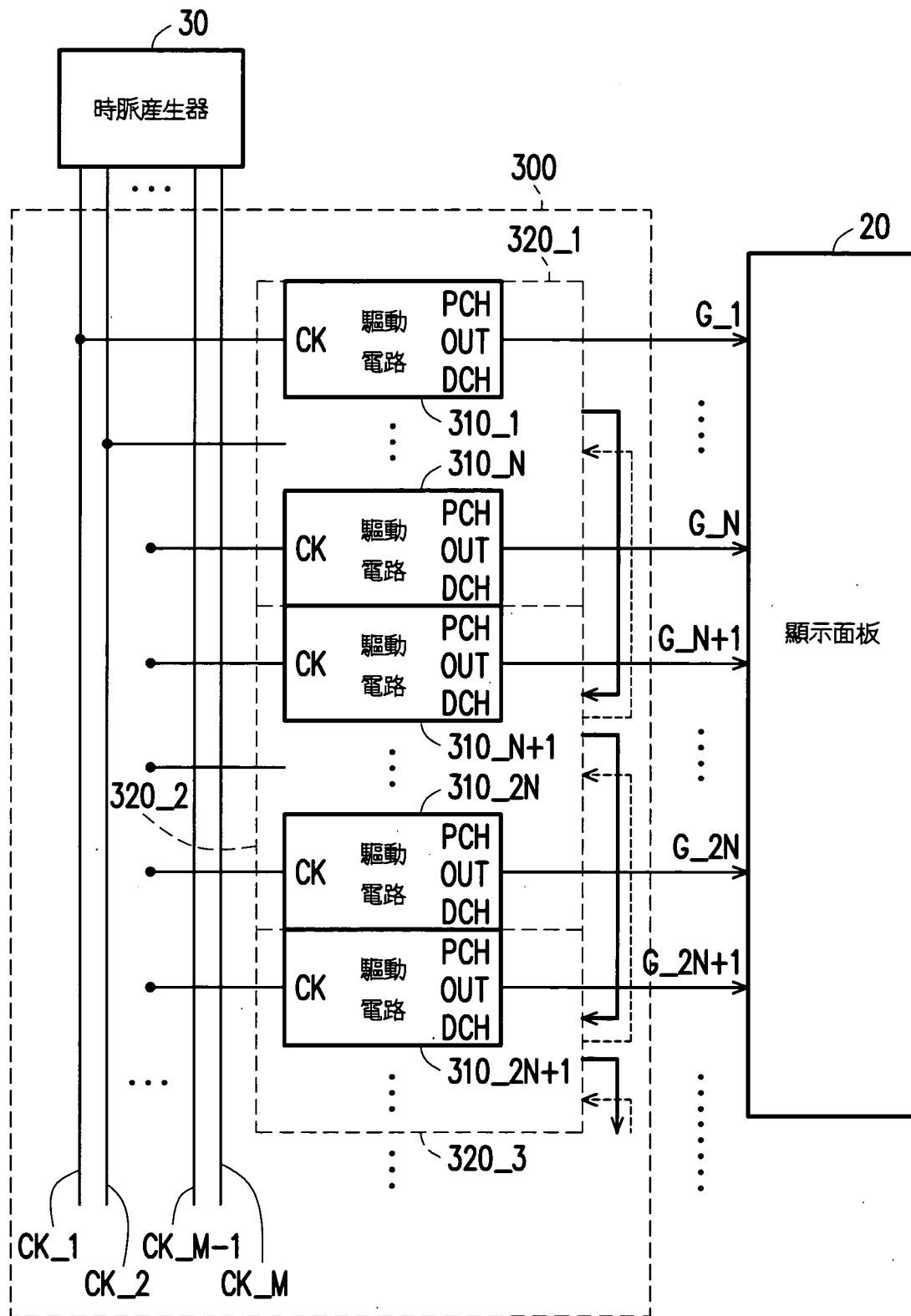
【發明圖式】



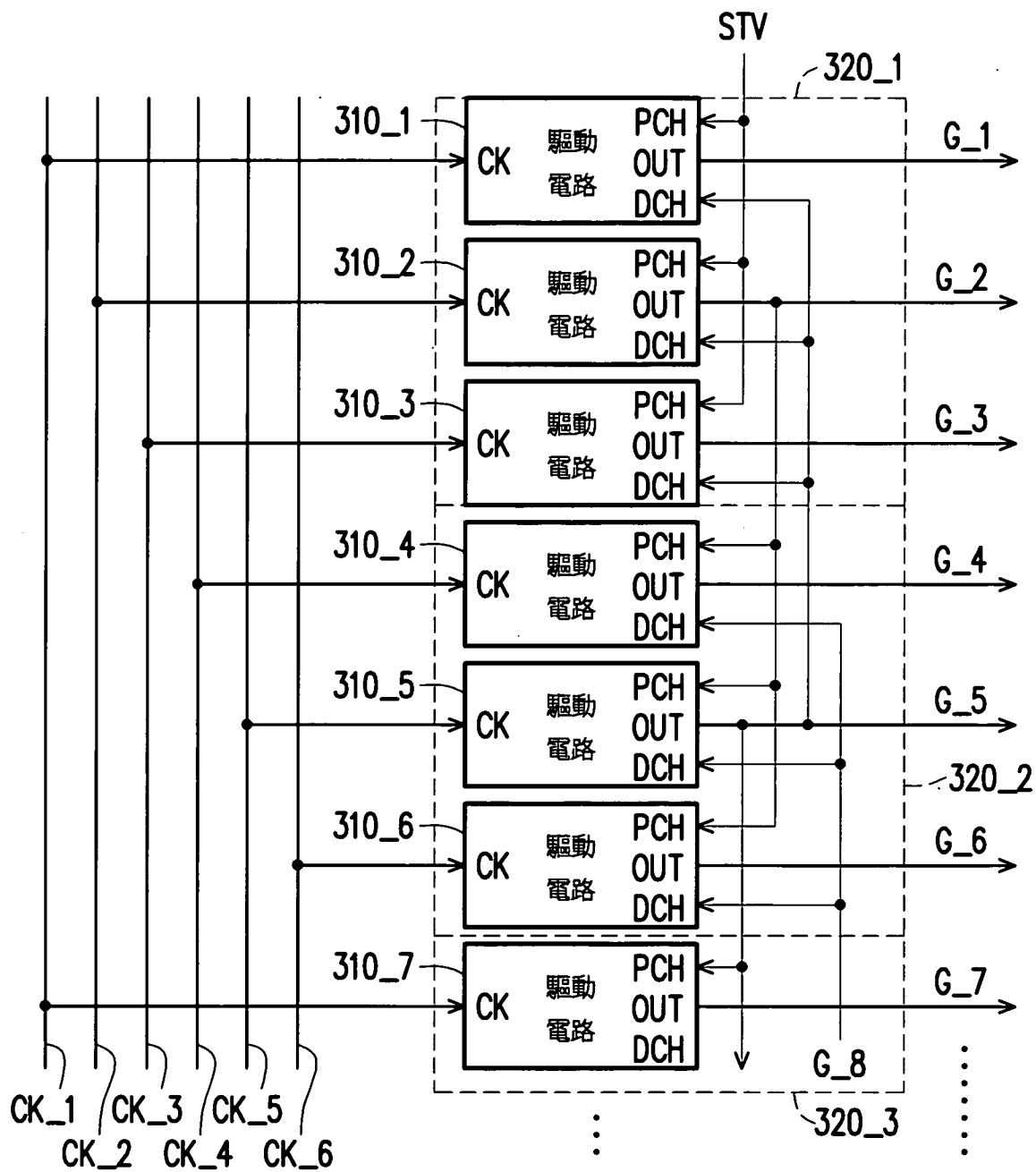
【圖1】



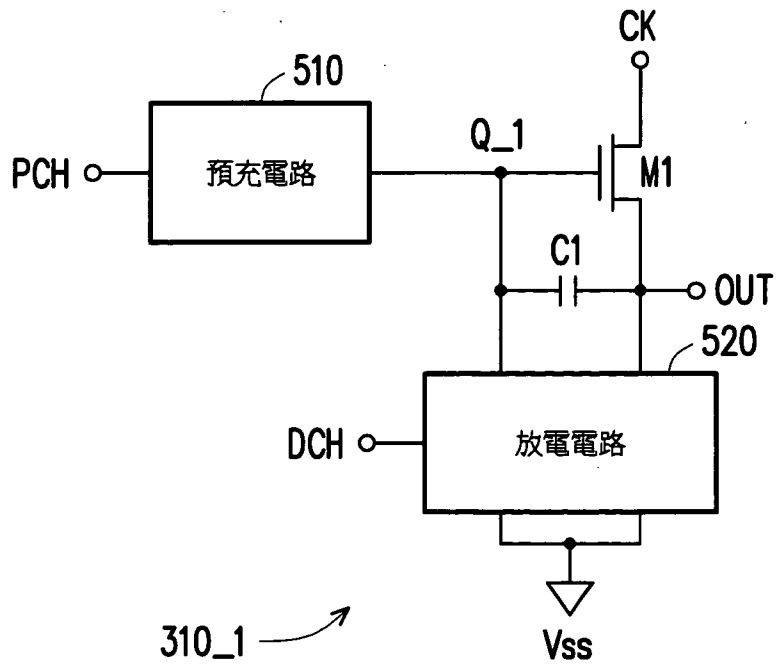
【圖2】



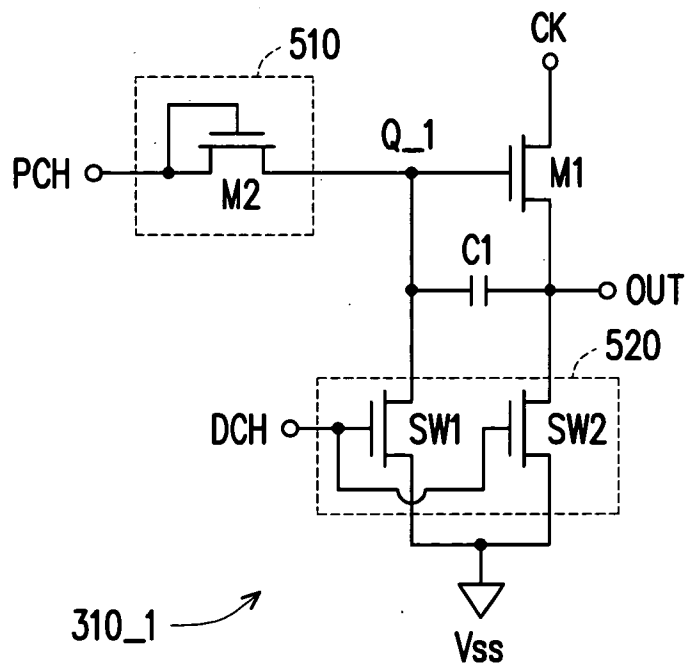
【圖3】



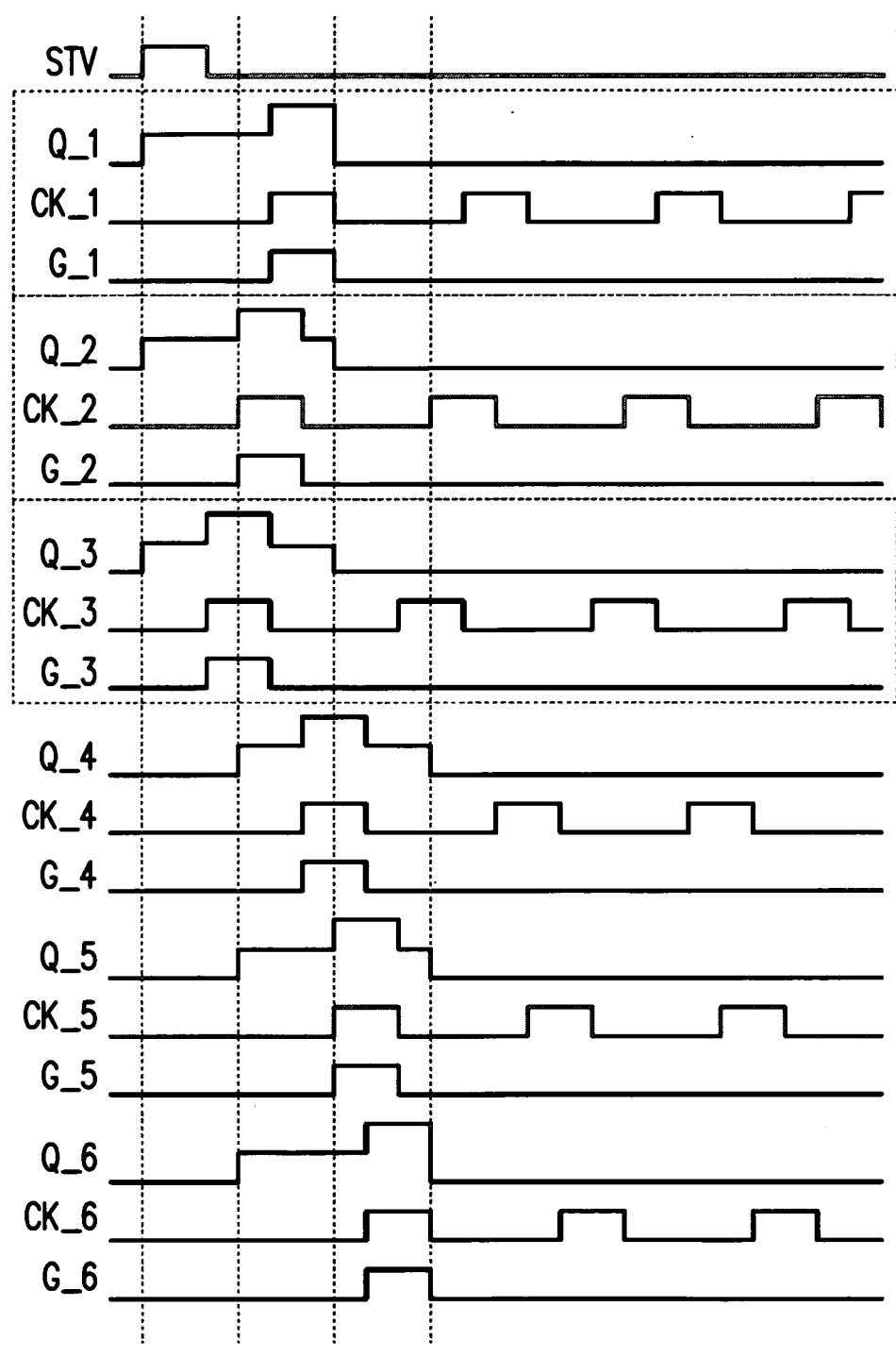
【圖4】



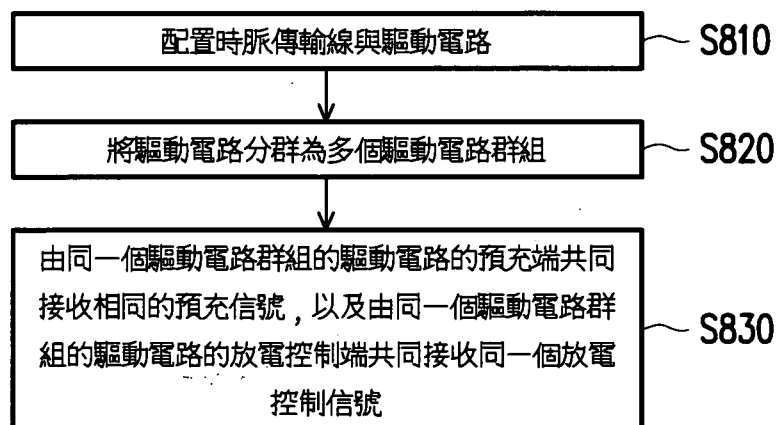
【圖5】



【圖6】



【圖7】



【圖8】