



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 101 20 302 B4 2008.04.10**

(12)

Patentschrift

(21) Aktenzeichen: **101 20 302.0**
 (22) Anmeldetag: **25.04.2001**
 (43) Offenlegungstag: **08.11.2001**
 (45) Veröffentlichungstag
 der Patenterteilung: **10.04.2008**

(51) Int Cl.⁸: **H01L 21/8239 (2006.01)**
H01L 27/105 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(30) Unionspriorität:
2000-125122 26.04.2000 JP

(73) Patentinhaber:
Sharp K.K., Osaka, JP

(74) Vertreter:
Müller - Hoffmann & Partner Patentanwälte, 81667 München

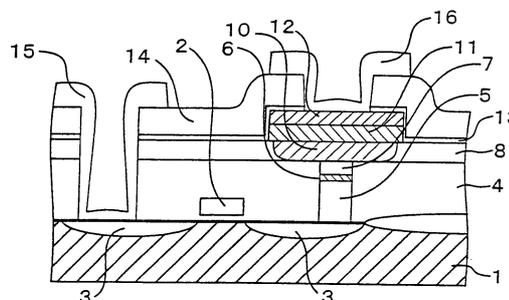
(72) Erfinder:
Yamazaki, Shinobu, Tenri, JP; Ishihara, Kazuya, Kyoto, JP

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
US 59 76 928 A
US 53 92 189 A
EP 08 89 519 A2
EP 08 34 912 A
JP 11-2 61 023 A
JP 09-1 62 369 A

(54) Bezeichnung: **Verfahren zur Herstellung eines Halbleiter-Bauteils**

(57) Hauptanspruch: Verfahren zum Herstellen eines Halbleiterbauteils, mit folgenden Schritten:

- Herstellen einer Diffusionsschicht (3) auf einem Halbleitersubstrat (1);
- Herstellen eines Zwischenschichtisolators (4) mit eingeebener Oberfläche auf dem Halbleitersubstrat (1);
- Herstellen eines sich zur Diffusionsschicht erstreckenden Kontaktlochs im Zwischenschichtisolator;
- Einbetten und Ausbilden einer vergrabenen leitenden Schicht mit einem unteren Stopfelement (5) und einer oberen Barrierschicht (7) innerhalb des Kontaktlochs;
- Abscheiden eines zweiten Isolierfilms (8) auf der Oberfläche des Halbleitersubstrats einschließlich dem Zwischenschichtisolator und der vergrabenen leitenden Schicht;
- Herstellen eines Kontaktlochs im zweiten Isolierfilm mit einer schrägen Seitenwand und einer Querschnittsfläche, die von einer Oberfläche des zweiten Isolierfilms zur vergrabenen leitenden Schicht monoton abnimmt, so dass die Oberfläche der vergrabenen leitenden Schicht und der Zwischenschichtisolator um die vergrabene leitende Schicht freigelegt sind;
- Herstellen eines eine untere Elektrode bildenden leitenden Dünnsfilms (110) auf dem zweiten Isolierfilm, dem Zwischenschichtisolator und der vergrabenen...



Beschreibung

[0001] Die Erfindung betrifft ein Herstellungsverfahren für ein Halbleiter-Bauteil mit einem mikrohergestellten ferroelektrischen Kondensator. Genauer gesagt, betrifft die Erfindung ein Herstellungsverfahren für einen Halbleiterspeicher mit einem ferroelektrischen Kondensator.

[0002] Nichtflüchtige, ferroelektrische Halbleiterspeicher unter Verwendung eines Ferroelektrikums, das typischerweise $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ (PZT) oder dergleichen ist, für einen Kondensator, zogen in den letzten Jahren angesichts ihrer Eigenschaften wie hoher Geschwindigkeit und niedrigem Energieverbrauch besondere Aufmerksamkeit auf sich. Für hohe Integration dieser Bauteile ist es erforderlich, eine Speicherzellenstruktur zu entwickeln, die für Mikroherstellung geeignet ist, und eine Mikroherstellungstechnik für einen ferroelektrischen Kondensator aus einer oberen Elektrode, einem ferroelektrischen Film und einer unteren Elektrode zu entwickeln. Herkömmlicherweise wurden die obere Elektrode eines ferroelektrischen Kondensators und eine Diffusionsschicht (Source, Drain) eines MOS-Transistors über örtliche Verbindungen miteinander verbunden. Bei einer Speicherzellenstruktur vom Stapeltyp werden die untere Elektrode des ferroelektrischen Kondensators und die Diffusionsschicht durch einen Kontaktpfropfen miteinander verbunden, wodurch die Speicherzellenfläche verkleinert werden kann. In diesem Fall wird jedoch, um zu verhindern, dass der aus Polysilicium oder dergleichen bestehende Kontaktpfropfen mit der unteren Elektrode reagiert, dazwischen eine Barrieremetallschicht aus Titanitrid (TiN oder dergleichen) eingefügt. Dies bewirkt eine Vergrößerung der Stufe des ferroelektrischen Kondensators, was wiederum zum Auftreten eines Problems beim späteren Zwischenschicht-Isolierprozess und beim Leiterbahnprozess führt. Auch besteht bei der Terrassenstruktur, die eine herkömmliche Struktur eines ferroelektrischen Kondensators ist und dadurch ausgebildet wird, dass eine obere Elektrode, ein ferroelektrischer Film und eine untere Elektrode sequenziell geätzt werden, der ferroelektrische Kondensator, insbesondere die untere Elektrode, aus einem Material mit schlechter Verarbeitbarkeit, wie Platin oder Iridium, das schwierig zu ätzen ist, so dass die Seitenwand eine sehr leichte Neigung (Neigungswinkel ungefähr 40°) zeigt. So ist die Terrassenstruktur eine Struktur, die durch Mikroherstellung schwierig zu fertigen ist und die ein Grund für Kurzschlüsse zwischen einer oberen und einer unteren Elektrode durch Neuabscheidung eines beim Ätzen erzeugten Reaktionsprodukt auf dem ferroelektrischen Kondensator ist.

[0003] Um diese Probleme zu überwinden ist in JP 9-162 369 A eine Speicherzellenstruktur vorgeschlagen, wie sie in [Fig. 16](#) dargestellt ist. In [Fig. 16](#) sind ein Siliciumsubstrat **1**, eine Gateelektrode **2**, eine Dif-

fusionsschicht (Source, Drain) **3**, ein erster Zwischenschichtisolator **4**, ein Titanfilm **201**, ein TiN-Pfropfen **202**, ein zweiter Zwischenschichtisolator **8**, eine untere Elektrode **9**, ein ferroelektrischer Film **11**, eine obere Elektrode **12**, ein dritter Zwischenschichtisolator **14**, eine Bitleitung **15** und eine Plattenleitung **16** dargestellt.

[0004] Bei der in der obigen Veröffentlichung offenbarten Struktur werden der Ti-Film **201** und der TiN-Pfropfen **202** durch einen CVD-Prozess im Kontaktpfropfen vergraben, so dass die Stufe des ferroelektrischen Kondensators verkleinert werden kann. Auch wird die untere Elektrode **9** vor der Herstellung des ferroelektrischen Films **11** bearbeitet, so dass ein Kurzschluss zwischen der oberen Elektrode **12** und der unteren Elektrode **9** durch Neuabscheidung während des Ätzens verhindert werden kann.

[0005] Da jedoch zum Bearbeiten der unteren Elektrode eine normale Ätztechnik verwendet wird, ist das Auftreten von Schrägen an der Seitenwand der unteren Elektrode unvermeidlich, wie es in [Fig. 16](#) dargestellt ist, was es stark wahrscheinlich macht, dass die Schrägen bei weiterer Mikroherstellung ein Hindernis bilden. Auch weist der Kontaktpfropfen, für den TiN verwendet wird, thermische Beständigkeit nur bis zu einer Temperatur von ungefähr 650°C auf. Daher ist die Verwendung eines TiN-Pfropfens verhindert, wenn $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT), das ein ferroelektrisches Material mit niedrigerer Betriebsspannungsfähigkeit und höherer Zuverlässigkeit als PZT ist, für einen ferroelektrischen Kondensator verwendet wird, bei dessen Herstellung im Allgemeinen eine Temperatur von 700°C oder mehr benötigt wird.

[0006] Der Erfindung liegt die Aufgabe zu Grunde ein hoch integriertes Halbleiter-Bauteil und ein Herstellungsverfahren für dieses zu schaffen, die es erlauben, eine untere Elektrode durch Mikroherstellung zu fertigen, wobei Betrieb mit niedriger Spannung und hoher Zuverlässigkeit möglich ist.

[0007] Diese Aufgabe wird durch ein Verfahren mit den Merkmalen des unabhängigen Patentanspruchs 1 gelöst.

[0008] Die US-Patentschrift US 5,976,928 A beschreibt ein Verfahren zum Herstellen einer ferroelektrischen Kondensatorstruktur, welche in einem Graben ausgebildet ist. Die Europäische Patentanmeldung EP 0 889 519 A2 beschreibt einen Kondensator in Grabenstruktur. Die Europäische Patentanmeldung EP 0 834 912 A2 beschreibt einen ferroelektrischen Speicherzellen-Kondensator mit Terrassenstruktur, bei welchem in einem Durchgangsloch zunächst eine metallische Schicht abgeschieden wird, auf welcher nach einer Rückätzung eine Bodenelektrode abgeschieden wird. In der JP 11-261023 A wird die Bodenelektrode in einer durch Nassätzen gebil-

deten Öffnung abgeschieden und planarisiert.

[0009] Da gemäß der Erfindung die untere Elektrode nicht durch Trockenätzen sondern durch einen CMP-Prozess hergestellt wird, ist eine mikro-hergestellte Struktur eines ferroelektrischen Kondensators mit einer Größe der unteren Elektrode von 1,3 µm und einer Größe des ferroelektrischen Kondensators von 1,75 µm realisierbar. Bei der bekannten Struktur beträgt bei einem Neigungswinkel von 40° beim Bearbeiten des Iridiums der unteren Elektrode die Bearbeitungsgröße der unteren Elektrode (Filmdicke 250 nm) einschließlich verschiedener Prozesstoleranzen minimal 1,4 µm, was zu einer Größe des ferroelektrischen Kondensators von 1,85 µm führt. Gemäß dieser Tatsache beträgt die vom ferroelektrischen Kondensator belegte Fläche ungefähr 90% derjenigen beim bekannten Kondensator, was Wirksamkeit hinsichtlich einer weiteren Verkleinerung bei Mikroherstellung zeigt. Auch wird gemäß der Erfindung SBT, das eine Wärmebehandlung bei ungefähr 700°C benötigt, verwendbar, da für die Barrieremetallschicht TaSiN verwendet wird; so dass ein ferroelektrischer Speicher hergestellt werden kann, der bei niedriger Spannung mit hoher Zuverlässigkeit arbeitet.

[0010] Die Erfindung wird aus der nachfolgenden detaillierten Beschreibung und den beigefügten Zeichnungen, die zur Veranschaulichung dienen, vollständiger zu verstehen sein.

[0011] [Fig. 1](#) ist eine Schnittansicht, die die Struktur eines Speicherzellenteils in einem erfindungsgemäß hergestellten Halbleiterspeicher zeigt;

[0012] [Fig. 2](#) bis [Fig. 13](#) sind Schnittansichten zum Veranschaulichen eines ersten bis zwölften Stadiums eines Herstellprozesses für einen Halbleiterspeicher, das ein Ausführungsbeispiel der Erfindung bildet;

[0013] [Fig. 14](#) ist ein Kurvenbild, das Ergebnisse einer Auswertung der Wärmebeständigkeit von TaSiN, und TiN zeigt;

[0014] [Fig. 15](#) ist ein Kurvenbild, das Hystereseeigenschaften eines erfindungsgemäß hergestellten ferroelektrischen Kondensators zeigt; und

[0015] [Fig. 16](#) ist eine Schnittansicht, die die Struktur eines Speicherzellenteils in einem bekannten Halbleiterspeicher zeigt.

[0016] Nachfolgend wird die Erfindung mittels Ausführungsbeispielen derselben beschrieben.

[0017] [Fig. 1](#) ist eine Schnittansicht, die die Struktur eines Speicherzellenteils (aus einem ferroelektrischen Kondensator und einem MOS-Schalttransistor) in einem erfindungsgemäß hergestellten Halbleiterspeicher zeigt.

[0018] In [Fig. 1](#) sind ein Siliciumsubstrat **1**, eine Gateelektrode **2** aus Polysilicium, eine Diffusionschicht (Source, Drain) **3**, ein erster Zwischenschichtisolator **4** aus Siliciumoxid, ein Kontaktpfropfen **5** aus Polysilicium, eine Schicht **6** mit niedrigem Widerstand, die durch Bearbeiten von Titansilicid für niedrigeren Widerstand erhalten wurde, eine Barrieremetallschicht **7** aus Tantal-siliciumnitrid, ein Zwischenschichtisolator **8** aus Siliciumnitrid, eine untere Elektrode **10** aus Iridium ein ferroelektrischer Film **11** aus SBT, eine obere Elektrode **12** aus Iridium, ein Diffusionsbarrierefilm **13** aus Titanoxid, ein zweiter Zwischenschichtisolator **14** aus NSG (nicht dotiertes Silikatglas), eine Bitleitung **15** und eine Plattenleitung **16** dargestellt.

[0019] Eine erste charakteristische Struktur des Halbleiterspeichers dieses Ausführungsbeispiels besteht darin, dass die untere Elektrode **10** über eine Seitenwand mit Schräge (kegelförmig oder bogenförmig oder mit anderer Konfiguration) aufweist, d.h. eine Schnittfläche, die ausgehend von der Seite der Barrieremetallschicht **7** zum ferroelektrischen Film **11** monoton zunimmt. Ferner verfügt der Halbleiterspeicher über einen Isolierfilm **8**, der die Seitenwand der unteren Elektrode **10** bedeckt, wobei die Oberfläche dieses Isolierfilms **8** eingeebnet ist und mit der Oberfläche der unteren Elektrode **10** fluchtet.

[0020] Eine andere charakteristische Struktur besteht darin, dass eine in den obersten Abschnitt innerhalb des im ersten Zwischenschichtisolator **4** ausgebildeten Kontaktlochs einzubettende Barrieremetallschicht **7** aus Tantal-siliciumnitrid besteht.

[0021] Als Nächstes wird unter Bezugnahme auf die [Fig. 2](#) bis [Fig. 13](#) ein Verfahren zum Herstellen des Halbleiterspeichers gemäß dem obigen Ausführungsbeispiel beschrieben.

[0022] Als Erstes wird, gemäß dem Stand der Technik, ein MOS-Schalttransistor mit einer Gateelektrode **2** aus Polysilicium und einer Diffusionsschicht **3** auf einem Siliciumsubstrat **1** hergestellt. Danach wird ein erster Zwischenschichtisolator (Siliciumoxid) **4** abgeschieden und ein Kontaktloch mit einem Durchmesser von 0,6 µm wird durch einen Fotolithographie- und Trockenätzprozess ausgebildet. Als Nächstes wird durch einen Niederdruck-CVD-Prozess Polysilicium abgeschieden, und danach wird Phosphor durch thermische Diffusion in das Polysilicium eindotiert. Als Nächstes wird das Polysilicium durch einen CMP(chemisch-mechanisches Polieren)-Prozess so eingeebnet, dass das Polysilicium auf dem ersten Zwischenschichtisolator **4** vollständig entfernt wird, wodurch ein Kontaktpfropfen **5** ausgebildet ist ([Fig. 2](#)).

[0023] Als Nächstes erfolgt durch einen Trockenätzprozess ([Fig. 3](#)) ein gesamtes Rückätzen. Als

Rückätzbedingungen für diesen Fall besteht das einzige Erfordernis, dass die Ätzrate des Polysiliciums ein Selektionsverhältnis nicht unter zehn in Bezug auf Siliciumoxid zeigt. Der Rückätzumfang für Polysilicium beträgt vorzugsweise 80–100 nm. Ein zu großes Ausmaß des Rückätzens würde während der Abscheidung des Barrieremetalls zu einem unvollständigen Eintreten führen, während ein zu kleines Ausmaß des Rückätzens in umgekehrter Weise dazu führen würde, dass es unmöglich wäre, eine Filmstärke zu gewährleisten, bei der das Barrieremetall funktioniert.

[0024] Als Nächstes wird durch einen Gleichspannungs-Magnetronspalterprozess Titan mit 20 nm abgeschieden. Danach werden Titan und Silicium durch einen RTA(Rapid Thermal Anneal = schnelle thermische Temperung)-Prozess miteinander zur Reaktion gebracht, wodurch auf dem Kontaktpfropfen **5** Titansilicid ausgebildet wird. Hinsichtlich der Bedingungen für diesen RTA-Prozess gilt, dass er vorzugsweise für eine Dauer von 30 Sek.–1 Minute in Stickstoffatmosphäre bei einer Temperatur von 600–700°C ausgeführt wird. Eine zu niedrige Temperatur bewirkt eine Verzögerung der Reaktion von Titan und Silicium, während eine zu hohe Temperatur umgekehrt zu übermäßigem Wachstum von Titansilicid führt. Als Nächstes wird zum Entfernen von Titan außer des Titans auf dem Kontaktpfropfen **5** ein Nassprozess mit einer Schwefelsäurelösung ausgeführt. Als Nächstes wird erneut ein RTA-Prozess ausgeführt, um das erzeugte Titansilicid mit niedrigem Widerstand zu versehen, wodurch die Schicht **6** mit niedrigem Widerstand gebildet ist ([Fig. 4](#)). Hinsichtlich der Bedingungen für diesen RTA-Prozess gilt, dass er vorzugsweise für eine Dauer von 10–20 Sek. in Stickstoffatmosphäre bei einer Temperatur von 800–900°C ausgeführt wird. Eine zu niedrige Temperatur bewirkt eine unzureichende Widerstandsabsenkung des Titansilicids, während eine zu hohe Temperatur umgekehrt den MOS-Transistor nachteilig beeinflusst. Für diese Schicht **6** niedrigen Widerstands besteht keine Beschränkung auf Titansilicid, sondern sie muss nur den Widerstand zwischen Polysilicium und dem Barrieremetall absenken können und eine thermische Beständigkeit nicht unter 700°C aufweisen. Beispielsweise kann Kobaltsilicid verwendet werden.

[0025] Als Nächstes wird überall durch einen reaktiven Gleichspannungs-Magnetronspalterprozess ein Film **107** aus Tantalsiliciumnitrid (TaSiN) mit 150 nm abgeschieden ([Fig. 5](#)).

[0026] Danach wird dieser TaSiN-Film **107** durch einen CMP-Prozess so poliert, dass er auf dem ersten Zwischenschichtisolator **4** vollständig entfernt wird, wodurch die Barrieremetallschicht **7** ausgebildet wird ([Fig. 6](#)). Es zeigte sich, dass TaSiN hinsichtlich der Wärmebeständigkeit TiN überlegen ist. [Fig. 14](#) zeigt Auswertungsergebnisse für die Wärmebeständigkeit

von TaSiN und TiN, wobei die Abszisse die Wärmebehandlungstemperatur in Stickstoff repräsentiert und die Ordinate den normierten Flächenwiderstand repräsentiert. Bei derselben Filmstärke (in diesem Fall 100 nm) zeigt TiN eine merkliche Zunahme des Flächenwiderstands bei 600°C, wobei der sich ergebende Wert des Flächenwiderstands das Doppelte des Anfangswerts ist, während TaSiN eine Zunahme des Flächenwiderstands von nur ungefähr 20% selbst bei einer Wärmebehandlung bei ungefähr 700°C zeigt. Daher kann TaSiN ein Barrieremetall bilden, das selbst der SBT-Erzeugungstemperatur (700°C) standhält.

[0027] Als Nächstes wird Siliciumnitrid **108** überall mit 250 nm durch einen bekannten Plasma-CVD-Prozess abgeschieden. Für den Prozess zum Herstellen des Siliciumnitrids **108** besteht keine Beschränkung auf den obigen Plasma-CVD-Prozess, sondern es kann z. B. ein Niederdruck-CVD-Prozess sein. Anschließend wird Siliciumoxid **109** mit 20 nm durch einen Atmosphärendruck-CVD-Prozess abgeschieden ([Fig. 7](#)).

[0028] Als Nächstes werden die Barrieremetallschicht **7** und das Siliciumoxid **109** im Umfangsteil derselben durch einen Fotolithographie- und Nassätzprozess entfernt. Während das Siliciumoxid **109**, von dem die Barrieremetallschicht **7** und der Teil auf dem Umfang derselben entfernt wurden, als Maske verwendet wird, wird das Siliciumnitrid **108** durch auf 150°C erwärmte Phosphorsäure entfernt, wodurch ein Isolierfilm **8** erzeugt wird. Da der Teil, von dem das Siliciumnitrid entfernt wurde, 1,3 µm im Quadrat misst, was durch Nassätzen mit Phosphorsäure erzielt wurde, wurde das Siliciumnitrid isotrop entfernt, so dass die sich ergebende Seitenwandkonfiguration bogenförmig ist. Danach wird das Maskieren des Siliciumoxid **109** entfernt ([Fig. 8](#)).

[0029] Als Nächstes wird Iridium **110** zum Erzeugen der unteren Elektrode durch einen Gleichspannungs-Magnetronspalterprozess überall mit 300 nm abgeschieden ([Fig. 9](#)). In diesem Fall wird das Iridium **110** auch im Seitenwandabschnitt gleichmäßig abgeschieden, da die Seitenwand des Teils, von dem das Siliciumnitrid entfernt wurde, bogenförmig ist.

[0030] Als Nächstes wird das Iridium **110** durch einen CMP-Prozess poliert, bis der Isolierfilm **8** freigelegt ist, so dass das Iridium **110** und der Isolierfilm **8** miteinander fluchten. So wird eine Konfiguration gebildet, bei der die Seitenwand der unteren Elektrode **10** mit dem Isolierfilm **8** bedeckt ist ([Fig. 10](#)).

[0031] Danach wird als ferroelektrischer Film ein SET-Film **111** hergestellt, und dann wird durch einen Gleichspannungs-Magnetronspalterprozess ein Iridiumprozess **12** zum Erzeugen einer oberen Elektrode mit 100 nm hergestellt ([Fig. 11](#)). Das Verfahren zum

Herstellen des SBT-Films **111** ist das Folgende. Als Erstes wird eine metallorganische Lösung, die ein einzelnes Metallelement Sr, Ta und Bi enthält, durch einen Schleuderbeschichtungsprozess aufgetragen, und sie kann dann trocknen, und es wird dann ein kristallisierender Temperungsprozess für 30 Min. bei 700°C in einer Atmosphäre von Sauerstoff unter Atmosphärendruck ausgeführt. Diese Bearbeitung wird wiederholt, bis die Dicke des SET-Films einen gewünschten Wert einnimmt. Es wird darauf hingewiesen, dass das Elementverhältnis in der metallorganischen Lösung in diesem Fall auf Sr:Bi:Ta = 0,8 : 2,4 : 2,0 eingestellt wird und dass die endgültige Filmdicke 150 nm beträgt.

[0032] Danach werden die obere Elektrode **12** und der ferroelektrische Kondensatorfilm **11** unter Verwendung eines Fotolithografie- und Trockenätzprozesses strukturiert und ausgebildet (**Fig. 12**). Die Größe der oberen Elektrode und des ferroelektrischen Kondensatorfilms beträgt in diesem Fall 1,75 µm im Quadrat. Nach der Herstellung des ferroelektrischen Kondensatorfilms **11** wird in einer Atmosphäre mit Sauerstoff auf Atmosphärendruck ein Elektroden-Temperungsprozess für 30 Min. bei 700°C ausgeführt.

[0033] Anschließend werden Titanoxid **13** als Diffusionsbarrierefilm und NSG **14** als dritter Zwischenschichtisolator aufeinanderfolgend abgeschlossen (**Fig. 13**). Das Titanoxid **13** wird durch einen reaktiven Gleichspannungs-Magnetronspalterprozess hergestellt, und das NSG **14** wird durch einen Atmosphärendruck-CVD-Prozess hergestellt.

[0034] Als Nächstes werden Kontaktlöcher, die zur oberen Elektrode **12** des ferroelektrischen Kondensators und zur Diffusionsschicht **3** des MOS-Transistors führen, durch einen Fotolithografie- und Trockenätzprozess geöffnet. Anschließend wird ein Verbindungsherstellprozess zum Erzeugen einer Bitleitung **15** und einer Plattenleitung **16** ausgeführt, wodurch das Bauteil fertiggestellt wird (**Fig. 1**).

[0035] **Fig. 15** zeigt die Hysteresekarakteristik des durch das Herstellverfahren dieses Ausführungsbeispiels hergestellten ferroelektrischen Kondensators. Es konnte ein ferroelektrischer Kondensator erhalten werden, der bei 2 Pr eine relativ gute Charakteristik von ungefähr 15 µC/cm², was das Funktionsvermögen des Ferroelektrikums repräsentiert, bei einer angelegten Spannung von ±3 V zeigte.

Patentansprüche

1. Verfahren zum Herstellen eines Halbleiterbauteils, mit folgenden Schritten:

- Herstellen einer Diffusionsschicht (**3**) auf einem Halbleitersubstrat (**1**);
- Herstellen eines Zwischenschichtisolators (**4**) mit

eingebneter Oberfläche auf dem Halbleitersubstrat (**1**);

- Herstellen eines sich zur Diffusionsschicht erstreckenden Kontaktlochs im Zwischenschichtisolator;
- Einbetten und Ausbilden einer vergrabenen leitenden Schicht mit einem unteren Stopfelement (**5**) und einer oberen Barrierschicht (**7**) innerhalb des Kontaktlochs;

– Abscheiden eines zweiten Isolierfilms (**8**) auf der Oberfläche des Halbleitersubstrats einschließlich dem Zwischenschichtisolator und der vergrabenen leitenden Schicht;

– Herstellen eines Kontaktlochs im zweiten Isolierfilm mit einer schrägen Seitenwand und einer Querschnittsfläche, die von einer Oberfläche des zweiten Isolierfilms zur vergrabenen leitenden Schicht monoton abnimmt, so dass die Oberfläche der vergrabenen leitenden Schicht und der Zwischenschichtisolator um die vergrabene leitende Schicht freigelegt sind;

– Herstellen einer unteren Elektrode bildenden leitenden Dünnschicht (**110**) auf dem zweiten Isolierfilm, dem Zwischenschichtisolator und der vergrabenen leitenden Schicht;

– Herstellen einer unteren Elektrode (**10**) durch Ein eben dieses Dünnschicht (**110**) in solcher Weise, dass die Oberfläche des zweiten Isolierfilms freigelegt wird und die Oberfläche des Dünnschicht (**110**) mit der Oberfläche des zweiten Isolierfilms fluchtet; und

– Herstellen einer oberen Elektrode (**12**) und eines ferroelektrischen Kondensatorfilms (**11**) durch sequenzielles Aufeinanderstapeln eines ferroelektrischen Dünnschicht (**111**), der das Dielektrikum des Kondensators bildet und eines leitenden Dünnschicht (**112**), der die obere Elektrode bildet, auf der unteren Elektrode und dem zweiten Isolierfilm, sowie Strukturieren des die obere Elektrode bildenden leitenden Dünnschicht (**110**) und des ferroelektrischen Dünnschicht (**111**) in solcher Weise, dass der ferroelektrische Kondensatorfilm eine Oberfläche der unteren Elektrode (**10**) vollständig bedeckt, wobei das Entfernen des zweiten Isolierfilms (**8**) von der Oberfläche der vergrabenen leitenden Schicht und in deren Umfangsabschnitt durch einen Nassätzprozess erfolgt.

2. Verfahren nach Anspruch 1, bei welchem die Diffusionsschicht eine aus einem Paar von Diffusionsschichten eines Feldeffekt-Transistors mit isoliertem Gate mit einem Gateisolator und einer Gateelektrode (**2**) ist.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass der Prozess des Herstellens der unteren Elektrode (**10**) durch Ein eben des die untere Elektrode bildenden leitenden Dünnschicht (**110**) in solcher Weise, dass die Oberfläche des zweiten Isolierfilms (**8**) freigelegt ist und die Oberfläche des die untere Elektrode bildenden leitenden Dünnschicht (**110**) mit der Oberfläche des zweiten Isolierfilms fluchtet, durch einen chemisch-mechanischen Polierprozess ausge-

führt wird.

Es folgen 11 Blatt Zeichnungen

FIG.1

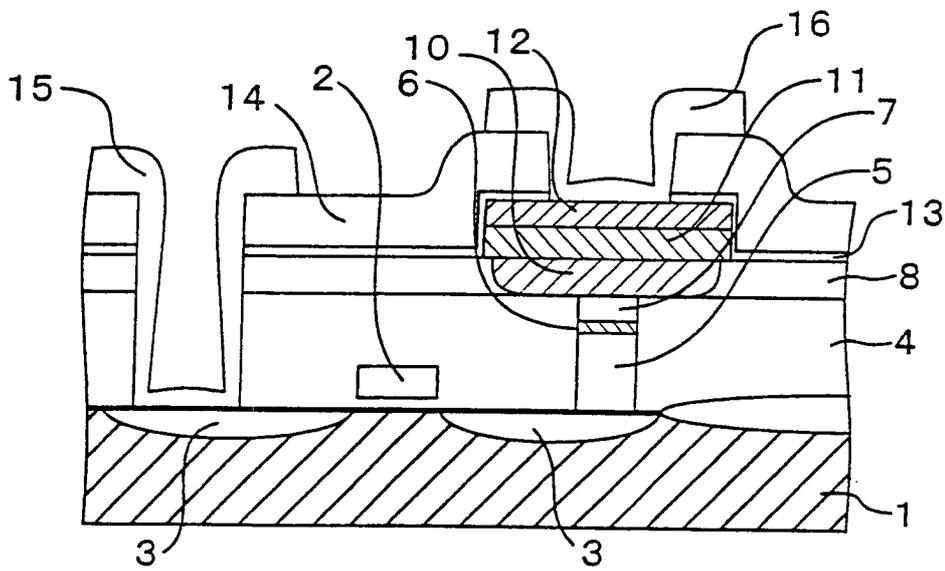


FIG.2

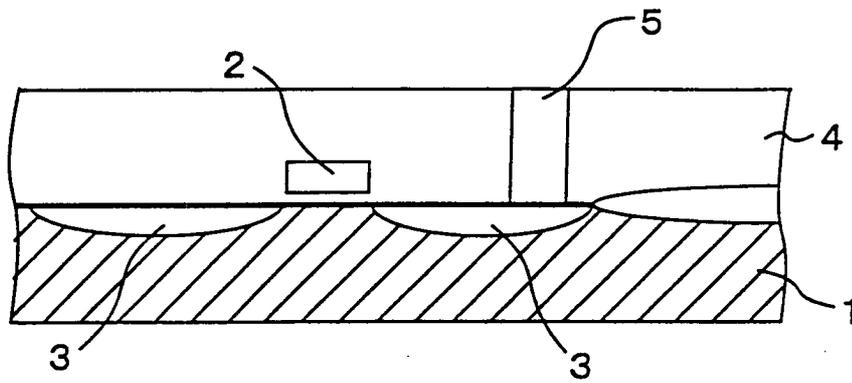


FIG.3

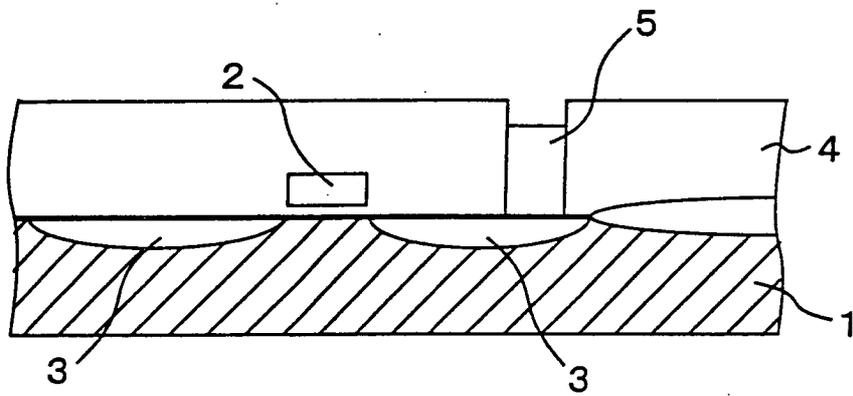


FIG.4

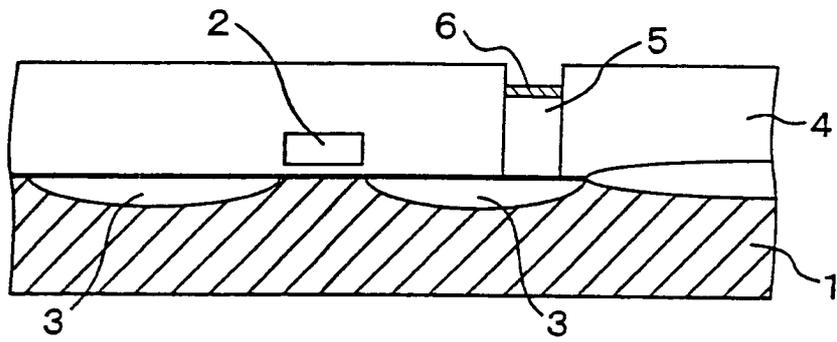


FIG.5

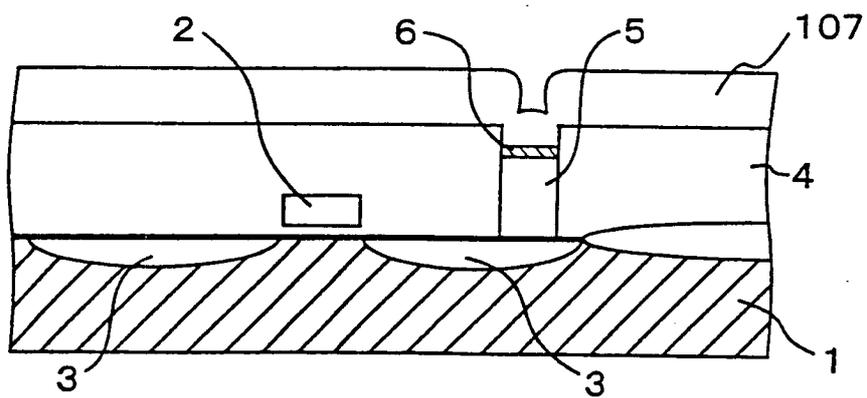


FIG.6

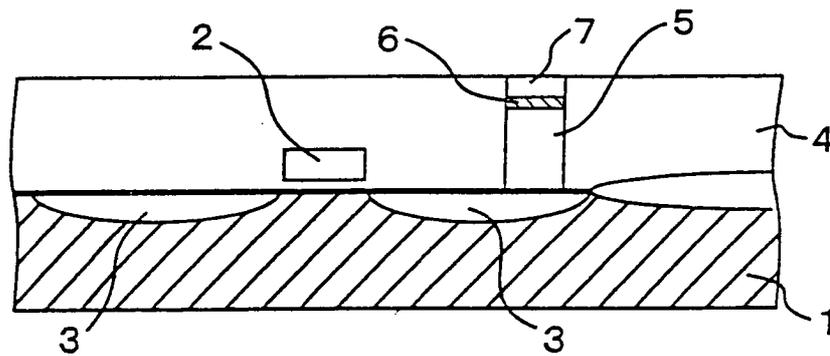


FIG.7

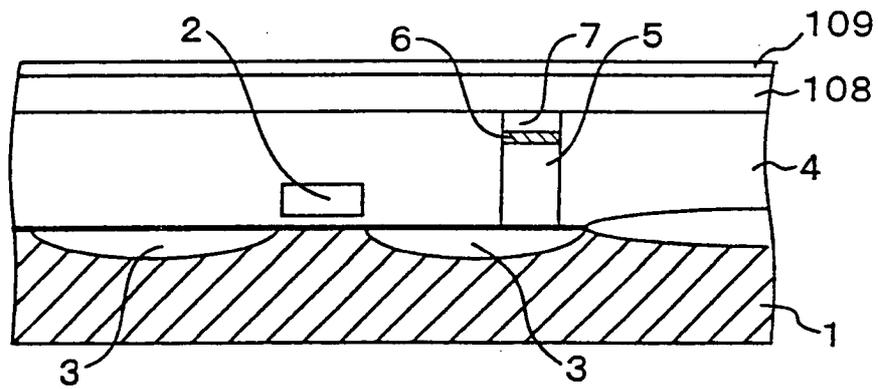


FIG.8

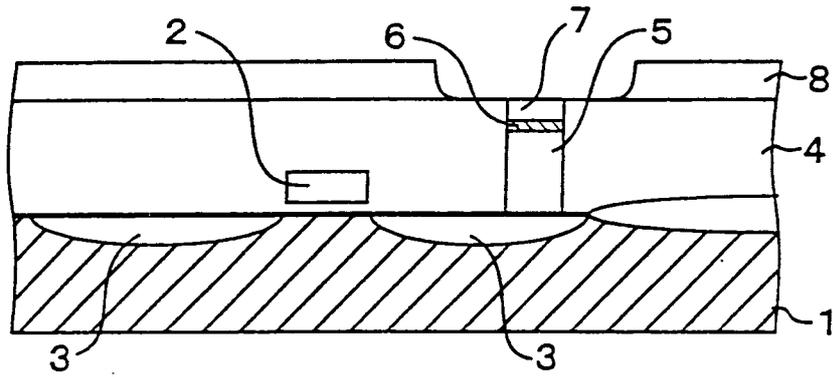


FIG.9

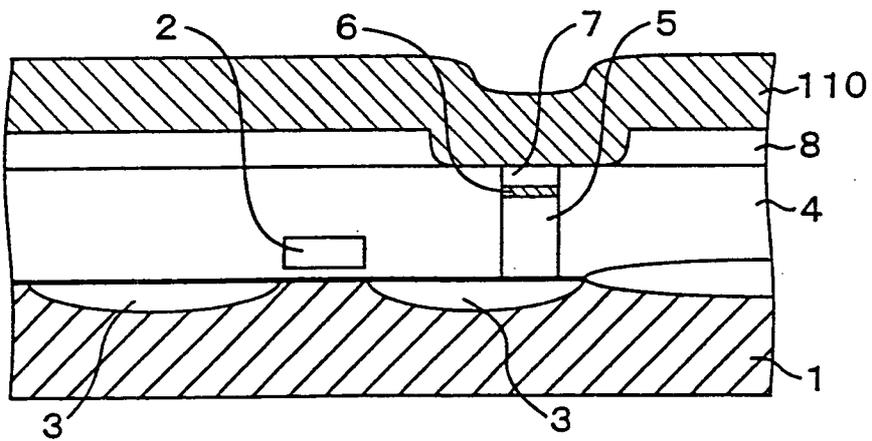


FIG.10

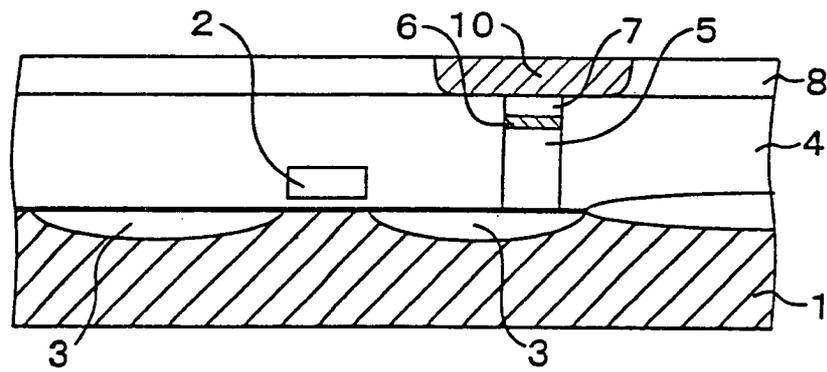


FIG.11

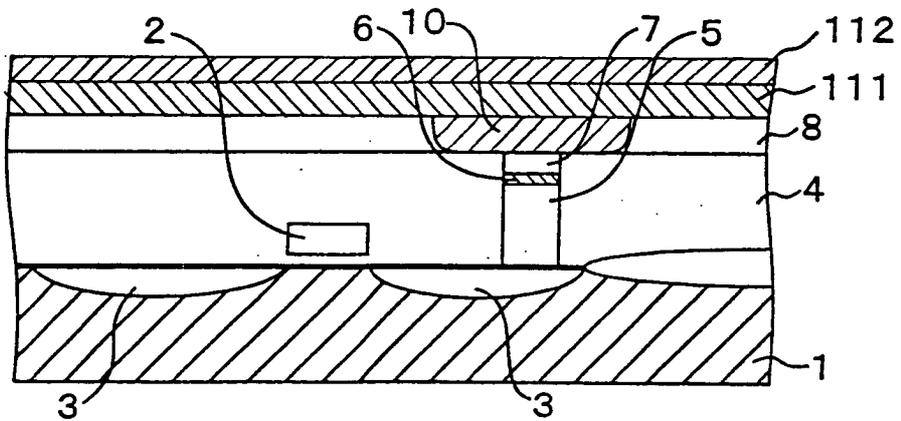


FIG.12

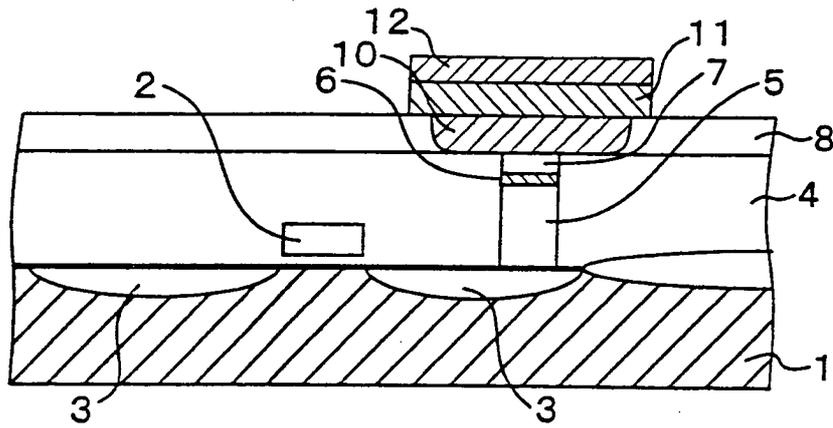


FIG.13

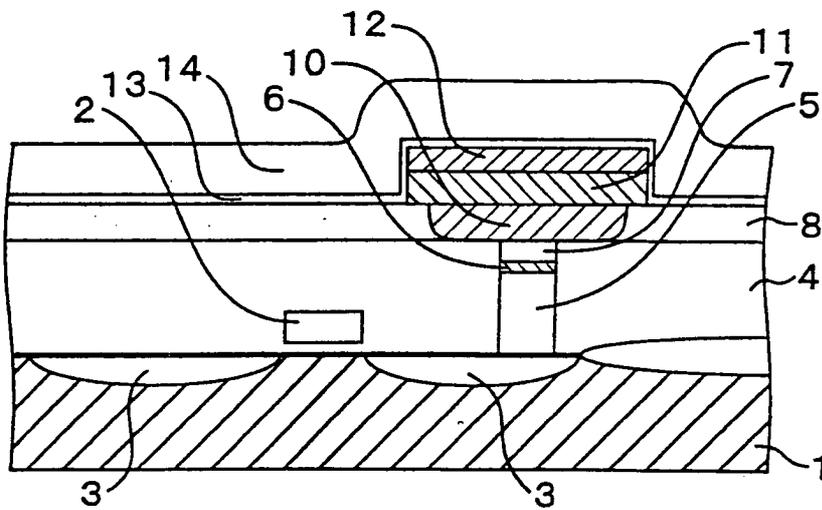


FIG.14

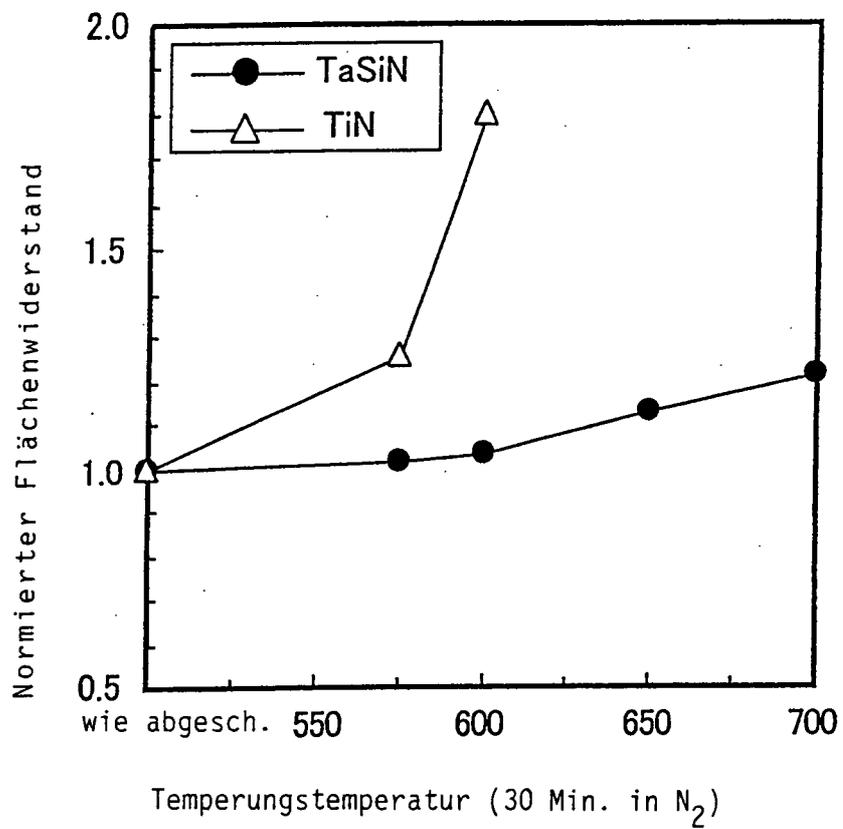


FIG.15

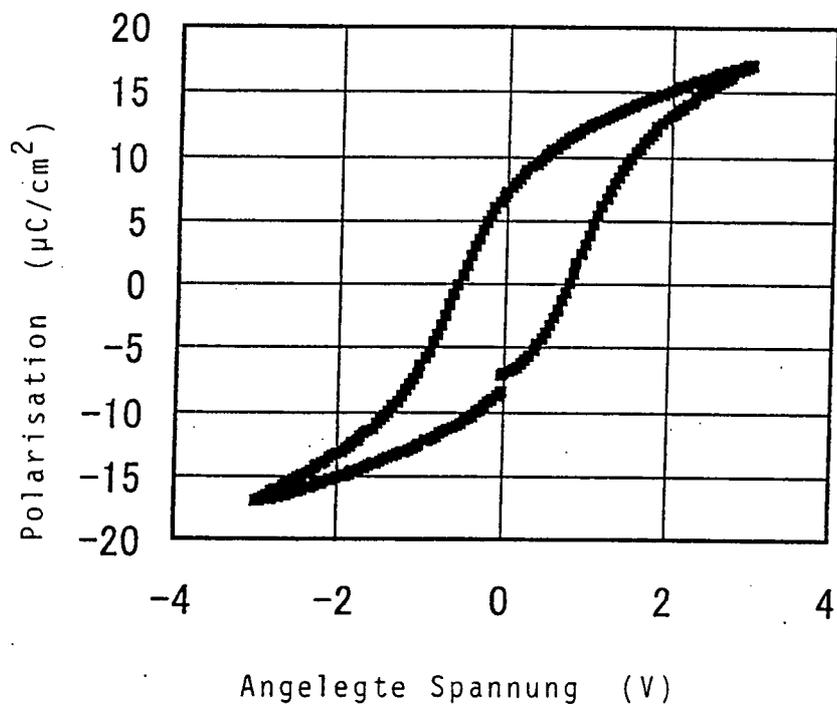


FIG.16 STAND DER TECHNIK

