

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2012年3月8日(08.03.2012)

PCT

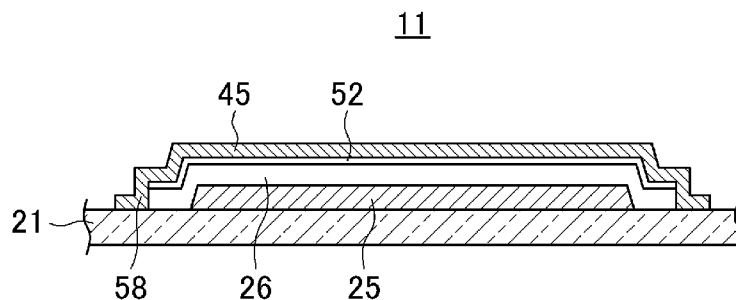
(10) 国際公開番号  
WO 2012/029281 A1

- (51) 国際特許分類:  
G09F 9/00 (2006.01) G02F 1/1368 (2006.01)  
G02F 1/1333 (2006.01) G09F 9/30 (2006.01)
- (21) 国際出願番号: PCT/JP2011/004797
- (22) 国際出願日: 2011年8月29日(29.08.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2010-197881 2010年9月3日(03.09.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):  
シャープ株式会社(SHARP KABUSHIKI KAISHA)  
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町  
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 吉田 昌弘  
(YOSHIDA, Masahiro). 山田 崇晴 (YAMADA,  
Takaharu). 堀内 智 (HORIUCHI, Satoshi). 光本  
一順(MITSUMOTO, Kazuyori).
- (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒  
5410053 大阪府大阪市中区本町2丁目5番7  
号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,  
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,  
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,  
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,  
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,  
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,  
PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM,  
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保  
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,  
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア  
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ  
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,  
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,  
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI  
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,  
NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第 21 条(3))

(54) Title: ACTIVE MATRIX SUBSTRATE, PRODUCTION METHOD THEREFOR, AND DISPLAY DEVICE

(54) 発明の名称: アクティブマトリクス基板及びその製造方法並びに表示装置

[図6]



(57) Abstract: An active matrix substrate has: an electrode layer formed on an insulating substrate (21) in a display region; a mark (25) formed from the same material as the electrode layer and positioned on the insulating substrate in a non-display region; a first insulating film (26) that directly covers both the electrode layer and the mark; and a second insulating film that covers part of the first insulating film. The second insulating film is removed from the insulating substrate in at least one section of a sealing region. The mark is positioned in a region where the second insulating film has been removed, and overlaps with at least part of the sealing region. A protective layer (45) is formed on the insulating substrate so as to cover the side surface of the first insulating film that covers the mark, and the surface of the first insulating film opposite from the insulating substrate.

(57) 要約: アクティブマトリクス基板は、表示領域における絶縁性基板 (21) 上に形成された電極層と、非表示領域における絶縁性基板上に配置されて電極層と同じ材料によって形成されたマーク (25) と、電極層及びマークをそれぞれ直接に覆う第1絶縁膜 (26) と、第1絶縁膜の一部を覆う第2絶縁膜とを有している。第2絶縁膜は、シール領域の少なくとも一部において絶縁性基板上から除去されている。マークは、第2絶縁膜が除去された領域に配置されると共に、シール領域の少なくとも一部に重なるように設けられている。絶縁性基板上には、マークを覆っている第1絶縁膜の側面及び当該第1絶縁膜の絶縁性基板と反対側の表面を覆う保護膜 (45) が形成されている。

WO 2012/029281 A1

## 明 細 書

発明の名称：

アクティブマトリクス基板及びその製造方法並びに表示装置

技術分野

[0001] 本発明は、アクティブマトリクス基板及びその製造方法並びに表示装置に関するものである。

背景技術

[0002] 一般に、液晶表示装置は、複数のＴＦＴ（Thin-Film Transistor：薄膜トランジスタ）が形成されたアクティブマトリクス基板であるＴＦＴ基板と、これに対向する対向基板と、ＴＦＴ基板及び対向基板の間に設けられた液晶層とを有している。また、ＴＦＴ基板及び対向基板の間には、これらＴＦＴ基板及び対向基板同士を接着すると共に、液晶層を封入するためのシール部材が設けられている。

[0003] また、液晶表示装置には、複数の画素が配置されて表示が行われる表示領域と、その周囲に設けられた非表示領域とが形成されている。上記シール部材は、非表示領域に配置される。

[0004] ＴＦＴ基板は、上記ＴＦＴ等が形成されたガラス基板を有している。ガラス基板には、ＴＦＴを覆う層間絶縁膜が形成され、その表面にＩＴＯ（Indium Tin Oxide）からなる画素電極が形成されている。層間絶縁膜は、例えば感光性を有するアクリル系樹脂等の有機絶縁膜によって形成されている。

[0005] 特許文献１には、シール部材とＴＦＴ基板との接着強度を高めるために、シール部材が形成される領域において有機絶縁膜からなる層間絶縁膜を除去して、そのＴＦＴ基板を構成しているガラス基板又は無機絶縁膜（パッシベーション膜やゲート絶縁膜等）を露出させることが開示されている。

[0006] また、特許文献２には、図５３に示すように、ＴＦＴ基板１００について、ＴＦＴ１０５及び信号線１０７を覆うオーバーコート膜１０９の平坦な表面に、信号線１０７とＴＦＴ１０５のドレイン電極１０３とが重なる領域よ

りもやや大きい領域に重なる保護膜 110 を設けると共に、その保護膜 110 を画素電極 104 と同じ材料 (ITO) によって形成することが開示されている。そのことにより、オーバーコート膜 109 に欠陥があっても、当該欠陥の下に信号線 107 に断線が生じないようにしている。

## 先行技術文献

## 特許文献

[0007] 特許文献1：特開平 10-186381 号公報

特許文献2：特開 2000-171832 号公報

## 発明の概要

## 発明が解決しようとする課題

[0008] ところで、TFT基板の非表示領域に、所定のマークを形成することが知られている。このマークは、例えば、TFT基板と対向基板とのアライメント用のマーク、TFT基板と対向基板とのズレ量を測定するためのマーク、及びガラス基板を分断する際の分断ラインのズレ量を測定するためのマーク等である。上記マークは、ゲート配線と同じ材料によって形成することが可能である。

[0009] 一方、近年、非表示領域の縮小化が進められており、TFT基板における非表示領域にシール部材が占める割合が高くなってきている。そのため、上記マークを、シール部材とが重ねて配置することが望まれる。

[0010] しかし、上記特許文献1に開示されているように、シール部材とTFT基板との接着強度を高める目的でシール部材が配置される領域において層間絶縁膜を除去すると、マークは、層間絶縁膜により覆われずに、例えばゲート絶縁膜及び半導体層等によってのみ覆われることとなる。したがって、ゲート絶縁膜等にピンホールやクラックが生じていれば、そのゲート絶縁膜等を覆う画素電極材料のエッチング時に、エッチャントがゲート絶縁膜等を透過する虞がある。その結果、エッチャントによりマークがエッチングされ、当該マークが欠損したり消失してしまう問題がある。

[0011] 本発明は、斯かる諸点に鑑みてなされたものであり、その目的とするところは、非表示領域を縮小化しながらも、非表示領域に設けたマークの欠損を防止することにある。

### 課題を解決するための手段

[0012] 上記の目的を達成するために、本発明に係るアクティブマトリクス基板は、枠状のシール部材を介して対向基板に接着されることによって表示装置を構成するアクティブマトリクス基板を対象としている。上記表示装置は、上記シール部材が設けられる枠形状の領域であるシール領域の内側に設けられた表示領域と、該表示領域の外側に形成され、上記シール領域を含む額縁状の非表示領域とを有している。

[0013] そして、絶縁性基板と、上記表示領域における上記絶縁性基板上に形成された電極層と、上記非表示領域における上記絶縁性基板上に配置されて上記電極層と同じ材料によって形成されたマークと、上記電極層及びマークをそれぞれ直接に覆う第1絶縁膜と、該第1絶縁膜の一部を覆う第2絶縁膜とを備え、上記第2絶縁膜は、上記シール領域の少なくとも一部において上記絶縁性基板上から除去されており、上記マークは、上記第2絶縁膜が除去された領域に配置されると共に、上記シール領域の少なくとも一部に重なるように設けられ、上記絶縁性基板上には、上記マークを覆っている第1絶縁膜の側面及び当該第1絶縁膜の絶縁性基板と反対側の表面を覆う保護膜が形成されている。

[0014] また、本発明に係るアクティブマトリクス基板の製造方法は、枠状のシール部材を介して対向基板に接着されることによって表示装置を構成するアクティブマトリクス基板を製造する方法を対象としている。上記表示装置は、上記シール部材が設けられる枠形状の領域であるシール領域の内側に設けられた表示領域と、該表示領域の外側に形成され、上記シール領域を含む額縁状の非表示領域とを有している。

[0015] そして、絶縁性基板上の上記表示領域に電極層を形成すると共に、上記絶縁性基板上の上記非表示領域に上記電極層と同じ材料からなるマークを上記

シール領域に重なるように形成する工程と、上記絶縁性基板上に上記電極層及びマークをそれぞれ直接に覆う第１絶縁膜を形成する工程と、上記第１絶縁膜の一部を覆うと共に、上記シール領域の少なくとも一部及び上記マークが形成されている領域から除去された第２絶縁膜を形成する工程と、上記絶縁性基板上に上記第１絶縁膜及び第２絶縁膜を覆う材料層を形成した後に、上記材料層の表面にレジストパターンを形成し、当該レジストパターンから露出している上記材料層をエッチングすることにより、上記マークを覆っている第１絶縁膜の側面及び当該第１絶縁膜の絶縁性基板と反対側の表面を覆う保護膜を形成する工程とを有する。

### 発明の効果

[0016] 本発明によれば、マークを覆っている第１絶縁膜が例えばピンホールやクラック等を有していたとしても、材料層のエッチングの際に、その第１絶縁膜が保護膜（材料層）及びレジストパターンによって覆われることにより、エッチャントが第１絶縁膜を透過してマークを欠損させることを防止できる。

[0017] しかも、マークを覆っている第１絶縁膜の側面及び当該第１絶縁膜の絶縁性基板と反対側の表面が保護膜によって覆われるようにレジストパターンが形成されるため、第１絶縁膜の厚みが特に薄くなりやすいマークのエッジ部分においても、当該第１絶縁膜をレジストパターンによって覆うことが可能になる。その結果、マークをシール領域に配置して非表示領域を縮小化しながらも、より確実にマークの欠損を防止することができる。

### 図面の簡単な説明

[0018] [図1]図１は、本実施形態１の液晶表示装置の要部外観を示す平面図である。

[図2]図２は、液晶表示装置の要部構造を示す断面図である。

[図3]図３は、ＴＦＴ基板の角部を拡大して示す平面図である。

[図4]図４は、液晶表示装置の要部構造を拡大して示す断面図である。

[図5]図５は、ＴＦＴ基板におけるマークが形成されている領域を拡大して示す平面図である。

[図6]図6は、図5におけるVI-VI線断面を含むTFT基板の断面図である。

[図7]図7は、図5におけるVII-VII線断面を含むTFT基板の断面図である

。

[図8]図8は、周辺配線領域のゲート材料からなる配線部を示す断面図である

。

[図9]図9は、周辺配線領域のソース材料からなる配線部を示す断面図である

。

[図10]図10は、TFT基板のマーク周辺の製造工程を示す断面図である。

[図11]図11は、TFT基板のゲート材料からなる配線部周辺の製造工程を示す断面図である。

[図12]図12は、TFT基板のソース材料からなる配線部周辺の製造工程を示す断面図である。

[図13]図13は、TFT基板のマーク周辺の製造工程を示す断面図である。

[図14]図14は、TFT基板のゲート材料からなる配線部周辺の製造工程を示す断面図である。

[図15]図15は、TFT基板のソース材料からなる配線部周辺の製造工程を示す断面図である。

[図16]図16は、TFT基板のマーク周辺の製造工程を示す断面図である。

[図17]図17は、TFT基板のゲート材料からなる配線部周辺の製造工程を示す断面図である。

[図18]図18は、TFT基板のソース材料からなる配線部周辺の製造工程を示す断面図である。

[図19]図19は、TFT基板のマーク周辺の製造工程を示す断面図である。

[図20]図20は、TFT基板のゲート材料からなる配線部周辺の製造工程を示す断面図である。

[図21]図21は、TFT基板のソース材料からなる配線部周辺の製造工程を示す断面図である。

[図22]図22は、TFT基板のマーク周辺の製造工程を示す断面図である。

[図23]図23は、TF T基板のゲート材料からなる配線部周辺の製造工程を示す断面図である。

[図24]図24は、TF T基板のソース材料からなる配線部周辺の製造工程を示す断面図である。

[図25]図25は、TF T基板のマーク周辺の製造工程を示す断面図である。

[図26]図26は、TF T基板のゲート材料からなる配線部周辺の製造工程を示す断面図である。

[図27]図27は、TF T基板のソース材料からなる配線部周辺の製造工程を示す断面図である。

[図28]図28は、TF T基板のマーク周辺の製造工程を示す断面図である。

[図29]図29は、TF T基板のゲート材料からなる配線部周辺の製造工程を示す断面図である。

[図30]図30は、TF T基板のソース材料からなる配線部周辺の製造工程を示す断面図である。

[図31]図31は、TF T基板のマーク周辺の製造工程を示す断面図である。

[図32]図32は、TF T基板のゲート材料からなる配線部周辺の製造工程を示す断面図である。

[図33]図33は、TF T基板のソース材料からなる配線部周辺の製造工程を示す断面図である。

[図34]図34は、TF T基板のマーク周辺の製造工程を示す断面図である。

[図35]図35は、TF T基板のゲート材料からなる配線部周辺の製造工程を示す断面図である。

[図36]図36は、TF T基板のソース材料からなる配線部周辺の製造工程を示す断面図である。

[図37]図37は、TF T基板のマーク周辺の製造工程を示す断面図である。

[図38]図38は、TF T基板のゲート材料からなる配線部周辺の製造工程を示す断面図である。

[図39]図39は、TF T基板のソース材料からなる配線部周辺の製造工程を

示す断面図である。

[図40]図40は、TF T基板のマーク周辺の製造工程を示す断面図である。

[図41]図41は、TF T基板のゲート材料からなる配線部周辺の製造工程を示す断面図である。

[図42]図42は、TF T基板のソース材料からなる配線部周辺の製造工程を示す断面図である。

[図43]図43は、エッチング前のレジスト層に覆われた透明導電膜を示す断面図である。

[図44]図44は、エッチング後のレジストパターンに覆われた保護膜を示す断面図である。

[図45]図45は、本実施形態2におけるマーク周辺のTF T基板11の断面構造を示す図7相当図である。

[図46]図46は、本実施形態2におけるマーク周辺のTF T基板11の断面構造を示す図6相当図である。

[図47]図47は、TF T基板のマーク周辺の製造工程を示す断面図である。

[図48]図48は、エッチング後のレジストパターンに覆われた保護膜を示す断面図である。

[図49]図49は、本実施形態3におけるTF T基板の角部を拡大して示す平面図である。

[図50]図50は、本実施形態3におけるマークを拡大して示す平面図である。

[図51]図51は、本実施形態3におけるマークを拡大して示す平面図である。

[図52]図52は、本実施形態3におけるマークを拡大して示す平面図である。

[図53]図53は、従来のTF Tの構成を示す断面図である。

### 発明を実施するための形態

[0019] 以下、本発明の実施形態を図面に基づいて詳細に説明する。尚、本発明は

、以下の実施形態に限定されるものではない。

[0020] 《発明の実施形態 1》

図 1 ～図 4 4 は、本発明の実施形態 1 を示している。

[0021] 図 1 は、本実施形態 1 の液晶表示装置 1 の要部外観を示す平面図である。

図 2 は、液晶表示装置 1 の要部構造を示す断面図である。図 3 は、T F T 基板 1 1 の角部を拡大して示す平面図である。図 4 は、液晶表示装置 1 の要部構造を拡大して示す断面図である。

[0022] 図 5 は、T F T 基板 1 1 におけるマーク 2 5 が形成されている領域を拡大して示す平面図である。図 6 は、図 5 におけるVI－VI線断面を含むT F T 基板 1 1 の断面図である。図 7 は、図 5 におけるVII－VII線断面を含むT F T 基板 1 1 の断面図である。図 8 は、周辺配線領域 1 7 のゲート材料からなる配線部を示す断面図である。図 9 は、周辺配線領域 1 7 のソース材料からなる配線部を示す断面図である。

[0023] また、図 4 3 は、エッチング前のレジスト層 5 4 に覆われた透明導電膜を示す断面図である。図 4 4 は、エッチング後のレジストパターン 5 5 に覆われた保護膜 4 5 を示す断面図である。

[0024] 本実施形態では、アクティブマトリクス基板としてのT F T 基板 1 1 を備えた液晶表示装置 1 を、表示装置の例として説明する。

[0025] 液晶表示装置 1 は、液晶表示パネル 1 0 と、この液晶表示パネル 1 0 に対向して配置された照明装置であるバックライトユニット（不図示）とを有している。

[0026] 液晶表示パネル 1 0 は、図 1、図 2 及び図 4 に示すように、アクティブマトリクス基板に構成された第 1 基板であるT F T 基板 1 1 と、このT F T 基板 1 1 に対向して配置された第 2 基板である対向基板 1 2 と、T F T 基板 1 1 及び対向基板 1 2 の間に封入された液晶層 1 3 とを有している。

[0027] 対向基板 1 2 は、カラーフィルタ（図示省略）及び共通電極（図示省略）等が形成された絶縁性基板である矩形状のガラス基板 2 2 を有している。

[0028] T F T 基板 1 1 及び対向基板 1 2 の間には、これらのT F T 基板 1 1 及び

対向基板 12 同士を互いに接着する枠形状のシール部材 14 が介在されている。液晶層 13 はシール部材 14 によって囲まれている。シール部材 14 は、例えば紫外線硬化型のエポキシ系樹脂によって構成されている。

[0029] また、液晶表示パネル 10 は、図 1、図 3 及び図 4 に示すように、シール部材 14 が設けられる枠形状の領域であるシール領域 20 の内側に設けられた表示領域 15 と、表示領域 15 の外側に形成され、シール領域 20 を含む額縁状の非表示領域 16 とを有している。

[0030] ここで、TFT 基板 11 及び対向基板 12 の液晶層 13 側表面には、配向膜（図示省略）がそれぞれ形成されている。

[0031] 表示領域 15 は画像が表示される領域であり、当該表示領域 15 には、マトリクス状に配置された複数の画素（図示省略）が形成されている。非表示領域 16 には、図 3 に示すように、シール領域 20 と表示領域 15 との間に周辺配線領域 17 が形成されている。

[0032] TFT 基板 11 は、互いに並行して延びる複数のソース配線（図示省略）と、これらに直交して延びる複数のゲート配線（図示省略）とが形成された絶縁性基板である矩形状のガラス基板 21 を有している。ガラス基板 21 には、さらに、各ゲート配線に沿ってそれぞれ延びる複数の Cs 配線（図示省略）が形成されている。Cs 配線は、各画素に形成される補助容量に所定の電圧を印加するための配線である。

[0033] TFT 基板 11 の一辺の非表示領域 16 には、複数の端子（図示省略）が形成され、液晶表示パネル 10 を駆動するためのドライバチップ 18 が実装される端子領域 19 が形成されている。

[0034] 上記周辺配線領域 17 は、図 8 及び図 9 に示すように、ゲート配線と同じ材料からなる引き出し配線（図示省略）、COM 配線（図示省略）及び検査用配線（図示省略）等の第 1 配線部 41 と、ソース配線と同じ材料からなる引き出し線（図示省略）、Cs 幹配線（図示省略）及び検査用配線（図示省略）等の第 2 配線部 42 とが形成されている。COM 配線は、上記対向基板 12 の共通電極に所定の電圧を印加するための配線である。Cs 幹配線は、

上記複数のC s 配線に接続された幹配線である。

[0035] また、図4に示すように、ガラス基板21上には、画素電極31と、この画素電極31に接続されたTFT (Thin-Film Transistor: 薄膜トランジスタ) 30とが各画素毎に形成されている。

[0036] TFT 30は、例えばボトムゲート型のTFTに構成され、表示領域15におけるガラス基板21の表面に形成された電極層であるゲート電極24と、ゲート電極24を直接に覆う第1絶縁膜であるゲート絶縁膜26と、ゲート絶縁膜26の表面に形成された半導体層32とを有している。

[0037] ゲート電極は、例えば、Al合金の単層膜、又はAl膜、Cu膜、Mo膜、Ti膜若しくはこれらの積層膜によって構成されている。ゲート絶縁膜26は、例えばシリコン窒化膜(SiNx膜)等の無機絶縁膜により構成され、例えば0.4μm程度の厚みに形成されている。また、半導体層32は、例えば真性アモルファスシリコン及びn+アモルファスシリコン等によって形成されている。

[0038] 半導体層32の表面には、この半導体層32の左右両側に設けられたオーミックコンタクト層34が形成されている。オーミックコンタクト層34は、例えばn+シリコンによって構成されている。

[0039] また、対向基板12の上記半導体層32に対向する領域には、ブラックマトリクス33が形成されている。ブラックマトリクス33は、黒色の樹脂膜や、反射率が低い金属膜等によって構成されている。

[0040] オーミックコンタクト層34の表面には、ソース電極35及びドレイン電極36が形成されている。さらに、ソース電極35に接続されたソース配線37がゲート絶縁膜26の表面に形成されている。ソース配線37、ソース電極35及びドレイン電極36は、例えば、Al合金及びMoの積層膜、又はAl膜、Cu膜、Mo膜、Ti膜若しくはこれらの積層膜によって構成されている。

[0041] 本実施形態のTFT基板11は、いわゆるPixel On Pas構造を有し、上記ソース配線37、ソース電極35、ドレイン電極36、及びゲート絶縁膜2

6の一部は、パッシベーション膜28と第2絶縁膜である層間絶縁膜27とによって覆われている。パッシベーション膜28は、例えばシリコン窒化膜により構成され、0.1~0.7 $\mu\text{m}$ の厚みであって例えば0.3 $\mu\text{m}$ 程度の厚みに形成されている。層間絶縁膜27は、例えば感光性を有するアクリル系樹脂等の有機絶縁膜によって構成され、パッシベーション膜28の表面に1.0~4.0 $\mu\text{m}$ の厚みであって例えば3.0 $\mu\text{m}$ 程度の厚みで形成されている。

[0042] 層間絶縁膜27及びパッシベーション膜28には、ドレイン電極36の上方位置にコンタクトホール39貫通形成されている。そして、表示領域15における層間絶縁膜27の表面には、ITO等の透明導電膜からなる画素電極40が形成されている。画素電極40は、コンタクトホール39を介してドレイン電極36に接続されている。

[0043] 一方、非表示領域16におけるガラス基板21上には、ゲート電極24と同じ材料によって形成されたマーク25が配置されている。マーク25は、例えば、TFT基板及び対向基板12同士を貼り合わせる際の位置合わせに用いるアライメントマークである。

[0044] 図5に示すように、マーク25は、ガラス基板21の表面の法線方向から見て、例えば矩形リング状のパターンに形成されている。マーク25の外形の一边の長さは例えば180 $\mu\text{m}$ であり、内側の一边の長さは例えば122 $\mu\text{m}$ である。

[0045] 一方、対向基板12の非表示領域16にも、マーク23が形成されている。マーク23は例えば、ブラックマトリクス33を形成する材料と同じ材料で、一边の長さが100 $\mu\text{m}$ の正方形に形成されている。そうして、マーク23がマーク25の内側に配置されるようにして、対向基板12をTFT基板11に対して位置合わせするようになっている。

[0046] 例えば左右方向のズレ量を計測する場合、上記マーク23の左右方向の中心線と、マーク25の左右方向の中心線との距離を自動測定機（不図示）により測定する。そのことによって、ズレ量を計測する。尚、自動測定機によ

るマーク 23, 25 の誤認が生じないように、マーク 23, 25 がズレ無く重なった状態で、マーク 23 の外縁とマーク 25 の内縁との間に  $11\ \mu\text{m}$  のギャップが設けられている。さらに、マーク 23, 25 の周囲  $50\ \mu\text{m}$  以内には、他のパターンが配置されないようになっている。

[0047] そして、非表示領域 16 におけるガラス基板 21 上には、マーク 25 を直接に覆う第 1 絶縁膜であるゲート絶縁膜 26 が形成されている。このマーク 25 を覆っているゲート絶縁膜 26 は、上記 TFT 30 のゲート電極 24 を覆っているゲート絶縁膜 26 とは分離して形成されている。

[0048] 層間絶縁膜 27 は、図 3 及び図 4 に示すように、シール領域 20 の少なくとも一部においてガラス基板 21 上から除去されている。言い換えれば、層間絶縁膜 27 が除去された除去領域 29 の少なくとも一部は、シール領域 20 と重なっている。また、除去領域 29 には、上記周辺配線領域 17 が形成されていない。すなわち、周辺配線領域 17 は、除去領域 29 以外の非表示領域 16 に形成されている。

[0049] 層間絶縁膜 27 である有機絶縁膜と、上記シール部材 14 とは、一般に接着力が比較的弱い。このように、シール領域 20 の少なくとも一部から層間絶縁膜 27 を除去することによって、シール部材 14 と TFT 基板 11 との接着強度を高めることが可能になる。

[0050] そして、マーク 25 は、層間絶縁膜 27 が除去された領域に配置されると共に、シール領域 20 の少なくとも一部に重なるように設けられている。さらに、図 4、図 6 及び図 7 に示すように、ガラス基板 21 上には、マーク 25 を覆っているゲート絶縁膜 26 の側面及び対向基板 12 側表面（すなわち、上記マーク 25 を覆っているゲート絶縁膜 26 のガラス基板 21 と反対側の表面）の全体を覆う保護膜 45 が形成されている。つまり、マーク 25 を覆っているゲート絶縁膜 26 は、その全体が保護膜 45 によって覆われている。本実施形態における保護膜 45 は、上記マーク 25 を覆っているゲート絶縁膜 26 の側面を直接に覆っている。

[0051] また、保護膜 45 は、画素電極 40 と同じ材料である ITO 等によって形

成されている。さらに、保護膜 4 5 の外縁部分は、ガラス基板 2 1 の表面に形成されている。そして、上記マーク 2 5 を覆っているゲート絶縁膜 2 6 と保護膜 4 5 との間には、上記 T F T 3 0 の半導体層 3 2 と同じ材料からなる半導体層 5 2 が介在されている。

[0052]       ー製造方法ー

次に、上記 T F T 基板 1 1 及び液晶表示装置 1 の製造方法について説明する。液晶表示装置 1 は、それぞれ予め製造した T F T 基板 1 1 と対向基板 1 2 とを液晶層 1 3 及びシール部材 1 4 を介して貼り合わせることによって製造する。

[0053]       例えば対向基板 1 2 にシール部材 1 4 を矩形枠状に描画し、そのシール部材 1 4 の枠内に液晶材料を滴下して供給する。次に、上記マーク 2 5 を用いて位置合わせした対向基板 1 2 を T F T 基板 1 1 に貼り合わせる。その後、シール部材 1 4 に紫外線を照射して当該シール部材 1 4 を硬化させる。そうして、液晶表示装置 1 を製造する。

[0054]       尚、シール部材 1 4 を描画するのは、対向基板 1 2 でなく、T F T 基板 1 1 であってもよい。

[0055]       また、本実施形態では、液晶材料の注入を滴下方式で行う場合について説明したが、枠状のシール部材に注入口（不図示）を形成し、ディップ式の真空注入を行った後に、その注入口を封止する方法を用いてもよい。

[0056]       ここで、図 1 0 ～図 4 2 を参照して、T F T 基板 1 1 の製造工程について詳細に説明する。図 1 0、図 1 3、図 1 6、図 1 9、図 2 2、図 2 5、図 2 8、図 3 1、図 3 4、図 3 7、及び図 4 0 は、T F T 基板のマーク周辺の製造工程を示す断面図である。

[0057]       また、図 1 1、図 1 4、図 1 7、図 2 0、図 2 3、図 2 6、図 2 9、図 3 2、図 3 5、図 3 8、及び図 4 1 は、T F T 基板のゲート材料からなる配線部周辺の製造工程を示す断面図である。図 1 2、図 1 5、図 1 8、図 2 1、図 2 4、図 2 7、図 3 0、図 3 3、図 3 6、図 3 9、及び図 4 2 は、T F T 基板のソース材料からなる配線部周辺の製造工程を示す断面図である。

- [0058] まず、第1の工程では、第1のフォトリソ工程により、表示領域15のガラス基板21上にゲート電極24を形成すると共に、非表示領域16のガラス基板21上にゲート電極24と同じ材料からなるマーク25をシール領域20に重なるように形成する。
- [0059] すなわち、図10～図12に示すように、非表示領域16のシール領域20におけるガラス基板21の表面に、例えばAl合金の単層膜からなるマーク25を矩形リング状に形成する。これと同時に、表示領域15におけるガラス基板21の表面にゲート電極24を形成すると共に、非表示領域16の周辺配線領域17におけるガラス基板21の表面に第1配線部41を形成する。
- [0060] 次に、第2の工程では、図13～図15に示すように、ガラス基板21上にシリコン窒化膜を0.4  $\mu\text{m}$ 程度の厚みに成膜することにより、ガラス基板21上にゲート電極24、マーク25及び第1配線部41をそれぞれ直接に覆うゲート絶縁膜26を形成する。さらに、ゲート絶縁膜26の表面に、例えば真性アモルファスシリコン及びn+アモルファスシリコン等からなる半導体材料層51を形成する。
- [0061] 次に、第3の工程では、図16～図18に示すように、第2のフォトリソ工程により、上記半導体材料層51を、マーク25上と各TFT30の形成領域とにおいて残す一方、非表示領域16において除去する。よって、図17及び図18に示すように、周辺配線領域17ではゲート絶縁膜26が露出している。こうして、TFT30の形成領域において半導体層32をゲート絶縁膜26の表面に形成すると共に、マーク25を覆うようにゲート絶縁膜26の表面に半導体層52を形成する。
- [0062] 次に、第4の工程では、図19～図21に示すように、第3のフォトリソ工程により、非表示領域16の周辺配線領域17におけるゲート絶縁膜26の表面に第2配線部42を形成する。第2配線部42は、ゲート絶縁膜26上に、例えばAl合金膜42aとMo膜42bとをこの順に成膜してフォトリソグラフィを行うことにより形成する。

[0063] 次に、第5の工程では、図22～図24に示すように、ガラス基板21上の全体にパッシベーション膜28及び層間絶縁膜（有機絶縁膜）27をこの順に積層して形成する。パッシベーション膜28は、 $0.3\mu\text{m}$ 程度の厚みのシリコン窒化膜によって形成する。層間絶縁膜27は、 $3.0\mu\text{m}$ 程度の厚みの感光性を有するアクリル系樹脂によって形成する。

[0064] 次に、第6の工程では、図25～図27に示すように、第4のフォトリソ工程により、非表示領域16の一部から層間絶縁膜27を除去することによって、除去領域29を形成する。こうして、ゲート絶縁膜26の一部を覆うと共に、シール領域20の少なくとも一部及びマーク25が形成されている領域から除去された層間絶縁膜27を形成する。

[0065] 次に、第7の工程では、図28～図30に示すように、上記層間絶縁膜27を除去した領域においてパッシベーション膜28をエッチングして除去すると共に、半導体層52に覆われていないゲート絶縁膜26も同じ工程でエッチングして除去する。このとき、半導体層52をマスクとして用いることができる。また、ゲート絶縁膜26をエッチングする際に、半導体層52の一部もエッチングされるので、半導体層52の膜厚は薄くなる。

[0066] 次に、第8の工程では、図31～図33に示すように、ガラス基板21上にゲート絶縁膜26及び層間絶縁膜27を覆う材料層としての透明導電材料層53を形成する。透明導電材料層53には、例えばITOやIZO（Indium Zinc Oxide）等を適用することができる。

[0067] その後、第9の工程では、図34～図36に示すように、上記透明導電材料層53の表面にレジスト材料を塗布してレジスト層54を形成する。

[0068] 続いて、第10の工程では、図37～図39及び図43に示すように、レジスト層54をパターンニングして、透明導電材料層53の表面にレジストパターン55を形成する。図37に示すように、シール領域20のレジストパターン55の側部57は、透明導電材料層53におけるゲート絶縁膜26の側面を覆っている部分58の外側に配置されている。一方、表示領域15では、各画素電極31の形成領域にレジストパターン55が形成されている。

[0069] 次に、第１１の工程では、図４０～図４２及び図４４に示すように、レジストパターン５５から露出している透明導電材料層５３をエッチングすることにより、マーク２５を覆っているゲート絶縁膜２６の側面及びゲート絶縁膜２６の対向基板１２側（ゲート絶縁膜２６のガラス基板２１と反対側）を覆う保護膜４５を形成する。このとき、保護膜４５は、半導体層５２の側面及び半導体層５２の対向基板１２側表面を覆う一方、レジストパターン５５によって覆われている。また、表示領域１５においてレジストパターン５５に重なっていた透明導電材料層５３によって、層間絶縁膜２７の表面に画素電極３１を形成する。

[0070] その後、レジストパターン５５をガラス基板２１上から除去して、ＴＦＴ基板１１を製造する。

[0071] ー実施形態１の効果ー

したがって、この実施形態１によると、マーク２５を覆っているゲート絶縁膜２６が例えばピンホールやクラック等を有していたとしても、透明導電材料層５３のエッチングの際に、ゲート絶縁膜２６が保護膜４５及びレジストパターン５５によって覆われることにより、エッチャントがゲート絶縁膜２６を透過してマーク２５を欠損させることを防止できる。

[0072] しかも、マーク２５を覆っているゲート絶縁膜２６の側面及び対向基板１２側が保護膜４５によって覆われるようにレジストパターン５５が形成されるため、ゲート絶縁膜２６の厚みが特に薄くなりやすいマーク２５のエッジ部分においても、当該ゲート絶縁膜２６をレジストパターン５５によって確実に覆うことができる。その結果、マーク２５をシール領域２０に配置して非表示領域１６を縮小化しながらも、より確実にマーク２５の欠損を防止することができる。

[0073] また、ゲート絶縁膜２６と保護膜４５との間に半導体層５２を設けるようにしたので、この半導体層５２によってマーク２５の欠損をより効果的に防止することができる。そうして、欠損せずに形成されたマーク２５によって、ＴＦＴ基板１１と対向基板１２とを高精度に位置合わせして互いに貼り合

わせることができる。

[0074] 《発明の実施形態 2》

図 4 5 ～ 図 4 8 は、本発明の実施形態 2 を示している。

[0075] 図 4 5 は、本実施形態 2 におけるマーク 2 5 周辺の T F T 基板 1 1 の断面構造を示す図 7 相当図である。図 4 6 は、本実施形態 2 におけるマーク 2 5 周辺の T F T 基板 1 1 の断面構造を示す図 6 相当図である。図 4 7 は、T F T 基板 1 1 のマーク 2 5 周辺の製造工程を示す断面図である。図 4 8 は、エッチング後のレジストパターン 5 5 に覆われた保護膜 4 5 を示す断面図である。

[0076] 尚、以降の各実施形態では、図 1 ～ 図 4 4 と同じ部分については同じ符号を付して、その詳細な説明を省略する。

[0077] 上記実施形態 1 では、マーク 2 5 を覆っているゲート絶縁膜 2 6 の表面に半導体層 5 2 が残存していたのに対し、本実施形態 2 は、このような半導体層 5 2 が、一旦形成された後に全て除去されたものである。すなわち、本実施形態における保護膜 4 5 は、図 4 5 及び図 4 6 に示すように、ゲート絶縁膜 2 6 の表面に直接に形成されている。

[0078] 本実施形態の液晶表示装置 1 を製造する場合には、上記実施形態 1 における第 3 の工程（第 2 のフォトリソ工程）において、半導体層 5 2 をマーク 2 5 上及び T F T 3 0 の形成領域にそれぞれ残すようにする。

[0079] その後、上記実施形態 1 における第 7 の工程において、マーク 2 5 上の半導体層 5 2 をゲート絶縁膜 2 8 のエッチングマスクとして用いている際に、その半導体層 5 2 のパターンは、エッチングによって全て除去される。ここで、T F T 3 0 の形成領域の半導体層 5 2 は、層間絶縁膜 2 7 とパッシベーション膜 2 8 で覆われているので、エッチングされない。

[0080] このように、半導体層 5 2 がマーク 2 5 上から除去される場合には、マーク 2 5 のエッジ部分の上に積層される膜（ゲート絶縁膜 2 6）の厚みが、その他の部分（例えば T F T 3 0 の形成領域）よりも薄くなってしまふ。しかし、本実施形態では、図 4 7 及び図 4 8 に示すように、マーク 2 5 のエッジ

部分においても、ゲート絶縁膜 26 をレジストパターン 55 によって確実に覆うことができるため、上記実施形態 1 と同様に、マーク 25 をシール領域 20 に配置して非表示領域 16 を縮小化しながらも、より確実にマーク 25 の欠損を防止することができる。

[0081] 《発明の実施形態 3》

図 49～図 52 は、本発明の実施形態 3 を示している。

[0082] 図 49 は、本実施形態 3 における T F T 基板 11 の角部を拡大して示す平面図である。図 50～図 52 は、本実施形態 3 におけるマーク 25 を拡大して示す平面図である。

[0083] 上記実施形態 1 では、T F T 基板 11 のシール領域 20 に、対向基板 12 の位置合わせ用のアライメントマークとしてのマーク 25 を形成したが、本発明はこれに限らず、図 49～図 52 に示すように、その他のマーク 25 を形成するようにしてもよい。

[0084] ここで、図 50 に示すマーク 25 は、ガラス基板 21 を大判のガラス基板母材から分断して製造する際の分断ラインの目印となるマークである。図 51 に示すマーク 25 は、T F T 基板 11 に対する対向基板 12 のズレ量を目視により確認するためのマークである。また、図 52 に示すマーク 25 は、上記分断ラインのズレ量を目視により確認するためのマークである。

[0085] 図 51 に示すマーク 25 は、上記実施形態 1 におけるマーク 25 と同様の構成が、2 行×4 列の合計で 8 個並んだものである。しかし、対向基板 12 のマーク 23 と T F T 基板 11 のマーク 25 とがズレ無く重なった状態で、マーク 23 の外縁とマーク 25 の内縁との間に形成されるギャップは、8 組のマーク 23, 25 のそれぞれにおいて互いに異なっている。

[0086] 各組のマーク 23, 25 のギャップは、例えば 1  $\mu$ m 刻みで 3  $\mu$ m から 10  $\mu$ m までの 8 種類の大きさに規定されている。そして、ギャップが 3  $\mu$ m であるマーク 23, 25 について、マーク 23 の外形の正方形における一辺と、マーク 25 の内縁の正方形における一辺とが接触していれば、そのズレ量が 3  $\mu$ m であると判断する。このマーク 23, 25 を用いれば、簡易にズ

レ量を検出することが可能となる。尚、高精度にズレ量を検出する場合には、上記実施形態１のマーク２３，２５を用いることが好ましい。

[0087] 《その他の実施形態》

上記各実施形態では、表示装置の例として液晶表示装置について説明したが、本発明はこれに限らず、例えば電子ブック等に用いられるマイクロカプセル型電気泳動方式の表示装置や、有機ＥＬ表示装置等の他の表示装置についても、同様に適用することができる。

[0088] 例えば、マイクロカプセル型電気泳動方式の表示装置では、バスラインによって生じる電界のＴＦＴ基板の電極に対する影響を低減するために、ＴＦＴ基板に設けられている画素電極の下に有機絶縁膜（層間絶縁膜）が形成されている。よって、当該表示装置に本発明を適用すれば、その非表示領域を縮小化しながらも、非表示領域に設けたマークの欠損を防止することができる。

[0089] また、上記各実施形態では、透明導電膜を材料層の例として説明したが、本発明はこれに限らず、透明導電膜以外の材料からなる他の層を材料層として適用することが可能である。

### 産業上の利用可能性

[0090] 以上説明したように、本発明は、アクティブマトリクス基板及びその製造方法並びに表示装置について有用である。

### 符号の説明

|        |     |              |
|--------|-----|--------------|
| [0091] | 1   | 液晶表示装置       |
|        | 1 1 | ＴＦＴ基板（第１基板）  |
|        | 1 2 | 対向基板（第２基板）   |
|        | 1 4 | シール部材        |
|        | 1 5 | 表示領域         |
|        | 1 6 | 非表示領域        |
|        | 2 0 | シール領域        |
|        | 2 1 | ガラス基板（絶縁性基板） |

|     |                 |
|-----|-----------------|
| 2 4 | ゲート電極（電極層）      |
| 2 5 | マーク             |
| 2 6 | ゲート絶縁膜（第 1 絶縁膜） |
| 2 7 | 層間絶縁膜（第 2 絶縁膜）  |
| 4 0 | 画素電極            |
| 4 5 | 保護膜             |
| 5 2 | 半導体層            |
| 5 3 | 透明導電材料層（材料層）    |
| 5 5 | レジストパターン        |

## 請求の範囲

- [請求項1]        シール部材が設けられる枠形状の領域であるシール領域の内側に設けられた表示領域と、該表示領域の外側に形成され、上記シール領域を含む額縁状の非表示領域とを有し、上記シール部材を介して対向基板に接着されることによって表示装置を構成するアクティブマトリクス基板であって、
- 絶縁性基板と、
- 上記表示領域における上記絶縁性基板上に形成された電極層と、
- 上記非表示領域における上記絶縁性基板上に配置されて上記電極層と同じ材料によって形成されたマークと、
- 上記電極層及びマークをそれぞれ直接に覆う第1絶縁膜と、
- 上記第1絶縁膜の一部を覆う第2絶縁膜とを備え、
- 上記第2絶縁膜は、上記シール領域の少なくとも一部において上記絶縁性基板上から除去されており、
- 上記マークは、上記第2絶縁膜が除去された領域に配置されると共に、上記シール領域の少なくとも一部に重なるように設けられ、
- 上記絶縁性基板上には、上記マークを覆っている第1絶縁膜の側面及び当該第1絶縁膜の絶縁性基板と反対側の表面を覆う保護膜が形成されている
- ことを特徴とするアクティブマトリクス基板。
- [請求項2]        請求項1に記載されたアクティブマトリクス基板において、
- 上記表示領域における上記第2絶縁膜の表面には、透明導電膜が形成され、
- 上記保護膜は、上記透明導電膜と同じ材料によって形成されている
- ことを特徴とするアクティブマトリクス基板。
- [請求項3]        請求項1又は2に記載されたアクティブマトリクス基板において、
- 上記第1絶縁膜は無機絶縁膜によって構成され、
- 上記第2絶縁膜は有機絶縁膜によって構成されている

ことを特徴とするアクティブマトリクス基板。

[請求項4] 請求項1乃至3の何れか1つに記載されたアクティブマトリクス基板において、

上記マークを覆っている第1絶縁膜と上記保護膜との間には、半導体層が介在されている

ことを特徴とするアクティブマトリクス基板。

[請求項5] 請求項1乃至3の何れか1つに記載されたアクティブマトリクス基板において、

上記保護膜は、上記マークを覆っている第1絶縁膜を直接に覆っている

ことを特徴とするアクティブマトリクス基板。

[請求項6] 請求項1乃至5の何れか1つに記載されたアクティブマトリクス基板において、

上記マークは、当該アクティブマトリクス基板と上記対向基板との位置合わせに用いるアライメントマークである

ことを特徴とするアクティブマトリクス基板。

[請求項7] 第1基板と、

上記第1基板に対向して配置された第2基板と、

上記第1基板及び第2基板の間に介在され、該第1基板及び第2基板同士を互いに接着する枠形状のシール部材と、

上記シール部材が設けられる枠形状の領域であるシール領域の内側に設けられた表示領域と、

上記表示領域の外側に形成され、上記シール領域を含む額縁状の非表示領域とを備えた表示装置であって、

上記第1基板は、絶縁性基板と、上記表示領域における上記絶縁性基板上に形成された電極層と、上記非表示領域における上記絶縁性基板上に配置されて上記電極層と同じ材料によって形成されたマークと、上記電極層及びマークをそれぞれ直接に覆う第1絶縁膜と、該第1

絶縁膜の一部を覆う第2絶縁膜とを有し、

上記第2絶縁膜は、上記シール領域の少なくとも一部において上記絶縁性基板上から除去されており、

上記マークは、上記第2絶縁膜が除去された領域に配置されると共に、上記シール領域の少なくとも一部に重なるように設けられ、

上記絶縁性基板上には、上記マークを覆っている第1絶縁膜の側面及び当該第1絶縁膜の絶縁性基板と反対側の表面を覆う保護膜が形成されている

ことを特徴とする表示装置。

[請求項8]

請求項7に記載された表示装置において、

上記表示領域における上記第2絶縁膜の表面には、透明導電膜が形成され、

上記保護膜は、上記透明導電膜と同じ材料によって形成されていることを特徴とする表示装置。

[請求項9]

請求項7又は8に記載された表示装置において、

上記第1絶縁膜は無機絶縁膜によって構成され、

上記第2絶縁膜は有機絶縁膜によって構成されている

ことを特徴とする表示装置。

[請求項10]

請求項7乃至9の何れか1つに記載された表示装置において、

上記マークを覆っている第1絶縁膜と上記保護膜との間には、半導体層が介在されている

ことを特徴とする表示装置。

[請求項11]

請求項7乃至9の何れか1つに記載された表示装置において、

上記保護膜は、上記マークを覆っている第1絶縁膜を直接に覆っている

ことを特徴とする表示装置。

[請求項12]

請求項7乃至11の何れか1つに記載された表示装置において、

上記マークは、上記第1基板と上記第2基板との位置合わせに用い

るアライメントマークであることを特徴とする表示装置。

[請求項13]

シール部材が設けられる枠形状の領域であるシール領域の内側に設けられた表示領域と、該表示領域の外側に形成され、上記シール領域を含む額縁状の非表示領域とを有し、上記シール部材を介して対向基板に接着されることによって表示装置を構成するアクティブマトリクス基板を製造する方法であって、

絶縁性基板上の上記表示領域に電極層を形成すると共に、上記絶縁性基板上の上記非表示領域に上記電極層と同じ材料からなるマークを上記シール領域に重なるように形成する工程と、

上記絶縁性基板上に上記電極層及びマークをそれぞれ直接に覆う第1絶縁膜を形成する工程と、

上記第1絶縁膜の一部を覆うと共に、上記シール領域の少なくとも一部及び上記マークが形成されている領域から除去された第2絶縁膜を形成する工程と、

上記絶縁性基板上に上記第1絶縁膜及び第2絶縁膜を覆う材料層を形成した後に、上記材料層の表面にレジストパターンを形成し、当該レジストパターンから露出している上記材料層をエッチングすることにより、上記マークを覆っている第1絶縁膜の側面及び当該第1絶縁膜の絶縁性基板と反対側の表面を覆う保護膜を形成する工程とを有する

ことを特徴とするアクティブマトリクス基板の製造方法。

[請求項14]

請求項13に記載されたアクティブマトリクス基板の製造方法において、

上記保護膜を形成する工程では、上記材料層としての透明導電材料層をエッチングすることによって、上記表示領域における上記第2絶縁膜の表面に透明導電膜を形成すると共に、該透明導電膜と同じ材料により上記保護膜を形成する

ことを特徴とするアクティブマトリクス基板の製造方法。

[請求項15] 請求項13又は14に記載されたアクティブマトリクス基板の製造方法において、

上記第1絶縁膜は無機絶縁膜によって構成され、

上記第2絶縁膜は有機絶縁膜によって構成されている

ことを特徴とするアクティブマトリクス基板の製造方法。

[請求項16] 請求項13乃至15の何れか1つに記載されたアクティブマトリクス基板の製造方法において、

上記第1絶縁膜を形成する工程の後に、上記マークを覆うように上記第1絶縁膜の表面に半導体層を形成する工程を有し、

上記保護膜を形成する工程では、上記半導体層を覆うように上記保護膜を形成する

ことを特徴とするアクティブマトリクス基板の製造方法。

[請求項17] 請求項13乃至15の何れか1つに記載されたアクティブマトリクス基板の製造方法において、

上記保護膜を形成する工程では、上記マークを覆っている上記第1絶縁膜の表面に直接に上記保護膜を形成する

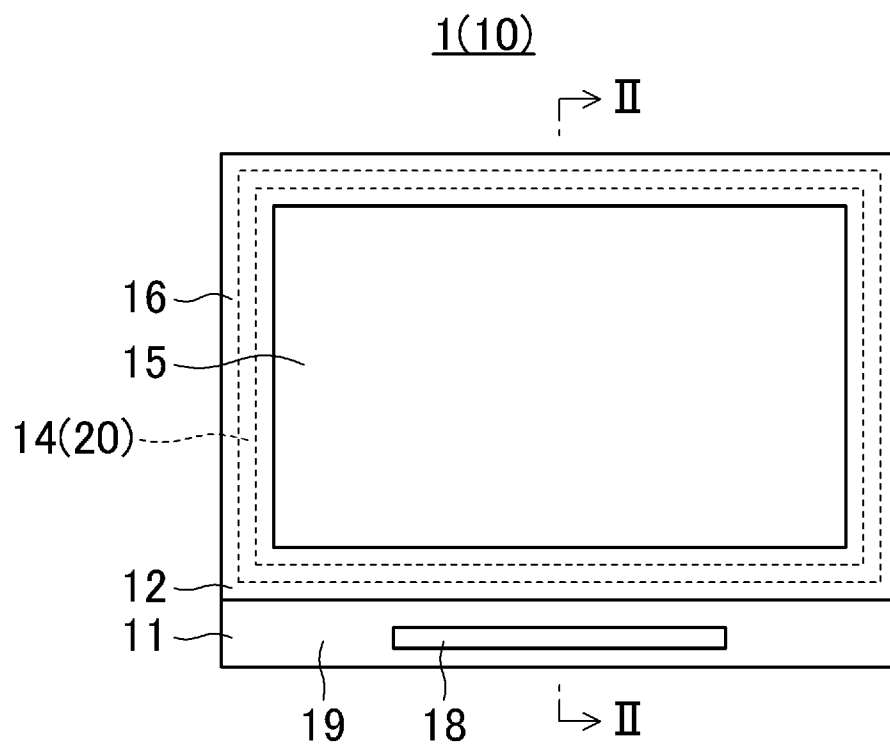
ことを特徴とするアクティブマトリクス基板の製造方法。

[請求項18] 請求項13乃至17の何れか1つに記載されたアクティブマトリクス基板の製造方法において、

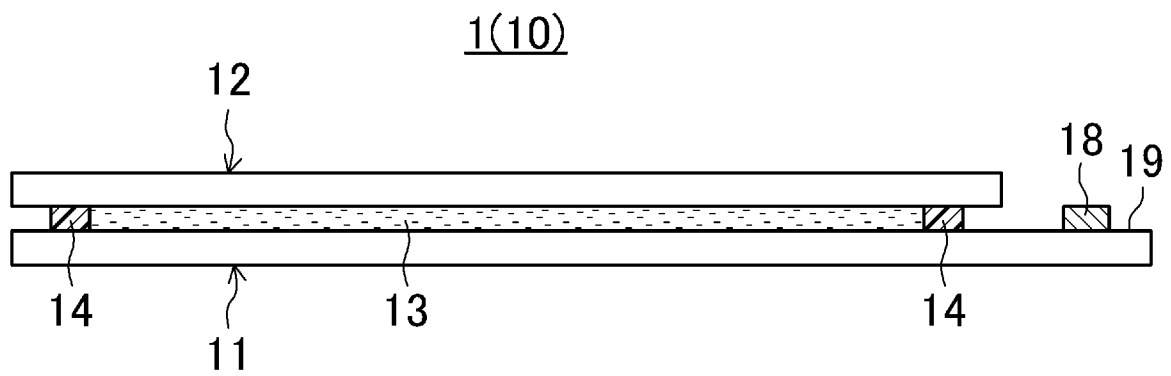
上記マークは、当該アクティブマトリクス基板と上記対向基板との位置合わせに用いるアライメントマークである

ことを特徴とするアクティブマトリクス基板の製造方法。

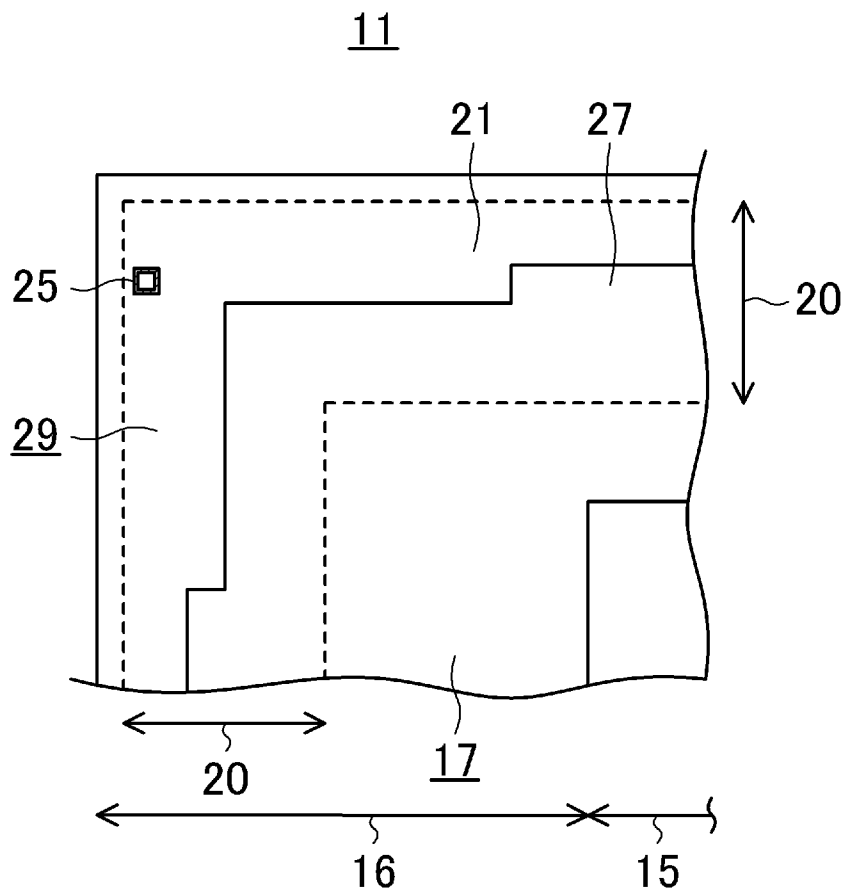
[図1]



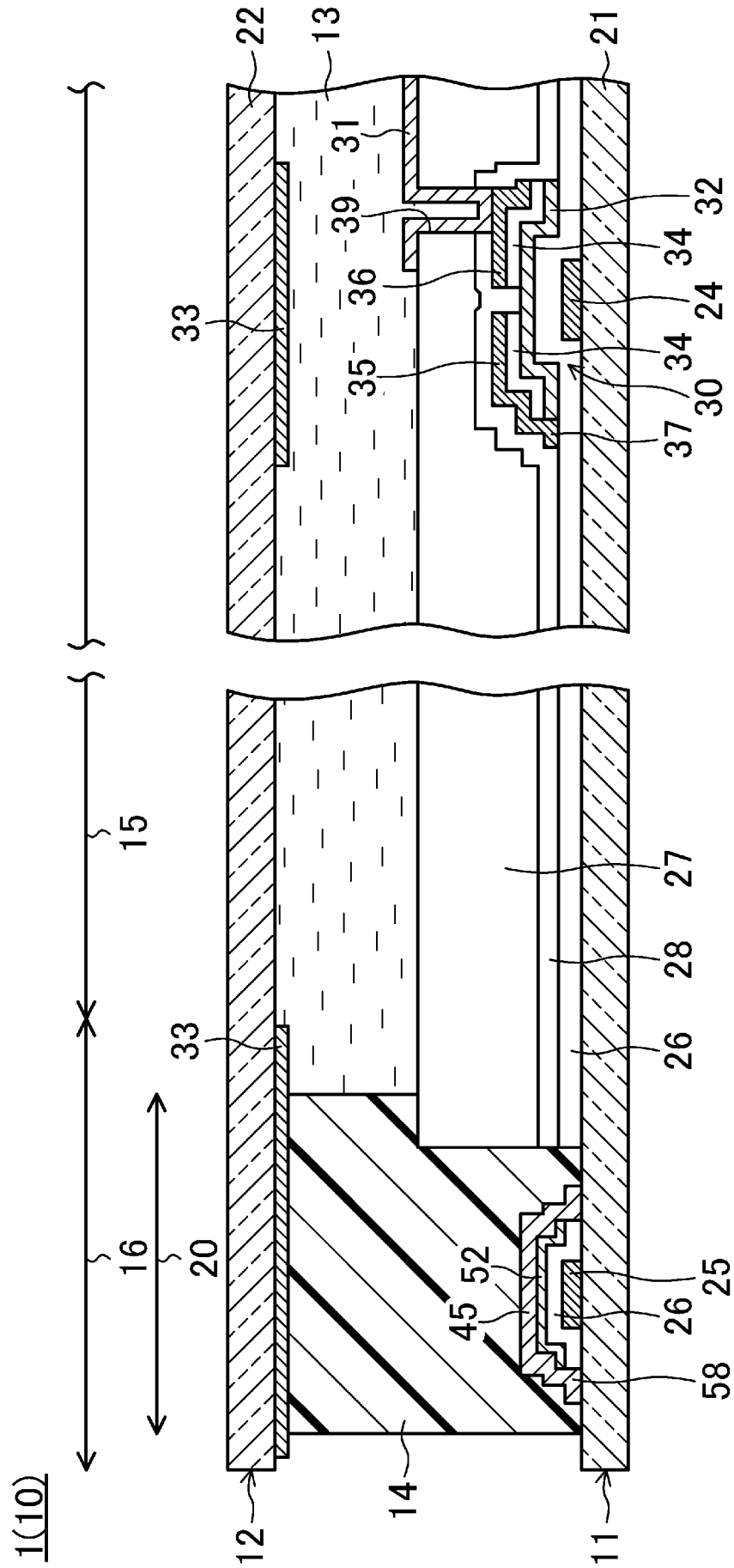
[図2]



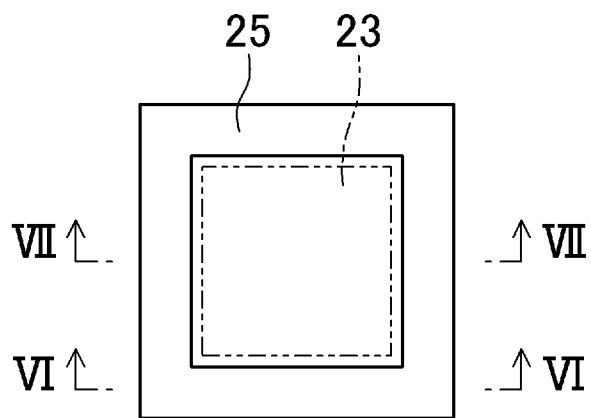
[図3]



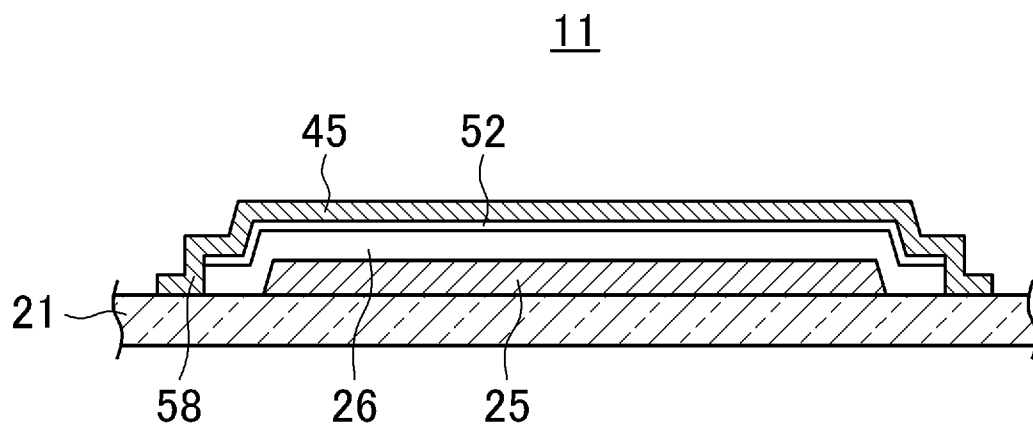
[図4]



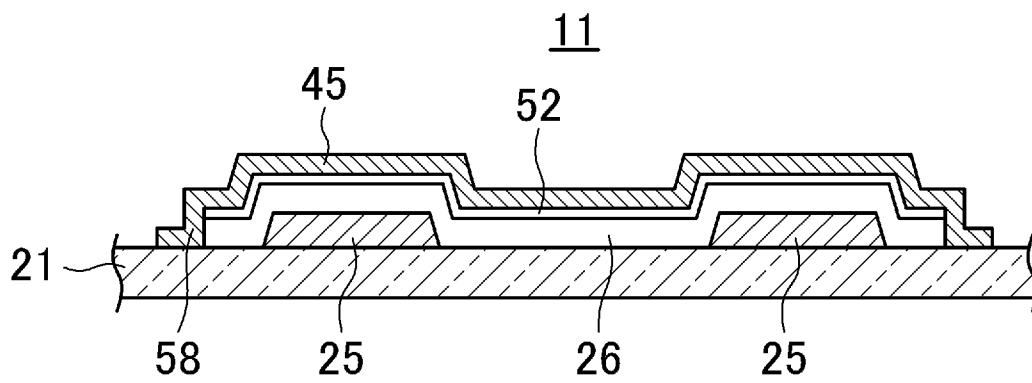
[図5]



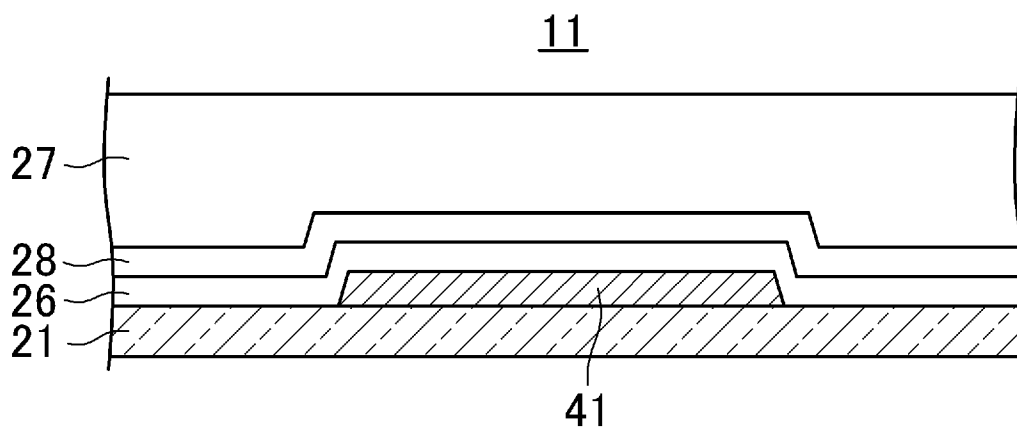
[図6]



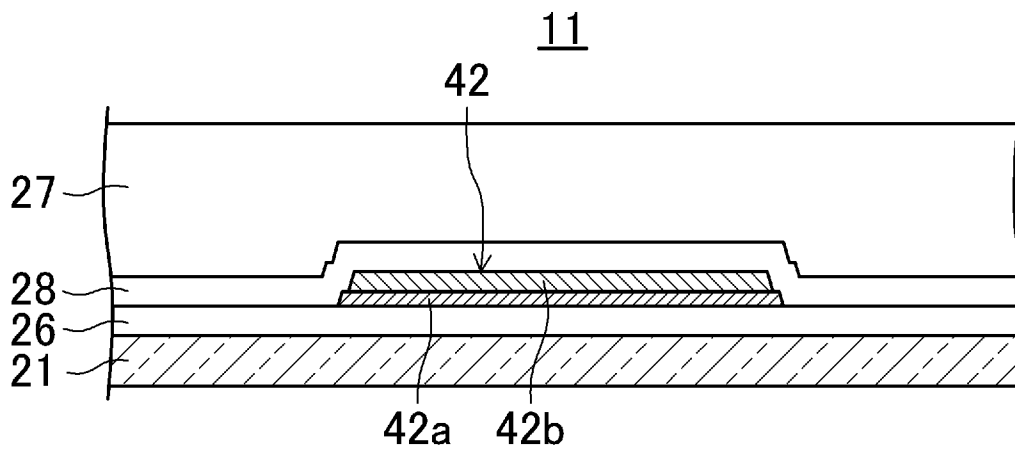
[図7]



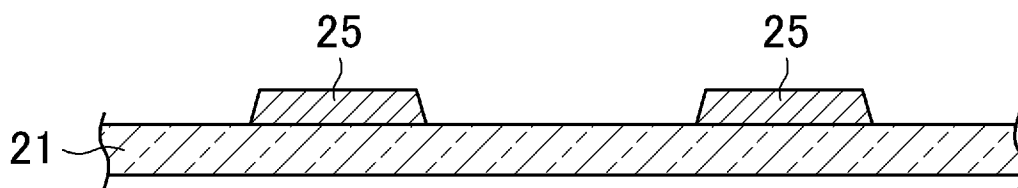
[図8]



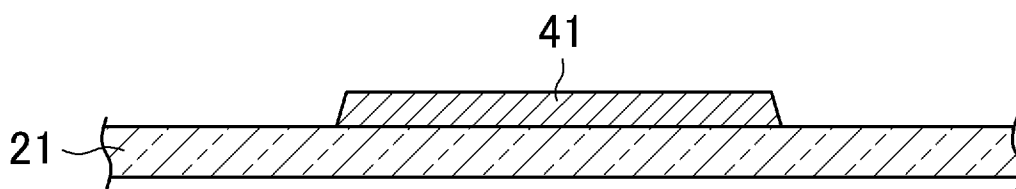
[図9]



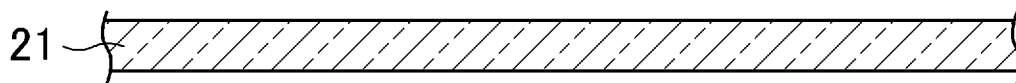
[図10]



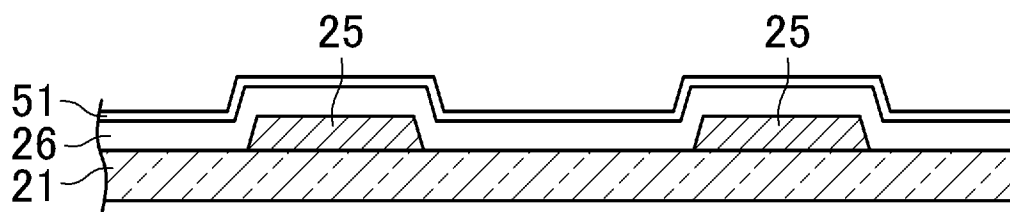
[図11]



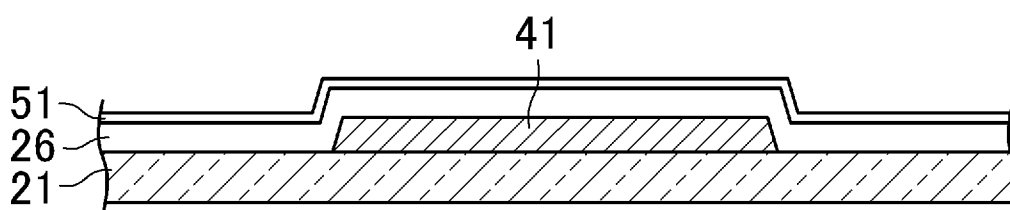
[図12]



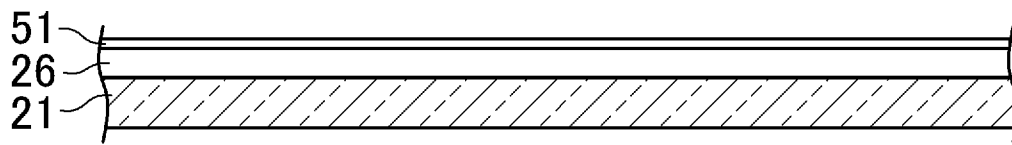
[図13]



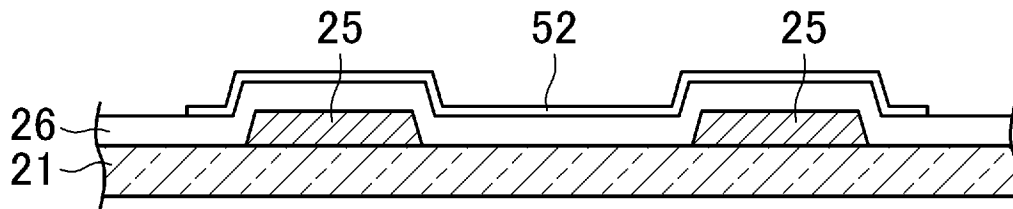
[図14]



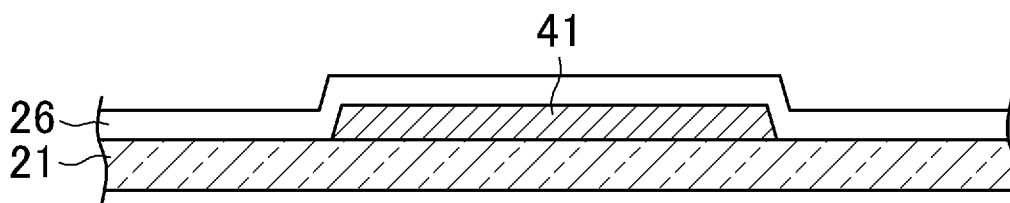
[図15]



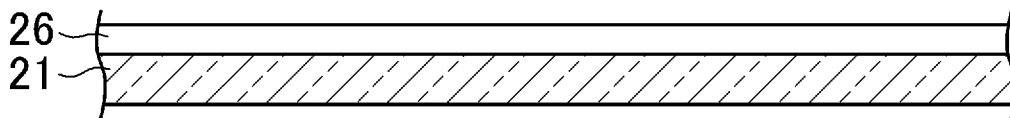
[図16]



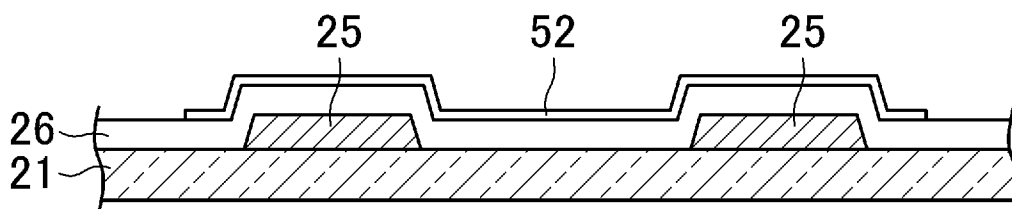
[図17]



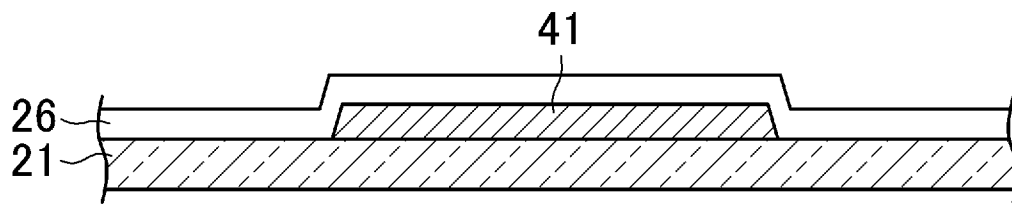
[図18]



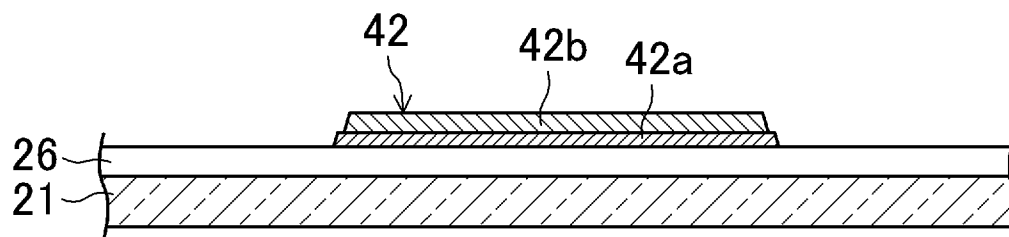
[図19]



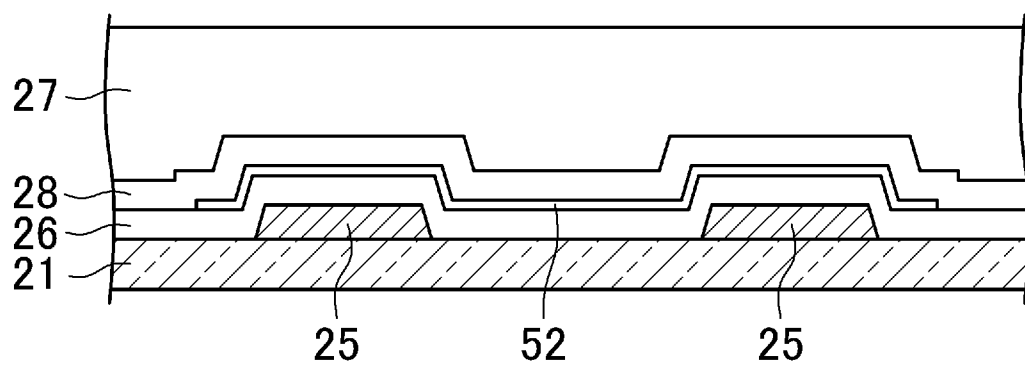
[図20]



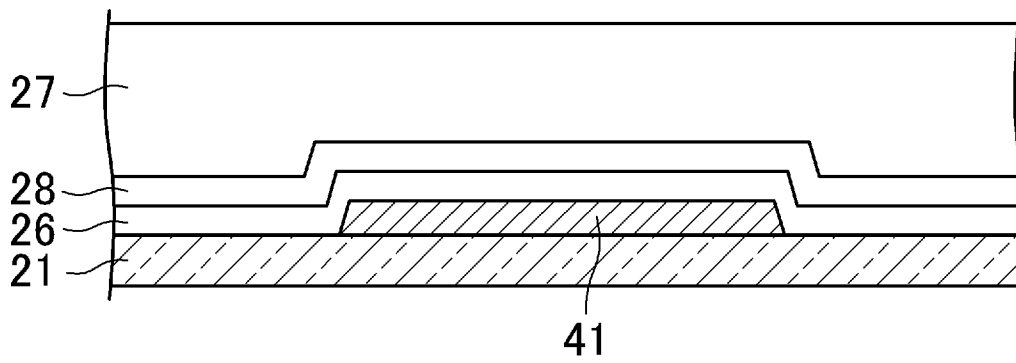
[図21]



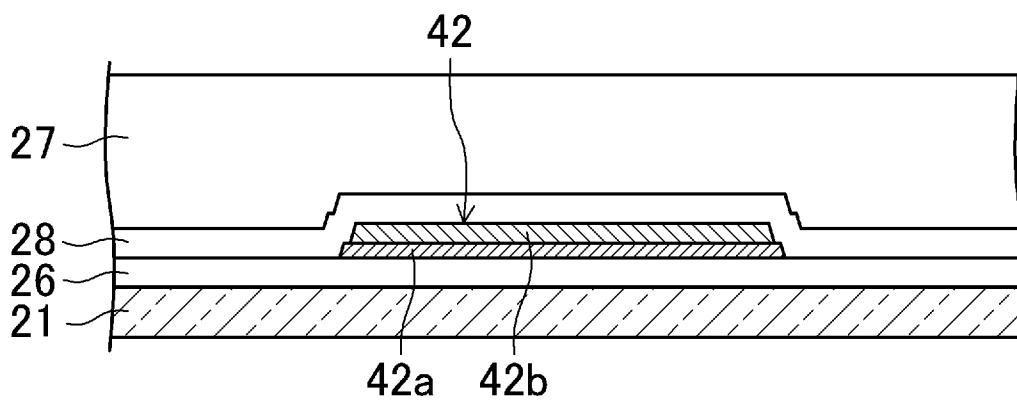
[図22]



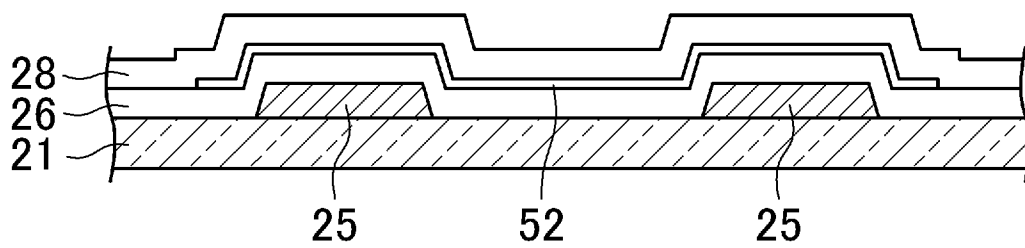
[図23]



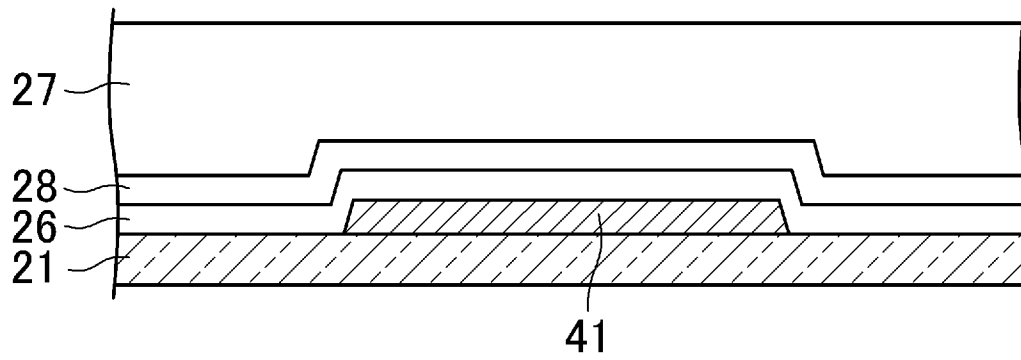
[図24]



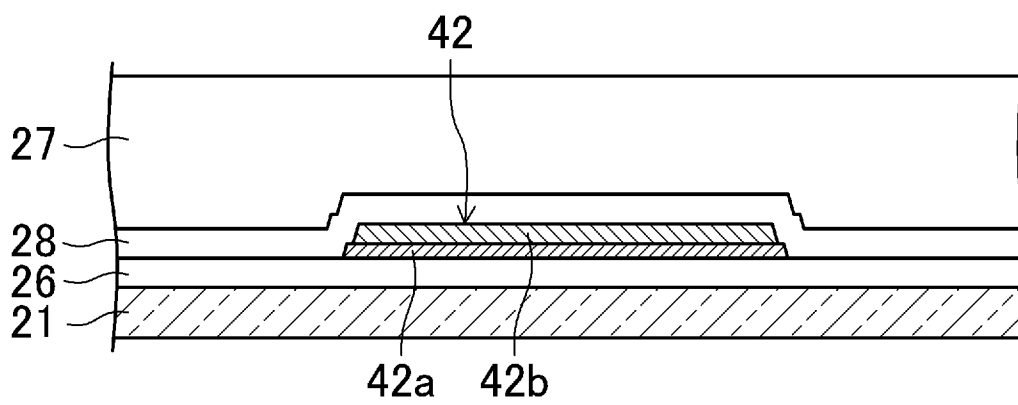
[図25]



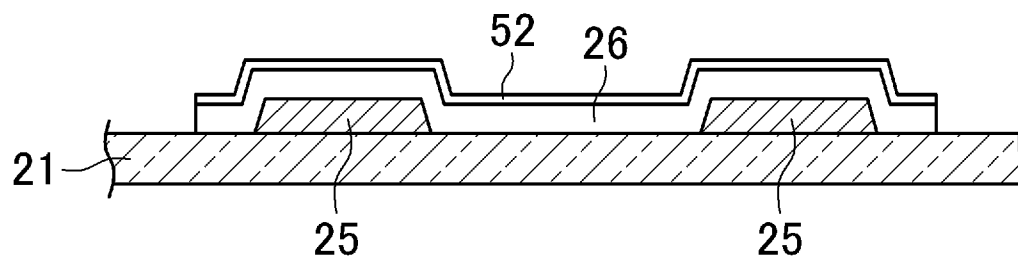
[図26]



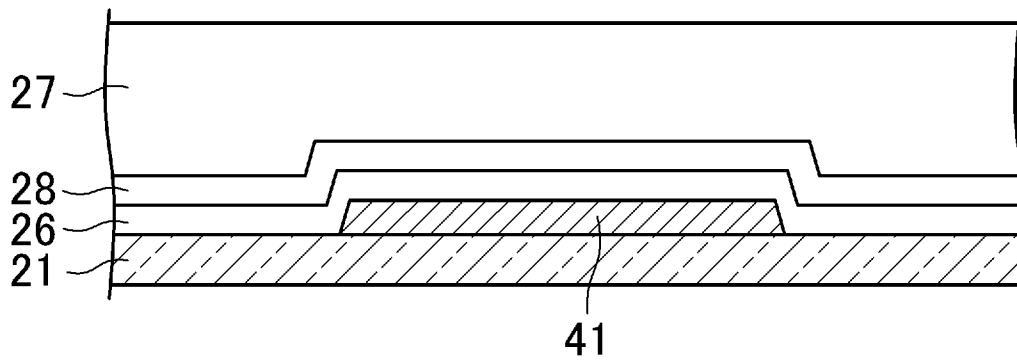
[図27]



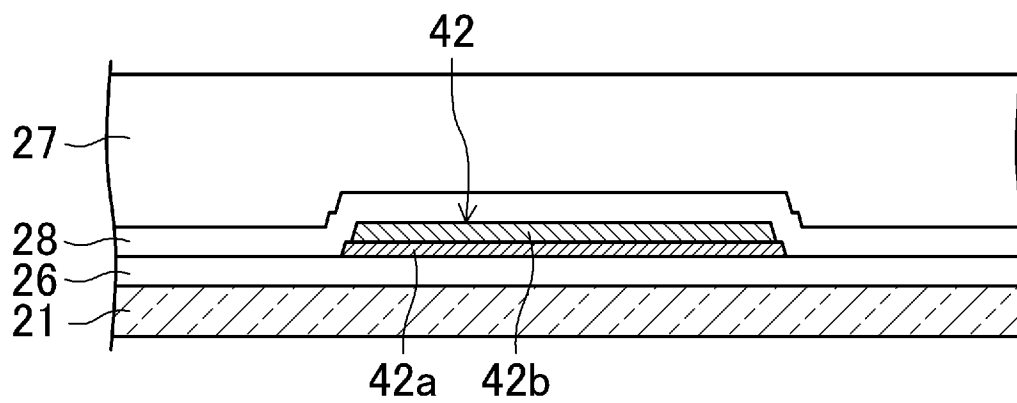
[図28]



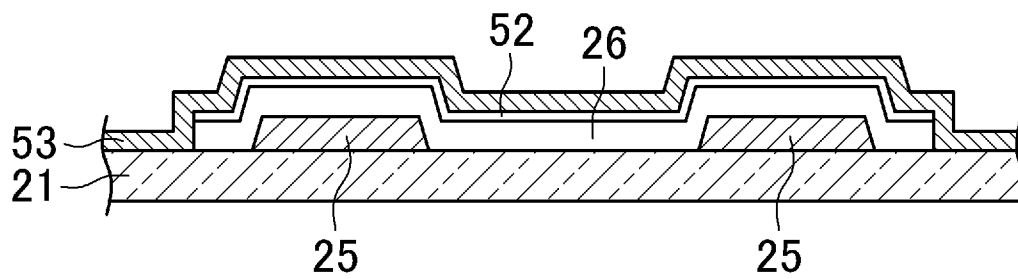
[図29]



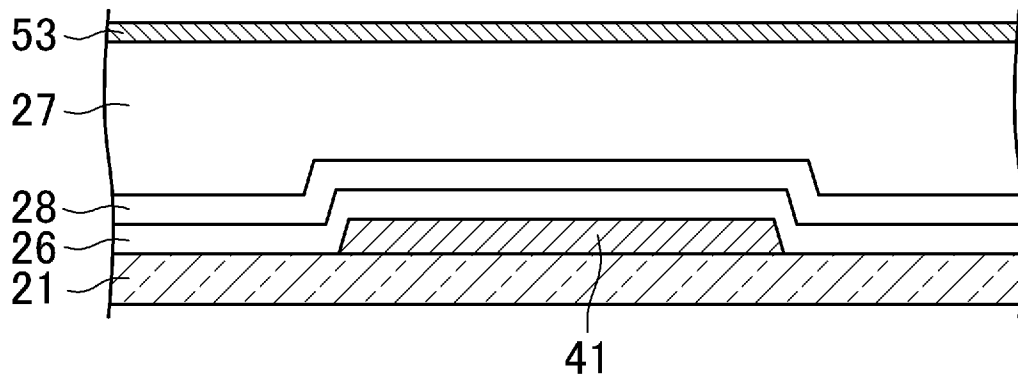
[図30]



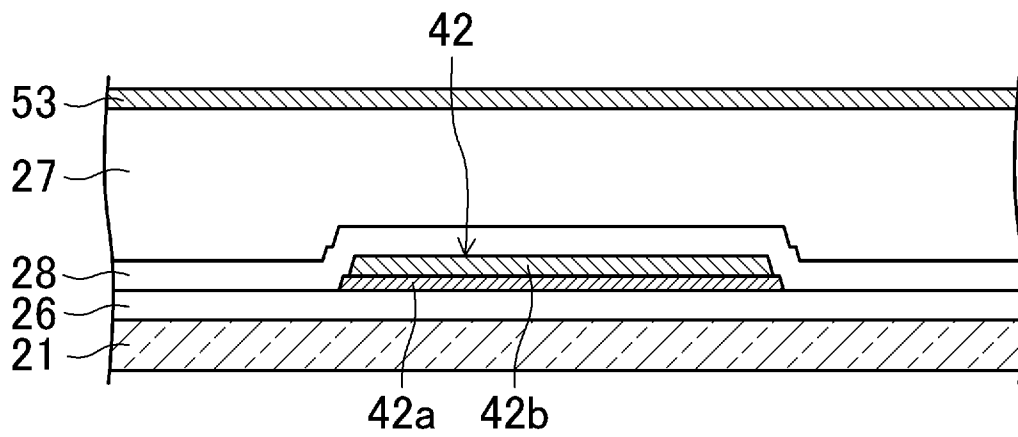
[図31]



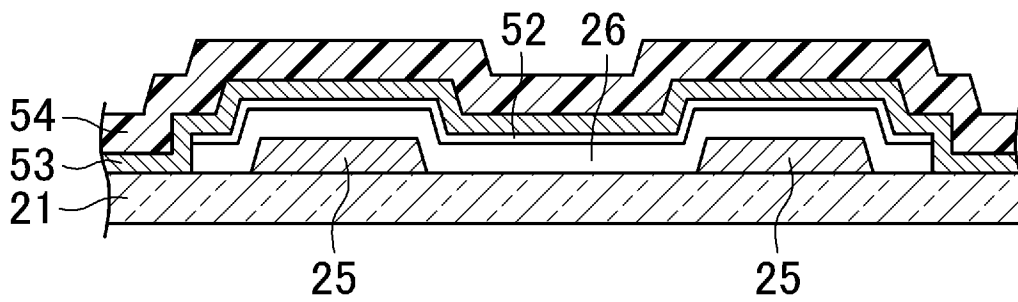
[図32]



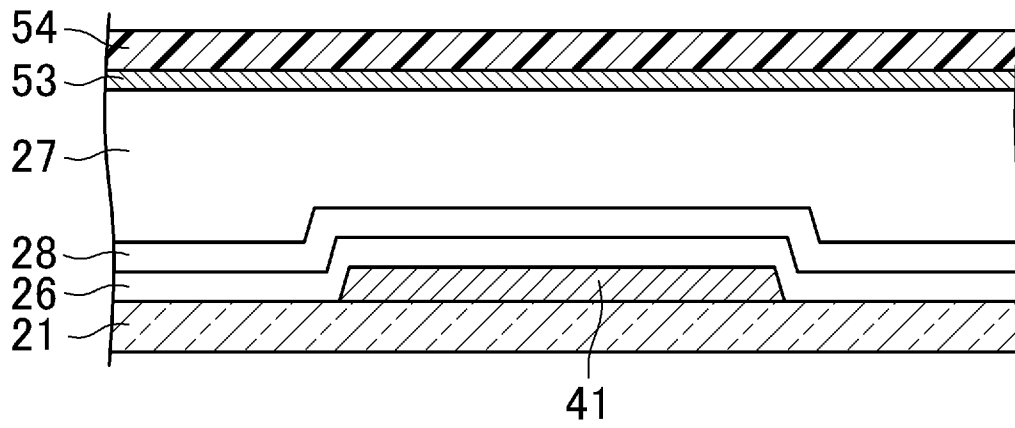
[図33]



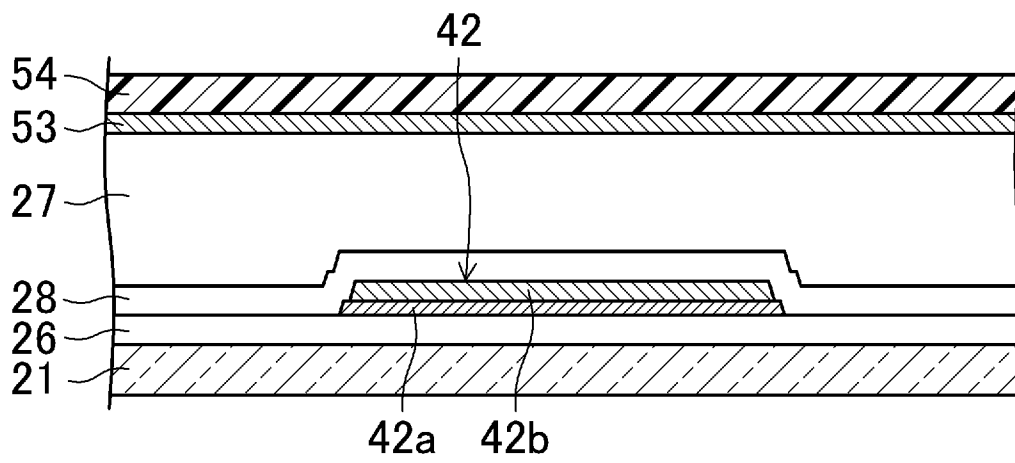
[図34]



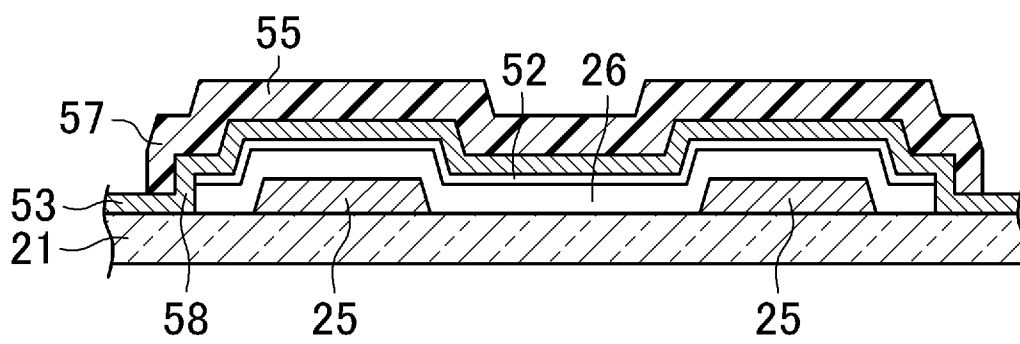
[図35]



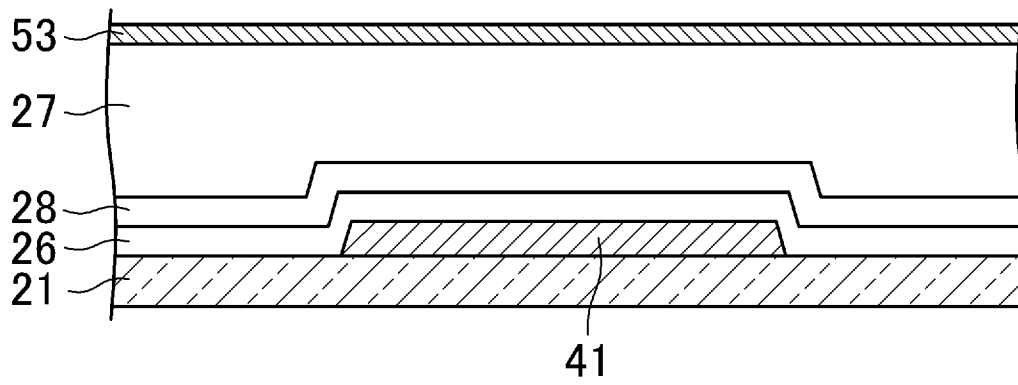
[図36]



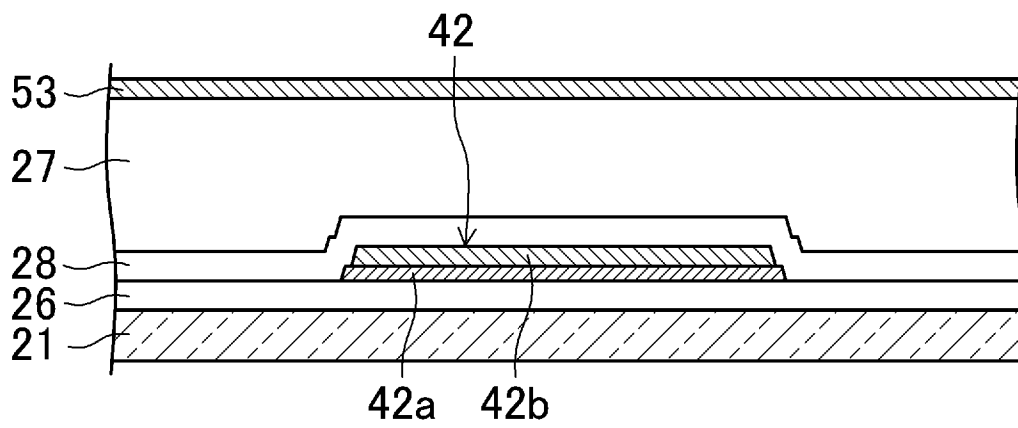
[図37]



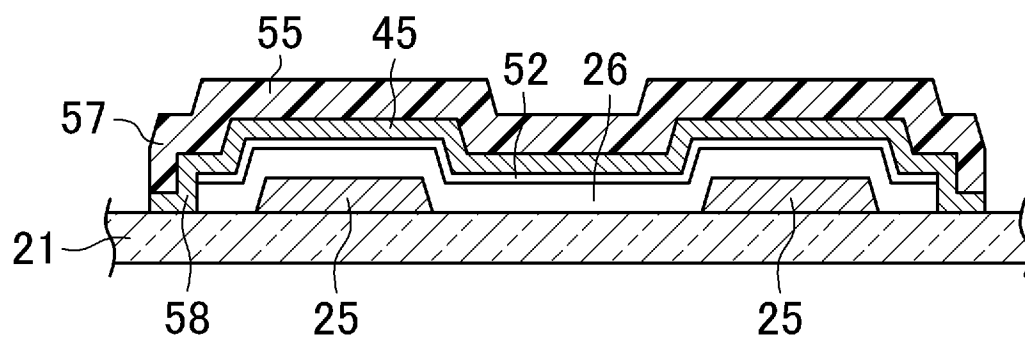
[図38]



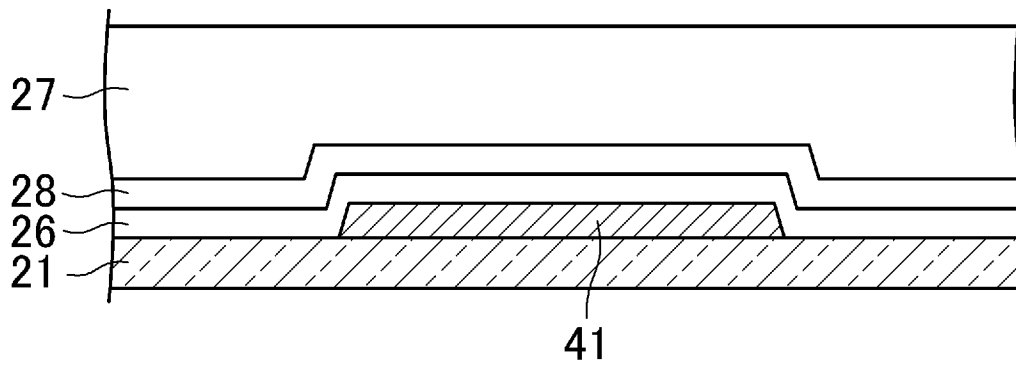
[図39]



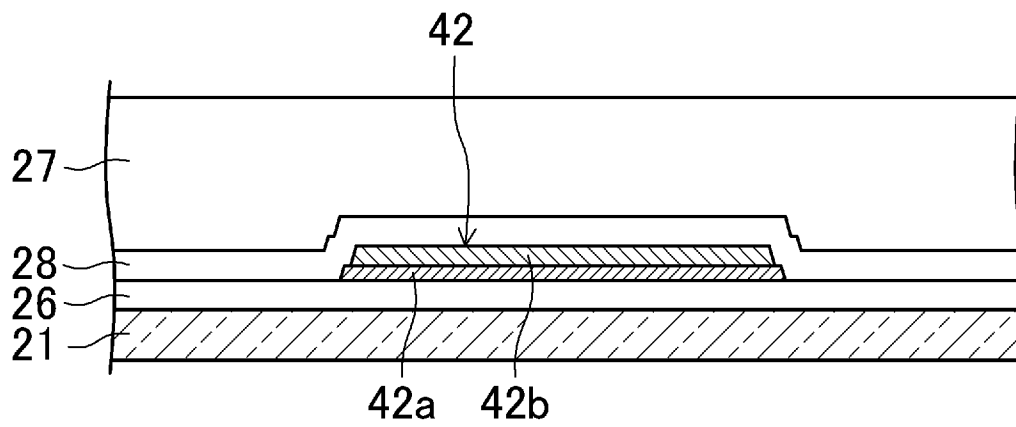
[図40]



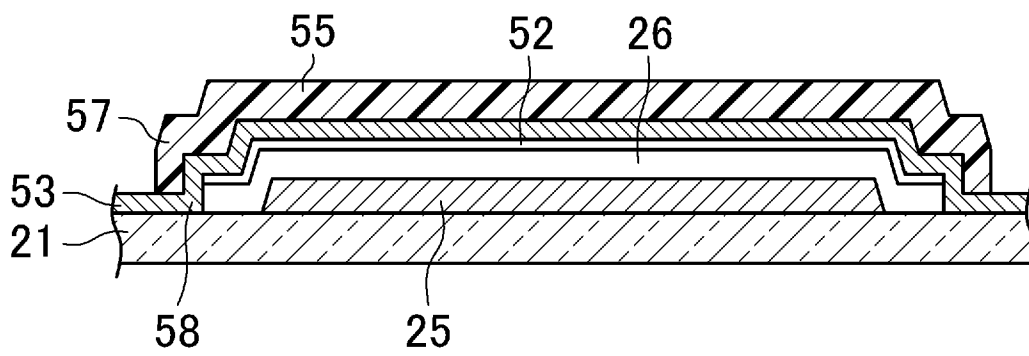
[図41]



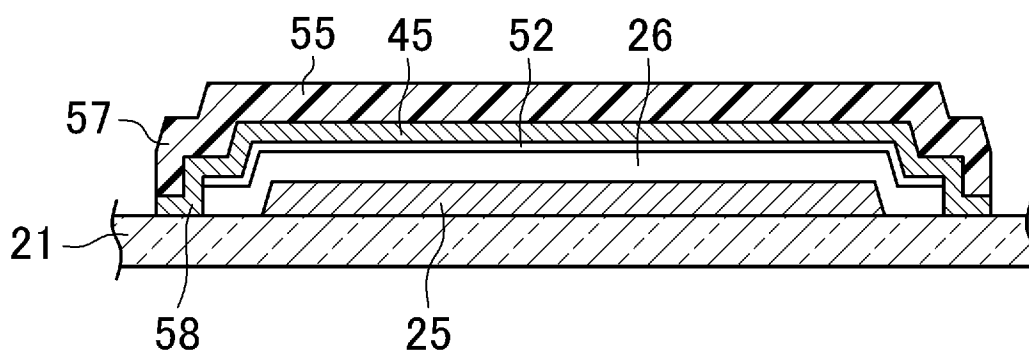
[図42]



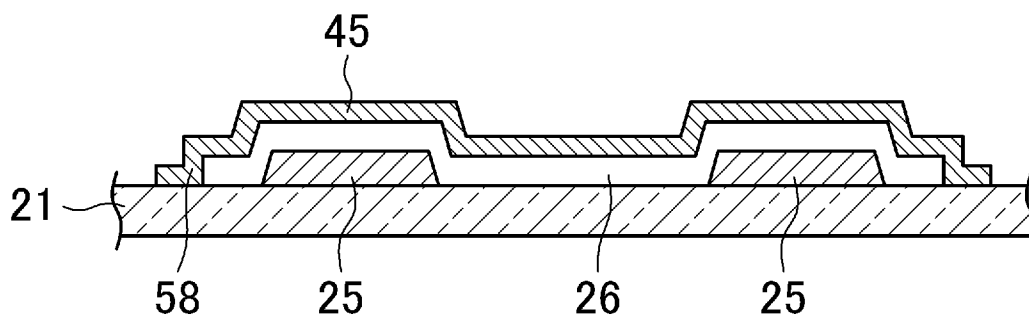
[図43]



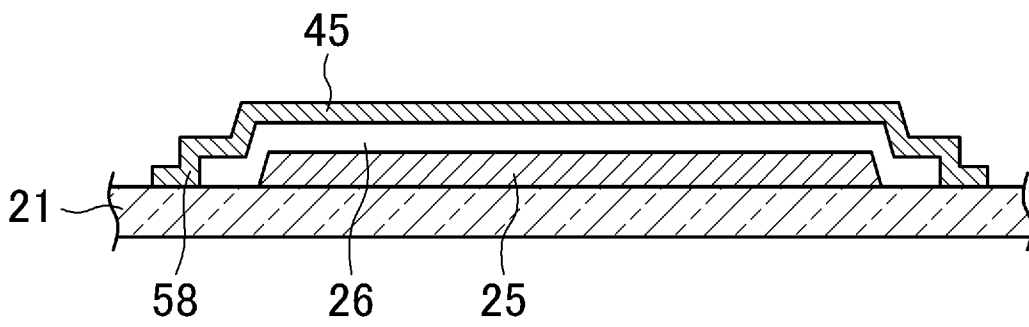
[図44]



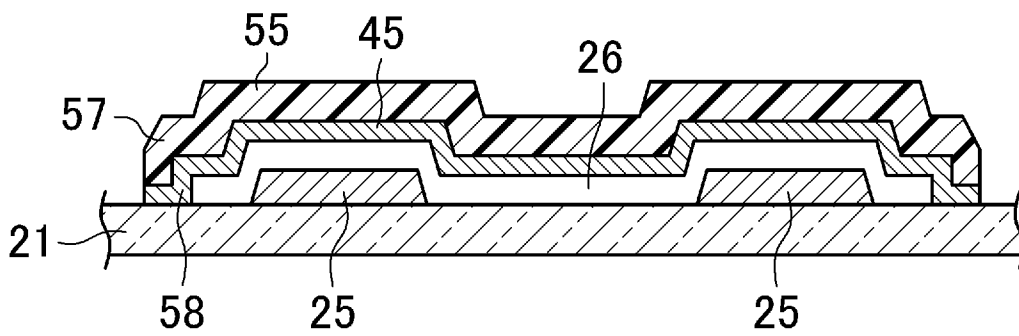
[図45]



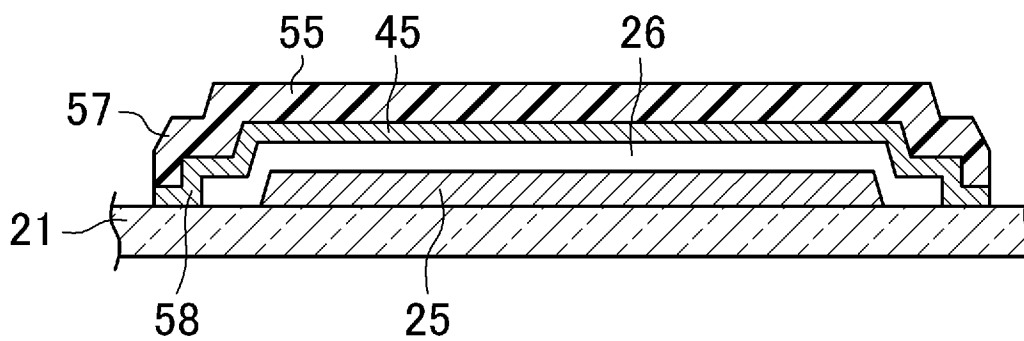
[図46]



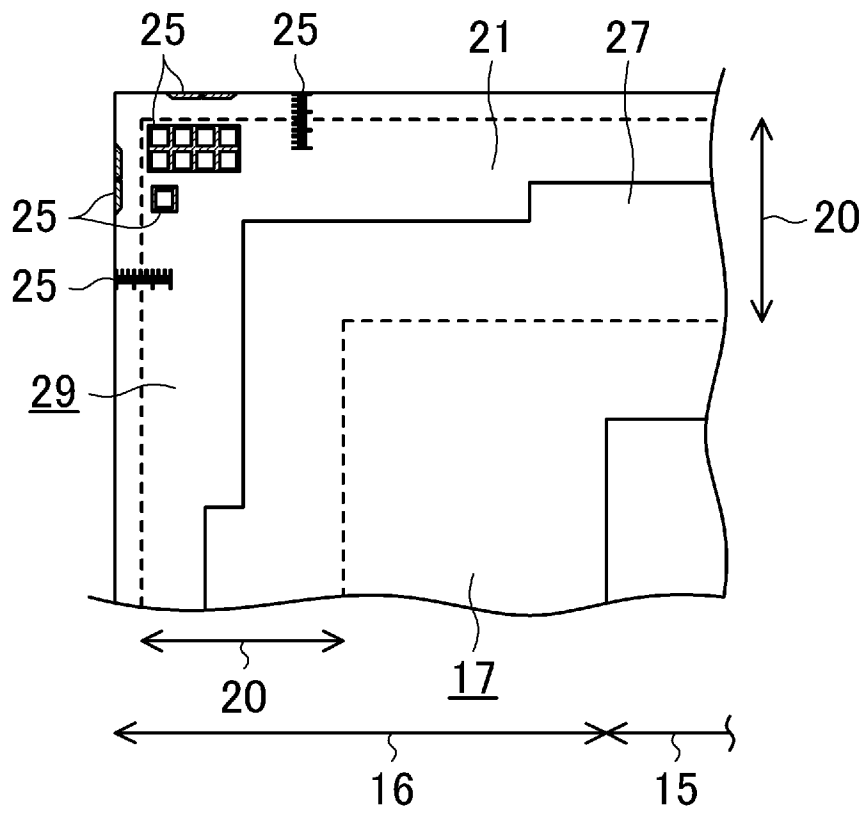
[図47]



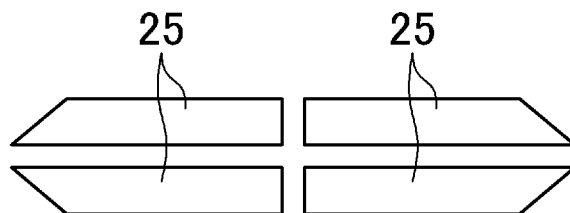
[図48]



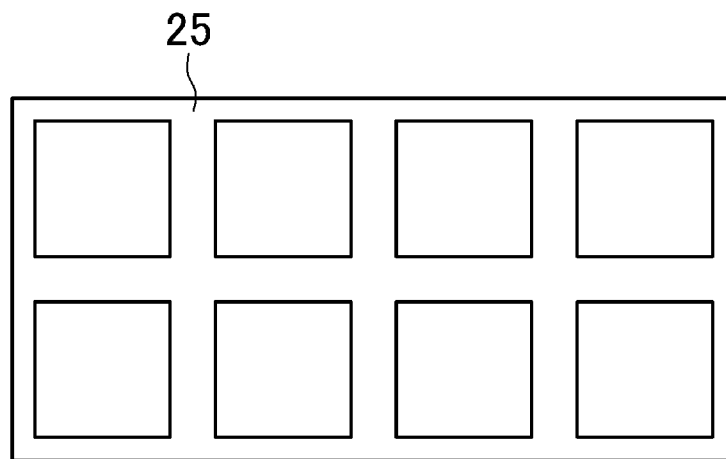
[図49]



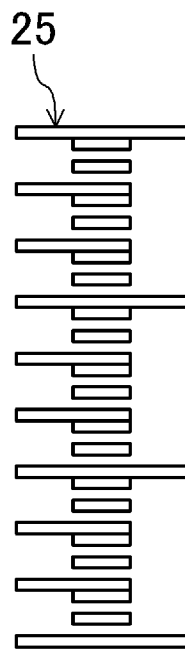
[図50]



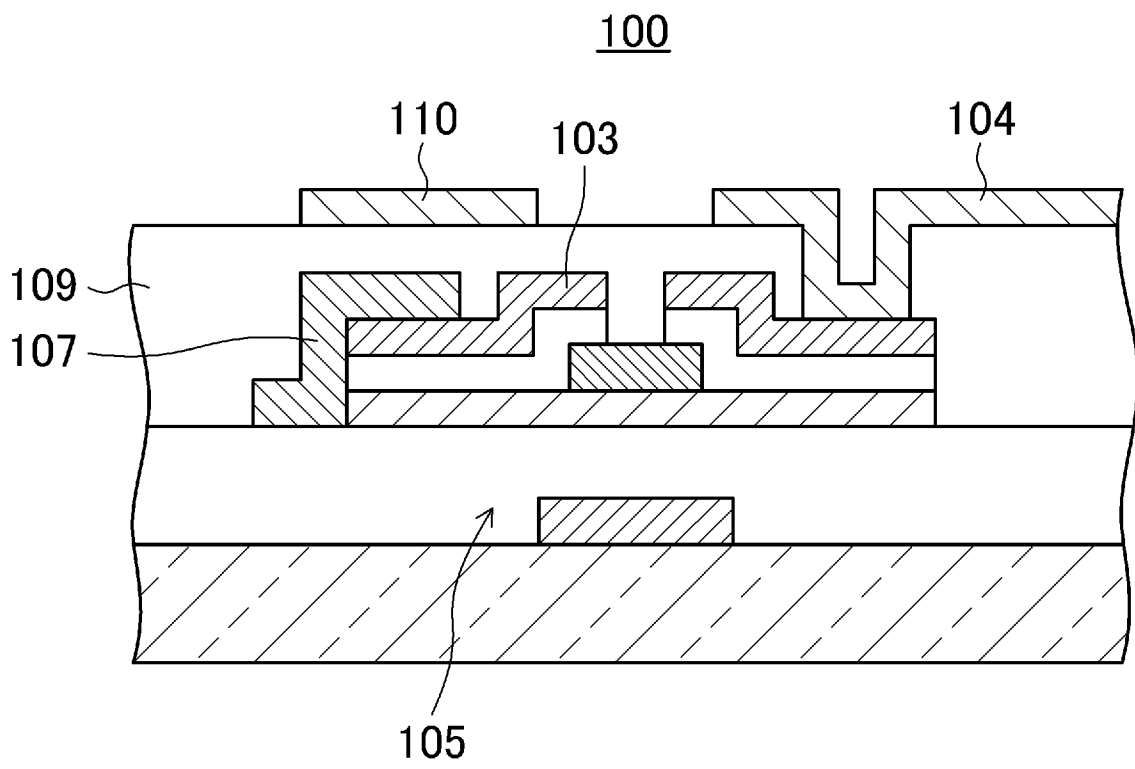
[図51]



[図52]



[図53]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/004797

## A. CLASSIFICATION OF SUBJECT MATTER

G09F9/00(2006.01)i, G02F1/1333(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/00-9/46, G02F1/13-1/141

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                          | Relevant to claim No. |
|-----------|---------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 4-58217 A (Fujitsu Ltd.),<br>25 February 1992 (25.02.1992),<br>entire text; all drawings<br>(Family: none)                               | 1-18                  |
| A         | JP 2000-356858 A (Display Technology Kabushiki<br>Kaisha),<br>26 December 2000 (26.12.2000),<br>entire text; all drawings<br>(Family: none) | 1-18                  |
| A         | JP 6-102534 A (Hitachi, Ltd.),<br>15 April 1994 (15.04.1994),<br>entire text; all drawings<br>& US 5477357 A                                | 1-18                  |

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
12 October, 2011 (12.10.11)Date of mailing of the international search report  
25 October, 2011 (25.10.11)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2011/004797

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                          | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 4-77715 A (NEC Corp.),<br>11 March 1992 (11.03.1992),<br>entire text; all drawings<br>& US 5361150 A     | 1-18                  |
| A         | JP 2001-75119 A (Canon Inc.),<br>23 March 2001 (23.03.2001),<br>entire text; all drawings<br>(Family: none) | 1-18                  |

## A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09F9/00(2006.01) i, G02F1/1333(2006.01) i, G02F1/1368(2006.01) i, G09F9/30(2006.01) i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09F9/00-9/46, G02F1/13-1/141

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 1 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 1 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 1 年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                      | 関連する<br>請求項の番号 |
|-----------------|------------------------------------------------------------------------|----------------|
| A               | JP 4-58217 A (富士通株式会社) 1992. 02. 25,<br>全文, 全図 (ファミリーなし)               | 1-18           |
| A               | JP 2000-356858 A (ディスプレイ・テクノロジー株式会社)<br>2000. 12. 26, 全文, 全図 (ファミリーなし) | 1-18           |
| A               | JP 6-102534 A (株式会社日立製作所) 1994. 04. 15,<br>全文, 全図 & US 5477357 A       | 1-18           |

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

1 2 . 1 0 . 2 0 1 1

国際調査報告の発送日

2 5 . 1 0 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田 辺 正 樹

2 I

4 4 0 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 3

| C (続き) . 関連すると認められる文献 |                                                                |                |
|-----------------------|----------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                              | 関連する<br>請求項の番号 |
| A                     | JP 4-77715 A (日本電気株式会社) 1992. 03. 11,<br>全文, 全図 & US 5361150 A | 1-18           |
| A                     | JP 2001-75119 A (キヤノン株式会社) 2001. 03. 23,<br>全文, 全図 (ファミリーなし)   | 1-18           |