

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 11 月 3 日 (03.11.2016)



(10) 国际公布号
WO 2016/173027 A1

- (51) 国际专利分类号:
H01L 21/77 (2006.01) *H01L 27/12* (2006.01)
- (21) 国际申请号: PCT/CN2015/079668
- (22) 国际申请日: 2015 年 5 月 25 日 (25.05.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510206100.4 2015 年 4 月 27 日 (27.04.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 吕晓文 (LV, Xiaowen); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
苏智昱 (SU, Chihyu); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: THIN FILM TRANSISTOR ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 薄膜晶体管阵列基板及其制作方法

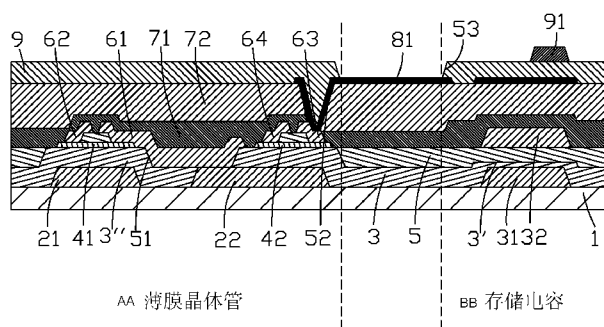


图2

AA THIN FILM TRANSISTOR

BB STORAGE CAPACITOR

(57) Abstract: A thin film transistor array substrate and a manufacturing method therefor. The thickness of a gate insulation layer (3') between two electrode plates (31, 32) of a storage capacitor is less than that of a gate insulation layer of another part, the insulation layer between the storage capacitors is thin, the relative area of the capacitor is small, and the aperture ratio is high. The method for manufacturing the thin film transistor array substrate comprises: by using a halftone masking technology, thinning a gate insulation layer at a storage capacitor in twice etching. Accordingly the thickness of an insulation layer between the storage capacitors is reduced; under the condition that a same capacitance is required, the relative area of the metal of the two electrode plates of the storage capacitor can be reduced, thereby improving the aperture ratio.

(57) 摘要: 一种薄膜晶体管阵列基板及其制作方法, 薄膜晶体管阵列基板的存储电容的两电极板 (31, 32) 之间的栅极绝缘层 (3') 的厚度小于其他部分的栅极绝缘层的厚度, 存储电容间绝缘层厚度较薄, 电容相对面积较小, 具有较高的开口率。薄膜晶体管阵列基板的制作方法包括: 采用半色调掩膜工艺, 通过两次蚀刻, 将存储电容处的栅极绝缘层打薄, 减小存储电容间绝缘层的厚度, 在需要同样电容大小的条件下, 可以减小存储电容两电极板的金属相对面积, 从而提高开口率。

WO 2016/173027 A1

薄膜晶体管阵列基板及其制作方法

技术领域

5 本发明涉及平面显示器领域，尤其涉及一种薄膜晶体管阵列基板及其制作方法。

背景技术

主动矩阵平面显示器具有机身薄、省电、无辐射等众多优点，得到了广泛的应用。现有市场上的平面显示器装置包括液晶显示装置（Liquid
10 Crystal Display, LCD）和有机发光二极管（Organic Light-Emitting Diode, OLED）。

LCD 包括液晶显示面板及背光模组（backlight module）。液晶显示面板的工作原理是在两片平行的玻璃基板当中放置液晶分子，通过玻璃基板通电与否来控制液晶分子改变方向，将背光模组的光线折射出来产生画面。

15 OLED 具备自发光、高亮度、宽视角、高对比度、可挠曲、低能耗等特性，因此受到广泛的关注，并作为新一代的显示方式，已开始逐渐取代传统液晶显示器，被广泛应用于手机屏幕、电脑显示器、全彩电视等。OLED 显示技术与传统的液晶显示技术不同，无需背光灯，采用非常薄的有机材料涂层和玻璃基板，当有电流通过时，这些有机材料就会发光。

20 薄膜晶体管阵列基板（Thin Film Transistor Array substrate）在 LCD 和 OLED 中被广泛应用，一般包括玻璃基板及形成于玻璃基板上的薄膜晶体管及存储电容。

存储电容在薄膜晶体管阵列基板中扮演着保持电位，降低耦合电容分压等重要作用，一般而言，我们希望电容大点比较好。电容大小的计算公式为 $C = \epsilon S/D$ 其中 S 代表面积，D 代表绝缘层厚度，改变存储电容的大小，
25 一般有以下几种方法，1. 选用介电常数较大的绝缘材料。2. 增大面积。3. 降低绝缘层厚度。

一般来说，增大两金属板的相对面积会增大电容，但是由于存储电容一般以金属夹置绝缘层制成，金属电极是不透光的，存储电容越大，开口
30 率就越低。而降低绝缘层厚度，既能增大存储电容大小，同时在此基础上，可以适当减小金属板相对面积，是较好的增加存储电容，提高开口率的方法。

请参阅图 1，为一种现有薄膜晶体管阵列基板的剖面结构示意图，包括

基板 100、及设于所述基板 100 上的薄膜晶体管 and 存储电容，存储电容的第一极板 310 与第二极板 320 中间夹置有栅极绝缘层 300 和蚀刻阻挡层 500，因为栅极绝缘层 300 和蚀刻阻挡层 500 都有一定的厚度，就使得绝缘层比较厚，需要较大的相对面积才能得到设定的电容值，造成器件开口率降低。

5

发明内容

本发明的目的在于提供一种薄膜晶体管阵列基板，具有较大存储电容的同时，具有较高开口率。

10 本发明的目的在于提供一种薄膜晶体管阵列基板的制作方法，可以增大存储电容的同时，提高开口率。

为实现上述目的，本发明提供一种薄膜晶体管阵列基板，包括基板、及形成于所述基板上的薄膜晶体管和存储电容；

15 所述存储电容由设于所述基板上的第一极板、位于所述第一极板上方的第二极板、位于所述第一极板与第二极板之间设于所述第一极板上的栅极绝缘层、及位于所述第一极板与第二极板之间设于所述栅极绝缘层上的蚀刻阻挡层构成；

所述栅极绝缘层对应所述第一极板上的部分的厚度小于所述栅极绝缘层的其他部分的厚度。

20 所述的薄膜晶体管阵列基板，包括基板、设于所述基板上的第一栅极、第二栅极、及位于所述第二栅极远离第一栅极一侧的第一极板、设于所述第一栅极、第二栅极、第一极板、及基板上的栅极绝缘层、分别位于所述第一栅极与第二栅极上方设于所述栅极绝缘层上的第一氧化物半导体层与第二氧化物半导体层、设于所述第一氧化物半导体层、第二氧化物半导体层、及栅极绝缘层上的蚀刻阻挡层、分别位于所述第一栅极、第二栅极上方设于蚀刻阻挡层上的第一源极、第一漏极、第二源极、第二漏极、位于
25 所述第一极板上方的第二极板、设于所述第一源极、第一漏极、第二源极、第二漏极、及第二极板上覆盖所述蚀刻阻挡层的钝化层、设于所述钝化层上的平坦层、设于所述平坦层上的像素电极层、设于所述平坦层与像素电极层上的像素定义层、及设于所述像素定义层上的光阻间隙物；
30

所述栅极绝缘层对应所述第二栅极靠近第一栅极一侧的上方设有第一过孔，所述钝化层与平坦层对应所述第二源极上方设有第二过孔，所述像素定义层上对应所述像素电极层上方设有第三过孔；所述第一源极、第一漏极与所述第一氧化物半导体层相接触，所述第二源极、及第二漏极与所

述第二氧化物半导体层相接触, 所述第一源极经由所述第一过孔与所述第二栅极相接触, 所述像素电极层经由所述第二过孔与所述第二源极相接触, 所述第三过孔暴露出部分像素电极层;

所述第一栅极、第二栅极、栅极绝缘层、第一氧化物半导体层、第二氧化物半导体层、蚀刻阻挡层、第一源极、第一漏极、第二源极、及第二漏极构成薄膜晶体管;

所述第一极板、第二极板、及位于所述第一极板与第二极板之间的栅极绝缘层和蚀刻阻挡层构成存储电容。

所述栅极绝缘层的材料为氧化铝、氮化硅、及氧化硅中的一种或其组合。

本发明还提供一种薄膜晶体管阵列基板的制作方法, 包括以下步骤:

步骤 1、提供一基板, 在所述基板上沉积第一金属层, 并对所述第一金属层进行图案化处理, 得到第一栅极、第二栅极、及位于所述第二栅极远离第一栅极一侧的第一极板;

步骤 2、在所述第一金属层上沉积栅极绝缘层;

步骤 3、在所述栅极绝缘层上涂布光阻层, 利用半色调掩膜板对所述光阻层进行曝光、显影, 对应所述第一栅极与第二栅极之间、及第二栅极靠近第一栅极一侧的上方得到全曝光区域, 对应所述第一极板的上方得到半曝光区域;

步骤 4、以所述光阻层为遮蔽层, 对所述全曝光区域下方的栅极绝缘层进行第一次刻蚀, 得到第一过孔, 并除去所述半曝光区域处的光阻层;

步骤 5、以所述光阻层为遮蔽层, 对所述第一极板上方的栅极绝缘层进行第二次刻蚀, 使所述栅极绝缘层对应所述第一极板上的部分的厚度小于所述栅极绝缘层其他部分的厚度;

步骤 6、剥离所述光阻层, 依次在所述栅极绝缘层上形成第一氧化物半导体层、第二氧化物半导体层、蚀刻阻挡层、第一源极、第一漏极、第二源极、第二漏极、第二极板、钝化层、平坦层、像素电极层、像素定义层、及光阻间隙物。

所述步骤 2 中, 通过化学气相沉积法沉积所述栅极绝缘层。

所述步骤 4 中, 所述第一次刻蚀采用干法刻蚀工艺, 并通过氧气灰化制程除去所述半曝光区域处的光阻层。

所述步骤 5 中, 所述第二次刻蚀采用干法刻蚀工艺。

所述步骤 5 中, 根据所述第二次刻蚀的速率控制所述栅极绝缘层上对应所述第一极板上的部分的厚度。

所述栅极绝缘层的材料为氧化铝、氮化硅、及氧化硅中的一种或其组合。

所述第一源极、及第一漏极与所述第一氧化物半导体层的两侧区域相接触，所述第二源极、及第二漏极与所述第二氧化物半导体层的两侧区域相接触，所述第一源极经由所述第一过孔与所述第二栅极相接触；所述钝化层与平坦层对应所述第二源极上方形成有第二过孔，所述像素定义层上对应所述像素电极层上方形成有第三过孔；所述像素电极层经由所述第二过孔与所述第二源极相接触，所述第三过孔暴露出部分像素电极层。

本发明还提供一种薄膜晶体管阵列基板的制作方法，包括以下步骤：

步骤 1、提供一基板，在所述基板上沉积第一金属层，并对所述第一金属层进行图案化处理，得到第一栅极、第二栅极、及位于所述第二栅极远离第一栅极一侧的第一极板；

步骤 2、在所述第一金属层上沉积栅极绝缘层；

步骤 3、在所述栅极绝缘层上涂布光阻层，利用半色调掩模板对所述光阻层进行曝光、显影，对应所述第一栅极与第二栅极之间、及第二栅极靠近第一栅极一侧的上方得到全曝光区域，对应所述第一极板的上方得到半曝光区域；

步骤 4、以所述光阻层为遮蔽层，对所述全曝光区域下方的栅极绝缘层进行第一次刻蚀，得到第一过孔，并除去所述半曝光区域处的光阻层；

步骤 5、以所述光阻层为遮蔽层，对所述第一极板上方的栅极绝缘层进行第二次刻蚀，使所述栅极绝缘层对应所述第一极板上的部分的厚度小于所述栅极绝缘层其他部分的厚度；

步骤 6、剥离所述光阻层，依次在所述栅极绝缘层上形成第一氧化物半导体层、第二氧化物半导体层、蚀刻阻挡层、第一源极、第一漏极、第二源极、第二漏极、第二极板、钝化层、平坦层、像素电极层、像素定义层、及光阻间隙物；

其中，所述步骤 2 中，通过化学气相沉积法沉积所述栅极绝缘层；

其中，所述步骤 4 中，所述第一次刻蚀采用干法刻蚀工艺，并通过氧气灰化制程除去所述半曝光区域处的光阻层；

其中，所述步骤 5 中，所述第二次刻蚀采用干法刻蚀工艺。

本发明的有益效果：本发明提供的一种薄膜晶体管阵列基板，存储电容的两电极板之间的栅极绝缘层的厚度小于其他部分的栅极绝缘层的厚度，存储电容间绝缘层厚度较薄，电容相对面积较小，具有较高的开口率。本发明的薄膜晶体管阵列基板的制作方法，利用半色调掩膜工艺，通过两

次刻蚀，将位于存储电容的第一极板上方的栅极绝缘层部分蚀刻掉，减小其厚度，从而降低了存储电容间绝缘层厚度，在需要同样电容大小的条件下，可以减小需要的电容电极板的相对面积，提高了开口率。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

图 1 为一种现有薄膜晶体管阵列基板的剖面结构示意图；

图 2 为本发明薄膜晶体管阵列基板的剖面结构示意图；

图 3 为本发明薄膜晶体管阵列基板制作方法的流程图；

图 4 为本发明薄膜晶体管阵列基板制作方法的步骤 1 的示意图；

图 5 为本发明薄膜晶体管阵列基板制作方法的步骤 2 的示意图；

图 6 为本发明薄膜晶体管阵列基板制作方法的步骤 3 的示意图；

图 7 为本发明薄膜晶体管阵列基板制作方法的步骤 4 的示意图；

图 8 为本发明薄膜晶体管阵列基板制作方法的步骤 5 的示意图；

图 9 为本发明薄膜晶体管阵列基板制作方法的步骤 6 的示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 2，本发明提供一种薄膜晶体管阵列基板，包括基板 1、及形成于所述基板 1 上的薄膜晶体管和存储电容。

所述存储电容由设于所述基板 1 上的第一极板 31、位于所述第一极板 31 上方的第二极板 32、位于所述第一极板 31 与第二极板 32 之间设于所述第一极板 31 上的栅极绝缘层 3、及位于所述第一极板 31 与第二极板 32 之间设于所述栅极绝缘层 3 上的蚀刻阻挡层 5 构成。

所述栅极绝缘层 3 对应所述第一极板 31 上的部分 3' 的厚度小于所述栅极绝缘层 3 的其他部分 3'' 的厚度。

具体地，如图 2 所示，为本发明的薄膜晶体管阵列基板的一具体实施例，即刻蚀阻挡型（Etch Stopper，ES）结构的薄膜晶体管阵列基板的剖面

结构示意图。包括基板 1、设于所述基板 1 上的第一栅极 21、第二栅极 22、及位于所述第二栅极 22 远离第一栅极 21 一侧的第一极板 31、设于所述第一栅极 21、第二栅极 22、第一极板 31、及基板 1 上的栅极绝缘层 3、分别位于所述第一栅极 21 与第二栅极 22 上方设于所述栅极绝缘层 3 上的第一
5 氧化物半导体层 41 与第二氧化物半导体层 42、设于所述第一氧化物半导体层 41、第二氧化物半导体层 42、及栅极绝缘层 3 上的蚀刻阻挡层 5、分别位于所述第一栅极 21、第二栅极 22 上方设于蚀刻阻挡层 5 上的第一源极 61、第一漏极 62、第二源极 63、第二漏极 64、位于所述第一极板 31 上方
10 设于所述蚀刻阻挡层 5 上的第二极板 32、设于所述第一源极 61、第一漏极 62、第二源极 63、第二漏极 64、及第二极板 32 上方覆盖所述蚀刻阻挡层 5 的钝化层 71、设于所述钝化层 71 上的平坦层 72、设于所述平坦层 72 上的像素电极层 81、设于所述平坦层 72 与像素电极层 81 上的像素定义层 9、及设于所述像素定义层 9 上的光阻间隙物 91。

所述栅极绝缘层 3 对应所述第二栅极 22 靠近第一栅极 21 一侧的上方
15 设有第一过孔 51，所述钝化层 71 与平坦层 72 对应所述第二源极 63 上方设有第二过孔 52，所述像素定义层 9 上对应所述像素电极层 81 上方设有第三过孔 53；所述第一源极 61、第一漏极 62 与所述第一氧化物半导体层 41 相接触，所述第二源极 63、及第二漏极 64 与所述第二氧化物半导体层 42 相接触，所述第一源极 61 经由所述第一过孔 51 与所述第二栅极 22 相接触，
20 所述像素电极层 81 经由所述第二过孔 52 与所述第二源极 63 相接触，所述第三过孔 53 暴露出部分像素电极层 81。

其中，所述第一栅极 21、第二栅极 22、栅极绝缘层 3、第一氧化物半导体层 41、第二氧化物半导体层 42、蚀刻阻挡层 5、第一源极 61、第一漏极 62、第二源极 63、及第二漏极 64 构成薄膜晶体管。

25 所述第一极板 31、第二极板 32、及位于所述第一极板 31 与第二极板 32 之间的栅极绝缘层 3 和蚀刻阻挡层 5 构成存储电容，由于所述栅极绝缘层 3 对应所述第一极板 31 上的部分 3' 的厚度小于所述栅极绝缘层 3 的其他部分 3'' 的厚度，存储电容间绝缘层厚度较薄，电容相对面积较小，具有较高的开口率。

30 具体地，所述栅极绝缘层 3 的材料可以是氧化铝 (Al_2O_3)、氮化硅 (SiN_x)、及氧化硅 (SiO_x) 中的一种或其组合。

值得一提的是，除上述刻蚀阻挡型 (Etch Stopper, ES) 结构之外，本发明的薄膜晶体管阵列基板也同样适用于背沟道刻蚀型 (Back Channel Etched, BCE)、及沟道保护型 (Channel Protected, CP)

的结构。

上述薄膜晶体管阵列基板，存储电容的两电极板之间的栅极绝缘层的厚度小于其他部分的栅极绝缘层的厚度，存储电容间绝缘层厚度较薄，电容相对面积较小，具有较高的开口率。

5 请参阅图 3，本发明提供一种薄膜晶体管阵列基板的制作方法，包括以下步骤：

步骤 1、如图 4 所示，提供一基板 1，在所述基板 1 上沉积第一金属层，并对所述第一金属层进行图案化处理，得到第一栅极 21、第二栅极 22、及位于所述第二栅极 22 远离第一栅极 21 一侧的第一极板 31。

10 步骤 2、如图 5 所示，在所述第一金属层上沉积栅极绝缘层 3。

具体地，通过化学气相沉积法（CVD）沉积所述栅极绝缘层 3；所述栅极绝缘层 3 的材料可以是氧化铝、氮化硅、及氧化硅中的一种或其组合。

步骤 3、如图 6 所示，在所述栅极绝缘层 3 上涂布光阻层 30，利用半色调掩模板（Half Tone）对所述光阻层 30 进行曝光、显影，对应所述第一栅极 21 与第二栅极 22 之间、及第二栅极 22 靠近第一栅极 21 一侧的上方得到全曝光区域 301，对应所述第一极板 31 的上方得到半曝光区域 302。

步骤 4、如图 7 所示，以所述光阻层 30 为遮蔽层，对所述全曝光区域 301 下方的栅极绝缘层 3 进行第一次刻蚀，得到第一过孔 51，并除去所述半曝光区域 302 处的光阻层 30。

20 具体地，所述第一次刻蚀采用干法刻蚀工艺，并通过氧气灰化（O₂ Ashing）制程除去所述半曝光区域 302 处的光阻层 30。

步骤 5、如图 8 所示，以所述光阻层 30 为遮蔽层，对所述第一极板 31 上方的栅极绝缘层 3 进行第二次刻蚀，使所述栅极绝缘层 3 对应所述第一极板 31 上的部分 3' 的厚度小于所述栅极绝缘层 3 其他部分 3'' 的厚度。

25 具体地，所述第二次刻蚀采用干法刻蚀工艺，可以根据所述第二次刻蚀的速率控制所述栅极绝缘层 3 上对应所述第一极板 31 上的部分 3' 的厚度。

步骤 6、如图 9 所示，剥离所述光阻层 30，依次在所述栅极绝缘层 3 上形成第一氧化物半导体层 41、第二氧化物半导体层 42、蚀刻阻挡层 5、第一源极 61、第一漏极 62、第二源极 63、第二漏极 64、第二极板 32、钝化层 71、平坦层 72、像素电极层 81、像素定义层 9、及光阻间隙物 91。

具体地，所述步骤 6 可以采用现有技术实现；所述第一源极 61、及第一漏极 62 与所述第一氧化物半导体层 41 的两侧区域相接触，所述第二源极 63、及第二漏极 64 与所述第二氧化物半导体层 42 的两侧区域相接触，

所述第一源极 61 经由所述第一过孔 51 与所述第二栅极 22 相接触；所述钝化层 71 与平坦层 72 对应所述第二源极 63 上方形成有第二过孔 52，所述像素定义层 9 上对应所述像素电极层 81 上方形成有第三过孔 53；所述像素电极层 81 经由所述第二过孔 52 与所述第二源极 63 相接触，所述第三过孔 53 暴露出部分像素电极层 81。

其中，所述第一栅极 21、第二栅极 22、栅极绝缘层 3、第一氧化物半导体层 41、第二氧化物半导体层 42、蚀刻阻挡层 5、第一源极 61、第一漏极 62、第二源极 63、及第二漏极 64 构成薄膜晶体管。

所述第一极板 31、第二极板 32、及位于所述第一极板 31 与第二极板 32 之间的栅极绝缘层 3 和蚀刻阻挡层 5 构成存储电容，所述栅极绝缘层 3 对应所述第一极板 31 上的部分 3' 的厚度小于所述栅极绝缘层 3 的其他部分 3'' 的厚度，存储电容间绝缘层厚度较薄，电容相对面积较小，具有较高的开口率。

上述薄膜晶体管阵列基板的制作方法，利用半色调掩膜工艺，通过两次刻蚀，将位于存储电容的第一极板上方的栅极绝缘层部分蚀刻掉，减小其厚度，从而降低了存储电容间绝缘层厚度，在需要同样电容大小的条件下，可以减小需要的电容电极板的相对面积，提高了开口率。

综上所述，本发明提供一种薄膜晶体管阵列基板，存储电容的两电极板之间的栅极绝缘层的厚度小于其他部分的栅极绝缘层的厚度，存储电容间绝缘层厚度较薄，电容相对面积较小，具有较高的开口率。本发明的薄膜晶体管阵列基板的制作方法，利用半色调掩膜工艺，通过两次刻蚀，将位于存储电容的第一极板上方的栅极绝缘层部分蚀刻掉，减小其厚度，从而降低了存储电容间绝缘层厚度，在需要同样电容大小的条件下，可以减小需要的电容电极板的相对面积，提高了开口率。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种薄膜晶体管阵列基板，包括基板、及形成于所述基板上的薄膜晶体管和存储电容；

5 所述存储电容由设于所述基板上的第一极板、位于所述第一极板上方的第二极板、位于所述第一极板与第二极板之间设于所述第一极板上的栅极绝缘层、及位于所述第一极板与第二极板之间设于所述栅极绝缘层上的蚀刻阻挡层构成；

10 所述栅极绝缘层对应所述第一极板上的部分的厚度小于所述栅极绝缘层的其他部分的厚度。

2、如权利要求1所述的薄膜晶体管阵列基板，其中，包括基板、设于所述基板上的第一栅极、第二栅极、及位于所述第二栅极远离第一栅极一侧的第一极板、设于所述第一栅极、第二栅极、第一极板、及基板上的栅极绝缘层、分别位于所述第一栅极与第二栅极上方设于所述栅极绝缘层上的第一氧化物半导体层与第二氧化物半导体层、设于所述第一氧化物半导体层、第二氧化物半导体层、及栅极绝缘层上的蚀刻阻挡层、分别位于所述

15 第一栅极、第二栅极上方设于蚀刻阻挡层上的第一源极、第一漏极、第二源极、第二漏极、位于所述第一极板上设于所述蚀刻阻挡层上的第二极板；

20 设于所述第一源极、第一漏极、第二源极、第二漏极、及第二极板上覆盖所述蚀刻阻挡层的钝化层、设于所述钝化层上的平坦层、设于所述平坦层上的像素电极层、设于所述平坦层与像素电极层上的像素定义层、及设于所述像素定义层上的光阻间隙物；

25 所述栅极绝缘层对应所述第二栅极靠近第一栅极一侧的上方设有第一过孔，所述钝化层与平坦层对应所述第二源极上方设有第二过孔，所述像素定义层上对应所述像素电极层上方设有第三过孔；所述第一源极、第一漏极与所述第一氧化物半导体层相接触，所述第二源极、及第二漏极与所述第二氧化物半导体层相接触，所述第一源极经由所述第一过孔与所述第二栅极相接触，所述像素电极层经由所述第二过孔与所述第二源极相接触，

30 所述第三过孔暴露出部分像素电极层；

所述第一栅极、第二栅极、栅极绝缘层、第一氧化物半导体层、第二氧化物半导体层、蚀刻阻挡层、第一源极、第一漏极、第二源极、及第二漏极构成薄膜晶体管；

所述第一极板、第二极板、及位于所述第一极板与第二极板之间的栅极绝缘层和蚀刻阻挡层构成存储电容。

3、如权利要求1所述的薄膜晶体管阵列基板，其中，所述栅极绝缘层的材料为氧化铝、氮化硅、及氧化硅中的一种或其组合。

5 4、一种薄膜晶体管阵列基板的制作方法，包括以下步骤：

步骤1、提供一基板，在所述基板上沉积第一金属层，并对所述第一金属层进行图案化处理，得到第一栅极、第二栅极、及位于所述第二栅极远离第一栅极一侧的第一极板；

步骤2、在所述第一金属层上沉积栅极绝缘层；

10 步骤3、在所述栅极绝缘层上涂布光阻层，利用半色调掩模板对所述光阻层进行曝光、显影，对应所述第一栅极与第二栅极之间、及第二栅极靠近第一栅极一侧的上方得到全曝光区域，对应所述第一极板的上方得到半曝光区域；

步骤4、以所述光阻层为遮蔽层，对所述全曝光区域下方的栅极绝缘层进行第一次刻蚀，得到第一过孔，并除去所述半曝光区域处的光阻层；

步骤5、以所述光阻层为遮蔽层，对所述第一极板上方的栅极绝缘层进行第二次刻蚀，使所述栅极绝缘层对应所述第一极板上的部分的厚度小于所述栅极绝缘层其他部分的厚度；

20 步骤6、剥离所述光阻层，依次在所述栅极绝缘层上形成第一氧化物半导体层、第二氧化物半导体层、蚀刻阻挡层、第一源极、第一漏极、第二源极、第二漏极、第二极板、钝化层、平坦层、像素电极层、像素定义层、及光阻间隙物。

5 5、如权利要求4所述的薄膜晶体管阵列基板的制作方法，其中，所述步骤2中，通过化学气相沉积法沉积所述栅极绝缘层。

25 6、如权利要求4所述的薄膜晶体管阵列基板的制作方法，其中，所述步骤4中，所述第一次刻蚀采用干法刻蚀工艺，并通过氧气灰化制程除去所述半曝光区域处的光阻层。

7、如权利要求4所述的薄膜晶体管阵列基板的制作方法，其中，所述步骤5中，所述第二次刻蚀采用干法刻蚀工艺。

30 8、如权利要求7所述的薄膜晶体管阵列基板的制作方法，其中，所述步骤5中，根据所述第二次刻蚀的速率控制所述栅极绝缘层上对应所述第一极板上的部分的厚度。

9、如权利要求4所述的薄膜晶体管阵列基板的制作方法，其中，所述栅极绝缘层的材料为氧化铝、氮化硅、及氧化硅中的一种或其组合。

10、如权利要求 4 所述的薄膜晶体管阵列基板的制作方法，其中，所述第一源极、及第一漏极与所述第一氧化物半导体层的两侧区域相接触，所述第二源极、及第二漏极与所述第二氧化物半导体层的两侧区域相接触，所述第一源极经由所述第一过孔与所述第二栅极相接触；所述钝化层与平坦层对应所述第二源极上方形成有第二过孔，所述像素定义层上对应所述像素电极层上方形成有第三过孔；所述像素电极层经由所述第二过孔与所述第二源极相接触，所述第三过孔暴露出部分像素电极层。

11、一种薄膜晶体管阵列基板的制作方法，包括以下步骤：

步骤 1、提供一基板，在所述基板上沉积第一金属层，并对所述第一金属层进行图案化处理，得到第一栅极、第二栅极、及位于所述第二栅极远离第一栅极一侧的第一极板；

步骤 2、在所述第一金属层上沉积栅极绝缘层；

步骤 3、在所述栅极绝缘层上涂布光阻层，利用半色调掩模板对所述光阻层进行曝光、显影，对应所述第一栅极与第二栅极之间、及第二栅极靠近第一栅极一侧的上方得到全曝光区域，对应所述第一极板的上方得到半曝光区域；

步骤 4、以所述光阻层为遮蔽层，对所述全曝光区域下方的栅极绝缘层进行第一次刻蚀，得到第一过孔，并除去所述半曝光区域处的光阻层；

步骤 5、以所述光阻层为遮蔽层，对所述第一极板上方的栅极绝缘层进行第二次刻蚀，使所述栅极绝缘层对应所述第一极板上的部分的厚度小于所述栅极绝缘层其他部分的厚度；

步骤 6、剥离所述光阻层，依次在所述栅极绝缘层上形成第一氧化物半导体层、第二氧化物半导体层、蚀刻阻挡层、第一源极、第一漏极、第二源极、第二漏极、第二极板、钝化层、平坦层、像素电极层、像素定义层、及光阻间隙物；

其中，所述步骤 2 中，通过化学气相沉积法沉积所述栅极绝缘层；

其中，所述步骤 4 中，所述第一次刻蚀采用干法刻蚀工艺，并通过氧气灰化制程除去所述半曝光区域处的光阻层；

其中，所述步骤 5 中，所述第二次刻蚀采用干法刻蚀工艺。

12、如权利要求 11 所述的薄膜晶体管阵列基板的制作方法，其中，所述步骤 5 中，根据所述第二次刻蚀的速率控制所述栅极绝缘层上对应所述第一极板上的部分的厚度。

13、如权利要求 11 所述的薄膜晶体管阵列基板的制作方法，其中，所述栅极绝缘层的材料为氧化铝、氮化硅、及氧化硅中的一种或其组合。

- 14、如权利要求 11 所述的薄膜晶体管阵列基板的制作方法，其中，所述第一源极、及第一漏极与所述第一氧化物半导体层的两侧区域相接触，所述第二源极、及第二漏极与所述第二氧化物半导体层的两侧区域相接触，所述第一源极经由所述第一过孔与所述第二栅极相接触；所述钝化层与平坦层对应所述第二源极上方形成有第二过孔，所述像素定义层上对应所述像素电极层上方形成有第三过孔；所述像素电极层经由所述第二过孔与所述第二源极相接触，所述第三过孔暴露出部分像素电极层。
- 5

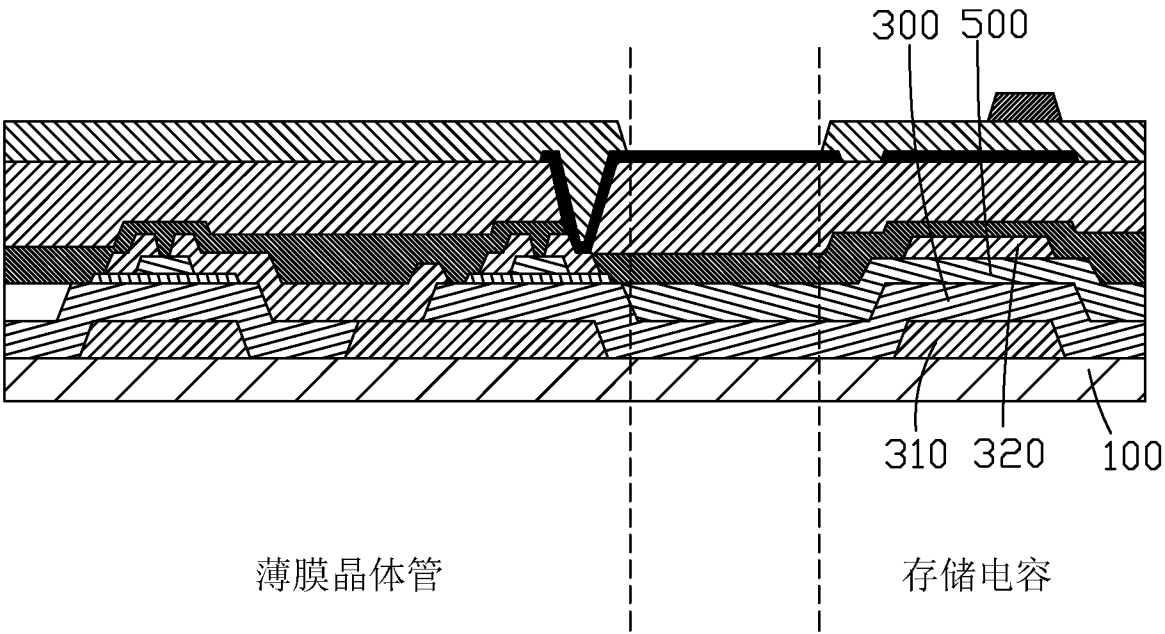


图1

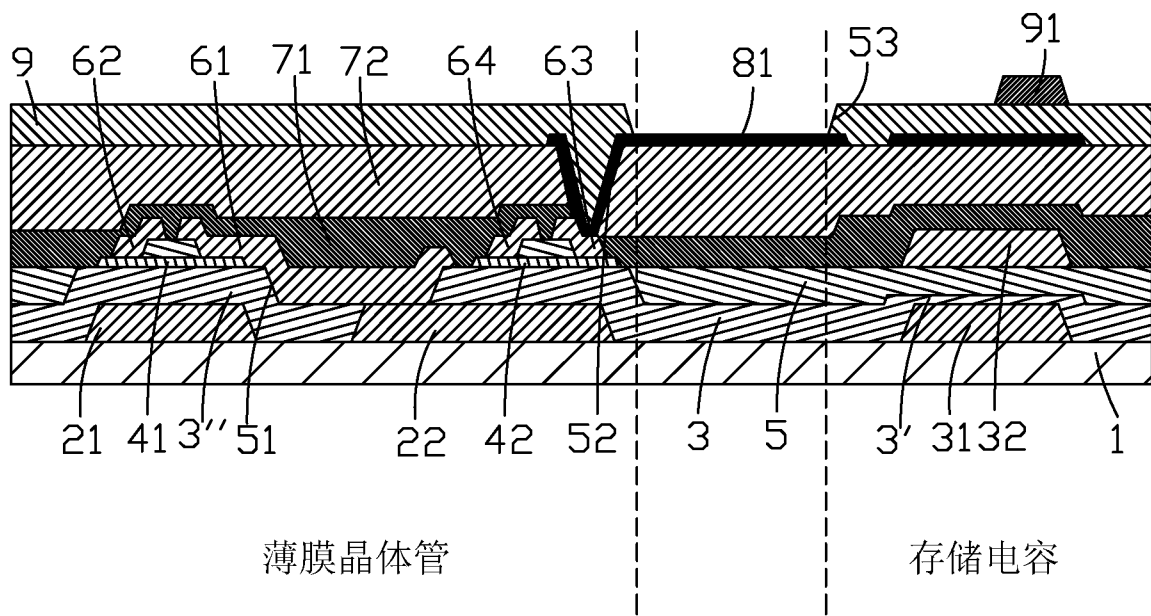


图2

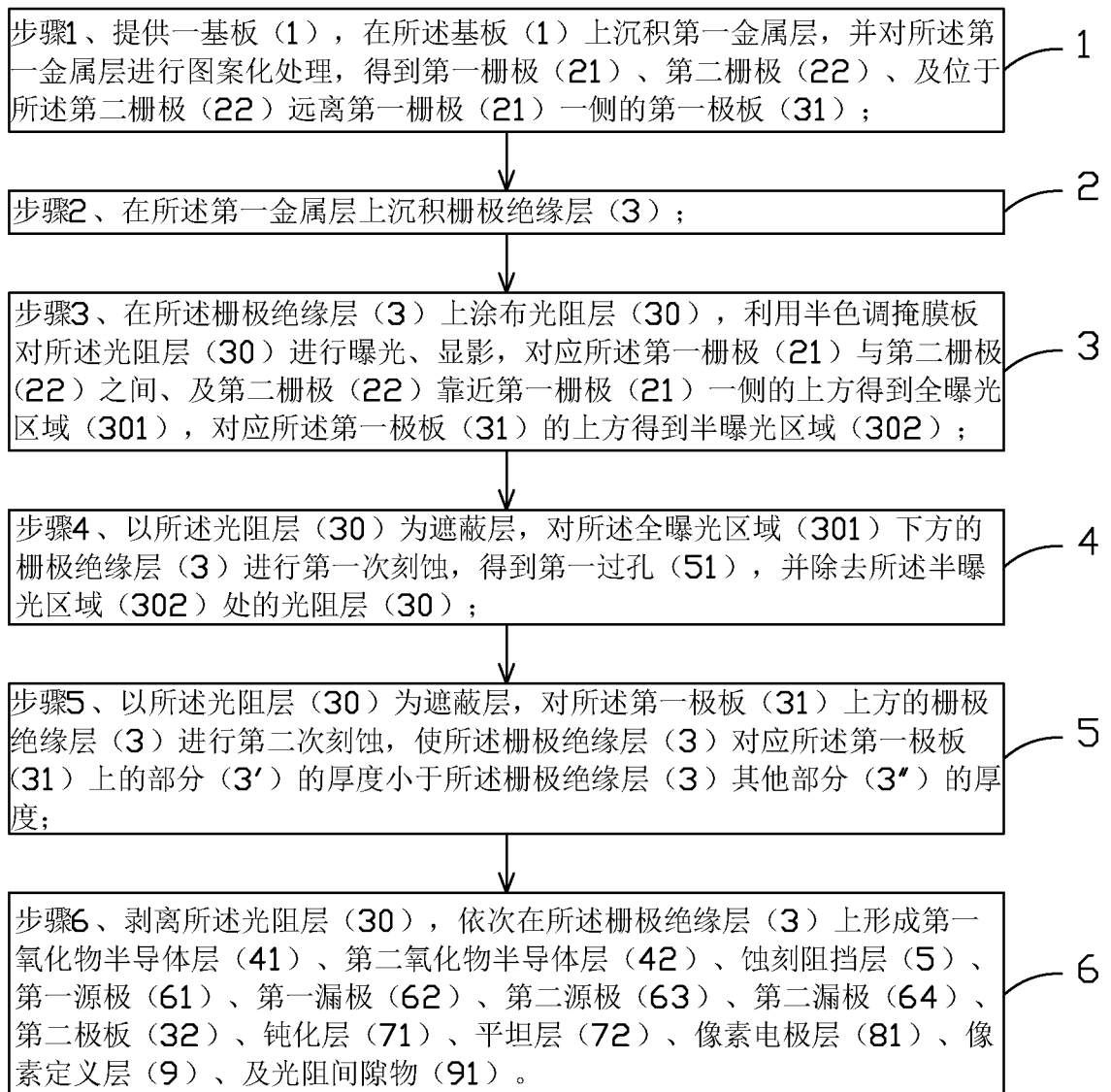


图3

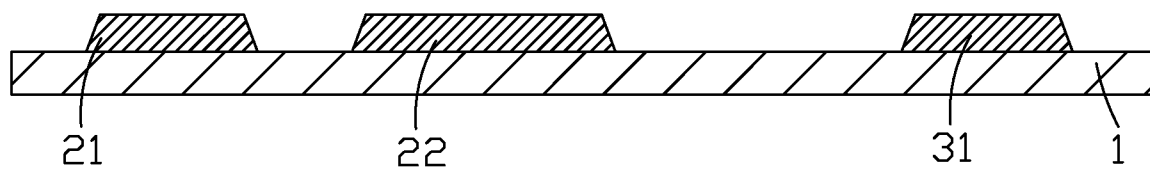


图4

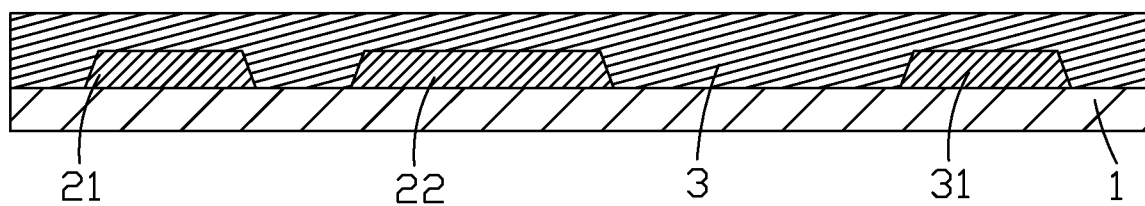


图5

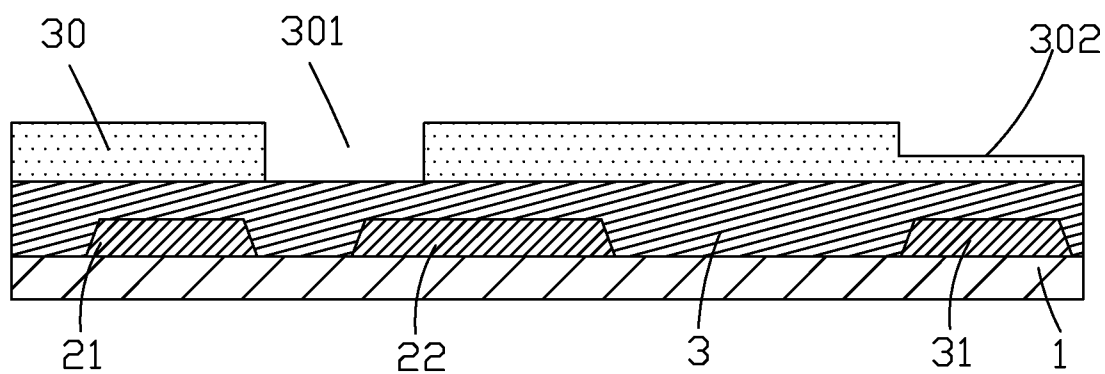


图6

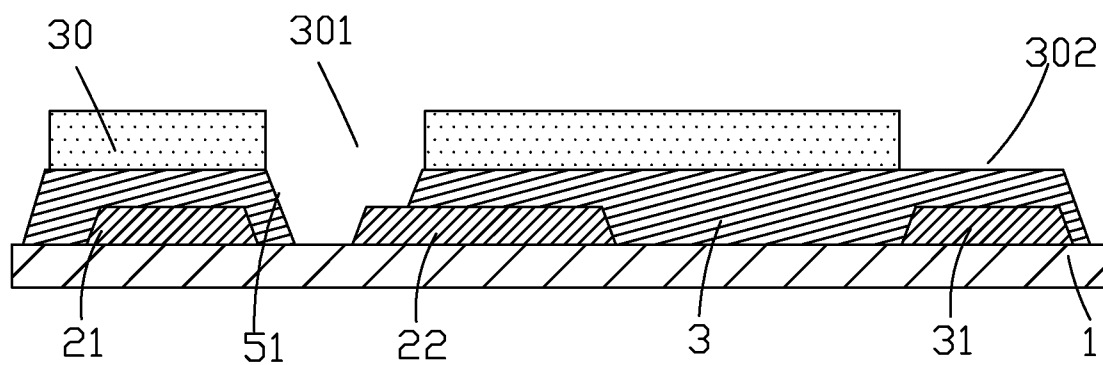


图7

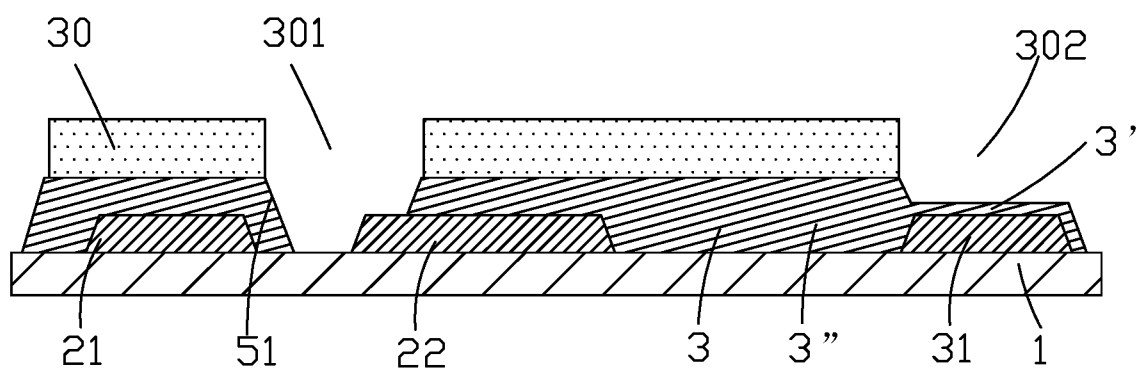


图8

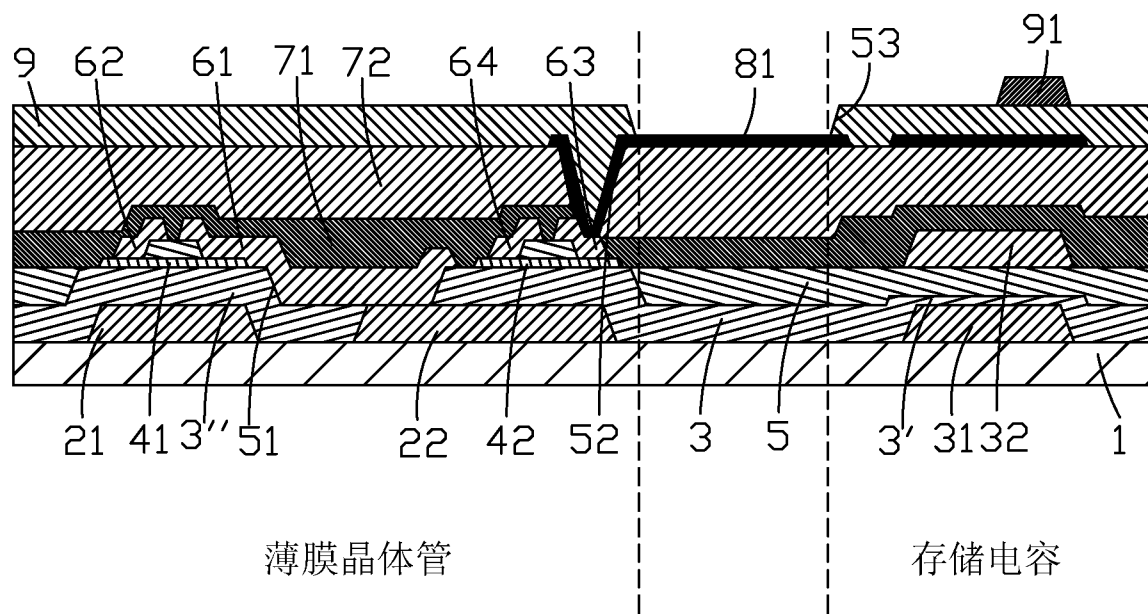


图9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/079668

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2006.01) i; H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; SIPOABS: TFT, gate insulation layer, thin film transistor, substrate, array, gate, insulating, insulation, capacitor, thick, thickness, thin

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101562154 A (CPTF VISUAL DISPLAY (FUZHOU) LTD.; CHUNGHWA PICTURE TUBES, LTD.), 21 October 2009 (21.10.2009), description, page 4, line 12 to page 7, line 10, and figures 2A-2J	1
Y	CN 101562154 A (CPTF VISUAL DISPLAY (FUZHOU) LTD.; CHUNGHWA PICTURE TUBES, LTD.), 21 October 2009 (21.10.2009), description, page 4, line 12 to page 7, line 10, and figures 2A-2J	2-14
Y	CN 104392991 A (BOE TECHNOLOGY GROUP CO., LTD.), 04 March 2015 (04.03.2015), description, paragraphs 0033-0058, and figures 4-13	2-14
X	CN 103928470 A (SHANGHAI TIANMA MICRO-ELECTRONICS CO., LTD.; TIANMA MICROELECTRONICS CO., LTD.), 16 July 2014 (16.07.2014), description, paragraphs 0022-0052, and figures 2-8	1
X	US 2003122981 A1 (CHOI et al.), 03 July 2003 (03.07.2003), description, paragraphs 0044-0059, and figures 4-5D	1

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 22 January 2016 (22.01.2016)	Date of mailing of the international search report 01 February 2016 (01.02.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer XU, Xiaoling Telephone No.: (86-10) 62089121

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/079668

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101562154 A	21 October 2009	CN 101562154 B	07 December 2011
CN 104392991 A	04 March 2015	None	
CN 103928470 A	16 July 2014	EP 2819170 A1	31 December 2014
		US 2014374740 A1	25 December 2014
US 2003122981 A1	03 July 2003	KR 20030057770 A	07 July 2003
		KR 100869736 B1	21 November 2008
		US 6714267 B2	30 March 2004

国际检索报告

国际申请号

PCT/CN2015/079668

A. 主题的分类

H01L 21/77 (2006.01) i; H01L 27/12 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNABS; SIPOABS: 薄膜晶体管, TFT, 基板, 阵列, 栅极绝缘层, 栅绝缘层, 电容, 薄, 厚, thin film transistor, substrate, array, gate, insulating, insulation, capacitor, thick, thickness, thin

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101562154 A (福州华映视讯有限公司 中华映管股份有限公司) 2009年 10月 21日 (2009 - 10 - 21) 说明书第4页第12行至第7页第10行, 附图2A-2J	1
Y	CN 101562154 A (福州华映视讯有限公司 中华映管股份有限公司) 2009年 10月 21日 (2009 - 10 - 21) 说明书第4页第12行至第7页第10行, 附图2A-2J	2-14
Y	CN 104392991 A (京东方科技集团股份有限公司) 2015年 3月 4日 (2015 - 03 - 04) 说明书第0033段至第0058段, 附图4-13	2-14
X	CN 103928470 A (上海天马微电子有限公司 天马微电子股份有限公司) 2014年 7月 16日 (2014 - 07 - 16) 说明书第0022段至第0052段, 附图2-8	1
X	US 2003122981 A1 (CHOI 等) 2003年 7月 3日 (2003 - 07 - 03) 说明书第0044段至第0059段, 附图4-5D	1

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 1月 22日

国际检索报告邮寄日期

2016年 2月 1日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

徐小岭

传真号 (86-10) 62019451

电话号码 (86-10) 62089121

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/079668

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101562154	A	2009年 10月 21日	CN	101562154	B	2011年 12月 7日
CN	104392991	A	2015年 3月 4日	无			
CN	103928470	A	2014年 7月 16日	EP	2819170	A1	2014年 12月 31日
				US	2014374740	A1	2014年 12月 25日
US	2003122981	A1	2003年 7月 3日	KR	20030057770	A	2003年 7月 7日
				KR	100869736	B1	2008年 11月 21日
				US	6714267	B2	2004年 3月 30日

表 PCT/ISA/210 (同族专利附件) (2009年7月)