

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 12 月 22 日 (22.12.2016)



(10) 国际公布号
WO 2016/201725 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01)
- (21) 国际申请号: PCT/CN2015/082667
- (22) 国际申请日: 2015 年 6 月 29 日 (29.06.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510331333.7 2015 年 6 月 15 日 (15.06.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO.,LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 李松杉 (LI, Songshan); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广

东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: METHOD FOR MANUFACTURING LOW-TEMPERATURE POLYSILICON THIN FILM TRANSISTOR (TFT) SUBSTRATE AND LOW-TEMPERATURE POLYSILICON TFT SUBSTRATE

(54) 发明名称: 低温多晶硅 TFT 基板的制作方法以及低温多晶硅 TFT 基板

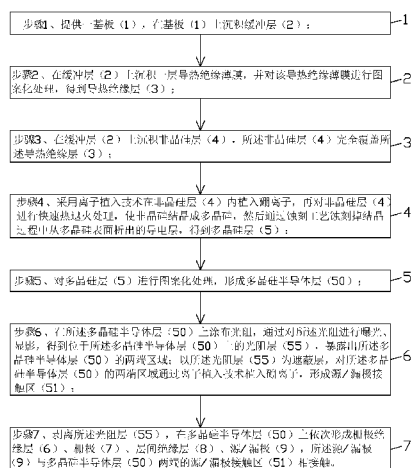


图7

(57) Abstract: The present invention provides a method for manufacturing a low-temperature polysilicon thin film transistor (TFT) substrate and the low-temperature polysilicon TFT substrate. The method for manufacturing a low-temperature polysilicon thin film transistor (TFT) substrate comprises: forming a thermally-conductive insulation layer (3) having good insulation performance and a good heat conduction property on a buffering layer (2), so that the buffering layer (2) can absorb a large amount of heat and transfers the heat to an amorphous silicon layer (4) in contact with the buffering layer (3) during a rapid thermal annealing process, thereby improving the crystallization efficiency of amorphous silicon crystals at the position, the polysilicon (5) having larger grains and less grain boundaries is obtained, improving the migration rate of a carrier of a TFT device, and reducing the influence of the grain boundaries on leaked currents. In the low-temperature polysilicon TFT substrate, the thermally-conductive insulation layer (3) is disposed below the buffering layer (2) corresponding to a polysilicon semiconductor layer (50), the grain size of the polysilicon crystals is large, the number of the grain boundaries is small, so that the migration rate of the carrier of the TFT device is high, and the electrical property of the TFT is high.

(57) 摘要:

[见续页]

- 1 Step 1, provide a substrate (1) and form a buffering layer (2) on the substrate (1)
2 Step 2, deposit a thermally-conductive insulation thin film on the buffering layer (2), and pattern the thermally-conductive insulation thin film, so as to obtain a thermally-conductive insulation layer (3)
3 Step 3, Deposit an amorphous silicon layer (4) on the buffering layer (2), wherein the amorphous silicon layer (4) fully covers the thermally-conductive insulation layer (3)
4 Step 4, Implant boron ions in the amorphous silicon layer (4) by using an ion implantation technology, perform quick thermal annealing processing on the amorphous silicon layer (4), make the amorphous silicon crystallized into polysilicon, and etch, by using an etching technology, an electrically-conductive layer precipitating from the surface of the polysilicon during the crystallization, so as to obtain a polysilicon layer (5)
5 Step 5, pattern the polysilicon layer (5) to form a polysilicon semiconductor layer (50)
6 Step 6, coat a photoresist layer (55) on the polysilicon semiconductor layer (50), expose and develop the photoresist to obtain a photoresist layer (55) located on the polysilicon semiconductor layer (50), and expose regions at two ends of the polysilicon semiconductor layer (50) by using the photoresist layer (55) as a shielding layer, implant boron ions into the regions at the two ends of the polysilicon semiconductor layer (50) by means of an ion implantation technology, so as to form a source/drain contact region (51)
7 Step 7, Strip off the photoresist layer (55), and sequentially form a gate insulation layer (6), a gate (7) and an inter-layer insulation layer (8) and a source/drain (9), wherein the source/drain (9) is in contact with the source/drain contact region (51) at the two ends of the polysilicon semiconductor layer (50)



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**

CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

一种低温多晶硅 TFT 基板的制作方法 及一种低温多晶硅 TFT 基板, 所述低温多晶硅 TFT 基板的制作方法包括: 通过在缓冲层(2)上形成一层绝缘性能及导热性质很好的导热绝缘层(3), 使其在快速热退火处理过程中能很快吸收大量热量并且传给与之接触的非晶硅层(4), 使此处的非晶硅结晶效率提高, 得到晶粒更大、晶界更少的多晶硅(5), 从而增强相应 TFT 器件载流子的迁移率, 减小晶界对漏电流的影响。所述低温多晶硅 TFT 基板, 在缓冲层(2)上对应多晶硅半导体层(50)的下方设有导热绝缘层(3), 多晶硅结晶的晶粒尺寸较大, 晶界数量较少, TFT 器件载流子的迁移率较高, TFT 的电性较好。

低温多晶硅 TFT 基板的制作方法及低温多晶硅 TFT 基板

技术领域

本发明涉及显示技术领域，尤其涉及一种低温多晶硅 TFT 基板的制作方法
5 方法及低温多晶硅 TFT 基板。

背景技术

随着平板显示的发展，高分辨率，低能耗的面板需求不断被提出。低温多晶硅（Low Temperature Poly-Silicon, LTPS）由于具有较高的电子迁移率，而在液晶显示器（Liquid Crystal Display, LCD）与有机发光二极管显示器 Organic Light Emitting Diode, OLED）技术中得到了业界的重视，被视为实现低成本全彩平板显示的重要材料。对平板显示而言，采用低温多晶硅材料具有高分辨率、反应速度快、高亮度、高开口率、低能耗等优点，而且低温多晶硅可在低温下制作，并可用于制作 C-MOS 电路，因而被广泛
10 研究，用以达到面板高分辨率，低能耗的需求。

低温多晶硅是多晶硅（poly-Si）技术的一个分支。多晶硅的分子结构在一颗晶粒中的排列状态是整齐而有方向性的，因此电子迁移率比排列杂乱的非晶硅（a-Si）快了 200-300 倍，极大的提高了平板显示的反应速度。目前制作低温多晶硅主要有：化学气相沉积（Chemical Vapor Deposition, CVD）、固相结晶（Solid Phase Crystallization, SPC）、金属诱导结晶（Metal-Induced Crystallization, MIC）、金属诱导横向结晶（Metal-Induced Lateral Crystallization, MILC）、准分子激光退火（Excimer Laser Annealing, ELA）等多种结晶制程方法。
20

请参阅图 1 至图 6，现有低温多晶硅 TFT 基板的制作方法主要包括如下步骤：步骤 1、提供一基板 100，在玻璃基板 100 上沉积缓冲层 200；步骤 2、在缓冲层 200 上沉积非晶硅（a-Si）层 300；步骤 3、非晶硅层 300 上利用离子植入技术植入一定剂量的硼（boron），再通过快速热退火（Rapid Thermal Anneal, RTA）结晶技术加热 20-30min，使非晶硅结晶成多晶硅（poly-Si），然后蚀刻掉结晶过程中从多晶硅表面析出的一层电阻很小的导电层，剩下需要的多晶硅层 400；步骤 4、通过黄光、蚀刻制程对多晶硅层 400 进行图案化处理，形成多晶硅半导体层 450；步骤 5、在多晶硅半导体层 450 上涂布光阻，通过对光阻进行曝光、显影，得到位于多晶硅半导体层 450 上的光阻层 550，暴露出多晶硅半导体层 450 的两端区域；以光阻层
30

550 为遮蔽层, 对多晶硅半导体层 450 的两端区域, 通过离子植入技术植入硼离子, 形成源/漏极接触区 451; 步骤 6、剥离光阻层 550, 在多晶硅半导体层 450 上依次形成栅极绝缘层 500、栅极 600、层间绝缘层 700、源/漏极 800。

- 5 上述低温多晶硅 TFT 基板的制作方法中关于低温多晶硅的形成采用传统的 SPC 结晶制程, 该 SPC 结晶制程虽然能得到均一性较好的晶粒, 但是晶粒偏小, 晶界较多, 会影响载流子的迁移率和 TFT 器件的漏电流。

发明内容

- 10 本发明的目的在于提供一种低温多晶硅 TFT 基板的制作方法, 能够有效提高结晶制程的晶化效率, 增大晶粒尺寸, 减少晶界数量, 从而可以增强 TFT 器件载流子的迁移率, 减小晶界对漏电流的影响, 提高 TFT 的电性。

- 15 本发明的另一目的在于提供一种低温多晶硅 TFT 基板, 多晶硅结晶的晶粒尺寸较大, 晶界数量较少, TFT 器件载流子的迁移率较高, TFT 的电性较好。

为实现上述目的, 本发明提供一种低温多晶硅 TFT 基板的制作方法, 包括如下步骤:

- 步骤 1、提供一基板, 在基板上沉积缓冲层;
- 步骤 2、在缓冲层上沉积一层导热绝缘薄膜, 并对该导热绝缘薄膜进行
20 图案化处理, 得到导热绝缘层;
- 步骤 3、在缓冲层上沉积非晶硅层, 所述非晶硅层完全覆盖所述导热绝缘层;
- 步骤 4、采用离子植入技术在非晶硅层内植入硼离子, 再对非晶硅层进行快速热退火处理, 使非晶硅结晶成多晶硅, 然后通过蚀刻工艺蚀刻掉结晶过程中从多晶硅表面析出的导电层, 得到多晶硅层;
25 步骤 5、对多晶硅层进行图案化处理, 形成多晶硅半导体层;
- 步骤 6、在所述多晶硅半导体层上涂布光阻, 通过对所述光阻进行曝光、显影, 得到位于所述多晶硅半导体层上的光阻层, 暴露出所述多晶硅半导体层的两端区域; 以所述光阻层为遮蔽层, 对所述多晶硅半导体层的
30 两端区域通过离子植入技术植入硼离子, 形成源/漏极接触区;
- 步骤 7、剥离所述光阻层, 在多晶硅半导体层上依次形成栅极绝缘层、栅极、层间绝缘层、源/漏极, 所述源/漏极与多晶硅半导体层两端的源/漏极接触区相接触。

所述步骤 1 中, 所述缓冲层的材料为 SiNx、SiOx、或二者的组合。

所述步骤 2 中, 通过黄光、蚀刻制程对所述导热绝缘层进行图案化处理; 所述导热绝缘层的材料为 Al_2O_3 ; 所述导热绝缘层的厚度为 30-50nm。

所述步骤 3 中, 所述非晶硅层的厚度为 200-300nm。

所述步骤 4 中, 快速热退火处理的温度为 650°C - 700°C , 时间为 15-25 分钟; 蚀刻掉多晶硅表面上析出的导电层的厚度为 100-150nm。

所述步骤 5 中, 通过黄光、蚀刻制程对多晶硅层进行图案化处理; 所述导热绝缘层的图形与所述多晶硅半导体层的图形相对应。

所述步骤 7 中, 所述栅极绝缘层的材料为 SiO_x 。

本发明还提供一种低温多晶硅 TFT 基板的制作方法, 包括如下步骤:

10 步骤 1、提供一基板, 在基板上沉积缓冲层;

步骤 2、在缓冲层上沉积一层导热绝缘薄膜, 并对该导热绝缘薄膜进行图案化处理, 得到导热绝缘层;

步骤 3、在缓冲层上沉积非晶硅层, 所述非晶硅层完全覆盖所述导热绝缘层;

15 步骤 4、采用离子植入技术在非晶硅层内植入硼离子, 再对非晶硅层进行快速热退火处理, 使非晶硅结晶成多晶硅, 然后通过蚀刻工艺蚀刻掉结晶过程中从多晶硅表面析出的导电层, 得到多晶硅层;

步骤 5、对多晶硅层进行图案化处理, 形成多晶硅半导体层;

20 步骤 6、在所述多晶硅半导体层上涂布光阻, 通过对所述光阻进行曝光、显影, 得到位于所述多晶硅半导体层上的光阻层, 暴露出所述多晶硅半导体层的两端区域; 以所述光阻层为遮蔽层, 对所述多晶硅半导体层的两端区域通过离子植入技术植入硼离子, 形成源/漏极接触区;

25 步骤 7、剥离所述光阻层, 在多晶硅半导体层上依次形成栅极绝缘层、栅极、层间绝缘层、源/漏极, 所述源/漏极与多晶硅半导体层两端的源/漏极接触区相接触;

其中, 所述步骤 1 中, 所述缓冲层的材料为 SiN_x 、 SiO_x 、或二者的组合;

30 其中, 所述步骤 2 中, 通过黄光、蚀刻制程对所述导热绝缘薄膜进行图案化处理; 所述导热绝缘层的材料为 Al_2O_3 ; 所述导热绝缘层的厚度为 30-50nm;

其中, 所述步骤 3 中, 所述非晶硅层的厚度为 200-300nm。

本发明还提供一种低温多晶硅 TFT 基板, 包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的导热绝缘层、设于所述导热绝缘层上的多晶硅半导体层、设于所述缓冲层上覆盖所述导热绝缘层与多晶硅半导体层

的栅极绝缘层、设于所述栅极绝缘层上的栅极、设于所述栅极绝缘层上覆盖所述栅极的层间绝缘层、及设于所述层间绝缘层上的源/漏极；

所述多晶硅半导体层的两端区域为植入硼离子的源/漏极接触区；所述栅极绝缘层、及层间绝缘层上对应所述源/漏极接触区上方分别设有过孔；

5 所述源/漏极分别经由所述过孔与所述源/漏极接触区相接触。

所述缓冲层的材料为 SiN_x 、 SiO_x 、或二者的组合；所述导热绝缘层的材料为 Al_2O_3 ；所述栅极绝缘层的材料为 SiO_x 。

所述导热绝缘层的厚度为 30-50nm，所述导热绝缘层的图形与所述多晶硅半导体层的图形相对应。

10 本发明的有益效果：本发明的低温多晶硅 TFT 基板的制作方法，通过在缓冲层上形成一层绝缘性能及导热性质很好的导热绝缘层，使其在快速热退火处理过程中能很快吸收大量热量并且传给与之接触的非晶硅层，使此处的非晶硅结晶效率提高，得到晶粒更大、晶界更少的多晶硅，从而增强相应 TFT 器件载流子的迁移率，减小晶界对漏电流的影响。本发明的低温多晶硅 TFT 基板，缓冲层上对应多晶硅半导体层的下方设有导热绝缘层，多晶硅结晶的晶粒尺寸较大，晶界数量较少，TFT 器件载流子的迁移率较高，TFT 的电性较好。

附图说明

20 为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图中，

图 1 为现有的低温多晶硅 TFT 基板的制作方法的步骤 1 的示意图；
25 图 2 为现有的低温多晶硅 TFT 基板的制作方法的步骤 2 的示意图；
图 3 为现有的低温多晶硅 TFT 基板的制作方法的步骤 3 的示意图；
图 4 为现有的低温多晶硅 TFT 基板的制作方法的步骤 4 的示意图；
图 5 为现有的低温多晶硅 TFT 基板的制作方法的步骤 5 的示意图；
图 6 为现有的低温多晶硅 TFT 基板的制作方法的步骤 6 的示意图；
30 图 7 为本发明的低温多晶硅 TFT 基板的制作方法的流程图；
图 8 为本发明的低温多晶硅 TFT 基板的制作方法的步骤 1 的示意图；
图 9 为本发明的低温多晶硅 TFT 基板的制作方法的步骤 2 的示意图；
图 10 为本发明的低温多晶硅 TFT 基板的制作方法的步骤 3 的示意图；
图 11 为本发明的低温多晶硅 TFT 基板的制作方法的步骤 4 中在非晶硅

层内植入一定量硼的示意图；

图 12 为本发明的低温多晶硅 TFT 基板的制作方法的步骤 4 完成之后的示意图；

图 13 为本发明的低温多晶硅 TFT 基板的制作方法的步骤 5 的示意图；

5 图 14 为本发明的低温多晶硅 TFT 基板的制作方法的步骤 6 的示意图；

图 15 为本发明的低温多晶硅 TFT 基板的制作方法的步骤 7 的示意图暨本发明的低温多晶硅 TFT 基板的剖面结构示意图。

具体实施方式

10 为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 7 至图 15，本发明首先提供一种低温多晶硅 TFT 基板的制作方法，包括如下步骤：

步骤 1、如图 8 所示，提供一基板 1，在基板 1 上沉积缓冲层 2；

15 所述基板 1 为普通的透明基板，优选的，所述基板 1 为玻璃基板；具体地，所述缓冲层 2 的材料可以是 SiN_x 、 SiO_x 、或二者的组合。

步骤 2、如图 9 所示，在缓冲层 2 上沉积一层导热绝缘薄膜，并对该导热绝缘薄膜进行图案化处理，得到导热绝缘层 3；

具体的，所述导热绝缘层 3 的材料为的 Al_2O_3 。

20 优选的，所述导热绝缘层 3 的厚度为 30-50nm。

具体地，通过黄光、蚀刻制程对所述导热绝缘层 3 进行图案化处理，使所述导热绝缘层 3 的尺寸大小等于后续要制作的多晶硅半导体层 5 的大小。

25 步骤 3、如图 10 所示，在缓冲层 2 上沉积非晶硅层 4，所述非晶硅层 4 完全覆盖所述导热绝缘层 3；

优选的，所述非晶硅层 4 的厚度为 200-300nm。

30 步骤 4、如图 11、图 12 所示，采用离子植入技术在非晶硅层 4 内植入一定量的硼离子，再对非晶硅层 4 进行快速热退火处理，使非晶硅结晶成多晶硅，然后通过蚀刻工艺蚀刻掉结晶过程中从多晶硅表面析出的导电层，得到多晶硅层 5；

具体地，快速热退火处理的温度为 650°C - 700°C ，时间为 15-25 分钟；

优选的，蚀刻掉多晶硅表面上析出的导电层的厚度为 100-150nm，将所述导电层完全去除，仅剩下多晶硅结构。

步骤 5、如图 13 所示，通过黄光、蚀刻制程对多晶硅层 5 进行图案化

处理，形成多晶硅半导体层 50；

具体的，所述多晶硅半导体层 50 的图形与所述导热绝缘层 3 的图形相对应。

步骤 6、如图 14 所示，在所述多晶硅半导体层 50 上涂布光阻，通过对所述光阻进行曝光、显影，得到位于所述多晶硅半导体层 50 上的光阻层 55，暴露出所述多晶硅半导体层 50 的两端区域；以所述光阻层 55 为遮蔽层，对所述多晶硅半导体层 50 的两端区域，通过离子植入技术植入硼离子，形成源/漏极接触区 51；

步骤 7、如图 15 所示，剥离所述光阻层 55，在多晶硅半导体层 50 上依次形成栅极绝缘层 6、栅极 7、层间绝缘层 8、源/漏极 9，所述源/漏极 9 与多晶硅半导体层 50 两端区域的源/漏极接触区 51 相接触。

至此，完成该低温多晶硅 TFT 基板的制作。由于导热绝缘层 3 具有很好的绝缘性能及导热性质，在 RTA 处理过程中，导热绝缘层 3 能很快吸收大量热量并且传给与之接触的非晶硅层 4，使此处的非晶硅结晶效率提高，所述步骤 4 中形成的多晶硅层 5 内的多晶硅的晶粒更大、晶界更少，步骤 5 中形成的多晶硅半导体层 50 的电性较好，从而可以增强相应 TFT 器件载流子的迁移率，减小晶界对漏电流的影响，改善 TFT 的电性。

请参阅图 15，本发明还提供一种低温多晶硅 TFT 基板，包括基板 1、设于所述基板 1 上的缓冲层 2、设于所述缓冲层 2 上的导热绝缘层 3、设于所述导热绝缘层 3 上的多晶硅半导体层 50、设于所述缓冲层 2 上覆盖所述导热绝缘层 3 与多晶硅半导体层 50 的栅极绝缘层 6、设于所述栅极绝缘层 6 上的栅极 7、设于所述栅极绝缘层 6 上覆盖所述栅极 7 的层间绝缘层 8、及设于所述层间绝缘层 8 上的源/漏极 9。

所述多晶硅半导体层 50 的两端区域为植入硼离子的源/漏极接触区 51；所述栅极绝缘层 6、及层间绝缘层 8 上对应所述源/漏极接触区 51 上方分别设有过孔 91；所述源/漏极 9 分别经由所述过孔 91 与所述源/漏极接触区 51 相接触。

具体的，所述缓冲层 2 的材料可以是 SiN_x 、 SiO_x 、或二者的组合。

优选的，所述导热绝缘层 3 的材料为 Al_2O_3 。具体的，所述栅极绝缘层 6 的材料为 SiO_x 。

优选的，所述导热绝缘层 3 的厚度为 30-50nm。

具体的，所述导热绝缘层 3 的图形与所述多晶硅半导体层 50 的图形相对应。

上述低温多晶硅 TFT 基板，缓冲层上对应多晶硅半导体层的下方设有

导热绝缘层，多晶硅结晶的晶粒尺寸较大，晶界数量较少，TFT 器件载流子的迁移率较高，TFT 的电性较好。

综上所述，本发明的低温多晶硅 TFT 基板的制作方法，通过在缓冲层上形成一层绝缘性能及导热性质很好的导热绝缘层，使其在快速热退火处理过程中能很快吸收大量热量并且传给与之接触的非晶硅层，使此处的非晶硅结晶效率提高，得到晶粒更大、晶界更少的多晶硅，从而增强相应 TFT 器件载流子的迁移率，减小晶界对漏电流的影响。本发明的低温多晶硅 TFT 基板，缓冲层上对应多晶硅半导体层的下方设有导热绝缘层，多晶硅结晶的晶粒尺寸较大，晶界数量较少，TFT 器件载流子的迁移率较高，TFT 的电性较好。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

- 1、一种低温多晶硅 TFT 基板的制作方法，包括如下步骤：
 - 步骤 1、提供一基板，在基板上沉积缓冲层；
 - 5 步骤 2、在缓冲层上沉积一层导热绝缘薄膜，并对该导热绝缘薄膜进行图案化处理，得到导热绝缘层；
 - 步骤 3、在缓冲层上沉积非晶硅层，所述非晶硅层完全覆盖所述导热绝缘层；
 - 步骤 4、采用离子植入技术在非晶硅层内植入硼离子，再对非晶硅层进行快速热退火处理，使非晶硅结晶成多晶硅，然后通过蚀刻工艺蚀刻掉结晶过程中从多晶硅表面析出的导电层，得到多晶硅层；
 - 10 步骤 5、对多晶硅层进行图案化处理，形成多晶硅半导体层；
 - 步骤 6、在所述多晶硅半导体层上涂布光阻，通过对所述光阻进行曝光、显影，得到位于所述多晶硅半导体层上的光阻层，暴露出所述多晶硅半导体层的两端区域；以所述光阻层为遮蔽层，对所述多晶硅半导体层的两端区域通过离子植入技术植入硼离子，形成源/漏极接触区；
 - 15 步骤 7、剥离所述光阻层，在多晶硅半导体层上依次形成栅极绝缘层、栅极、层间绝缘层、源/漏极，所述源/漏极与多晶硅半导体层两端的源/漏极接触区相接触。
- 20 2、如权利要求 1 所述的低温多晶硅 TFT 基板的制作方法，其中，所述步骤 1 中，所述缓冲层的材料为 SiN_x 、 SiO_x 、或二者的组合。
- 3、如权利要求 1 所述的低温多晶硅 TFT 基板的制作方法，其中，所述步骤 2 中，通过黄光、蚀刻制程对所述导热绝缘薄膜进行图案化处理；所述导热绝缘层的材料为 Al_2O_3 ；所述导热绝缘层的厚度为 30-50nm。
- 25 4、如权利要求 1 所述的低温多晶硅 TFT 基板的制作方法，其中，所述步骤 3 中，所述非晶硅层的厚度为 200-300nm。
- 5、如权利要求 1 所述的低温多晶硅 TFT 基板的制作方法，其中，所述步骤 4 中，快速热退火处理的温度为 650°C - 700°C ，时间为 15-25 分钟；蚀刻掉多晶硅表面上析出的导电层的厚度为 100-150nm。
- 30 6、如权利要求 1 所述的低温多晶硅 TFT 基板的制作方法，其中，所述步骤 5 中，通过黄光、蚀刻制程对多晶硅层进行图案化处理；所述导热绝缘层的图形与所述多晶硅半导体层的图形相对应。
- 7、如权利要求 1 所述的低温多晶硅 TFT 基板的制作方法，其中，所述

步骤 7 中, 所述栅极绝缘层的材料为 SiO_x 。

8、一种低温多晶硅 TFT 基板的制作方法, 包括如下步骤:

步骤 1、提供一基板, 在基板上沉积缓冲层;

5 步骤 2、在缓冲层上沉积一层导热绝缘薄膜, 并对该导热绝缘薄膜进行图案化处理, 得到导热绝缘层;

步骤 3、在缓冲层上沉积非晶硅层, 所述非晶硅层完全覆盖所述导热绝缘层;

10 步骤 4、采用离子植入技术在非晶硅层内植入硼离子, 再对非晶硅层进行快速热退火处理, 使非晶硅结晶成多晶硅, 然后通过蚀刻工艺蚀刻掉结晶过程中从多晶硅表面析出的导电层, 得到多晶硅层;

步骤 5、对多晶硅层进行图案化处理, 形成多晶硅半导体层;

15 步骤 6、在所述多晶硅半导体层上涂布光阻, 通过对所述光阻进行曝光、显影, 得到位于所述多晶硅半导体层上的光阻层, 暴露出所述多晶硅半导体层的两端区域; 以所述光阻层为遮蔽层, 对所述多晶硅半导体层的两端区域通过离子植入技术植入硼离子, 形成源/漏极接触区;

步骤 7、剥离所述光阻层, 在多晶硅半导体层上依次形成栅极绝缘层、栅极、层间绝缘层、源/漏极, 所述源/漏极与多晶硅半导体层两端的源/漏极接触区相接触;

20 其中, 所述步骤 1 中, 所述缓冲层的材料为 SiN_x 、 SiO_x 、或二者的组合;

其中, 所述步骤 2 中, 通过黄光、蚀刻制程对所述导热绝缘薄膜进行图案化处理; 所述导热绝缘层的材料为 Al_2O_3 ; 所述导热绝缘层的厚度为 30-50nm;

其中, 所述步骤 3 中, 所述非晶硅层的厚度为 200-300nm。

25 9、如权利要求 8 所述的低温多晶硅 TFT 基板的制作方法, 其中, 所述步骤 4 中, 快速热退火处理的温度为 650°C - 700°C , 时间为 15-25 分钟; 蚀刻掉多晶硅表面上析出的导电层的厚度为 100-150nm。

30 10、如权利要求 8 所述的低温多晶硅 TFT 基板的制作方法, 其中, 所述步骤 5 中, 通过黄光、蚀刻制程对多晶硅层进行图案化处理; 所述导热绝缘层的图形与所述多晶硅半导体层的图形相对应。

11、如权利要求 8 所述的低温多晶硅 TFT 基板的制作方法, 其中, 所述步骤 7 中, 所述栅极绝缘层的材料为 SiO_x 。

12、一种低温多晶硅 TFT 基板, 包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的导热绝缘层、设于所述导热绝缘层上的多晶硅半导体

层、设于所述缓冲层上覆盖所述导热绝缘层与多晶硅半导体层的栅极绝缘层、设于所述栅极绝缘层上的栅极、设于所述栅极绝缘层上覆盖所述栅极的层间绝缘层、及设于所述层间绝缘层上的源/漏极；

- 5 所述多晶硅半导体层的两端区域为植入硼离子的源/漏极接触区；所述栅极绝缘层、及层间绝缘层上对应所述源/漏极接触区上方分别设有过孔；所述源/漏极分别经由所述过孔与所述源/漏极接触区相接触。

13、如权利要求 12 所述的低温多晶硅 TFT 基板，其中，所述缓冲层的材料为 SiN_x 、 SiO_x 、或二者的组合；所述导热绝缘层的材料为 Al_2O_3 ；所述栅极绝缘层的材料为 SiO_x 。

- 10 14、如权利要求 12 所述的低温多晶硅 TFT 基板，其中，所述导热绝缘层的厚度为 30-50nm；所述导热绝缘层的图形与所述多晶硅半导体层的图形相对应。

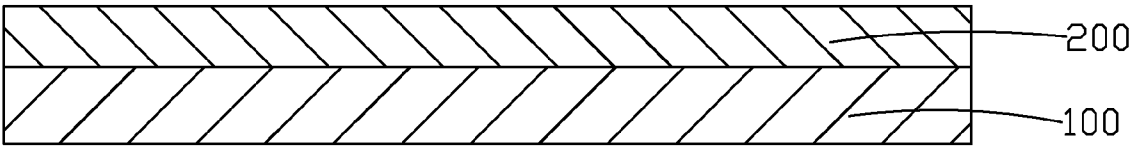


图1

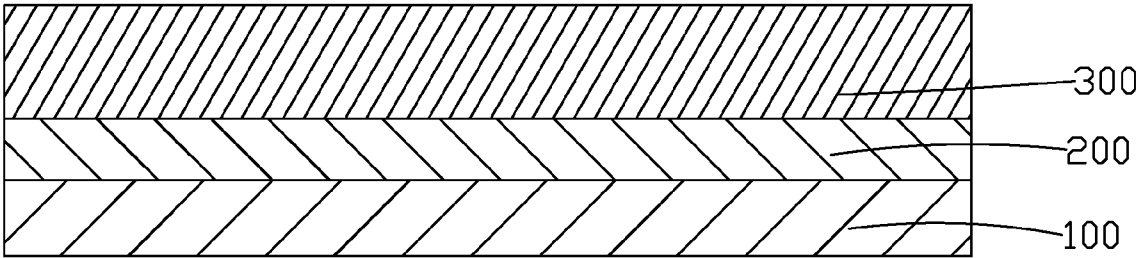


图2

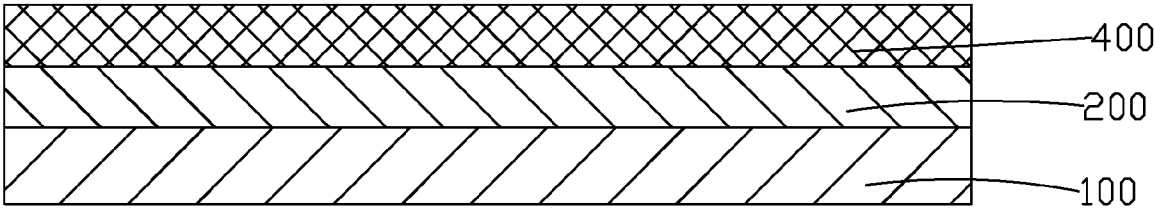


图3

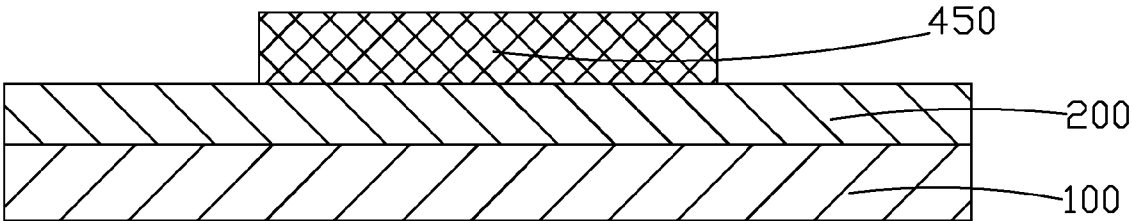


图4

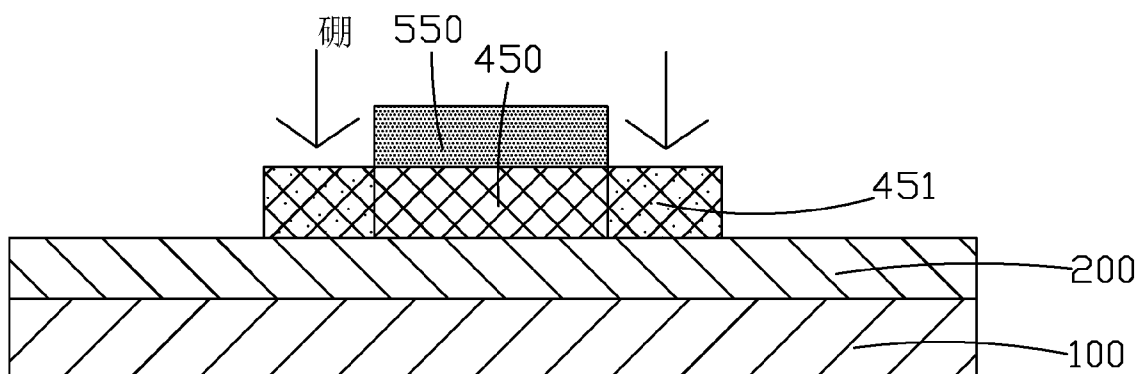


图5

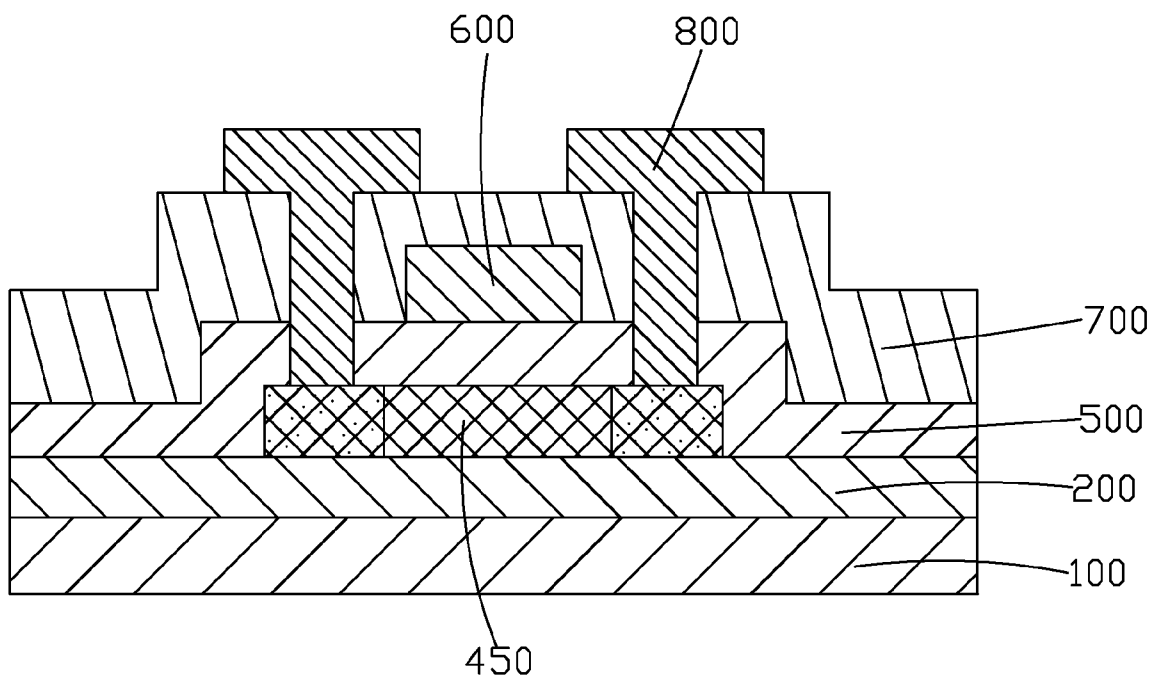


图6

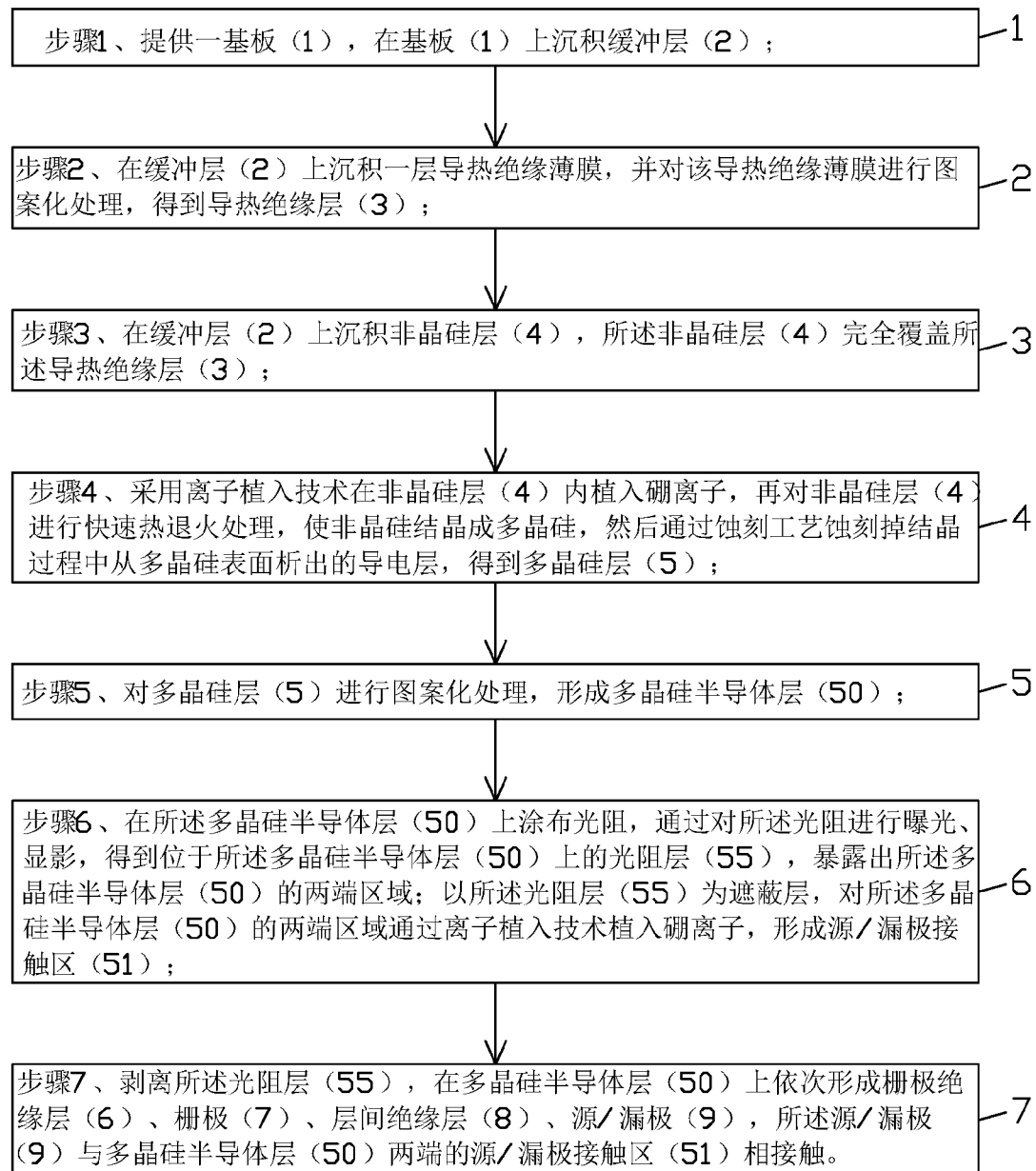


图7

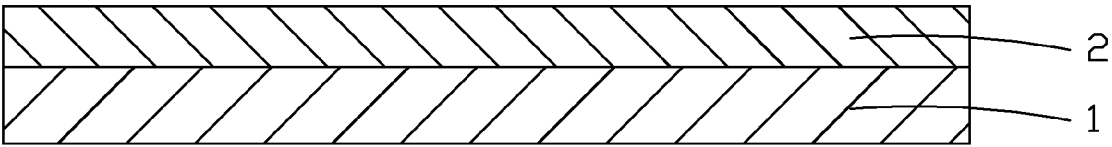


图8

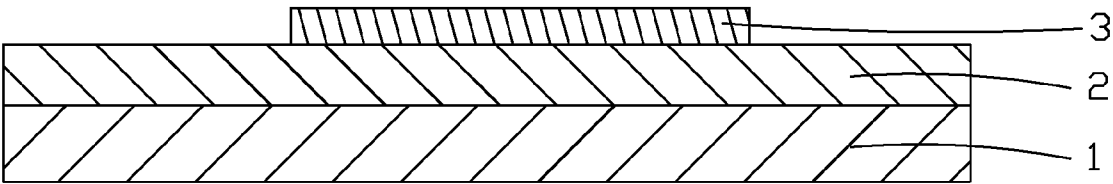


图9

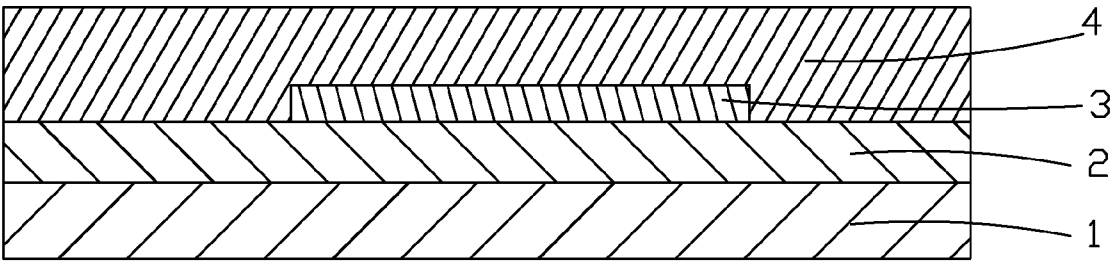


图10

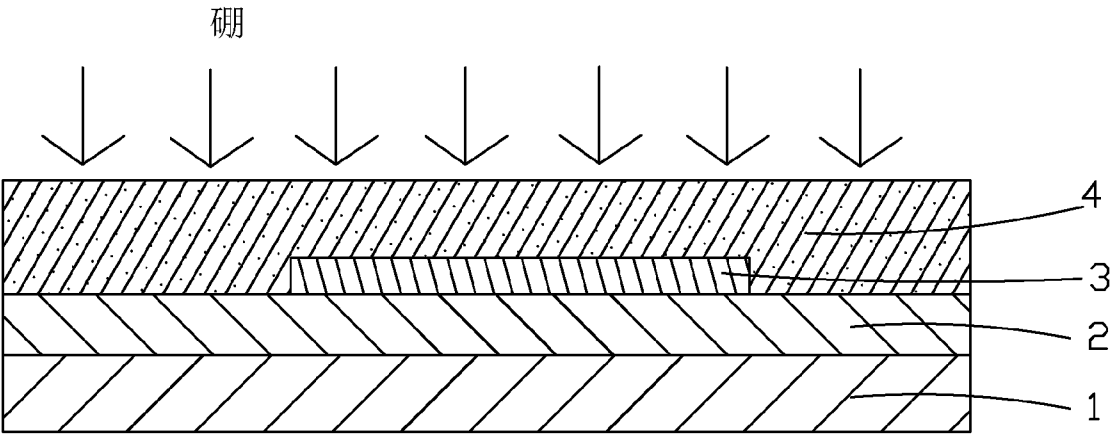


图11

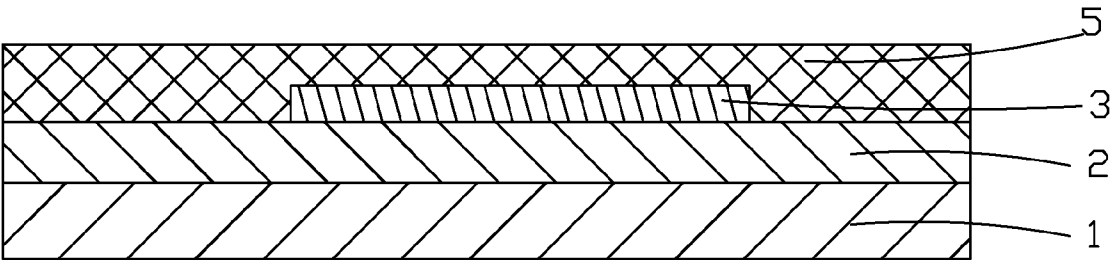


图12

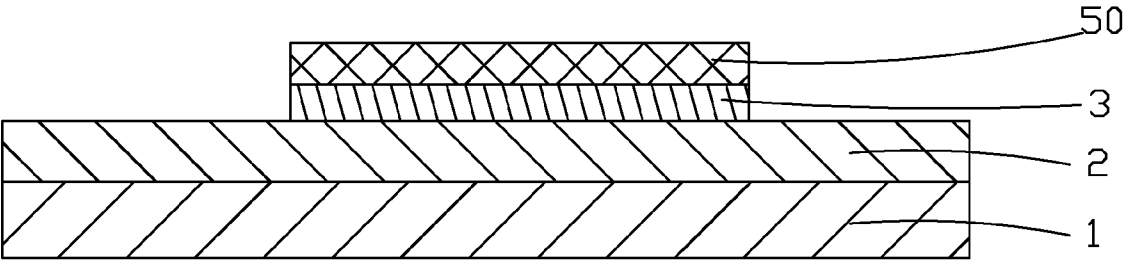


图13

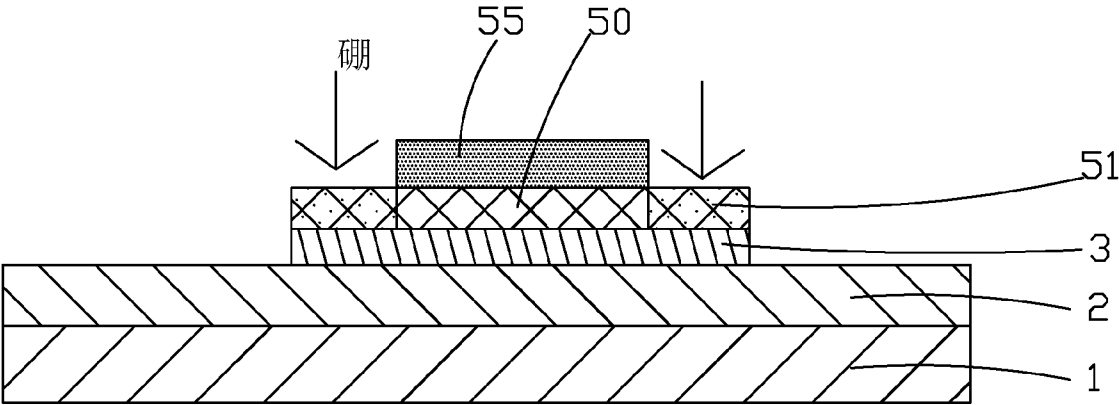


图14

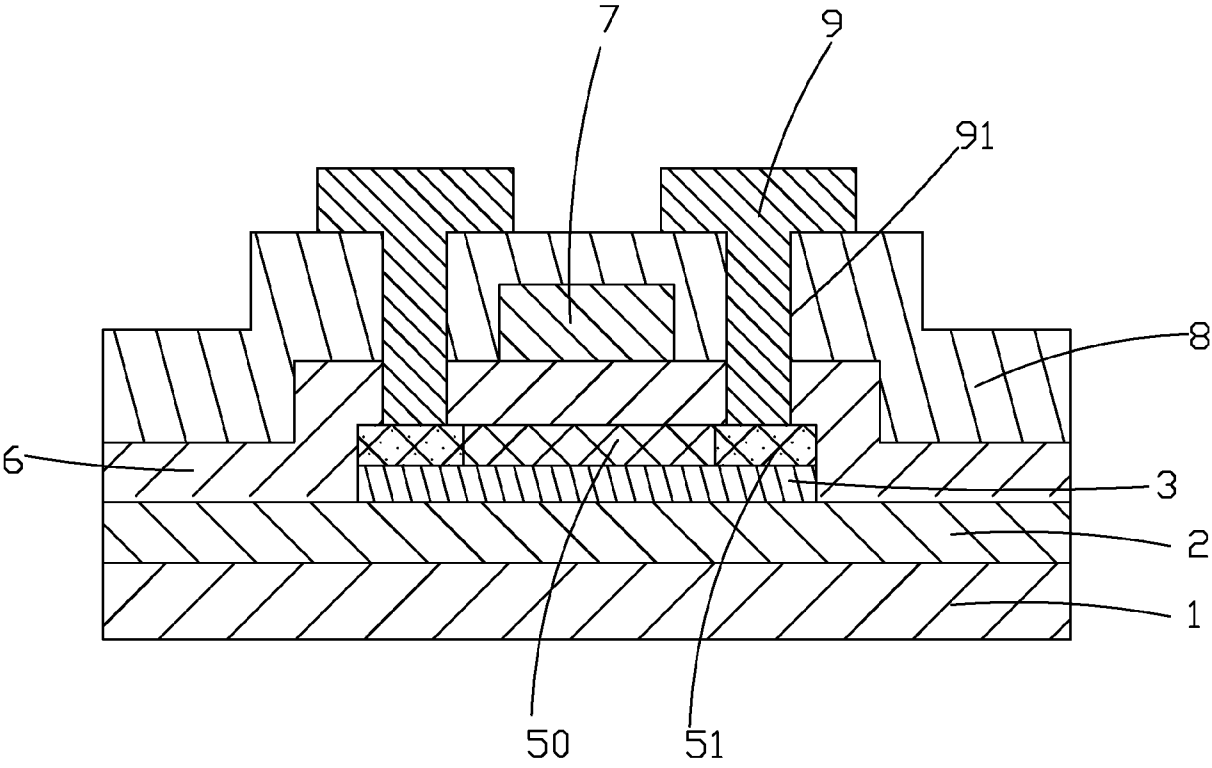


图15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/082667

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC, IEEE: polycrystalline silicon, heat conduction, aluminium oxide, TFT, thin film transistor, polycrystalline, silicon, heat, Al₂O₃, alumina

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 103107095 A (BOE TECHNOLOGY GROUP CO., LTD.), 15 May 2013 (15.05.2013), description, paragraphs [0077]-[0124], and figures 1-15	12-14
Y	CN 1127937 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.), 31 July 1996 (31.07.1996), description, page 2, lines 20-24 and page 29, line 12 to page 31, line 8, and figure 10	12-14
A	CN 102969250 A (BOE TECHNOLOGY GROUP CO., LTD.), 13 March 2013 (13.03.2013), the whole document	1-14
A	CN 104157700 A (TRULY (HUIZHOU) SMART DISPLAY CO., LTD.), 19 November 2014 (19.11.2014), the whole document	1-14
A	US 2004130005 A1 (GUZMAN, O. et al.), 08 July 2004 (08.07.2004), the whole document	1-14
A	US 2002121665 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.), 05 September 2002 (05.09.2002), the whole document	1-14
A	US 6025217 A (SONY CORPORATION), 15 February 2000 (15.02.2000), the whole document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 02 February 2016 (02.02.2016)	Date of mailing of the international search report 14 March 2016 (14.03.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer WANG, Li Telephone No.: (86-10) 82245262

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/082667

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103107095 A	15 May 2013	US 2014209912 A1	31 July 2014
CN 1127937 A	31 July 1996	US 5583369 A	10 December 1996
		CN 1085352 A	13 April 1994
		CN 100442532 C	10 December 2008
		CN 1196184 C	06 April 2005
		CN 1269092 C	09 August 2006
		CN 1652347 A	10 August 2005
		CN 1292569 A	25 April 2001
		CN 1178279 C	01 December 2004
		CN 1248038 A	22 March 2000
		CN 1043704 C	16 June 1999
		KR 970010652 B1	30 June 1997
		CN 1238555 A	15 December 1999
		CN 1052568 C	17 May 2000
		JP H06296023 A	21 October 1994
		US 5696386 A	09 December 1997
		US 5946561 A	31 August 1999
		JP H0689905 A	29 March 1994
		JP H11154647 A	08 June 1999
		JP H11154750 A	08 June 1999
		JP 2000058864 A	25 February 2000
		JP 2000082819 A	21 March 2000
		JP 2000332261 A	30 November 2000
		JP 2001119037 A	27 April 2001
		JP 2001185735 A	06 July 2001
		JP 2001185734 A	06 July 2001
		JP 2001189462 A	10 July 2001
		JP 2001196596 A	19 July 2001
		JP 2003023163 A	24 January 2003
		JP 2003158271 A	30 May 2003
		US 7564057 B1	21 July 2009
		CN 1937255 A	28 March 2007
CN 102969250 A	13 March 2013	CN 102969250 B	19 August 2015
		US 2014138695 A1	22 May 2014
CN 104157700 A	19 November 2014	None	
US 2004130005 A1	08 July 2004	WO 2004030091 A1	08 April 2004
		AU 2003267318 A1	19 April 2004
		EP 1403918 A1	31 March 2004
		TW 200423239 A	01 November 2004
US 2002121665 A1	05 September 2002	US 6410368 B1	25 June 2002
		US 6555875 B2	29 April 2003
		JP 2001196599 A	19 July 2001
		JP 4776767 B	21 September 2011
US 6025217 A	15 February 2000	KR 100385693 B1	21 August 2003
		JP H08148430 A	07 June 1996

国际检索报告

国际申请号

PCT/CN2015/082667

A. 主题的分类

H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, WPI, EPDOC, IEEE: 薄膜晶体管, 多晶硅, 导热, 氧化铝, TFT, thin film transistor, polycrystalline, silicon, heat, Al2O3, alumina

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 103107095 A (京东方科技集团股份有限公司) 2013年 5月 15日 (2013 - 05 - 15) 说明书第[0077]-[0124]段, 图1-15	12-14
Y	CN 1127937 A (株式会社半导体能源研究所) 1996年 7月 31日 (1996 - 07 - 31) 说明书第2页第20-24行, 第29页第12行-第31页第8行, 图10	12-14
A	CN 102969250 A (京东方科技集团股份有限公司) 2013年 3月 13日 (2013 - 03 - 13) 全文	1-14
A	CN 104157700 A (信利惠州智能显示有限公司) 2014年 11月 19日 (2014 - 11 - 19) 全文	1-14
A	US 2004130005 A1 (GUZMAN, GUILLAUME ET AL.) 2004年 7月 8日 (2004 - 07 - 08) 全文	1-14
A	US 2002121665 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 2002年 9月 5日 (2002 - 09 - 05) 全文	1-14
A	US 6025217 A (SONY CORPORATION) 2000年 2月 15日 (2000 - 02 - 15) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 2月 2日

国际检索报告邮寄日期

2016年 3月 14日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

王丽

传真号 (86-10) 62019451

电话号码 (86-10) 82245262

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/082667

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103107095	A	2013年 5月 15日	US	2014209912	A1	2014年 7月 31日
CN	1127937	A	1996年 7月 31日	US	5583369	A	1996年 12月 10日
				CN	1085352	A	1994年 4月 13日
				CN	100442532	C	2008年 12月 10日
				CN	1196184	C	2005年 4月 6日
				CN	1269092	C	2006年 8月 9日
				CN	1652347	A	2005年 8月 10日
				CN	1292569	A	2001年 4月 25日
				CN	1178279	C	2004年 12月 1日
				CN	1248038	A	2000年 3月 22日
				CN	1043704	C	1999年 6月 16日
				KR	970010652	B1	1997年 6月 30日
				CN	1238555	A	1999年 12月 15日
				CN	1052568	C	2000年 5月 17日
				JP	H06296023	A	1994年 10月 21日
				US	5696386	A	1997年 12月 9日
				US	5946561	A	1999年 8月 31日
				JP	H0689905	A	1994年 3月 29日
				JP	H11154647	A	1999年 6月 8日
				JP	H11154750	A	1999年 6月 8日
				JP	2000058864	A	2000年 2月 25日
				JP	2000082819	A	2000年 3月 21日
				JP	2000332261	A	2000年 11月 30日
				JP	2001119037	A	2001年 4月 27日
				JP	2001185735	A	2001年 7月 6日
				JP	2001185734	A	2001年 7月 6日
				JP	2001189462	A	2001年 7月 10日
				JP	2001196596	A	2001年 7月 19日
				JP	2003023163	A	2003年 1月 24日
				JP	2003158271	A	2003年 5月 30日
				US	7564057	B1	2009年 7月 21日
				CN	1937255	A	2007年 3月 28日
CN	102969250	A	2013年 3月 13日	CN	102969250	B	2015年 8月 19日
				US	2014138695	A1	2014年 5月 22日
CN	104157700	A	2014年 11月 19日	无			
US	2004130005	A1	2004年 7月 8日	WO	2004030091	A1	2004年 4月 8日
				AU	2003267318	A1	2004年 4月 19日
				EP	1403918	A1	2004年 3月 31日
				TW	200423239	A	2004年 11月 1日
US	2002121665	A1	2002年 9月 5日	US	6410368	B1	2002年 6月 25日
				US	6555875	B2	2003年 4月 29日
				JP	2001196599	A	2001年 7月 19日
				JP	4776767	B	2011年 9月 21日
US	6025217	A	2000年 2月 15日	KR	100385693	B1	2003年 8月 21日
				JP	H08148430	A	1996年 6月 7日

表 PCT/ISA/210 (同族专利附件) (2009年7月)