

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6140933号
(P6140933)

(45) 発行日 平成29年6月7日 (2017.6.7)

(24) 登録日 平成29年5月12日 (2017.5.12)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)
G09G 3/20 (2006.01)G09G 3/36
G09G 3/20 612K
G09G 3/20 623M
G09G 3/20 623N
G09G 3/20 612U

請求項の数 5 (全 11 頁)

(21) 出願番号 特願2012-85891 (P2012-85891)
(22) 出願日 平成24年4月4日 (2012.4.4)
(65) 公開番号 特開2013-217983 (P2013-217983A)
(43) 公開日 平成25年10月24日 (2013.10.24)
審査請求日 平成27年4月2日 (2015.4.2)(73) 特許権者 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(74) 代理人 100076428
弁理士 大塚 康德
(74) 代理人 100112508
弁理士 高柳 司郎
(74) 代理人 100115071
弁理士 大塚 康弘
(74) 代理人 100116894
弁理士 木村 秀二
(74) 代理人 100130409
弁理士 下山 治
(74) 代理人 100134175
弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 表示装置及びその制御方法

(57) 【特許請求の範囲】

【請求項 1】

クロックを生成する生成手段と、
 入力されたアナログ画像信号を、前記クロックに応じてデジタル画像信号に変換する変換手段と、
 前記変換手段から出力された前記デジタル画像信号に対応する画像を表示する表示手段と、
 前記生成手段を制御して前記クロックの位相を設定する制御手段と
 を備え、
 前記制御手段は、
 それぞれが複数の異なる位相の前記クロックに応じて変換された前記デジタル画像信号における、隣接画素間の差分の最大値と最小値との間に閾値を超える差があるか否かに基づき、

前記隣接画素間の差分の最大値と最小値との間に前記閾値を超える差がある場合には、前記隣接画素間の差分に基づいて前記クロックの位相を設定し、
前記隣接画素間の差分の最大値と最小値との間に前記閾値を超える差がない場合には、それぞれが複数の異なる位相の前記クロックに応じて変換された、複数のフレームの前記デジタル画像信号のフレーム間の差分に基づいて前記クロックの位相を設定する
 ことを特徴とする表示装置。

【請求項 2】

クロックを生成する生成手段と、
入力されたアナログ画像信号を、前記クロックに応じてデジタル画像信号に変換する変換手段と、

前記変換手段から出力された前記デジタル画像信号に対応する画像を表示する表示手段と、

前記生成手段を制御して前記クロックの位相を設定する制御手段と
を備え、

前記制御手段は、
それぞれが複数の異なる位相の前記クロックに応じて変換された前記デジタル画像信号
における、隣接画素間の差分の分散が閾値よりも大きいか否かに基づき、

前記隣接画素間の差分の分散が前記閾値より大きい場合には、前記隣接画素間の差分
に基づいて前記クロックの位相を設定し、

前記隣接画素間の差分の分散が前記閾値以下である場合には、それぞれが複数の異なる
位相の前記クロックに応じて変換された、複数のフレームの前記デジタル画像信号のフ
レーム間の差分に基づいて前記クロックの位相を設定することを特徴とする表示装置。

【請求項 3】

前記制御手段は、前記フレーム間の差分に基づいて前記クロックの位相を設定する場合、
前記複数の異なる位相のうち、前記フレーム間の差分が最小となる位相を前記クロック
の位相として設定することを特徴とする請求項 1 または 2に記載の表示装置。

【請求項 4】

前記生成手段は、前記入力されたアナログ画像信号に同期したクロックを生成すること
を特徴とする請求項 1 または 2に記載の表示装置。

【請求項 5】

表示装置の制御方法であって、

前記表示装置の生成手段が、クロックを生成する生成工程と、

前記表示装置の変換手段が、入力されたアナログ画像信号を、前記クロックに応じてデ
ジタル画像信号に変換する変換工程と、

前記変換工程において変換された前記デジタル画像信号に対応する画像を前記表示装置
の表示手段が表示する表示工程と、

前記表示装置の制御手段が、前記生成手段を制御して前記クロックの位相を設定する制
御工程と

を有し、

前記制御工程では、

それぞれが複数の異なる位相の前記クロックに応じて変換された前記デジタル画像信号
における、隣接画素間の差分の最大値と最小値との間に閾値を超える差があるか否かに基
づく、

前記隣接画素間の差分の最大値と最小値との間に前記閾値を超える差がある場合に、
前記隣接画素間の差分に基づいて前記クロックの位相を設定し、

前記隣接画素間の差分の最大値と最小値との間に前記閾値を超える差がない場合に、
それぞれが複数の異なる位相の前記クロックに応じて変換された、複数のフレームの前記
デジタル画像信号のフレーム間の差分に基づいて前記クロックの位相を設定する

ことを特徴とする表示装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその制御方法、コンピュータプログラムに関する。

【背景技術】

【0002】

コンピュータで作成される文書やグラフィックのアナログ映像信号を、表示装置で表示
する場合、映像信号のサンプリングクロックや有効映像領域を、コンピュータと表示装置

10

20

30

40

50

とで一致させることが重要となる。表示装置では水平及び垂直同期信号の周波数や極性等の属性と、サンプリングクロックや有効映像領域を関連付けた信号フォーマットテーブルを保有しており、コンピュータから出力される同期信号の属性を読み取ることで、信号フォーマットの判別が可能となる。表示装置において、コンピュータからのアナログ映像信号をデジタル化する際に必要となるサンプリングクロックは、通常は水平同期信号を逡倍することによって生成される。

【 0 0 0 3 】

このサンプリングクロックの周波数は、先に述べた同期信号の情報から適正值を知ることが可能となる場合が多いが、サンプリングクロックの位相に関してはコンピュータ毎に適正值が異なってしまう。これは、様々な要因によりコンピュータから伝送される水平同期信号と映像信号には、コンピュータ毎に異なる時間差が生じているためである。また、コンピュータから出力される信号フォーマットは多岐に渡っているため、表示装置の信号フォーマットテーブルでそれらに完全に対処することは極めて困難であり、表示装置でサンプリング周波数の適正值が判らない場合も発生する。そのため、アナログ映像信号を良好にデジタル化するためには、表示装置側で上記のサンプリング周波数やサンプリング位相を最適化する機能が必要となり、それを自動的に実現するサンプリングクロック自動調整機能が発展してきた。

【 0 0 0 4 】

例えば、特許文献 1 には、サンプリングクロック自動調整機能として以下の技術が開示されている。1フレームの入力映像信号において、隣接する1組または2組以上の画素間における映像信号値の差の積算値を取得する処理を各位相に対して実行する。映像信号値の差の積算値は良好なサンプリング位相では大きく、良好でないサンプリング位相では小さくなるため、取得された映像信号値の差の積算値が最大となるようにサンプリング周波数とサンプリング位相を調整する。

【 0 0 0 5 】

特許文献 2 では、サンプリングクロック自動調整機能として以下の技術が開示されている。基本的には特許文献 1 と同じであるが、積算値を取得する処理が映像信号値の差の 2 乗を積算するという点で異なる。

【 0 0 0 6 】

例えば図 5 (a) のようなアナログ映像信号をサンプリングした場合を例に示す。なお、図 5 (a) ~ (c) の横軸は画像の水平位置を示し、縦軸は画像の輝度値を示している [図 5 (a) はアナログ値、図 5 (b) と図 5 (c) はデジタル値]。サンプリング位置は、黒色矢印と白色矢印である。図 5 (b) は黒色矢印でサンプリングした結果を示しており、図中の矩形がサンプリングした結果である。また同様に図 5 (c) は白色矢印でサンプリングした結果を示しており、図中の矩形がサンプリングした結果である。図 5 (b) と図 (c) を比較すると、図 5 (b) の黒色矢印のサンプリング位置 (サンプリング位相) でサンプリングした結果の方が隣接する輝度値の差が大きいことが分かる。これは、特許文献 1 及び特許文献 2 で開示されているように、図 5 (b) でのサンプリング位置 (サンプリング位相) が良好であることを示している。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 特開平 1 1 - 1 7 7 8 4 7 号公報

【 特許文献 2 】 特開 2 0 0 0 - 0 2 0 0 0 8 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

しかしながら、上述の特許文献に開示された従来技術では、C A D やコンピュータグラフィックなど映像信号のコントラストが元々高い場合は良好にサンプリングクロックやサンプリング位相を制御できるが、コントラストが低い自然画においては良好にサンプリ

10

20

30

40

50

グクロックやサンプリング位相を制御できないことがある。例えば、図 6 (a) で示すアナログ映像信号を黒色矢印と白色矢印でサンプリングした場合、図 6 (b) と図 6 (c) でそれぞれの隣接画素の差を比較しても明確な差を見出すことは難しい。

【 0 0 0 9 】

そこで、本発明は、コントラストが低いアナログ映像信号をデジタル映像信号に変換するサンプリング処理においても、良好なサンプリング処理を可能とする。

【課題を解決するための手段】

【 0 0 1 0 】

上記課題を解決するための本発明は、表示装置であって、

クロックを生成する生成手段と、

入力されたアナログ画像信号を、前記クロックに応じてデジタル画像信号に変換する変換手段と、

前記変換手段から出力された前記デジタル画像信号に対応する画像を表示する表示手段と、

前記生成手段を制御して前記クロックの位相を設定する制御手段と

を備え、

前記制御手段は、

それぞれが複数の異なる位相の前記クロックに応じて変換された前記デジタル画像信号における、隣接画素間の差分の最大値と最小値との間に閾値を超える差があるか否かに基づき、

前記隣接画素間の差分の最大値と最小値との間に前記閾値を超える差がある場合には、前記隣接画素間の差分に基づいて前記クロックの位相を設定し、

前記隣接画素間の差分の最大値と最小値との間に前記閾値を超える差がない場合には、それぞれが複数の異なる位相の前記クロックに応じて変換された、複数のフレームの前記デジタル画像信号のフレーム間の差分に基づいて前記クロックの位相を設定することを特徴とする。

【発明の効果】

【 0 0 1 1 】

本発明によれば、コントラストが低いアナログ映像信号をデジタル映像信号に変換するサンプリング処理においても、良好にサンプリング処理を行うことができる。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】実施形態 1 に対応する表示装置の構成の一例を示す図である。

【図 2】実施形態 1 に対応する処理の一例を示すフローチャートである。

【図 3】実施形態 2 に対応する表示装置の構成の一例を示す図である。

【図 4】実施形態 2 に対応する処理の一例を示すフローチャートである。

【図 5】アナログ映像信号をサンプリングした場合の一例を説明するための図である。

【図 6】アナログ映像信号をサンプリングした場合の他の一例を説明するための図である。

【発明を実施するための形態】

【 0 0 1 3 】

以下に、本発明の実施形態を、添付の図面に基づいて詳細に説明する。図 1 は、本発明の実施形態にかかわる画像表示装置である。

【 0 0 1 4 】

[実施形態 1]

以下、図 1、図 2 を参照して、本発明の実施形態 1 に対応する表示装置について説明する。図 1 には、実施形態 1 に対応する表示装置 100 の構成を示す。本実施形態では、表示装置 100 を液晶プロジェクタ 100 として説明する。なお、表示装置 100 の実施形態は、液晶プロジェクタに限定されるものではなく、液晶ディスプレイであってもよい。また、より一般的には、入力されたアナログ信号をデジタル信号に変換して表示する画像

10

20

30

40

50

表示装置であればどんな装置であってもよい。

【0015】

液晶プロジェクタ100は、図1に示すとおり、アナログ映像信号入力インタフェース(I F) 101、同期信号検出部102、A D変換部103、サンプリングクロック生成部104、R A M 105、フレーム間差分値算出部106、画像処理部107、パネル制御ドライバ109、表示パネル108、ランプ制御部111、光源ランプ110、C P U 112を有することができる。

【0016】

次に液晶プロジェクタ100の動作について説明する。アナログ映像信号入力 I F 101は液晶プロジェクタ100に表示するアナログ映像信号を入力するインタフェース(I F) であり、例えばD - S u b 15ピン端子である。同期信号検出部102はアナログ映像信号入力 I F 101に入力された映像信号の同期信号情報を検出する処理部であり、水平同期信号(H s y n c) や垂直同期信号(V s y n c) のタイミング情報(周波数情報) を検出する。同期信号検出部102は、検出したタイミング情報をC P U 112に送信する。

【0017】

A D変換部103はアナログ映像信号をデジタル変換してデジタル映像信号を生成する。サンプリングクロック生成部104はA D変換部103へサンプリングクロックを供給する。サンプリングクロック生成部104はC P U 112からアナログ映像信号の水平総ドット数、位相値の通知を受け、通知された位相値に従って基準サンプリングクロックの位相をずらしてA D変換部103にクロック信号を供給する。なお、サンプリングクロックは、通常は水平同期信号を通倍することで生成できる。ここで通倍数は水平総ドット数としている。R A M 105はA D変換部103から出力されたデジタル映像信号を保持する。また、後述するフレーム間差分値算出部106にて前フレームのデジタル映像信号と現フレームのデジタル映像信号との差分を算出するために前フレームのデジタル映像信号も保持する。フレーム間差分値算出部106は、現フレームのアナログ映像信号をA D変換部103でA D変換して得られたデジタル映像信号と、R A M 105が保持する前フレームのデジタル映像信号とのフレーム間差分を算出する処理部である。フレーム間差分の算出方法は公知であるので、ここでの詳細な説明は省略する。

【0018】

画像処理部107は、入力されたデジタル映像信号についてスケーリング処理やコントラスト制御、台形補正などの画像処理を行い、処理結果のデジタル映像信号をパネル制御ドライバ109へ出力する。これらの制御はC P U 112からの制御信号に応じて行う。表示パネル108は2次元に配置された画像素子で構成される。本実施形態では、表示パネル108は液晶パネルとして構成される。パネル制御ドライバ109は画像処理部107から受信したデジタル映像信号に応じて表示パネル108を制御する。光源ランプ110は高圧水銀ランプやキセノンランプなどであり、表示パネル108へ投光する。ランプ制御部111は光源ランプ110を制御する。

【0019】

C P U 112は内部に駆動ファームウェアを保存する内部R O Mと作業用メモリとを有する。C P U 112は画像処理部107、パネル制御ドライバ109、ランプ制御部111、アナログ映像信号からデジタル映像信号に変換するA D変換の制御などを含め、液晶プロジェクタ100の全体の動作を制御する。なお、A D変換については後述する制御フローにおいて詳細を説明する。

【0020】

次に図2を参照して本実施形態におけるC P U 112の制御フローを説明する。当該制御フローは、C P U 112の内部の駆動ファームウェアを実行することにより実現される。まず、アナログ映像信号をデジタル映像信号に変換するA D変換のために、C P U 112は、S 201において同期信号検出部102から周波数情報を受信する。続くS 202では、受信した周波数情報に基づき、内部R O Mに保存している映像信号テーブルを参照

10

20

30

40

50

し、入力アナログ映像信号に対応する映像信号フォーマットを検出する。なお、この映像信号テーブルは周波数情報と水平総ドット数が紐づけられている映像信号フォーマットのリストデータである。続くS203でCPU112は、検出した映像信号フォーマットから水平総ドット数を求め、サンプリングクロック生成部104に水平総ドット数を設定する。

【0021】

次にS204にてCPU112は、サンプリングクロック位相値の初期値1をサンプリングクロック生成部104に設定する。なお、本実施形態ではサンプリングクロックの設定可能な位相値を1から32とした。なお、位相の分割数は32に限定されるものではなく、32より細かくても粗くてもよい。

【0022】

サンプリングクロック生成部104がCPU112から設定された位相値を基に、基準信号の位相をずらしてサンプリングクロックを生成すると、AD変換部103はS205で設定されたサンプリングクロックに従いアナログ映像信号をデジタル映像信号へAD変換する。続くS206でRAM105は、AD変換部103から得られたデジタル映像信号を保持する。続くS207では、フレーム間差分値算出部106がRAM105に保持されている前フレームのデジタル映像信号とAD変換部103から出力された現フレームのデジタル映像信号との間でフレーム間差分を算出する。続くS208でCPU112は、フレーム間差分値算出部106が算出したフレーム間差分値が、位相値の初期値から現在の位相値までで計算された複数のフレーム間差分値のうち最小値に相当するかどうかを判定する。CPU112は、内部の作業メモリ内に計算されたフレーム間差分値を保持しておき、より小さい値が算出された場合に、当該算出値により保持しているフレーム間差分値を更新する。もしフレーム間差分値が最小値と判定された場合(S208で「YES」)、CPU112はS209において、S204で設定したサンプリングクロックの位相値をRAM105へ保存する。以上のS204からS209までの処理は、位相値1から32まで、画面がリフレッシュされる毎(垂直同期信号が1つ入力される毎)に行われる。

【0023】

上記ループ処理が終了した後、S210でCPU112は、RAM105に一時退避されているサンプリングクロック位相値を最適クロック位相値に決定し、再びサンプリングクロック生成部104に設定する。サンプリングクロック生成部104は、設定された最適クロック位相値に従って再度サンプリングクロックをAD変換部103に供給する。AD変換部103は、最適クロック位相値に従うサンプリングクロックにより、入力アナログ映像信号をデジタル映像信号に変換して画像処理部107へ出力する。また、当該デジタル映像信号はRAM105にも出力され、フレーム間差分値算出部106が次のフレームのフレーム間差分を算出するために保持される。

【0024】

以上の本実施形態では、フレーム間差分値を算出する場合、各画素のフレーム間差分値をフレーム全体で和算したり、予め定めた所定領域内だけで各画素のフレーム間差分を和算した結果を、フレーム間差分値とすることができる。なお、所定領域は、フレーム内の任意の領域であって、例えばフレームの中心を含む所定サイズの領域とすることができる。さらに、本実施形態では、フレーム間差分値を2フレーム間で算出する場合を説明したが、3以上のフレーム数でのフレーム間差分値を算出しても良い。例えば、3フレームでの比較を行う場合、現フレームと比較される2つのフレームは、現フレームの直前の2フレームとすることができる。その場合、例えば、現フレームをフレーム0、現フレームの直前の2フレームを時間的に遅いものからそれぞれフレームB、フレームAとした場合、フレームBとフレームAの差分値の領域合計と、フレームAとフレーム0の差分値の領域合計を時間的に和算した結果を評価値とする。この評価値を位相を1から32まで振ったもので最小値を求める。

【0025】

さらに、本実施形態では、フレーム間差分値が最小となったサンプリングクロック位相値を良好な位相値としたが、フレーム間差分値が最大となった位相値から半周期ずれた位相値を良好なサンプリングクロック位相値としても良い。

【 0 0 2 6 】

以上、説明したように本実施形態では、アナログ映像信号をサンプリングした後のデジタル映像信号のぶれ量をフレーム間差分値として算出し、その値をサンプリングクロックの最適位相値の設定に使用する。これにより、特に自然画などＣＡＤやコンピュータグラフィックといった映像信号と比較して隣接画素のコントラストが低い場合の映像データの場合においてもＡＤ変換を良好に行うことが可能となる。

【 0 0 2 7 】

10

〔実施形態２〕

以下、図３及び図４を参照して、本発明の実施形態２に対応する表示装置について説明する。図３に示す表示装置３００は、実施形態１で示した表示装置としての液晶プロジェクタ１００の構成に隣接画素間差分値算出部１１３を追加したものである。よって、隣接画素間差分値算出部１１３以外の構成要素についての説明はここでは省略する。隣接画素間差分値算出部１１３は、同一フレーム内で隣接する２つの画素の画素値の差分を算出し、その絶対値を求める処理部である。ＣＰＵ１１２はフレームの所定領域内に含まれる画素について算出された隣接画素間差分値を和算した結果を隣接画素間差分値の評価値として用いる。所定領域の大きさについては、例えばフレーム全体としてもよいし、フレームの任意の領域（例えば、中心を含む所定サイズの領域）としてもよい。

20

【 0 0 2 8 】

なお本実施形態でも、表示装置３００を液晶プロジェクタとして説明する。ただし、表示装置は液晶ディスプレイであってもよし、より一般的には、入力されたアナログ信号をデジタル信号に変換して表示する画像表示装置であればどんな装置であってもよい。

【 0 0 2 9 】

次に図４を参照して本実施形態におけるＣＰＵ１１２の制御フローについて説明する。Ｓ４０１からＳ４０５までの処理は、実施形態１の制御フローを示す図２のＳ２０１からＳ２０５と同様であるので説明は省略する。Ｓ４０５の後、処理は二つに分岐する。一方のＳ４０６では隣接画素間差分値算出部１１３にてＡＤ変換部１０３から出力されたデジタル映像信号の所定領域に含まれる画素について隣接画素間の差分値を算出し、当該所定領域について差分結果を和算する。ここでは、フレーム全体について算出した場合を考える。続くＳ４０７では、設定されたサンプリング位相値と差分結果の和算値とをＲＡＭ１０５へ退避する。

30

【 0 0 3 0 】

Ｓ４０５の後に分岐した他方の処理としてＳ４０８からＳ４１１までの処理が行われるが、ここでの処理は図２のＳ２０６からＳ２０９までと同様であるので説明を省略する。なお、Ｓ４０６及びＳ４０７と、Ｓ４０８からＳ４１１までの処理は同時に実行されるシーケンスであって、位相値１から３２まで、画面がリフレッシュされる毎（垂直同期信号が１つ入力される毎）に行われる。

【 0 0 3 １ 】

40

以上のループ処理が終了した後、Ｓ４１２でＣＰＵ１１２は、Ｓ４０７で算出した隣接画素差分結果の妥当性を検証する。具体的に、ＣＰＵ１１２は、位相を１から３２まで変化した際の隣接画素差分結果（フレーム全体）のうち、最大値と最小値との間に所定の閾値を越える差があるかどうかを判定する。もし所定の閾値を超える差がある場合（Ｓ４１２で「ＹＥＳ」）、Ｓ４１３でＣＰＵ１１２は、最大値を取ったサンプリング位相値を最適位相値とする。これとは逆に該最大値と該最小値との間に所定の閾値を超える差がない場合（Ｓ４１２で「Ｎｏ」）、Ｓ４１４でＣＰＵ１１２は、Ｓ４１１で退避したフレーム間差分値が最小となったサンプリング位相値を最適位相値とする。次に、Ｓ４１５においてＣＰＵ１１２は、Ｓ４１３またはＳ４１４で設定した最適サンプリング位相値をサンプリングクロック生成部１０４に設定する。

50

【 0 0 3 2 】

その後サンプリングクロック生成部 1 0 4 は、設定された最適クロック位相値に従って再度サンプリングクロックを A D 変換部 1 0 3 に供給する。A D 変換部 1 0 3 は、最適クロック位相値に従うサンプリングクロックにより、入力アナログ映像信号をデジタル映像信号に変換して画像処理部 1 0 7 へ出力する。また、デジタル映像信号は R A M 1 0 5 にも出力され、フレーム間差分値算出部 1 0 6 が次のフレームのフレーム間差分値を算出するために保持される。

【 0 0 3 3 】

なお、本実施形態では S 4 1 2 において隣接画素差分値の最大値と最小値とを用いたが、妥当性の検証方法はこれに限られない。例えば、位相を 1 から 3 2 まで変化させた際の隣接画素差分値の分散を求め、分散が所定の分散閾値を超える場合は隣接画素差分値の結果を妥当とし、隣接差分結果を最大とした位相値を最適位相値と決定してもよい。この場合、分散が分散閾値以下の場合はフレーム間差分結果を最小とした位相値を最適位相値に決定してもよい。

10

【 0 0 3 4 】

以上、説明したように本実施形態では、フレーム間差分値に加えて、フレーム内での隣接画素間差分値を考慮してサンプリングクロックの最適位相値の設定を行うことができる。これにより、特に自然画など C A D やコンピュータグラフィックといった映像信号と比較して隣接画素のコントラストが低い場合の映像データの場合においても A D 変換をさらに良好に行うことが可能となる。

20

【 0 0 3 5 】

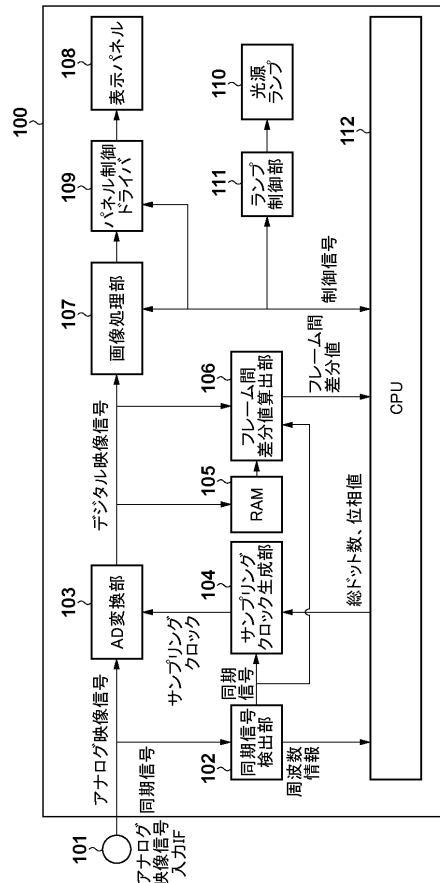
以上、本発明の実施形態について説明したが、本発明はこれらの実施形態に限定されず、その要旨の範囲内で種々の変形及び変更が可能である。

【 0 0 3 6 】

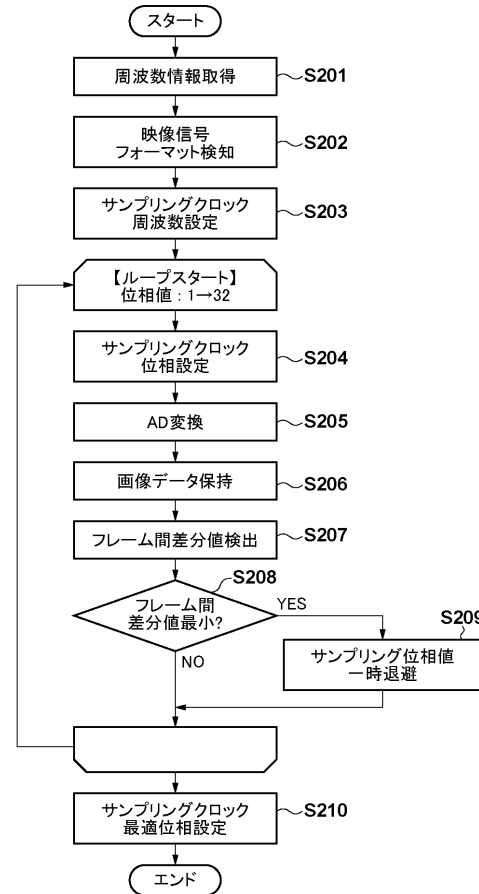
(その他の実施例)

また、本発明は、以下の処理を実行することによっても実現される。即ち、上述した実施形態の機能を実現するソフトウェア(プログラム)を、ネットワーク又は各種記憶媒体を介してシステム或いは装置に供給し、そのシステム或いは装置のコンピュータ(または C P U や M P U 等)がプログラムを読み出して実行する処理である。

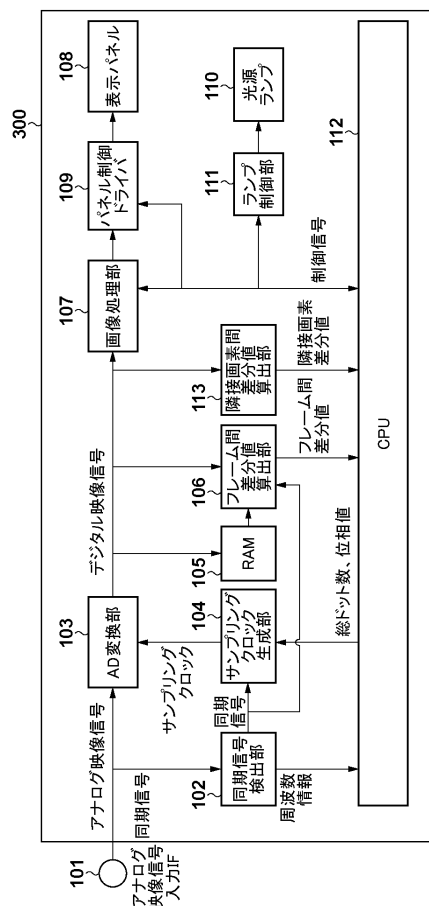
【図 1】



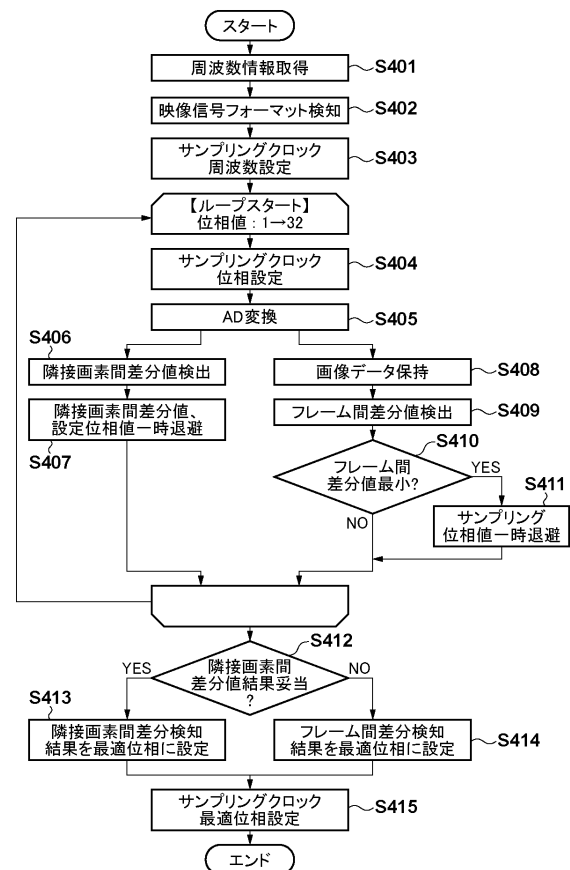
【図 2】



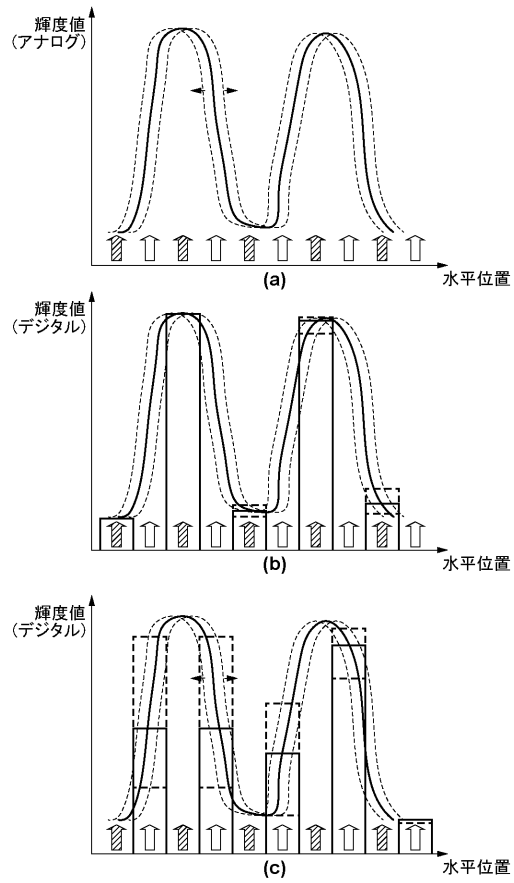
【図 3】



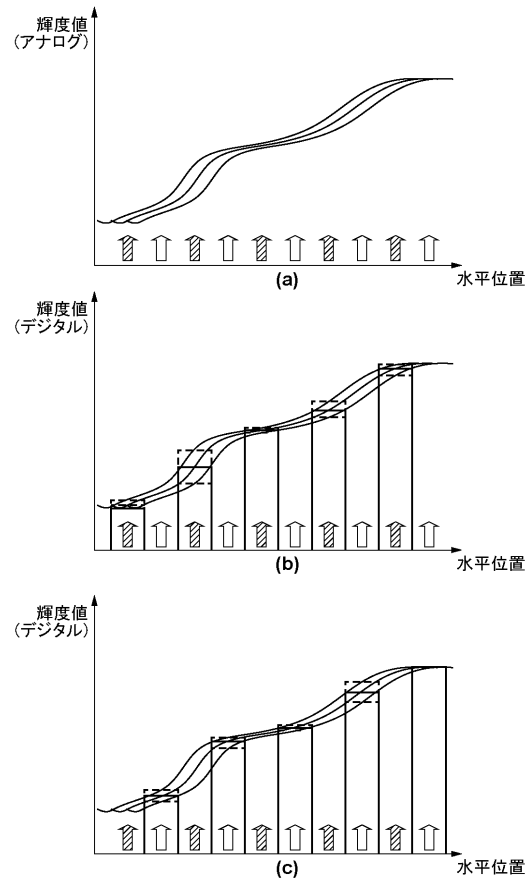
【図 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 鈴木 基弘

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 小川 浩史

(56)参考文献 特開2011-164356(JP,A)

特開平2-124691(JP,A)

特開平7-219485(JP,A)

特開2000-20009(JP,A)

特開2002-33939(JP,A)

特開2002-278495(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/20 - 3/38