



(12)发明专利申请

(10)申请公布号 CN 107204176 A

(43)申请公布日 2017.09.26

(21)申请号 201710595945.6

(22)申请日 2017.07.20

(71)申请人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 郑灿

(74)专利代理机构 北京天昊联合知识产权代理有限公司 11112

代理人 汪源 陈源

(51)Int.Cl.

G09G 3/36(2006.01)

G11C 19/28(2006.01)

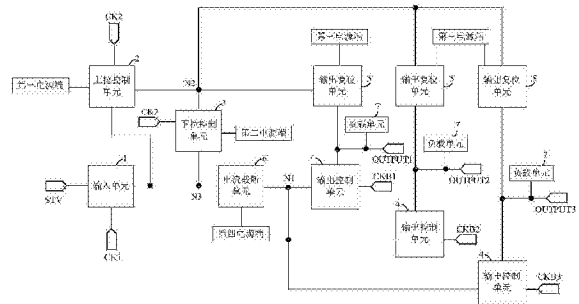
权利要求书2页 说明书10页 附图4页

(54)发明名称

移位寄存器及其驱动方法、栅极驱动电路

(57)摘要

本发明公开了一种移位寄存移位寄存器及其驱动方法、栅极驱动电路,该移位寄存器包括:输入单元、上拉控制单元、下拉控制单元、若干个输出控制单元和输出复位单元。每个输出控制单元均与对应的待输出时钟信号线和信号输出端连接,用于在第一节点的电位的控制下将待输出时钟信号线所提供的待输出时钟信号输入至对应的信号输出端;每个输出复位单元用于在第二节点的电位的控制下将第三电源端提供的第三电压输入至信号输出端。本发明提供的移位寄存器包括多个输出控制单元,多个输出控制单元可实现对多条栅线进行驱动,从而可有效减少栅极驱动电路中移位寄存器的数量,有利于栅极驱动电路的小尺寸化,有利于显示面板的窄边框。



1. 一种移位寄存器,其特征在于,包括:输入单元、上拉控制单元、下拉控制单元、若干个输出控制单元和与所述输出控制单元一一对应的输出复位单元,所述输入单元、所述上拉控制单元、所述下拉控制单元和所述输出控制单元连接于第一节点,所述上拉控制单元、所述下拉控制单元和所述输出复位单元连接于第二节点;

所述输入单元,用于在第一时钟信号线所提供的第一时钟信号的控制下将输入信号端所提供的输入信号输入至所述第一节点;

所述上拉控制单元,用于在所述第一节点的电位的控制下将第二时钟信号线所提供的第二时钟信号输入至所述第二节点,或在第二时钟信号线所提供的第二时钟信号的控制下将第一电源端提供的第一电压输入至所述第二节点;

所述下拉控制单元,用于在第二节点的电位的控制下将第二电源端所提供的第二电压输入至所述第一节点;

每个所述输出控制单元均与对应的待输出时钟信号线和信号输出端连接,用于在所述第一节点的电位的控制下将待输出时钟信号线所提供的待输出时钟信号输入至对应的信号输出端,以供所述信号输出端输出扫描信号;

每个所述输出复位单元均与对应的信号输出端连接,用于在所述第二节点的电位的控制下,将第三电源端提供的第三电压输入至所述信号输出端,以对所述信号输出端进行复位。

2. 根据权利要求1所述的移位寄存器,其特征在于,所述输入单元包括:第一晶体管;

所述第一晶体管的控制极与所述第一时钟信号线连接,所述第一晶体管的第一极与输入信号端连接,所述第一晶体管的第二极与所述第一节点连接。

3. 根据权利要求1所述的移位寄存器,其特征在于,所述上拉控制单元包括:第二晶体管 and 第三晶体管;

所述第二晶体管的控制极与所述第一节点连接,所述第二晶体管的第一极与第二时钟信号线连接,所述第二晶体管的第二极与所述第二节点连接;

所述第三晶体管的控制极与所述第二时钟信号线连接,所述第三晶体管的第一极与所述第一电源端连接,所述第三晶体管的第二极与所述第二节点连接。

4. 根据权利要求1所述的移位寄存器,其特征在于,所述下拉控制单元包括:第四晶体管;

所述第四晶体管的控制极与所述第二节点连接,所述第四晶体管的第一极与第二电源端连接,所述第四晶体管的第二极与所述第一节点连接。

5. 根据权利要求1所述的移位寄存器,其特征在于,所述输出控制单元包括:第五晶体管和第一电容;

所述第五晶体管的控制极与所述第一节点连接,所述第五晶体管的第一极对应的待输出时钟信号线连接,所述第五晶体管的第二极与对应的所述信号输出端连接;

所述第一电容的第一端与所述第一节点连接,所述第一电容的第二端与对应的所述信号输出端连接。

6. 根据权利要求1所述的移位寄存器,其特征在于,所述输出复位单元包括:第六晶体管和第一电容;

所述第六晶体管的控制极与所述第二节点连接,所述第六晶体管的第一极与所述第三

电源端连接,所述第六晶体管的第二极与对应的所述信号输出端连接;

所述第二电容的第一端与第二节点连接,所述第二电容的第二端与所述第三电源端连接。

7. 根据权利要求1所述的移位寄存器,其特征在于,所述移位寄存器还包括:电流截断单元,所述电流截断单元位于所述输入单元与所述第一节点之间以及所述下拉控制单元与所述第一节点之间;

所述电流截断单元,用于当所述输出控制单元在所述第一节点的电位的控制下将所述待输出时钟信号输入至对应的信号输出端时,使得所述输入单元与所述第一节点之间断路以及所述下拉控制单元与所述第一节点之间断路,以避免所述输入单元和所述下拉控制单元中的漏电流对所述第一节点的电位产生影响。

8. 根据权利要求7所述的移位寄存器,其特征在于,所述电流截断单元包括:第七晶体管;

所述第七晶体管的控制极与第四电源端连接,所述第七晶体管的第一极与所述输入单元和所述下拉控制单元均连接,所述第七晶体管的第二极与所述第一节点连接。

9. 根据权利要求1所述的移位寄存器,其特征在于,还包括:与所述信号输出端一一对应的负载单元,所述负载单元与对应的所述信号输出端连接,所述负载单元用于限定对应的信号输出端的电流大小;

所述负载单元包括:电阻和第三电容;

所述电阻的第一端与对应的信号输出端连接,所述电阻的第二端与第三电容的第一端连接,所述第三电容的第二端接地。

10. 一种栅极驱动电路,其特征在于,包括:若干个级联的移位寄存器,所述移位寄存器采用上述权利要求1-9中任一所述的移位寄存器;

其中,前一级移位寄存器中最后一个输出扫描信号的所述信号输出端与后一级所述移位寄存器的信号输入端连接。

11. 一种移位寄存器的驱动方法,其特征在于,所述移位寄存器采用上述权利要求1-9中任一所述的移位寄存器,所述驱动方法包括:

在输入阶段,所述输入单元在第一时钟信号线所提供的第一时钟信号的控制下将输入信号端所提供的输入信号输入至所述第一节点,所述上拉控制单元在所述第一节点的电位的控制下将第二时钟信号线所提供的第二时钟信号输入至所述第二节点;

在输出阶段,各所述输出控制单元在所述第一节点的电位的控制下,将对应的所述待输出时钟信号线中的待输出时钟信号发送至对应的所述信号输出端,以供各所述信号输出端依次输出扫描信号;

在复位阶段,所述上拉控制单元在第二时钟信号线所提供的第二时钟信号的控制下将第一电源端提供的第一电压输入至所述第二节点,所述下拉控制单元在第二节点的电位的控制下将第二电源端所提供的第二电压输入至所述第一节点,以对所述第一节点进行复位,所述输出复位单元在所述第二节点的电位的控制下将第三电源端提供的第三电压输入至所述信号输出端,以对所述信号输出端进行复位。

## 移位寄存器及其驱动方法、栅极驱动电路

### 技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种移位寄存器及其驱动方法、栅极驱动电路。

### 背景技术

[0002] TFT-LCD (Thin Film Transistor-Liquid Crystal Display, 薄膜晶体管液晶显示装置) 实现一帧画面显示的基本原理是通过栅极 (Gate) 驱动从上到下依次对每一行像素输入一定宽度的方波进行选通,再通过源极 (Source) 驱动每一行像素所需的信号依次从上往下输出。

[0003] 然而,现有的栅极驱动电路中的每一级移位寄存器只能用于驱动一行栅线,故整个栅极驱动电路所占用空间较大,不利于窄边框的实现。

[0004] 由此可见,如何有效减小栅极驱动电路的占用空间,是本领域技术人员亟需解决的技术问题。

### 发明内容

[0005] 本发明旨在至少解决现有技术中存在的技术问题之一,提出了一种移位寄存器及其驱动方法、栅极驱动电路。

[0006] 为实现上述目的,本发明提供了一种移位寄存器,包括:输入单元、上拉控制单元、下拉控制单元、若干个输出控制单元和与所述输出控制单元一一对应的输出复位单元,所述输入单元、所述上拉控制单元、所述下拉控制单元和所述输出控制单元连接于第一节点,所述上拉控制单元、所述下拉控制单元和所述输出复位单元连接于第二节点;

[0007] 所述输入单元,用于在第一时钟信号线所提供的第一时钟信号的控制下将输入信号端所提供的输入信号输入至所述第一节点;

[0008] 所述上拉控制单元,用于在所述第一节点的电位的控制下将第二时钟信号线所提供的第二时钟信号输入至所述第二节点,或在第二时钟信号线所提供的第二时钟信号的控制下将第一电源端提供的第一电压输入至所述第二节点;

[0009] 所述下拉控制单元,用于在第二节点的电位的控制下将第二电源端所提供的第二电压输入至所述第一节点;

[0010] 每个所述输出控制单元均与对应的待输出时钟信号线和信号输出端连接,用于在所述第一节点的电位的控制下将待输出时钟信号线所提供的待输出时钟信号输入至对应的信号输出端,以供所述信号输出端输出扫描信号;

[0011] 每个所述输出复位单元均与对应的信号输出端连接,用于在所述第二节点的电位的控制下,将第三电源端提供的第三电压输入至所述信号输出端,以对所述信号输出端进行复位。

[0012] 可选地,所述输入单元包括:第一晶体管;

[0013] 所述第一晶体管的控制极与所述第一时钟信号线连接,所述第一晶体管的第一极

与输入信号端连接,所述第一晶体管的第二极与所述第一节点连接。

[0014] 可选地,所述上拉控制单元包括:第二晶体管和第三晶体管;

[0015] 所述第二晶体管的控制极与所述第一节点连接,所述第二晶体管的第一极与第二时钟信号线连接,所述第二晶体管的第二极与所述第二节点连接;

[0016] 所述第三晶体管的控制极与所述第二时钟信号线连接,所述第三晶体管的第一极与所述第一电源端连接,所述第三晶体管的第二极与所述第二节点连接。

[0017] 可选地,所述下拉控制单元包括:第四晶体管;

[0018] 所述第四晶体管的控制极与所述第二节点连接,所述第四晶体管的第一极与第二电源端连接,所述第四晶体管的第二极与所述第一节点连接。

[0019] 可选地,所述输出控制单元包括:第五晶体管和第一电容;

[0020] 所述第五晶体管的控制极与所述第一节点连接,所述第五晶体管的第一极对应的待输出时钟信号线连接,所述第五晶体管的第二极与对应的所述信号输出端连接;

[0021] 所述第一电容的第一端与所述第一节点连接,所述第一电容的第二端与对应的所述信号输出端连接。

[0022] 可选地,所述输出复位单元包括:第六晶体管和第二电容;

[0023] 所述第六晶体管的控制极与所述第二节点连接,所述第六晶体管的第一极与所述第三电源端连接,所述第六晶体管的第二极与对应的所述信号输出端连接;

[0024] 所述第二电容的第一端与第二节点连接,所述第二电容的第二端与所述第三电源端连接。

[0025] 可选地,所述移位寄存器还包括:电流截断单元,所述电流截断单元位于所述输入单元与所述第一节点之间以及所述下拉控制单元与所述第一节点之间;

[0026] 所述电流截断单元,用于当所述输出控制单元在所述第一节点的电位的控制下将所述待输出时钟信号输入至对应的信号输出端时,使得所述输入单元与所述第一节点之间断路以及所述下拉控制单元与所述第一节点之间断路,以避免所述输入单元和所述下拉控制单元中的漏电流对所述第一节点的电位产生影响。

[0027] 可选地,所述电流截断单元包括:第七晶体管;

[0028] 所述第七晶体管的控制极与第四电源端连接,所述第七晶体管的第一极与所述输入单元和所述下拉控制单元均连接,所述第七晶体管的第二极与所述第一节点连接。

[0029] 可选地,还包括:与所述信号输出端一一对应的负载单元,所述负载单元与对应的所述信号输出端连接,所述负载单元用于限定对应的信号输出端的电流大小;

[0030] 所述负载单元包括:电阻和第三电容;

[0031] 所述电阻的第一端与对应的信号输出端连接,所述电阻的第二端与第三电容的第一端连接,所述第三电容的第二端接地。

[0032] 为实现上述目的,本发明还提供了一种栅极驱动电路,包括:若干个级联的移位寄存器,所述移位寄存器采用上述的移位寄存器;

[0033] 其中,前一级移位寄存器中最后一个输出扫描信号的所述信号输出端与后一级所述移位寄存器的信号输入端连接。

[0034] 为实现上述目的,本发明还提供了一种移位寄存器的驱动方法,该移位寄存器采用上述的移位寄存器,该驱动方法包括:

[0035] 在输入阶段,所述输入单元在第一时钟信号线所提供的第一时钟信号的控制下将输入信号端所提供的输入信号输入至所述第一节点,所述上拉控制单元在所述第一节点的电位的控制下将第二时钟信号线所提供的第二时钟信号输入至所述第二节点;

[0036] 在输出阶段,各所述输出控制单元在所述第一节点的电位的控制下,将对应的所述待输出时钟信号线中的待输出时钟信号发送至对应的所述信号输出端,以供各所述信号输出端依次输出扫描信号;

[0037] 在复位阶段,所述上拉控制单元在第二时钟信号线所提供的第二时钟信号的控制下将第一电源端提供的第一电压输入至所述第二节点,所述下拉控制单元在第二节点的电位的控制下将第二电源端所提供的第二电压输入至所述第一节点,以对所述第一节点进行复位,所述输出复位单元在所述第二节点的电位的控制下将第三电源端提供的第三电压输入至所述信号输出端,以对所述信号输出端进行复位。

[0038] 本发明具有以下有益效果:

[0039] 本发明提供了一种移位寄存移位寄存器及其驱动方法、栅极驱动电路,该移位寄存器中包括多个输出控制单元和多个输出复位单元,多个输出控制单元可实现对多条栅线进行驱动,从而可有效减少栅极驱动电路中移位寄存器的数量,有利于栅极驱动电路的小尺寸化,有利于显示面板的窄边框。

## 附图说明

[0040] 图1为本发明实施例一提供的一种移位寄存器的结构示意图;

[0041] 图2为本发明实施例二提供的移位寄存器的电路示意图;

[0042] 图3为图2所示移位寄存器的工作时序图;

[0043] 图4为本发明实施例三提供的一种栅极驱动电路的结构示意图;

[0044] 图5为本发明实施例四提供的一种移位寄存器的驱动方法的流程图。

## 具体实施方式

[0045] 为使本领域的技术人员更好地理解本发明的技术方案,下面结合附图对本发明提供的一种移位寄存移位寄存器及其驱动方法、栅极驱动电路进行详细描述。

[0046] 图1为本发明实施例一提供的一种移位寄存器的结构示意图,如图1所示,该移位寄存器包括:输入单元1、上拉控制单元2、下拉控制单元3、若干个输出控制单元4和若干个输出复位单元5,输出复位单元5与输出控制单元4一一对应。其中,输入单元1、上拉控制单元2、下拉控制单元3和输出控制单元4连接于第一节点N1,上拉控制单元2、下拉控制单元3和输出复位单元5连接于第二节点N2。

[0047] 输入单元1用于在第一时钟信号线CK1所提供的第一时钟信号的控制下将输入信号端STV所提供的输入信号输入至第一节点N1。

[0048] 上拉控制单元2,用于在第一节点N1的电位的控制下将第二时钟信号线CK2所提供的第二时钟信号输入至第二节点N2,或在第二时钟信号线CK2所提供的第二时钟信号的控制下将第一电源端提供的第一电压输入至第二节点N2。

[0049] 下拉控制单元3用于在第二节点N2的电位的控制下将第二电源端所提供的第二电压输入至第一节点N1。

[0050] 每个输出控制单元4均与对应的待输出时钟信号线CKB1/CKB2/CKB3和信号输出端OUTPUT1/OUTPUT2/OUTPUT3连接,用于在第一节点N1的电位的控制下将待输出时钟信号线CKB1/CKB2/CKB3所提供的待输出时钟信号输入至对应的信号输出端OUTPUT1/OUTPUT2/OUTPUT3,以供各信号输出端OUTPUT1/OUTPUT2/OUTPUT3输出扫描信号。其中,各输出控制单元4所连接的待输出时钟信号线CKB1/CKB2/CKB3中待输出时钟信号处于有效电位的时间依次错开。

[0051] 每个输出复位单元5均与对应的信号输出端OUTPUT1/OUTPUT2/OUTPUT3连接,用于在第二节点N2的电位的控制下,将第三电源端提供的第三电压输入至信号输出端OUTPUT1/OUTPUT2/OUTPUT3,以对信号输出端OUTPUT1/OUTPUT2/OUTPUT3进行复位。

[0052] 为便于本领域技术人员对本发明技术方案进行理解,下面将对图1所示移位寄存器的工作过程进行详细描述。其中,该移位寄存器的驱动过程包括如下三个阶段:

[0053] 输入阶段,输入单元1在第一时钟信号线CK1所提供的第一时钟信号的控制下将输入信号端STV所提供的输入信号输入至第一节点N1,上拉控制单元2在第一节点N1的电位的控制下将第二时钟信号线CK2所提供的第二时钟信号输入至第二节点N2;

[0054] 输出阶段,各输出控制单元4在第一节点N1的电位的控制下,将对应的待输出时钟信号线CKB1/CKB2/CKB3中的待输出时钟信号发送至对应的信号输出端OUTPUT1/OUTPUT2/OUTPUT3。由于各输出控制单元4所连接的待输出时钟信号线CKB1/CKB2/CKB3中待输出时钟信号处于有效电位的时间依次错开,因此各信号输出端OUTPUT1/OUTPUT2/OUTPUT3依次输出扫描信号,与信号输出端OUTPUT1/OUTPUT2/OUTPUT3连接的各条栅线可被依次驱动。

[0055] 复位阶段,上拉控制单元2在第二时钟信号线CK2所提供的第二时钟信号的控制下将第一电源端提供的第一电压输入至第二节点N2,下拉控制单元3在第二节点N2的电位的控制下将第二电源端所提供的第二电压输入至第一节点N1,以对第一节点N1进行复位,输出复位单元5在第二节点N2的电位的控制下将第三电源端提供的第三电压输入至信号输出端OUTPUT1/OUTPUT2/OUTPUT3,以对信号输出端OUTPUT1/OUTPUT2/OUTPUT3进行复位。

[0056] 需要说明的是,附图中所示的移位寄存器包括3个输出控制单元4和3个输出复位单元5的情况仅起到示意性作用,其不会对本发明的技术方案产生限制。本领域技术人员应该知晓的是,可根据实际需要来对本发明提供的移位寄存器中的输出控制单元4和输出复位单元5的数量进行相应调整。

[0057] 在本实施例中,由于该移位寄存器包括多个输出控制单元4、多个输出复位单元5和多个信号输出端OUTPUT1/OUTPUT2/OUTPUT3,因此该移位寄存器可为显示面板上的多根栅线提供扫描信号,即该移位寄存器可实现对多根栅线的驱动。在显示面板中栅线的数量一定的情况下,相较于现有技术,本发明的技术方案可有效减少栅极驱动电路中移位寄存器的数量,从而使得栅极驱动电路所占用的空间减小,有利于窄边框的实现。

[0058] 可选地,该移位寄存器还包括:电流截断单元6和负载单元7。

[0059] 其中,电流截断单元6位于输入单元1与第一节点N1之间以及下拉控制单元3与第一节点N1之间,用于当输出控制单元4在第一节点N1的电位的控制下将待输出时钟信号输入至对应的信号输出端OUTPUT1/OUTPUT2/OUTPUT3时(即输出阶段时),使得输入单元1与第一节点N1之间断路以及下拉控制单元3与第一节点N1之间断路,以避免输入单元1和下拉控制单元3中的漏电流对第一节点N1的电位产生影响,进而保证各输出控制单元4的正常工

作。

[0060] 负载单元7与信号输出端OUTPUT1/OUTPUT2/OUTPUT3一一对应,负载单元7与对应的信号输出端OUTPUT1/OUTPUT2/OUTPUT3连接,负载单元7用于限定对应的信号输出端OUTPUT1/OUTPUT2/OUTPUT3的电流大小,以防止信号输出端OUTPUT1/OUTPUT2/OUTPUT3输出的信号的电流过大。

[0061] 本发明实施例一提供了一种移位寄存器,该移位寄存器可实现对多条栅线进行驱动,从而可有效减少栅极驱动电路中移位寄存器的数量,有利于栅极驱动电路的小尺寸化,有利于显示面板的窄边框。

[0062] 实施例二

[0063] 图2为本发明实施例二提供的移位寄存器的电路示意图,如图2所示,图2所示的电路示意图为图1所示结构示意图的具体化,在本实施例中,以输出控制单元4'/'4"/'4"'和输出复位单元5'/'5"/'5"'的数量均为3个为例进行描述。

[0064] 可选地,输入单元1包括:第一晶体管M1;第一晶体管M1的控制极与第一时钟信号线CK1连接,第一晶体管M1的第一极与输入信号端STV连接,第一晶体管M1的第二极与第一节点N1连接。

[0065] 上拉控制单元2包括:第二晶体管M2和第三晶体管M3;第二晶体管M2的控制极与第一节点N1连接,第二晶体管M2的第一极与第二时钟信号线CK2连接,第二晶体管M2的第二极与第二节点N2连接;第三晶体管M3的控制极与第二时钟信号线CK2连接,第三晶体管M3的第一极与第一电源端连接,第三晶体管M3的第二极与第二节点N2连接。

[0066] 下拉控制单元3包括:第四晶体管M4;第四晶体管M4的控制极与第二节点N2连接,第四晶体管M4的第一极与第二电源端连接,第四晶体管M4的第二极与第一节点N1连接。

[0067] 输出控制单元4'/'4"/'4"'包括:第五晶体管M5'/'M5"/'M5"'和第一电容C1'/'C1"/'C1"' ;第五晶体管M5'/'M5"/'M5"'的控制极与第一节点N1连接,第五晶体管M5'/'M5"/'M5"'的第一极对应的待输出时钟信号线CKB1/CKB2/CKB3连接,第五晶体管M5'/'M5"/'M5"'的第二极与对应的信号输出端OUTPUT1/OUTPUT2/OUTPUT3连接;第一电容C1'/'C1"/'C1"'的第一端与第一节点N1连接,第一电容C1'/'C1"/'C1"'的第二端与对应的信号输出端OUTPUT1/OUTPUT2/OUTPUT3连接。

[0068] 输出复位单元5'/'5"/'5"'包括:第六晶体管M6'/'M6"/'M6"'和第二电容C2;第六晶体管M6'/'M6"/'M6"'的控制极与第二节点N2连接,第六晶体管M6'/'M6"/'M6"'的第一极与第三电源端连接,第六晶体管M6'/'M6"/'M6"'的第二极与对应的信号输出端OUTPUT1/OUTPUT2/OUTPUT3连接;第二电容C2的第一端与第二节点N2连接,第二电容C2的第二端与第三电源端连接。需要说明的是,本实施例中,各输出复位单元5'/'5"/'5"'中第六晶体管M6'/'M6"/'M6"'可共用一个第二电容C2。

[0069] 电流截断单元6包括:第七晶体管M7;第七晶体管M7的控制极与第四电源端连接,第七晶体管M7的第一极与输入单元1和下拉控制单元3均连接,第七晶体管M7的第二极与第一节点N1连接。

[0070] 负载单元7包括:电阻RL和第三电容C3;电阻RL的第一端与对应的信号输出端OUTPUT1/OUTPUT2/OUTPUT3连接,电阻RL的第二端与第三电容C3的第一端连接,第三电容C3的第二端接地。



[0071] 为便于本领域技术人员更好的理解本发明的技术方案,下面将结合附图来对图2所示移位寄存器的工作过程进行详细描述。

[0072] 需要说明的是,在实施例中所采用的晶体管可以为薄膜晶体管或场效应管或其他具有相同、类似特性的器件,由于采用的晶体管的源极和漏极是对称的,所以其源极、漏极是没有区别的。在实施例中,为区分晶体管的源极和漏极,将其中一极称为第一极,另一极称为第二极,栅极称为控制极。此外按照晶体管的特性区分可以将晶体管分为N型和P型,以下实施例中是以P型晶体管进行说明的,当采用P型晶体管时,第一极为P型晶体管的漏极,第二极为P型晶体管的源极,当栅极输入高电平时,P型晶体管导通;N型晶体管的情况相反。可以想到的是采用N型晶体管来实现本发明的技术方案,是本领域技术人员可以在没有付出创造性劳动前提下轻易想到的,因此也是在本发明的保护范围内。

[0073] 在移位寄存器中的晶体管均为P型晶体管的情况下,第一电源端提供的第一电压和第四电源端提供的第四电压均为低电平电压VGL,第二电源端提供的第二电压和第三电源端提供的第三电压均为高电平电压VGH。输入信号处于高电平状态时对应的电压大小为VH,处于低电平状态时对应的电压大小为VL。其中,VGL略小于VL。

[0074] 为方便描述,3个信号输出端分别称为第一信号输出端OUTPUT1、第二信号输出端OUTPUT2和信号输出端OUTPUT3,3个输出控制单元4'/4"/4"'分别称为第一输出控制单元4'、第二输出控制单元4"和第三输出控制单元4"' ,3个输出复位单元5'/5"/5"'分别称为第一输出复位单元5'、第二输出复位单元5"和第三输出复位单元5"' ,第一输出控制单元4'和第一输出复位单元5'与第一信号输出端OUTPUT1对应,第二输出控制单元4"和第三输出复位单元5"'与第二信号输出端OUTPUT2对应,第三输出控制单元4"'和第三输出复位单元5"'与第三信号输出端OUTPUT3对应。

[0075] 第一输出控制单元4'、第二输出控制单元4"和第三输出控制单元4"'各自连接的待输出时钟信号线分别称为第一待输出时钟信号线CKB1(提供第一待输出时钟信号)、第二待输出时钟信号线CKB2(提供第二待输出时钟信号)和第三待输出时钟信号线CKB3(提供第三待输出时钟信号)。

[0076] 第一时钟信号、第二时钟信号、第一待输出时钟信号、第二待输出时钟信号和第三待输出时钟信号中处于低电平电位(有效电位)的时间依次错开,且处于低电平电位的占空比为20%。

[0077] 需要说明的是,由于第七晶体管M7的控制极接低电平电源,则第七晶体管M7处于“常开”(在第七晶体管M7的源极和漏极的电压导通)状态。

[0078] 图3为图2所示移位寄存器的工作时序图,如图3所示,该移位寄存器的工作过程包括如下三个阶段:

[0079] 输入阶段:输入信号端STV所提供的输入信号处于低电平状态,第一时钟信号线CK1所提供的第一时钟信号处于低电平状态,第二时钟信号线CK2提供的第二时钟信号处于高电平状态。

[0080] 由于第一时钟信号处于低电平状态,则第一晶体管M1导通,输入信号端STV提供的输入信号依次通过第一晶体管M1和第七晶体管M7写入至第一节点N1。

[0081] 需要说明的是,当输入信号通过第七晶体管M7时,第七晶体管M7栅源电压等于VGL < VL(结果小于0),此时第一晶体管M1导通,且工作于非线性区,处于低电平状态的输入信号

通过第七晶体管M7写入至第一节点N1的过程中存在阈值损失,此时第一节点N1的电压为 $V_L + |V_{th}|$ 。其中, $V_{th}$ 为该移位寄存器中各晶体管的阈值电压,为负值。

[0082] 当然,本领域技术人员应该知晓的是,可以预先将VGL的大小调至更低水平,以使得输入信号通过第七晶体管M7时不存在阈值损失,但是会使得整个电路的功耗增大。具体情况不进行详细描述。

[0083] 第二晶体管M2在第三节点N3的低电平电位的控制下导通,处于高电平状态的第二时钟信号通过第二晶体管M2写入至第二节点N2,第二节点N2处于高电平电位。此时,第一输出复位单元5'、第二输出复位单元5"和第三输出复位单元5"'中的第六晶体管M6'/M6"/M6"'均处于截止状态。

[0084] 与此同时,由于第一节点N1的处于低电平电位(电压 $V_L + |V_{th}|$ ),且第一待输出时钟信号线CKB1提供的第一待输出时钟信号、第二待输出时钟信号线CKB2/提供的第二待输出时钟信号、第三待输出时钟信号线CKB3提供的第三待输出时钟信号均处于高电平状态,因此第一输出控制单元4'、第二输出控制单元4"和第三输出控制单元4"'中的第五晶体管M5'/M5"/M5"'均导通,且第一待输出时钟信号、第二待输出时钟信号和第三待输出时钟信号均能无阈值损失的通过对应的第五晶体管M5写入至对应的信号输出端OUTPUT1/OUTPUT2/OUTPUT3。各信号输出端OUTPUT1/OUTPUT2/OUTPUT3均输出高电平信号。

[0085] 本实施例中,假定各待输出时钟信号处于高电平状态时对应的电压为 $V_{H0}$ ,处于低电平状态时对应的电压为 $V_{L0}$ ,则在输入阶段结束时,第一电容C1'的两端电压差为 $V_{H0} - V_L - |V_{th}|$ 。

[0086] 输出阶段:输入信号端STV所提供的输入信号处于高电平状态,第一时钟信号线CK1所提供的第一时钟信号处于高电平状态,第二时钟信号线CK2提供的第二时钟信号处于高电平状态。

[0087] 由于第一时钟信号线CK1所提供的第一时钟信号处于高电平状态,则第一晶体管M1截止,第一节点N1和第三节点N3均处于浮接(floating)状态。其中,第三节点N3维持上一阶段的低电平状态,第二晶体管M2持续导通,处于高电平状态的第二时钟信号通过第二晶体管M2写入至第二节点N2,第二节点N2维持高电平状态,第一输出复位单元5'、第二输出复位单元5"和第三输出复位单元5"'中的第六晶体管M6'/M6"/M6"'均处于截止状态。

[0088] 整个输出阶段包括三个输出子阶段:第一输出子阶段、第二输出子阶段和第三输出子阶段。

[0089] 在第一输出子阶段时,第一待输出时钟信号线CKB1提供的第一待输出时钟信号处于低电平状态,第二待输出时钟信号线CKB2提供的第二待输出时钟信号、第三待输出时钟信号线CKB3提供的第三待输出时钟信号均处于高电平状态。此时,第一信号输出端OUTPUT1输出低电平信号,对应的电压大小为 $V_{L0}$ 。

[0090] 在第一输出子阶段的初始时刻时,由于第一输出控制单元4'内的第一电容C1'的第二端的电压发生突变,该第一电容C1'为维持两端电压差(大小为 $V_{H0} - V_L - |V_{th}|$ )不变而产生自举,以将第一电容C1'的第一端的电压拉低至更低的水平,其电压大小为 $V_L + |V_{th}| + V_{L0} - V_{H0}$ ,即,第一节点N1的电压为 $V_L + |V_{th}| + V_{L0} - V_{H0}$ 。此时,各输出时钟信号可通过对应的输出控制单元4'/4"/4"'内的第五晶体管M5'/M5"/M5"'进行无阈值损失的输出。

[0091] 第一信号输出端OUTPUT1输出低电平信号,第二信号输出端OUTPUT2输出高电平信

号,第三信号输出端OUTPUT3输出高电平信号。

[0092] 需要说明的是,在第一节点N1的电压为 $V_L+|V_{th}|+V_{L0}-V_{H0}$ 时,由于第七晶体管M7的控制极的电压 $V_{GL}$ 大于第一节点N1(第七晶体管M7的第二极)的电压 $V_L+|V_{th}|+V_{L0}-V_{H0}$ ,因此第七晶体管M7会处于截止状态,即输入单元1与第一节点N1之间以及下拉控制单元3与第一节点N1之间均断路,从而可避免输入单元1和下拉控制单元3中的漏电流对第一节点N1的电位产生影响,进而保证各输出控制单元4'/4"/4"'的正常工作,以及维持各信号输出端OUTPUT1/OUTPUT2/OUTPUT3的稳定输出。

[0093] 此外,电阻 $R_L$ 和第三电容 $C_3$ 可作为负载以降低各信号输出端OUTPUT1/OUTPUT2/OUTPUT3输出的信号的电流,从而有效避免信号输出端OUTPUT1/OUTPUT2/OUTPUT3输出电流过大的问题。

[0094] 在第一输出子阶段的结束时刻时,第一待输出时钟信号线CKB1提供的第一待输出时钟信号跳变为高电平状态,第一信号输出端OUTPUT1输出高电平信号,对应的电压大小为 $V_{H0}$ ,由于第一输出控制单元4'内的第一电容 $C_1'$ 的第二端的电压发生突变,该第一电容 $C_1'$ 为维持两端电压差(大小为 $V_{H0}-V_L-|V_{th}|$ )不变而产生自举,以将第一电容 $C_1'$ 的第一端的电压拉高,拉高后的电压大小为 $V_L+|V_{th}|$ 。

[0095] 在第一输出子阶段过程中,显示面板上与第一信号输出端OUTPUT1连接的栅线完成驱动。

[0096] 在第二输出子阶段时,第二待输出时钟信号线CKB2提供的第二待输出时钟信号处于低电平状态,第一待输出时钟信号线CKB1提供的第一待输出时钟信号、第三待输出时钟信号线CKB3提供的第三待输出时钟信号均处于高电平状态。此时,第二信号输出端OUTPUT2输出低电平信号,对应的电压大小为 $V_{L0}$ 。

[0097] 与前述第一输出子阶段相同,在第二输出子阶段的初始时刻时,在第二输出控制单元4"内的第一电容 $C_1''$ 的自举作用下,第一节点N1的电压会被拉低至为 $V_L+|V_{th}|+V_{L0}-V_{H0}$ 。各输出时钟信号可通过对应的输出控制单元4'/4"/4"'内的第五晶体管 $M_5'/M_5''/M_5'''$ 进行无阈值损失的输出。第一信号输出端OUTPUT1输出高电平信号,第二信号输出端OUTPUT2输出低电平信号,第三信号输出端OUTPUT3输出高电平信号。在第二输出子阶段的结束时刻时,第二待输出时钟信号线CKB2提供的第二待输出时钟信号跳变为高电平状态,第二信号输出端OUTPUT2输出高电平信号,与此同时,在第二输出控制单元4"内的第一电容 $C_1''$ 的自举作用下,第一节点N1的电压上拉至 $V_L+|V_{th}|$ 。

[0098] 在第二输出子阶段过程中,显示面板上与第二信号输出端OUTPUT2连接的栅线完成驱动。

[0099] 在第三输出子阶段时,第三待输出时钟信号线CKB3提供的第三待输出时钟信号处于低电平状态,第一待输出时钟信号线CKB1提供的第一待输出时钟信号、第二待输出时钟信号线CKB2提供的第二待输出时钟信号均处于高电平状态。此时,第三信号输出端OUTPUT3输出低电平信号,对应的电压大小为 $V_{L0}$ 。

[0100] 与前述过程类似,在初始时刻该第一节点N1的电压会第一电容 $C_1'''$ 被拉低至 $V_L+|V_{th}|+V_{L0}-V_{H0}$ ,然后在结束时刻再被第一电容 $C_1'''$ 拉高至 $V_L+|V_{th}|$ 。在第三输出子阶段结束时,第三信号输出端OUTPUT3输出高电平信号。

[0101] 在第三输出子阶段过程中,显示面板上与第三信号输出端OUTPUT3连接的栅线完

成驱动。

[0102] 复位阶段:输入信号端STV所提供的输入信号处于高电平状态,第一时钟信号线CK1所提供的第二时钟信号处于高电平状态,第二时钟信号线CK2提供的第二时钟信号处于低电平状态。

[0103] 由于第二时钟信号处于低电平状态,则第三晶体管M3导通,第一电源端提供的第一电压VGL通过第三晶体管M3写入至第二节点N2,此时第二节点N2处于低电平电位。在第二节点N2的电位的控制下,第四晶体管M4导通,第二电源端提供的第二电压VGH通过第四晶体管M4写入至第三节点N3,此时第二晶体管M2截止。相应地,第二电源端提供的第二电压VGH通过第四晶体管M4和第七晶体管M7写入至第一节点N1,此时第一节点N1处于高电平电位,第一节点N1完成复位,各输出控制单元4'/4"/4'''中的第五晶体管M5'/M5"/M5'''均处于截止状态。

[0104] 与此同时,由于第二节点N2处于低电平电位,则第一输出复位单元5'、第二输出复位单元5''和第三输出复位单元5'''中的第六晶体管M6'/M6''/M6'''均导通,此时第三电源端提供的第三电压VGH通过各复位单元中的第六晶体管M6'/M6''/M6'''写入至对应的信号输出端OUTPUT1/OUTPUT2/OUTPUT3,各信号输出端OUTPUT1/OUTPUT2/OUTPUT3输出高电平电位,各信号输出端OUTPUT1/OUTPUT2/OUTPUT3输出完成复位。

[0105] 需要说明的是,本领域技术人员应该容易想到的是,在本实施例中可设置多个输出控制单元和多个输出复位单元,且为每个输出控制单元配置相应的待输出时钟信号线,各待输出时钟信号线中的待输出时钟信号处于有效电压的时间依次错开,从而可实现一个移位寄存器依次驱动多条栅线。

[0106] 图4为本发明实施例三提供一种栅极驱动电路的结构示意图,如图4所示,该栅极驱动电路包括:若干个级连的移位寄存器SR\_1/SR\_2/SR\_3……其中,该移位寄存器SR\_1/SR\_2/SR\_3……可采用上述实施例一或实施例二中的移位寄存器,每一级移位寄存器中最后一个输出扫描信号的信号输出端OUTPUT3与后一级移位寄存器的信号输入端STV连接。

[0107] 需要说明的是,附图中一级移位寄存器驱动3条栅线GATE1/GATE2/GATE3……的情况,仅起到示例性作用,其不会对本发明的技术方案产生限制。

[0108] 该栅极驱动电路可应用至显示装置中,以对显示装置中的栅线进行驱动。显示装置可以为液晶面板、电子纸、OLED面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0109] 图5为本发明实施例四提供一种移位寄存器的驱动方法的流程图,如图5所示,该移位寄存器采用上述的实施例一或实施例二中的移位寄存器,该移位寄存器的驱动方法包括:

[0110] 步骤S1、在输入阶段,输入单元在第一时钟信号线所提供的第二时钟信号的控制下将输入信号端所提供的输入信号输入至第一节点,上拉控制单元在第一节点的电位的控制下将第二时钟信号线所提供的第二时钟信号输入至第二节点。

[0111] 步骤S2、在输出阶段,各输出控制单元在第一节点的电位的控制下,将对应的待输出时钟信号线中的待输出时钟信号发送至对应的信号输出端,以供各信号输出端依次输出扫描信号。

[0112] 步骤S3、在复位阶段,上拉控制单元在第二时钟信号线所提供的第二时钟信号的

控制下将第一电源端提供的第一电压输入至第二节点,下拉控制单元在第二节点的电位的控制下将第二电源端所提供的第二电压输入至第一节点,以对第一节点进行复位,输出复位单元在第二节点的电位的控制下将第三电源端提供的第三电压输入至信号输出端,以对信号输出端进行复位。

[0113] 对于上述各步骤具体描述,可参见前述实施例一和实施例二中的相应内容,此处不再赘述。

[0114] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。



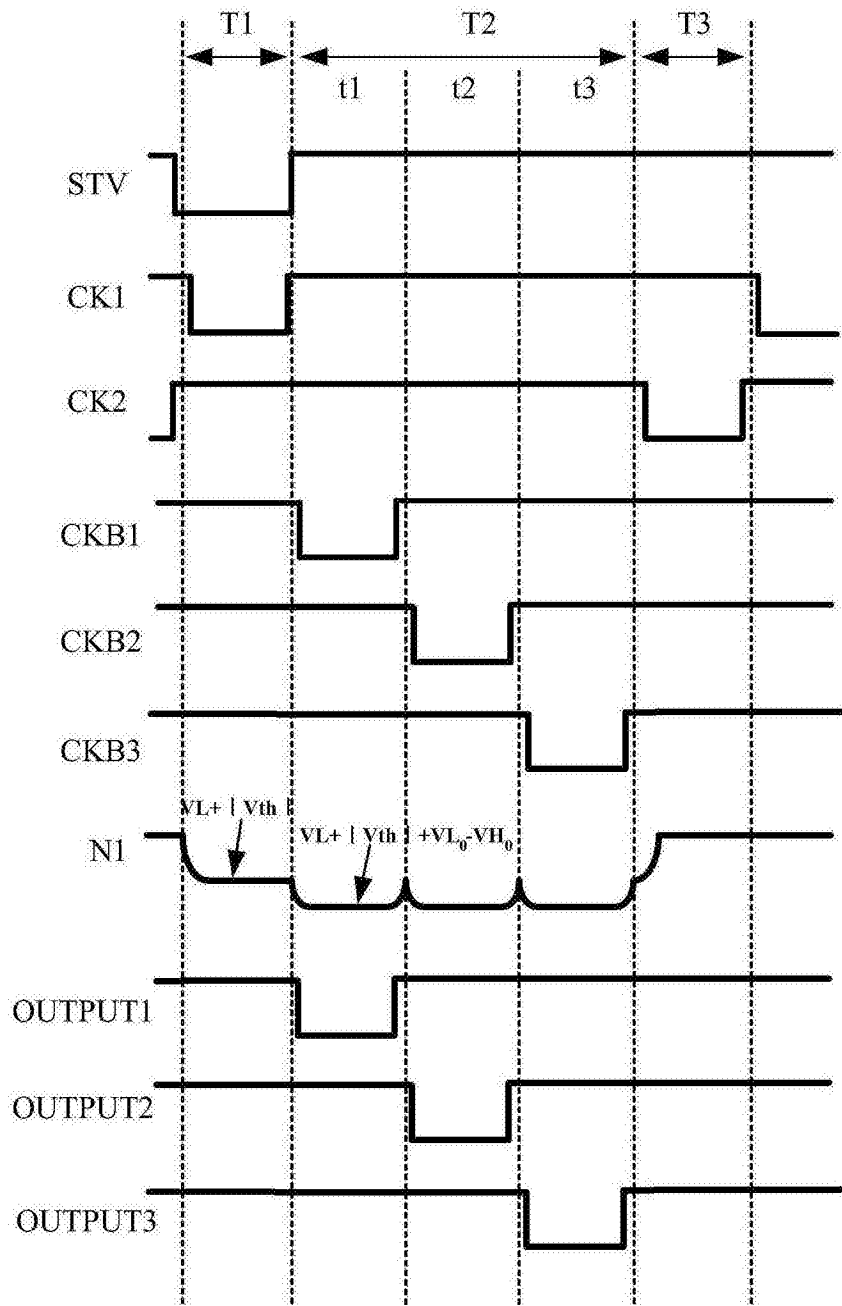


图3

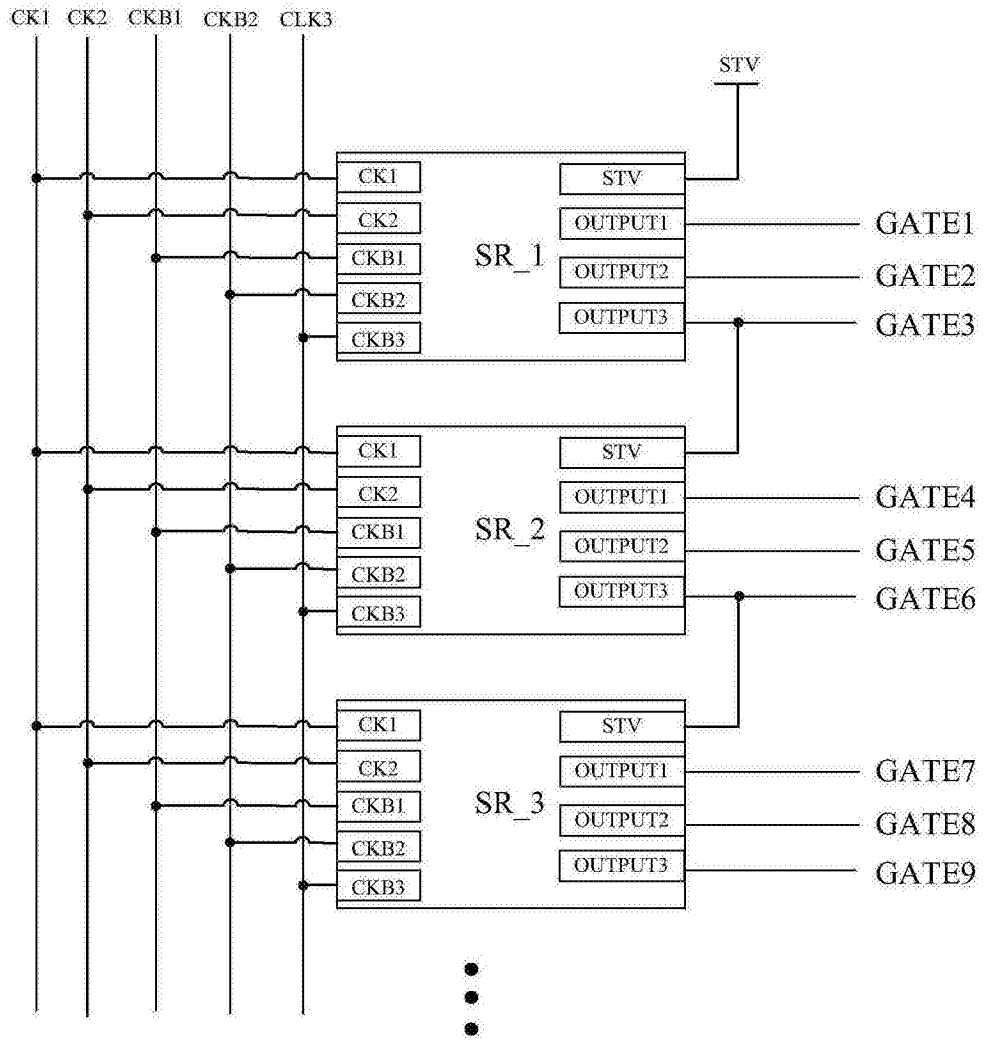


图4



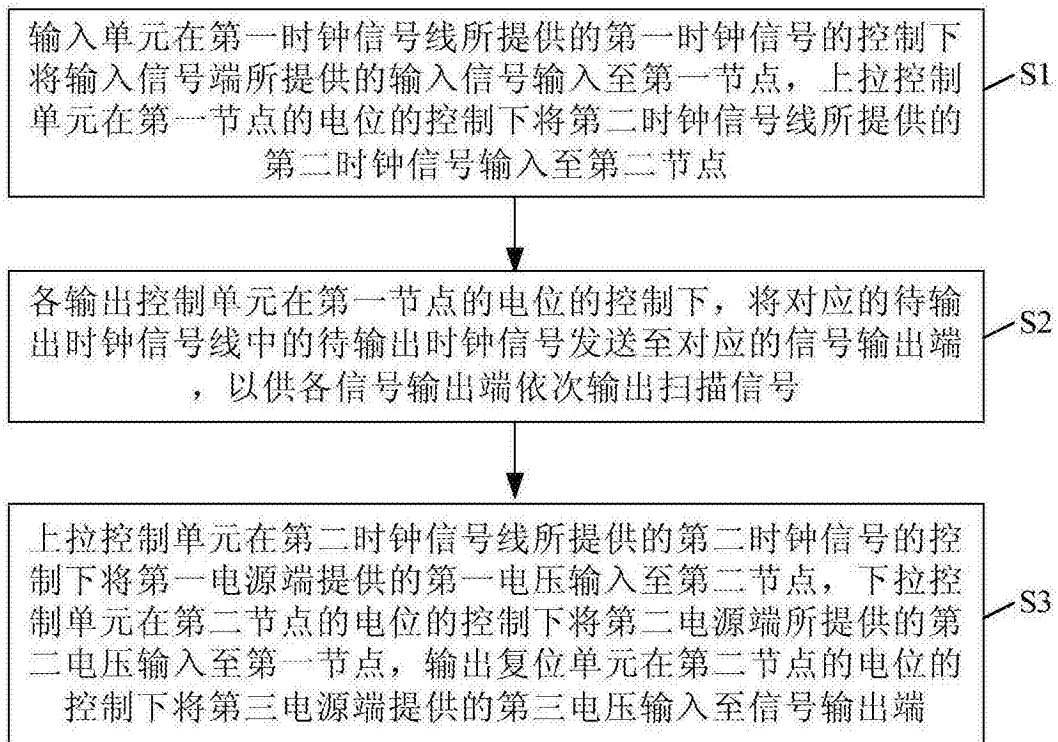


图5