

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年12月5日(05.12.2013)

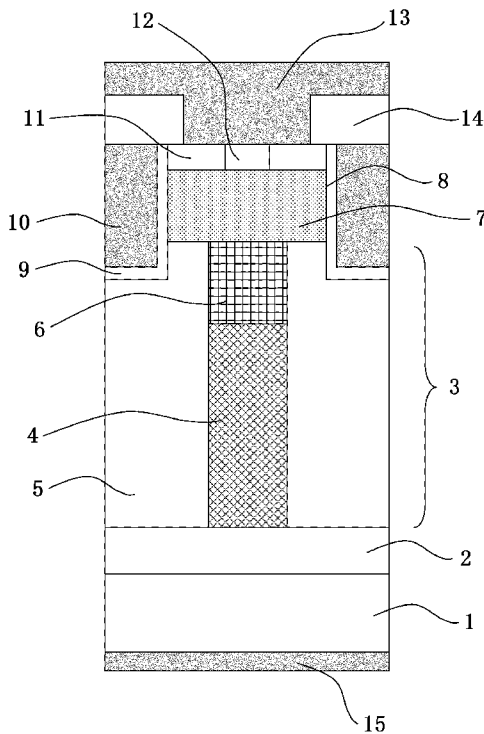


(10) 国際公開番号
WO 2013/179820 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/12 (2006.01)
 - (21) 国際出願番号: PCT/JP2013/061898
 - (22) 国際出願日: 2013年4月23日(23.04.2013)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2012-125173 2012年5月31日(31.05.2012) JP
 - (71) 出願人: 独立行政法人産業技術総合研究所(NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関1丁目3番1号 Tokyo (JP).
 - (72) 発明者: 原田 信介(HARADA Shinsuke); 〒3058568 茨城県つくば市梅園1-1-1 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: In a superjunction structure of a trench-gate-type MOSFET in which silicon carbide is used as the substrate material, since the dielectric breakdown electric field of silicon carbide is higher than that of silicon by about an order of magnitude, while the silicon carbide is capable of maintaining a high electric field, a high electric field is similarly impressed on the surrounding insulating oxide film, and in a conventional structure, a problem is presented in that the high electric field is impressed on the gate oxide film at the bottom of the trench, and the element is destroyed by dielectric breakdown of the insulating oxide film at a voltage lower than that at which the silicon carbide suffers dielectric breakdown. In the present invention, a p-pillar layer constituting a superjunction is configured so as to be separated into an upper layer in contact with the base layer and a lower layer below the upper layer, the impurity concentration in the upper layer is set higher than that in the lower layer, and the interface between the upper layer and the lower layer of the pillar layer and the contact point with the drift layer are disposed lower than the bottom part of the trench groove. The present invention succeeded in depleting the upper part of the n-pillar at a lower voltage than in the lower part in a blocking state, suppressing the electric field impressed on the oxide film, and preventing destruction of the element without sacrificing other characteristics.

(57) 要約:

[続葉有]

WO 2013/179820 A1



炭化珪素を基板材料としたトレンチゲート型MOSFETのスーパージャンクション構造においては、炭化珪素はシリコンに比べ絶縁破壊電界が約一桁高いため、炭化珪素が高電界を維持できる反面、周辺に存在する絶縁酸化膜にも同様に高電界が印加されてしまい、従来の構造だとトレンチ底のゲート酸化膜にその高電界が印加され、炭化珪素が絶縁破壊に至る前の低い電圧にて絶縁酸化膜の絶縁破壊により素子が破壊されるという問題があった。本発明では、スーパージャンクションを構成するp型ピラー層をベース層に接する上部層とその下の下部層に分けて構成し、上部層の不純物濃度を下部層の不純物濃度よりも高くし、ピラー層の上部層と下部層の界面およびそのドリフト層との接点を、トレンチ溝の底部よりも下方に配置して、阻止状態においてn型ピラーの上部を下部よりも低電圧で空乏化することができ、酸化膜への電界抑制を、他の特性を犠牲にすることなく、達成できて素子の破壊を防止することに成功しました。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、炭化珪素基板を用いて電力変換用半導体スイッチング装置を低オン抵抗かつ高耐圧化した炭化珪素半導体装置に関する。

背景技術

[0002] 炭化珪素基板を用いた電力変換用半導体スイッチング装置として、トレンチゲート型MOSFETは単位セル構造が小さく電流密度が高いため、オン抵抗の低減に効果的である。

また、ドリフト層の抵抗が支配的となる高耐圧装置において、ドリフト層内にp型とn型のピラーを繰り返し形成したスーパージャンクション構造は、ドリフト層抵抗の低減に効果的である。これらの構造を組み合わせることにより、低抵抗で高耐圧のスイッチング装置が実現できる。

[0003] この手法は、従来の電力用半導体材料のシリコンを基板とした半導体装置で使われており、例えば特許文献1の図2にはトレンチゲートの間にp型ピラー層を備えた構造が開示されている。

[0004] この構造では、電界はpベースからドレインへの縦方向だけでなく、ピラーから横方向にも存在し、電界が特定の部分に集中しない。

よってオン状態の電流経路であるn型ピラー層のn型不純物濃度を高くしても高耐圧を維持できる。

[0005] しかしながら、炭化珪素はシリコンに比べ絶縁破壊電界が約一桁高いため、炭化珪素が高電界を維持できる反面、周辺に存在する絶縁酸化膜にも同様に高電界が印加されてしまい、従来の構造だとトレンチ底のゲート酸化膜にその高電界が印加され、炭化珪素が絶縁破壊に至る前の低い電圧にて絶縁酸化膜の絶縁破壊により素子が破壊される恐れがある。

[0006] 従来の構造ではトレンチ底のゲート酸化膜を保護する構造として、特許文献2に、pベースをトレンチから離れた位置で深くする構造が開示されてい

る。

これにより p ベースから空乏層が延びトレンチゲート酸化膜が阻止状態において高電界から保護され、酸化膜の絶縁破壊による素子破壊が抑制され、高い耐圧が得られる。

[0007] これに対して、ドリフト層内に p 型ピラーを持つスーパージャンクション構造も空乏層を横方向に広げる意味では同じ効果を有するが、n 型と p 型の両側に空乏層を広げるため、n 型側への広がりかトレンチゲート酸化膜を保護するには不十分である。

よってトレンチゲートのスーパージャンクション構造に適した酸化膜を保護する構造が必要となる。

特許文献 3 は、スーパージャンクション構造と p ベースの接合部分に高濃度の p 型領域を設けた構造を開示している。

これによりブレークダウンを高濃度の p 型領域の底面で発生できるので、アバランシェ電流を p + コンタクトに流しやすくなり、アバランシェ耐量を向上させることが出来る。

しかしながら、トレンチゲート酸化膜を保護する効果に関して明らかでない。

先行技術文献

特許文献

- [0008] 特許文献1：特開 2009-43966
特許文献2：特開 2009-260253
特許文献3：特開 2012-39082

発明の概要

発明が解決しようとする課題

- [0009] 本発明は、炭化珪素を基板材料としたトレンチゲート型 MOSFET のスーパージャンクション構造において、ゲート酸化膜を高電界から保護する構造を提供する。

課題を解決するための手段

- [0010] 本発明では、炭化珪素基板上の第1の導電型のドリフト層と、その上に積層した第2の導電型のベース層と、ベース層の表面部の所定領域に形成された第1導電型のソース領域と、ソース領域とベース領域を貫通するように形成したトレンチ溝と、トレンチ溝内の少なくとも一部にゲート絶縁膜を介して形成したゲート電極と、ドリフト層内にベース層と接するように形成した第2導電型のピラー層からなるスーパージャンクション層を備え、前記第2導電型のピラー層はベース層に接する上部層とその下の下部層に分かれており、上部層の不純物濃度が下部層の不純物濃度よりも高く、前記第2導電型のピラー層の上部層と下部層の界面および前記界面と第1の導電型ピラー層との接点がトレンチ溝の底部よりも下方に位置することを特徴とする半導体装置を提供する。
- [0011] これにより、p型ピラー層の上部層がn型ピラー層との接点で高濃度であるため、阻止状態においてp型ピラー層上部部に隣接するn型ピラー層が下部よりも低電圧で空乏化することができ、且つp型ピラー層の上部層とn型ピラー層との接点がトレンチゲート酸化膜よりも下方まで存在するため、ゲート酸化膜を空乏層により囲み、高電界から遮蔽することができ、酸化膜の絶縁破壊による素子破壊が抑制され、高い耐圧が得られる。
- [0012] また本発明は、前記第2導電型のピラーの幅は上層部が下層部と同じもしくは広いことを特徴とする上述の半導体装置を提供する。
- これにより、阻止状態においてp型ピラー層上部部に隣接するn型ピラー層がより低電圧で空乏化することができ、酸化膜の絶縁破壊による素子破壊が抑制され、高い耐圧が得られる。
- [0013] さらに、前記第2導電型のピラー層は上方から見てトレンチ溝と平行なストライプ形状である上述の半導体装置を提供する。
- [0014] また、前記第2導電型のピラー層は上方から見てトレンチ溝と垂直なストライプ形状である上述の半導体装置を提供する。
- [0015] 最後に、前記第2導電型のピラー層は上方から見て島状に点在したトレンチ

溝はピラー層を中心とした六角形状である上述の半導体装置を提供する。

発明の効果

[0016] 本発明によれば、スーパージャンクションを構成する p 型ピラー層の上部層が n 型ピラーとの接点で高濃度であるため、阻止状態において p 型ピラー上層部に隣接する n 型ピラー層が下部よりも低電圧で空乏化することができ、且つ p 型ピラー層の上部層と n 型ピラーとの接点がトレンチゲート酸化膜よりも下方まで存在するため、ゲート酸化膜を空乏層により囲み、高電界から遮蔽することができ、酸化膜の絶縁破壊による素子破壊が抑制され、高い耐圧が得られる。

図面の簡単な説明

[0017] [図1]図 1 は本発明に係るストライプ状または島状の半導体装置の単位構造（単位セル）の断面図をあらわす。

[図2]図 2 は p 型ピラーの不純物濃度が均一の場合と上部層で高濃度化した場合の酸化膜電界特性のセルピッチ依存性をあらわす図である。

[図3]図 3 は p 型ピラーの不純物濃度が均一の場合と上部層で高濃度化した場合のオン抵抗特性のセルピッチ依存性をあらわす図である。

[図4]図 4 (a) は本発明の p 型ピラーとゲートトレンチが平行に配置されたストライプ状の半導体装置の概略平面図である。図 4 (b) は本発明の p 型ピラーとゲートトレンチが垂直に配置されたストライプ状の半導体装置の概略平面図である。

[図5]図 5 は本発明の島状の p 型ピラーを n 型ピラーが囲む半導体装置の概略平面図である。

発明を実施するための形態

実施例 1

[0018] 図 1 は実施形態 1 に係るストライプ状または島状の半導体装置の単位構造（単位セル）の断面図をあらわす。

4 H-SiC の低抵抗 n+ 型基板 1 上にドリフト層 2 が堆積されている。

その上にスーパージャンクション領域 3 を構成する p 型ピラー 4 と n 型ピラー 5 が周期的に繰り返し配置されている。

[0019] 上方から見た形状はストライプ、または島状の p 型ピラーを n 型ピラーが囲む構造、例えば六角形などとする。

p 型ピラー層の上部は高濃度 p 型層 6 となっており、n 型ピラーとの濃度比が高くなるため、阻止状態において n 型ピラーの上部が下部よりも低電圧で空乏化される。

[0020] スーパージャンクション領域 3 の上には p 型ベース層 7 が積層されており、その表面からスーパージャンクション領域 3 に達するゲートトレンチ 8 が形成されている。

[0021] ゲートトレンチ 8 を上方から見た方向は、図 4 に示したようにピラーの配列がストライプの場合は、ピラーと平行(図 4 (a))または垂直(図 4 (b))など任意にすることが出来る。

[0022] p 型ピラーとゲートトレンチが平行の場合は、ゲートトレンチは n 型ピラー層の内側に貫通するよう配置する。

また、図 5 に示したように p 型ピラーが島状の場合もゲートトレンチの形状は n 型ピラーの内側に貫通するよう、p 型ピラーを取り囲む n 型ピラーの形状に沿って形成される。

[0023] ゲートトレンチ 8 の内側にはゲート絶縁膜 9 およびゲート電極 10 が形成されている。p 型ベース層 7 の表面にはゲートトレンチ 8 に隣接するよう高濃度 n + ソース領域 11 が選択的に形成され、ソース領域 11 の間には選択的に高濃度 p + ベースコンタクト領域 12 が形成されている。

[0024] ソース電極 13 はソース領域 11 の一部とベースコンタクト領域 12 に低抵抗接続され、層間絶縁膜 14 を介して上方に引き出されている。

基板裏面にはドレイン電極 15 が低抵抗接続されている。

[0025] 図 2 と図 3 は p 型ピラーの不純物濃度が均一の場合と、上部層で高濃度化した場合とで酸化膜特性とオン抵抗特性のセルピッチ依存性を比較した結果である。

セルピッチはn型ピラーの幅によって変化させている。

[0026] 図2の阻止状態におけるゲート酸化膜にかかる電界は、p型ピラー上部を高濃度化することで大幅に低減しており、一方、図3のオン抵抗は2つの構造に違いはないことから、p型ピラー上部を高濃度化することによって酸化膜への電界抑制が他の特性を犠牲にすることなく達成されているのが分かる。

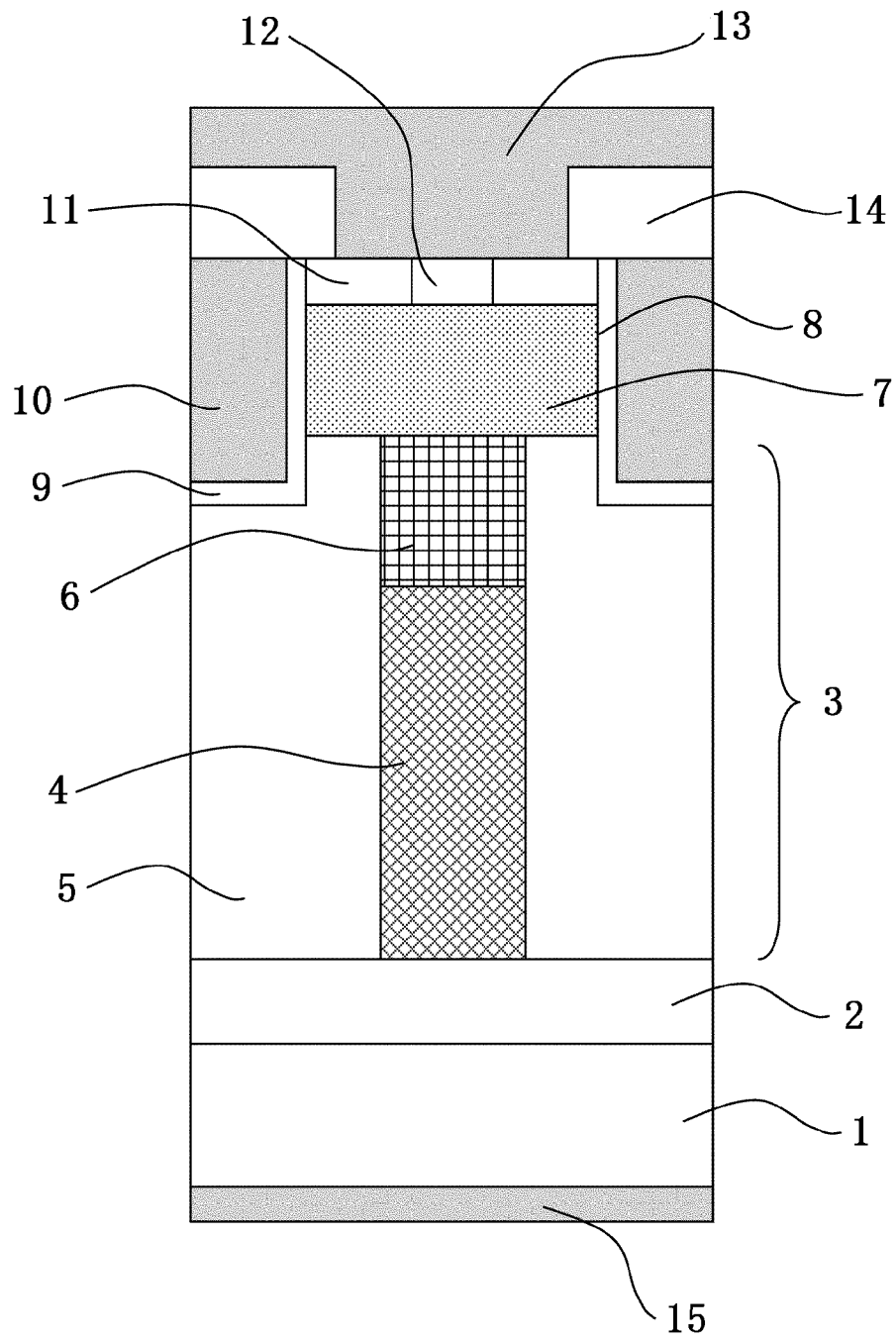
符号の説明

- [0027]
- 1 n+型基板
 - 2 ドリフト層
 - 3 スーパージャンクション領域
 - 4 p型ピラー
 - 5 n型ピラー
 - 6 高濃度p型層
 - 7 p型ベース層
 - 8 ゲートトレンチ
 - 9 ゲート絶縁膜(酸化膜)
 - 10 ゲート電極
 - 11 高濃度n+ソース領域
 - 12 高濃度p+ベースコンタクト領域
 - 13 ソース電極
 - 14 層間絶縁膜
 - 15 ドレイン電極

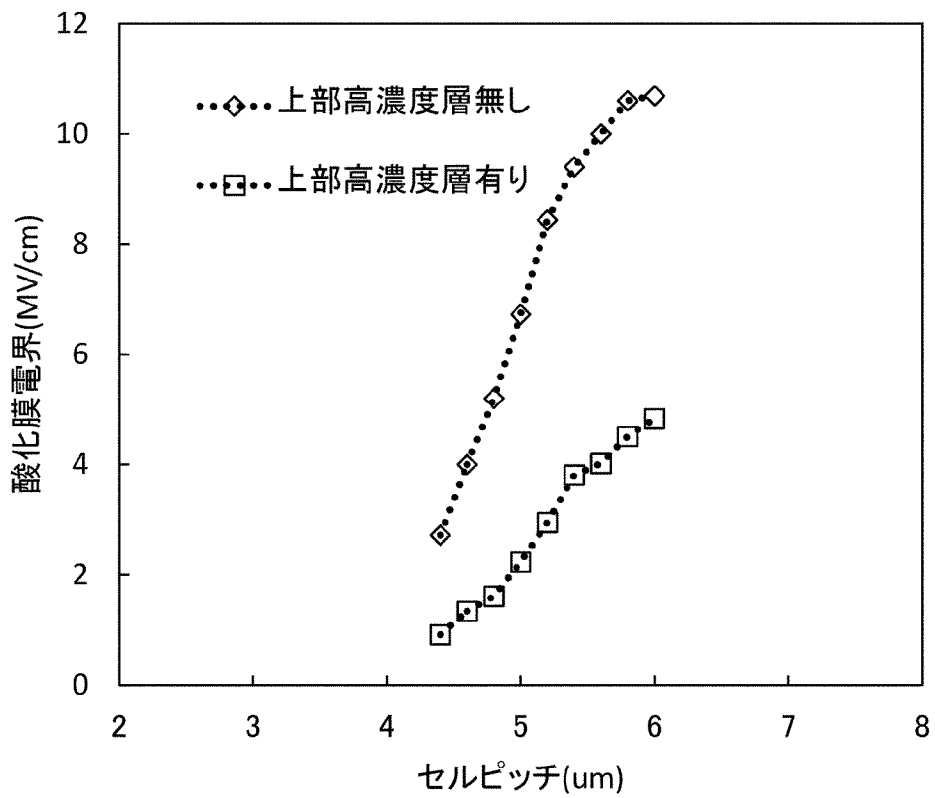
請求の範囲

- [請求項1] 炭化珪素基板上の第1の導電型のドリフト層と、
その上に積層した第2の導電型のベース層と、
ベース層の表面部の所定領域に形成された第1導電型のソース領域と、
と、
ソース領域とベース領域を貫通するように形成したトレンチ溝と、
トレンチ溝内の少なくとも一部にゲート絶縁膜を介して形成したゲート電極と、
ドリフト層内にベース層と接するように形成した第2導電型のピラー層からなるスーパージャンクション層を備え、
前記第2導電型のピラー層はベース層に接する上部層とその下の下部層に分かれており、
上部層の不純物濃度が下部層の不純物濃度よりも高く、
前記第2導電型のピラー層の上部層と下部層の界面および前記界面と第1の導電型ピラー層との接点がトレンチ溝の底部よりも下方に位置する、
ことを特徴とする半導体装置。
- [請求項2] 前記第2導電型のピラーの幅は上層部が下層部と同じもしくは広いことを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記第2導電型のピラー層は上方から見てトレンチ溝と平行なストライプ形状である請求項1乃至請求項2のいずれか1項に記載の半導体装置。
- [請求項4] 前記第2導電型のピラー層は上方から見てトレンチ溝と垂直なストライプ形状である請求項1乃至請求項2のいずれか1項に記載の半導体装置。
- [請求項5] 前記第2導電型のピラー層は上方から見て島状に点在しトレンチ溝はピラー層を中心とした六角形状である請求項1乃至請求項2のいずれか1項に記載の半導体装置。

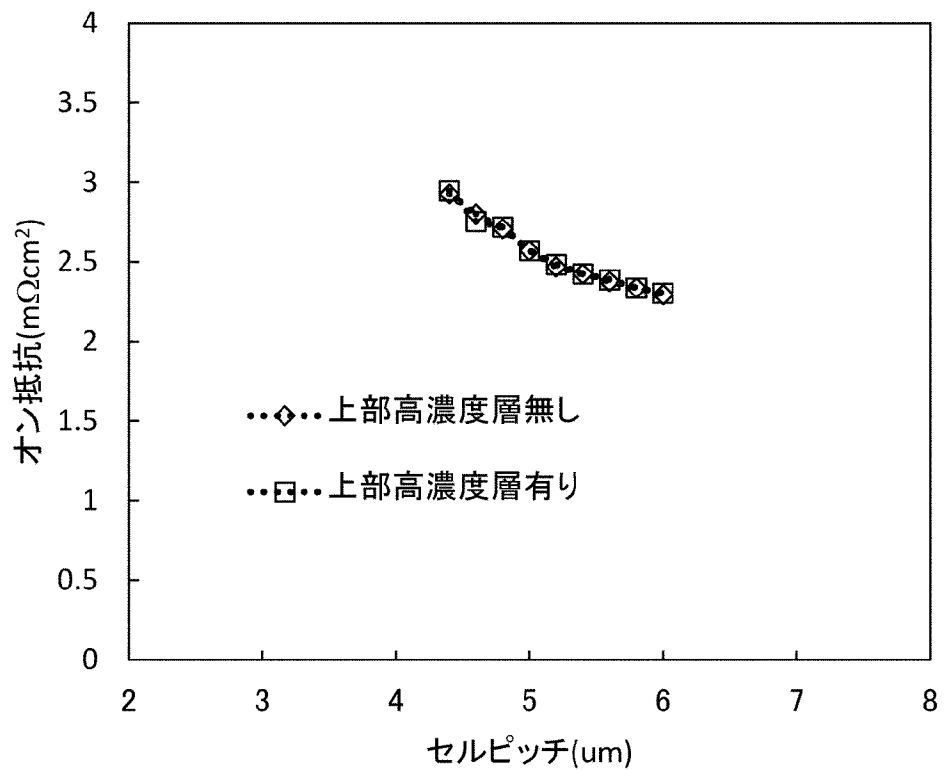
[図1]



[図2]

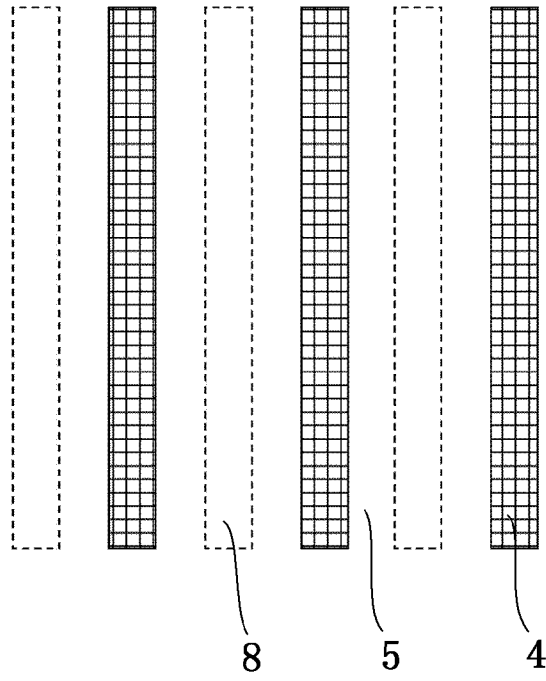


[図3]

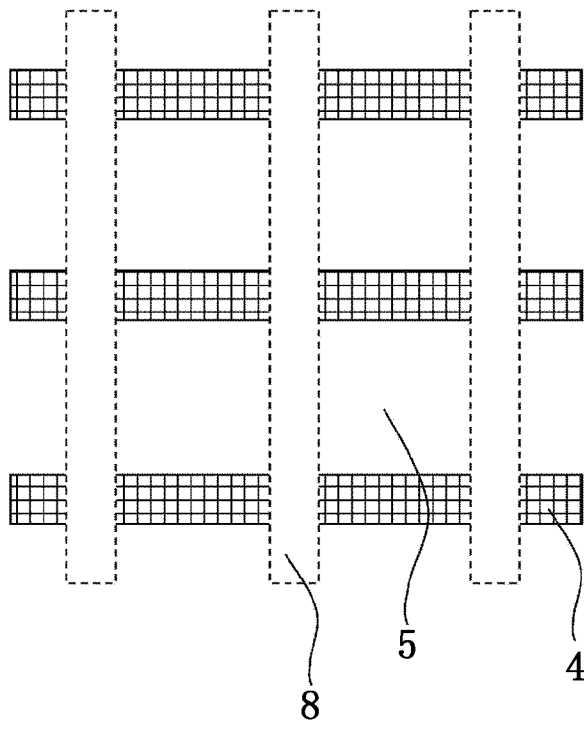


[図4]

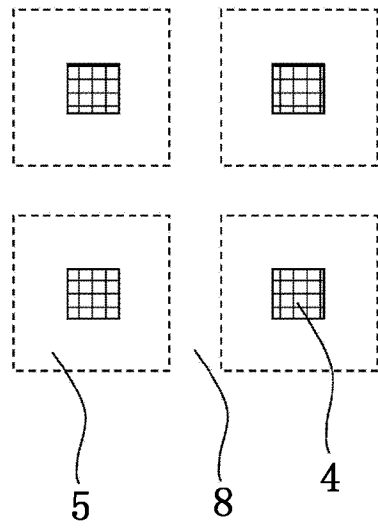
4(a)



4(b)



[図5]



INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2013/061898
--

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/78(2006.01) i, H01L29/12(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/78, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

<i>Jitsuyo Shinan Koho</i>	<i>1922-1996</i>	<i>Jitsuyo Shinan Toroku Koho</i>	<i>1996-2013</i>
<i>Kokai Jitsuyo Shinan Koho</i>	<i>1971-2013</i>	<i>Toroku Jitsuyo Shinan Koho</i>	<i>1994-2013</i>

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-43966 A (Toshiba Corp.), 26 February 2009 (26.02.2009), entire text; all drawings (Family: none)	1-5
P, X	JP 2012-164707 A (Panasonic Corp.), 30 August 2012 (30.08.2012), paragraphs [0023] to [0036], [0082], [0096] to [0106]; fig. 12 (Family: none)	1-5

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 29 July, 2013 (29.07.13)	Date of mailing of the international search report 06 August, 2013 (06.08.13)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L29/78(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L29/78, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2013年
 日本国実用新案登録公報 1996-2013年
 日本国登録実用新案公報 1994-2013年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 0 0 9 - 4 3 9 6 6 A (株式会社東芝) 2009. 02.26、全文全図 (ファミリーなし)	1-5
P、X	J P 2 0 1 2 - 1 6 4 7 0 7 A (パナソニック株式会社) 2012.08.30、段落【0023】-【0036】、【0082】、 【0096】-【0106】、図12 (ファミリーなし)	1-5

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
 29.07.2013

国際調査報告の発送日
 06.08.2013

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)	5 F	9 2 7 4
工藤 一光		
電話番号 03-3581-1101 内線 3516		