

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구

국제사무국

(43) 국제공개일

2017년 11월 2일 (02.11.2017)



(10) 국제공개번호

WO 2017/188656 A1

(51) 국제특허분류:

H01L 33/02 (2010.01)

H01L 33/00 (2010.01)

H01L 33/44 (2010.01)

(KIM, Dae-Hyun); 02489 서울시 동대문구 약령사로 147, 3-105, Seoul (KR).

(21) 국제출원번호:

PCT/KR2017/004216

(74) 대리인: 특허법인 누리 (NURY PATENT LAW FIRM); 06131 서울시 강남구 테헤란로 25길 15-5, 4층, Seoul (KR).

(22) 국제출원일:

2017년 4월 20일 (20.04.2017)

(25) 출원언어:

한국어

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(26) 공개언어:

한국어

(30) 우선권정보:

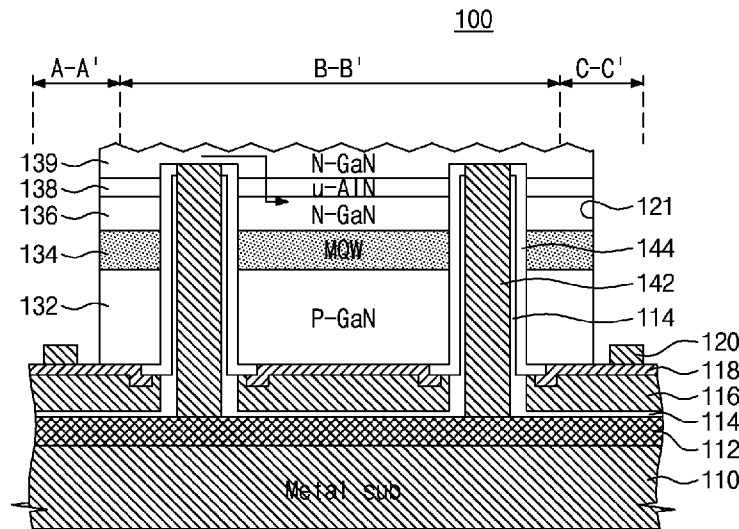
10-2016-0049920 2016년 4월 25일 (25.04.2016) KR

(71) 출원인: 고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) [KR/KR]; 02841 서울시 성북구 안암로 145, Seoul (KR).

(72) 발명자: 성태연 (SEONG, Tae-Yeon); 06519 서울시 서초구 신반포로33길 64, 1-506, Seoul (KR). 김대현

(54) Title: HIGHLY EFFICIENT GA-POLAR VERTICAL LIGHT-EMITTING DIODE DEVICE AND METHOD FOR PREPARING SAME

(54) 발명의 명칭: 고효율 Ga-polar 수직 발광 다이오드 소자 및 그 제조방법



(57) Abstract: The present invention provides a vertical light-emitting diode device and a method for preparing same. The vertical light-emitting diode device comprises: a conductive substrate; a p-type GaN layer disposed on the conductive substrate; an active layer disposed on the GaN layer; a first n-type GaN layer disposed on the active layer; an undoped AlN layer disposed on the first n-type GaN layer; a second n-type GaN layer disposed on the AlN layer; and a contact plug passing through the p-type GaN layer, the active layer, the first n-type GaN layer and the AlN layer and coupled to the second n-type GaN layer.

(57) 요약서: 본 발명은 수직형 발광 다이오드 소자 및 그 제조 방법을 제공한다. 이 수직형 발광 다이오드 소자는 도전성 기판; 상기 도전성 기판 상에 배치된 p형 GaN층; 상기 GaN층 상에 배치된 활성층; 상기 활성층에 배치된 제1 n형 GaN층; 상기 제1 n형 GaN층 상에 배치된 도핑되지 않은 AlN층; 상기 AlN층 상에 배치된 제2 n형 GaN층; 및 상기 p형 GaN층, 상기 활성층, 상기 제1 n형 GaN층, 그리고 상기 AlN층을 관통하여 상기 제2 n형 GaN층에 접합하는 콘택 플러그를 포함한다.



(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 고효율 Ga-polar 수직 발광 다이오드 소자 및 그 제조방법

기술분야

- [1] 본 발명은 III-V족 질화물계 반도체 소자에 관한 것으로, 보다 구체적으로 전류퍼짐 현상이 향상된 갈륨-폴라 수직형 발광 다이오드 소자(Ga-polar vertical Light Emitting Diode; GVLED)에 관한 것이다.

배경기술

- [2] 발광다이오드(Light Emitting Diode, LED)는 전류가 가해지면 p, n형 반도체의 접합 부분에서 전자와 정공의 재결합에 의하여 다양한 빛을 발생시킬 수 있는 반도체 장치이다.
- [3] III-V족 질화물계 반도체 소자인 발광다이오드는 수평형(lateral) 구조를 시작으로 시장의 수요에 따라 점차 고휘도 특성을 위한 플립칩(flip-chip), 수직형(vertical) 구조로 발전해왔다. 특히, 차량조명 적용과 같은 고전력/고온 환경에서도 고휘도 특성을 구현하기 위해 수직형(vertical) LED의 개발이 활발하다.
- [4] 수직형 LED는 에피층의 성장 방향에 따라 N-polar, Ga-polar 수직형 LED로 구분될 수 있다. Ga-polar 수직형 LED의 경우, 소자의 상부에 위치한 N 전극을 비아-홀(via-hole) 구조의 콘택 플러그를 도입하여 소자의 하부에 배치하여, N 전극에서 발생하는 광흡수를 감소시킬 수 있다. 이에 따라, Ga-polar 수직형 LED는 N-polar 수직형 LED보다 고휘도 발광을 제공할 수 있다. 비아-홀 구조의 콘택 플러그는 접촉 면적이 작아 전류 크라우딩 현상을 유발할 수 있다. 복수의 콘택 플러그를 사용하는 경우에도, 전류 퍼짐 효과에 한계가 있다.

발명의 상세한 설명

기술적 과제

- [5] 본 발명의 해결하고자 하는 일 기술적 과제는 비아-홀 구조를 채운 콘택 플러그의 n 전극과 메사(mesa) 구조의 p 전극으로 구성된 수직형 LED에서, 전류주입효율을 증가시키기 위해서 n 전극에서 주입된 전자가 p 전극에서 주입된 홀과 최단 거리로 재결합(recombination)할 수 있는 구조를 제공하는 것이다.

과제 해결 수단

- [6] 본 발명의 일 실시예에 따른 수직형 발광 다이오드 소자는 도전성 기판; 상기 도전성 기판 상에 배치된 p형 GaN층; 상기 GaN층 상에 배치된 활성층; 상기 활성층에 배치된 제1 n형 GaN층; 상기 제1 n형 GaN층 상에 배치된 도핑되지 않은 AlN층; 상기 AlN층 상에 배치된 제2 n형 GaN층; 및 상기 p형 GaN층, 상기 활성층, 상기 제1 n형 GaN층, 그리고 상기 AlN층을 관통하여 상기 제2 n형

GaN층에 접합하는 콘택 플러그를 포함한다.

- [7] 본 발명의 일 실시예에 있어서, 상기 제2 n형 GaN층은 차례로 적층된 고농도의 제1 영역, 저농도의 제2 영역, 및 고농도의 제3 영역을 포함하고, 상기 제1 영역과 상기 AlN층의 계면에 2차원 전자 가스층이 형성될 수 있다.
- [8] 본 발명의 일 실시예에 있어서, 상기 제2 영역의 도핑 농도는 $10E^{15}/\text{cm}^3$ 내지 $10E^{17}/\text{cm}^3$ 일 수 있다.
- [9] 본 발명의 일 실시예에 있어서, 상기 제2 영역의 두께는 1 nm 내지 3 nm 일 수 있다.
- [10] 본 발명의 일 실시예에 있어서, 상기 AlN층의 두께는 1 nm 내지 3 nm 일 수 있다.
- [11] 본 발명의 일 실시예에 있어서, 상기 제2 n형 GaN층과 상기 AlN층 사이에 배치된 n형 InGaN층을 더 포함할 수 있다.
- [12] 본 발명의 일 실시예에 있어서, 상기 n형 InGaN층은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 에서, x는 0 초과 0.1 이하일 수 있다.
- [13] 본 발명의 일 실시예에 있어서, 상기 n형 InGaN층의 두께는 1 nm 내지 3 nm일 수 있다.
- [14] 본 발명의 일 실시예에 있어서, 상기 p형 GaN층과 상기 도전성 기판 사이에 배치된 웨이퍼 결합층; 상기 웨이퍼 결합층과 상기 p형 GaN층 사이에 배치된 절연층; 상기 절연층과 상기 p형 GaN층 사이에 배치된 p 전극; 상기 p전극과 상기 p형 GaN층 사이에 배치된 오믹 접합층; 및 상기 콘택 플러그를 감싸도록 배치된 콘택 플러그 절연층을 더 포함할 수 있다.
- [15] 본 발명의 일 실시예에 있어서, 상기 제2 n형 GaN층, 상기 AlN층, 상기 제1 n형 GaN층, 상기 활성층, 그리고 상기 p형 GaN층을 관통하여 형성된 트렌치에서 상기 오믹 접합층에 접촉하여 배치되는 p 전극 패드를 더 포함할 수 있다.
- [16] 본 발명의 일 실시예에 따른 수직형 발광 다이오드 소자의 제조 방법은 사파이어 기판 상에 GaN 버퍼층, 하부 n형 GaN층, AlN층, 상부 n형 GaN층, 활성층, 및 p형 GaN층을 차례로 적층하는 단계; 상기 p형 GaN층, 상기 활성층, 상기 상부 n형 GaN층, 및 상기 AlN층을 관통하는 비아 홀을 형성하는 단계; 상기 비아 홀의 측벽에 콘택 플러그 절연층을 형성하는 단계; 상기 절연층이 형성된 상기 사파이어 기판 상에 오믹 접합층 그리고 p 전극을 형성하고, 상기 비아 홀의 측벽 및 상기 p형 전극 상에 절연층을 형성하는 단계; 및 상기 비아 홀의 하부면을 식각하여 상기 하부 n형 GaN층을 노출시키고 상기 비아홀을 채워서 콘택 플러그를 형성하는 단계;를 포함한다.
- [17] 본 발명의 일 실시예에 있어서, 상기 콘택 플러그가 형성된 상기 사파이어 기판 상에 웨이퍼 결합층을 형성하고 상기 웨이퍼 결합층과 상기 도전성 기판을 결합시키는 단계; 레이저 리프트 오프 기술을 이용하여 상기 사파이어 기판을 제거하는 단계; 노출된 GaN 버퍼층을 제거하여 상기 상부 n형 GaN층을 노출시키는 단계; 노출된 상부 n형 GaN층을 표면 처리하여 표면 거칠기를

제공하는 단계; 및 상기 상부 n형 GaN층, 상기 AlN층, 상기 하부 n형 GaN층, 상기 활성층, 그리고 상기 p형 GaN층을 관통하여 형성된 트렌치를 형성하고 상기 트렌치의 하부에 상기 오믹 접합층에 접촉하는 p 전극 패드를 형성하는 단계를 더 포함할 수 있다.

[18] 본 발명의 일 실시예에 있어서, 상기 하부 n형 GaN층은 차례로 적층된 고농도의 제1 영역, 저농도의 제2 영역, 및 고농도의 제3 영역을 포함하고, 상기 하부 n형 GaN층의 상기 제1 영역과 상기 AlN층의 계면에 2차원 전자 가스층이 형성될 수 있다.

[19] 본 발명의 일 실시예에 있어서, 상기 AlN층과 상기 하부 n형 GaN층 사이에 InGaN층을 형성하는 단계를 더 포함할 수 있다.

발명의 효과

[20] 본 발명의 일 실시예에 따르면, Ga-polar 수직형 LED는 n형 반도체에서 전류 퍼짐(current spreading) 현상을 개선하기 위해, n형 반도체층 사이에 AlN 기반의 에피층을 삽입하여 2차원 전자 가스(two dimensional electron gas; 2DEG)를 형성한다. 상기 2차원 전자 가스는 n 전극의 주변에 전기 전도도가 매우 높은 n형 반도체층을 제공할 수 있으며, 상기 n 전극으로 주입된 전류가 급속히 n형 반도체층 전체로 퍼짐으로서 전류 크라우드딩(current crowding) 문제를 해결할 수 있다.

도면의 간단한 설명

[21] 도 1a는 본 발명의 일 실시예에 따른 Ga-Polar 수직형 LED를 나타내는 평면도이다.

[22] 도 1b는 도 1a의 A-A', B-B', 및 C-C' 선을 따라 자른 단면도이다.

[23] 도 2a 내지 도 2j는 본 발명의 일 실시예에 따른 수직형 발광 다이오드 소자의 제조 방법을 설명하는 도면들이다.

[24] 도 3은 도 1의 수직형 발광 다이오드 소자의 밴드 다이어그램을 나타낸다.

[25] 도 4는 상부 n형 GaN층(또는 제1 n형 GaN층)의 도핑 농도 및 두께에 따른 밴드 다이어그램을 나타낸다.

[26] 도 5는 본 발명의 또 다른 실시예에 따른 수직형 발광 다이오드 소자(100a) 및 그 밴드 다이어그램을 나타낸다.

[27] 도 6은 도 5의 InGaN층(137)의 In 도핑 농도 및 InGaN층(137)의 두께에 따른 밴드 다이어그램을 나타낸다.

발명의 실시를 위한 형태

[28] 본 발명의 일 실시예에 따르면, Ga-Polar 수직형 LED에서, 콘택 플러그 구조의 n 전극은 n형 반도체층(GaN)과 접촉하고, 상기 n형 반도체층(GaN)은 n-GaN/u-AlN/ n-GaN 구조, n-GaN /n-GaN/n-GaN/u-AlN/ n-GaN 구조, 또는 n-GaN/ n-InGaN /u-AlN/ n-GaN 구조를 가질 수 있다. 이에 따라, 상기 n형 반도체층은 GaN/u-AlN 계면에 2차원 전자 가스를 발생시켜 높은 전기 전도도를 가진

영역을 제공할 수 있다. 이에 따라, n형 GaN층에서의 전류 퍼짐(current spreading) 특성을 향상시킬 수 있다.

- [29] 이하, 도면을 참조하여 본 발명을 실시하기 위한 구체적인 내용을 실시예에 기초하여 설명한다. 이들 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예에 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다. 또한, 각각의 개시된 실시예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 발명의 범위는 적절하게 설명된다면 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다. 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭한다.
- [30] 도 1a는 본 발명의 일 실시예에 따른 Ga-Polar 수직형 LED를 나타내는 평면도이다.
- [31] 도 1b는 도 1a의 A-A', B-B', 및 C-C' 선을 따라 자른 단면도이다.
- [32] 도 1a 및 도 1b를 참조하면, 수직형 발광 다이오드 소자(100)는 도전성 기판(110); 상기 도전성 기판(110) 상에 배치된 p형 GaN층(132); 상기 GaN층 상에 배치된 활성층(134); 상기 활성층에 배치된 제1 n형 GaN층(136); 상기 제1 n형 GaN층 상에 배치된 도핑되지 않은 AlN층(138); 상기 AlN층 상에 배치된 제2 n형 GaN층(139); 및 상기 p형 GaN층, 상기 활성층, 상기 제1 n형 GaN층, 그리고 상기 AlN층을 관통하여 상기 제2 n형 GaN층(139)에 접합하는 콘택 플러그(142)를 포함한다.
- [33] 상기 도전성 기판(110)은 웨이퍼 본딩 기술에 의하여 부착된 기판일 수 있다. 상기 도전성 기판(110)의 재질은 몰리브덴 또는 구리일 수 있다. 또는, 상기 도전성 기판(110)은 전주법(electro-plating)을 이용하여 후막을 형성하여 제작될 수 있다. 또는, 상기 도전성 기판(110)은 실리콘 기판으로 대체될 수 있다.
- [34] 상기 도전성 기판(110) 상에 웨이퍼 결합층(112)이 배치된다. 상기 웨이퍼 결합층(112)은 Au/Sn 합금, 또는 Ni/Sn 합금, Sn이 포함된 다양한 합금 등 일 수 있다. 상기 웨이퍼 결합층(112)은 섭씨 200도 수준의 저온 열처리에 의하여 상기 도전성 기판(110)과 본딩될 수 있다.
- [35] 절연층(114)이 상기 웨이퍼 결합층(112) 상에 배치된다. 상기 절연층(114)은 실리콘 산화막 또는 실리콘 질화막일 수 있다. 상기 절연층은 상기 콘택 플러그(142)를 감싸도록 연장될 수 있다.
- [36] p 전극(116)이 상기 절연층(114) 상에 배치될 수 있다. 상기 p 전극(116)은 Ni/Au, Pd, Pt, Cr, Ti 또는 Al일 수 있다.
- [37] 상기 p 전극(116) 상에 오믹 접합층(118)이 배치될 수 있다. 상기 오믹

접합층(118)은 p형 GaN와 오믹 접합이 가능한 물질일 수 있다. 구체적으로 상기 오믹 접합층(118)은 은(Ag), 은 합금(Ag Alloy), Pd, Pt, Ni, Au, ITO 등을 포함할 수 있다. 바람직하게는 상기 오믹 접합층(118)은 ITO/Ag의 적층 구조일 수 있다. 상기 오믹 접합층은 자외선 또는 청색을 반사하는 반사층으로 동작할 수 있다. 상기 절연층은 상기 콘택 플러그의 하단을 감싸도록 배치되고, 상기 p 전극 및 상기 오믹 접합층(117)은 상기 절연층(114)에 의하여 상기 콘택 플러그(142)와 전기적으로 절연될 수 있다.

[38] 상기 오믹 접합층(118) 상에 p형 GaN 층(132)이 배치될 수 있다. 상기 p형 GaN 층(132)은 Mg으로 도핑되고, 100 nm 수준의 두께를 가질 수 있다. 상기 p형 GaN 층(132) 상에 전자 블록층(미도시)이 배치될 수 있다. 상기 전자 블록층은 AlGaIn 재질이고 수십 nm 수준일 수 있다.

[39] 상기 p형 GaN 층(132) 상에 활성층(134)이 배치될 수 있다. 상기 활성층(134)의 두께는 수십 내지 수백 nm 수준일 수 있다. 상기 활성층은 전자와 홀이 재결합하여 발광할 수 있다.

[40] 상기 활성층(134)은 근자외선을 방출하기 위하여 다중 양자 우물 구조일 수 있다. 자외선을 방출하는 경우, 상기 다중 양자 우물 구조는 GaN/AlGaIn 구조일 수 있다. 청색 또는 녹색을 방출하는 경우, 상기 다중 양자 우물 구조는 InGaIn/GaN 구조일 수 있다.

[41] 상기 활성층(134) 상에 제1 n 형 GaN층(136)이 배치될 수 있다. 상기 제1 n형 GaN층(138) 상에 배치된 도핑되지 않은 AlN층(138)이 배치될 수 있다. 상기 AlN층(138)의 두께는 1 nm 내지 3 nm 일 수 있다.

[42] 상기 AlN 층(138) 상에 제2 n형 GaN층(139)이 배치될 수 있다. 상기 제2 n형 GaN층(139)의 상부면은 표면 거칠기를 가지도록 표면 처리될 수 있다.

[43] 제2 n 형 GaN층(139)은 차례로 적층된 고농도의 제1 영역, 저농도의 제2 영역, 및 고농도의 제3 영역을 포함할 수 있다. 상기 제1 영역과 상기 AlN층(138)의 계면에 2차원 전자 가스층이 형성된다. 상기 제2 영역의 도핑 농도는 $10E^{15}$ 내지 $10E^{17}$ 일 수 있다. 상기 제2 영역의 두께는 1 nm 내지 3 nm 일 수 있다. 상기 2차원 전자 가스층은 높은 전기 전도도를 가지고 전류 퍼짐 효과를 제공하고 기판에 평행하게 흐르는 전류를 제공할 수 있다. 상기 콘택 플러그는 n 전극으로 동작하고, 상기 콘택 플러그는 상기 제1 영역에 접촉하는 것이 바람직할 수 있다. 이에 따라, 제2 영역은 낮은 도핑 농도에 기인하여, 높은 저항을 가질 수 있다. 따라서, 전류는 주로 상기 제1 영역을 따라 기판에 평행하게 흐를 수 있다. 상기 제2 n형 GaN(139)과 상기 p형 GaN층(132) 사이에 전압을 인가하기 위하여, 콘택 플러그(142)가 배치될 수 있다. 상기 콘택 플러그(142)는 상기 p형 GaN층(132), 상기 활성층(134), 상기 제1 n 형 GaN층(136), 그리고 상기 AlN층(138)을 관통하여 상기 제2 n형 GaN층(139)에 접합할 수 있다. 상기 콘택 플러그(142)는 복수 개일 수 있다. 상기 콘택 플러그(142)의 재질은 n형 GaN와 오믹 접합을 수행할 수 있는 물질일 수 있다. 구체적으로, 상기 콘택 플러그(142)의 재질은

- Ti/Al 구조, Ti/Al/Ni/Au, Cr/Al, Cr/Al/Ni/Au 등 Ti나 Cr 기반의 다층구조 일 수 있다.
- [44] 상기 콘택 플러그(142)를 감싸도록 콘택 플러그 절연층(144)이 배치될 수 있다. 상기 콘택 플러그 절연층(144)은 실리콘 산화막 또는 실리콘 질화막일 수 있다. 상기 절연층(114)의 일부는 상기 콘택 플러그(142)를 감싸고, 상기 절연층(114)에 감싸인 콘택 플러그(142)는 다시 콘택 플러그 절연층(144)으로 감싸일 수 있다.
- [45] 상기 콘택 플러그(142)의 하부면은 웨이퍼 본딩 과정에서 본딩 물질의 확산으로 인한 신뢰성 저하 문제를 해결하기 위해 다층구조의 확산 방지막으로 덮인 후, 상기 웨이퍼 결합층(112)과 접촉한다. 상기 콘택 플러그(142)의 상부면은 상기 제2 n형 GaN 층(139)과 접촉한다. 상기 콘택 플러그(142)를 통하여 주입된 전자는 상기 제2 n형 GaN 층(139)과 그 하부의 제1 n형 GaN 층(136)에 제공될 수 있다. 이 경우, 전자는 상기 제2 n형 GaN과 제1 n형 GaN 층 사이에 배치된 AlN 층(138)을 터널링을 통과하여 전달될 수 있다.
- [46] p 전극 패드(120)는 상기 제2 n형 GaN 층(139), 상기 AlN 층(138), 상기 제1 n형 GaN 층(136), 상기 활성층(134), 그리고 상기 p형 GaN 층(132)을 관통하여 형성된 트렌치(121)에서 상기 오믹 접합층(118)에 접촉하여 배치될 수 있다. 상기 p 전극 패드(120)는 Ti/Al 구조, Ti/Al/Ni/Au, Cr/Al, Cr/Al/Ni/Au 등 Ti나 Cr 기반의 다층구조 일 수 있다.
- [47] 도 2a 내지 도 2j는 본 발명의 일 실시예에 따른 수직형 발광 다이오드 소자의 제조 방법을 설명하는 도면들이다.
- [48] 도 2a를 참조하면, 사파이어 기판(102) 상에 GaN 버퍼층(104), 하부 n형 GaN 층(또는 제2 n형 GaN 층, 139), 도핑되지 않은 AlN 층(138), 상부 n형 GaN 층(제1 n형 GaN 층, 136), 활성층(134), 및 p형 GaN 층(132)을 차례로 적층한다. 상기 사파이어 기판은 (0001) 기판일 수 있다. 상기 GaN 버퍼층(104), 하부 n형 GaN 층(139), AlN 층(138), 상부 n형 GaN 층(136), 활성층(134), 및 p형 GaN 층(132)은 금속-유기 화학 기상 증착(metal-organic chemical vapor deposition; MOCVD)를 이용하여 성장될 수 있다. 하부 n형 GaN 층(또는 제2 n형 GaN 층, 139)은 고농도의 제1 영역, 저농도의 제2 영역, 및 고농도의 제3 영역을 포함할 수 있다. 상기 제1 영역과 상기 AlN 층(138)의 계면에 2차원 전자 가스층이 형성된다. 상기 제2 영역의 도핑 농도는 $10E^{15}$ 내지 $10E^{17}$ 일 수 있다. 상기 제2 영역의 두께는 1 nm 내지 3 nm 일 수 있다. 상기 2차원 전자 가스층은 높은 전기 전도도를 가지고 전류 퍼짐 효과를 제공하고 기판에 평행하게 흐르는 전류를 제공할 수 있다. 상기 제1 영역 및 제3 영역의 실리콘 도핑 농도는 $10E^{18}$ 이상일 수 있다.
- [49] 도 2b를 참조하면, 상기 p형 GaN 층(132) 상에 포토 리소그래피 공정을 통하여 포토레지스트 마스크 패턴을 형성하고, 상기 포토레지스트 마스크 패턴을 식각 마스크로 하여 이방성 식각을 수행하여 상기 p형 GaN 층(132), 상기 활성층(134), 상기 상부 n형 GaN 층(136), 및 상기 AlN 층(138)을 관통하는 비아 홀(152)을 형성한다. 상기 비아 홀(152)의 하부면은 상기 하부 n형 GaN 층(139)에 접촉할 수

있다.

- [50] 도 2c를 참조하면, 상기 비아 홀(152)의 측벽에 콘택 플러그 절연층(144)을 형성한다. 상기 콘택 플러그 절연층(144)은 화학 기상 증착법을 사용하여 실리콘 산화막 또는 실리콘 질화막을 증착할 수 있다.
- [51] 도 2d를 참조하면, 포토리소그라피 공정을 이용하여 상기 비아홀(152)의 측벽 및 상기 비아홀(152)의 입구 주변을 제외한 영역의 상기 콘택 플러그 절연층(144)을 제거한다.
- [52] 도 2e를 참조하면, 리프트-오프(lift-off) 공정을 이용하여 상기 비아홀(152)을 제외한 영역에 오믹 콘택층(118)을 형성한다. 상기 오믹 콘택층(118)은 p형 GaN와 오믹 접합을 수행하는 물질일 수 있다. 구체적으로, 상기 오믹 콘택층(118)은 ITO/Ag 구조, Ag 단일막 구조, 또는 Pd/Ag 구조, Pt/Ag 구조, Ni/Ag 구조, Au/Ag 구조일 수 있다. 상기 오믹 콘택층(118)은 자외선 또는 청색을 반사하는 반사층으로 동작할 수 있다.
- [53] 이어서, 리프트-오프(lift-off) 공정을 이용하여 상기 오믹 콘택층(118) 상에 p 전극(116)을 형성한다. 상기 p 전극(116)은 Ni/Au 구조, Ti/Al 구조, Ti/Al/Ni/Au, Cr/Al, Cr/Al/Ni/Au 등 Ti나 Cr 기반의 다층구조 일 수 있다.
- [54] 상기 p 전극(116)이 형성된 후, 절연층(114)을 형성한다. 상기 절연층(114)은 상기 비아 홀(152)의 측벽 및 하부면에 컨포멀하게 형성될 수 있다. 상기 절연층(114)은 실리콘 산화막 또는 실리콘 질화막일 수 있다.
- [55] 도 2f를 참조하면, 포토리소그라피 공정을 이용하여 상기 비아홀(152)을 노출시키는 마스크를 형성한 후 이방성 식각을 수행하여 상기 비아 홀(152)의 하부면에 배치된 절연층(114)을 식각하여 상기 하부 n형 GaN층(139)을 노출시킨다.
- [56] 도 2g를 참조하면, 상기 비아홀(152)을 채워서 도전성 물질로 채워서 콘택 플러그(142)를 형성한다. 상기 콘택 플러그는 Cr/Au 구조, Cr/Al/Pt/Au 구조, Ti/Au 구조, Ti/Al 구조 또는 Ti/Al/Ni/Au일 수 있다. 상기 콘택 플러그(142)는 화학 기상 증착법을 통하여 금속 또는 금속 합금을 증착한 후, 에치백(etch-back) 공정을 통하여 형성될 수 있다.
- [57] 이어서, 도 2h를 참조하면, 상기 콘택 플러그(142) 형성된 LED 기판 상에 웨이퍼 결합층(112)이 형성될 수 있다. 상기 웨이퍼 결합층(112)은 Au/Sn 합금, 또는 Ni/Sn 합금, Sn이 포함된 다양한 합금 등 일 수 있다. 이어서, 섭씨 200도 수준의 저온 열처리를 통하여 상기 콘택 플러그가 형성된 상기 LED 기판은 도전성 기판(110)과 결합될 수 있다. 상기 도전성 기판은 몰리브덴, 구리, 또는 실리콘 기판 등일 수 있다.
- [58] 도 2i를 참조하면, 레이저 리프트 오프 기술을 이용하여 상기 사파이어 기판(102)을 제거할 수 있다. 구체적으로, 상기 사파이어 기판(102)에 KrF 레이저 빔이 입사할 수 있다. 상기 사파이어 기판에 레이저 빔을 제공하면, 레이저 빔은 사파이어 기판(102)을 투과하고, 상기 GaN 버퍼층(104)과 사파이어 기판(102)

사이에 흡수되어 분리 영역(split zone)을 형성한다. 이에 따라, 상기 사파이어 기판(102)은 제거될 수 있다. 상기 GaN 버퍼층(104)이 상부면이 되도록 배치될 수 있다.

- [59] 도 2j를 참조하면, 노출된 GaN 버퍼층(104)을 제거하여 상기 상부 n형 GaN층(139)을 노출시킬 수 있다. 상기 GaN 버퍼층(104)은 플라즈마를 이용하는 습식 식각을 통하여 수행될 수 있다.
- [60] 이어서, 노출된 상부 n형 GaN층(139)을 표면 처리하여 표면 거칠기를 제공할 수 있다. 상기 표면 거칠기는 광추출효율을 증가시킬 수 있다. 상기 표면 거칠기는 KOH 용액을 이용하여 습식 식각을 통하여 형성될 수 있다.
- [61] 다시, 도 1b를 참조하면, 패터닝 공정을 사용하여, 상기 하부 n형 GaN층(139), 상기 AlN층(138), 상기 상부 n형 GaN층(136), 상기 활성층(134), 그리고 상기 p형 GaN층(132)을 관통하여 형성된 트렌치(121)를 형성한다. 리프트 오프 공정을 이용하여, 상기 트렌치(121)의 하부에 상기 오믹 접합층(118)에 접촉하는 p 전극 패드(120)를 형성할 수 있다. 상기 p 전극 패드(120)는 Cr/Al/Ni/Au 구조, Cr/Ni/Au 구조, 또는 Ni/Au 등의 다층구조일 수 있다.
- [62] 도 3은 도 1의 수직형 발광 다이오드 소자의 밴드 다이어그램을 나타낸다.
- [63] 도 3을 참조하면, 콘택 플러그(142)의 일단은 웨이퍼 본딩 과정에서 본딩물질의 확산으로 인한 신뢰성 저하 문제를 해결하기 위해 다층구조의 확산 방지막으로 덮힌 후, 상기 웨이퍼 결합층에 연결될 수 있다. 상기 콘택 플러그의 타단은 하부 n형 GaN층(또는 제2 n형 GaN층, 139)에 연결될 수 있다. 이에 따라, p형 GaN/활성층/n형 GaN 구조에 바이어스 전압이 인가될 수 있다. 상기 AlN 층(138)은 2nm 수준의 매우 얇은 박막으로, 하부 n형 GaN층(또는 제2 n형 GaN층, 139)에서 주입된 전자는 상기 AlN 층을 터널링을 통하여 상기 상부 n형 GaN층(또는 제1 n형 GaN층, 136)에 전달될 수 있다. 상기 AlN 층(138)과 하부 n형 GaN층(또는 제2 n형 GaN층, 139) 사이의 계면에 형성된 에너지 우물에서 2차원 전자 가스를 형성할 수 있다. 상기 2차원 전자 가스는 높은 전기 전도도를 가지고 전자 퍼짐 효과를 제공할 수 있다. 이에 따라, 상기 활성층은 균일하게 발광할 수 있다.
- [64] 도 4는 상부 n형 GaN층(또는 제1 n형 GaN층)의 도핑 농도 및 두께에 따른 밴드 다이어그램을 나타낸다.
- [65] 도 4를 참조하면, AlN층(138)의 두께는 2nm이고, 하부 n형 GaN층(또는 제2 n형 GaN층, 139)은 고농도의 제1 영역, 저농도의 제2 영역, 및 고농도의 제3 영역을 포함할 수 있다. 상기 제2 영역의 두께는 좌측의 경우에는 1nm이고, 우측의 경우에는 2 nm이다. 또한, 상기 제2 영역의 n형 도핑 농도는 $5E^{15}/\text{cm}^3$, $5E^{16}/\text{cm}^3$ 그리고, $5E^{17}/\text{cm}^3$ 이다. 이러한 도핑 농도에서, 2차원 전자 가스가 형성되었다. 상부 n형 GaN층 그리고 하부 n형 GaN층은 모두 성장시 Ga-face 결정 방향으로 성장한다. 다만, 공정과정에서 나중에 뒤집기 때문에 둘 다 최종적으로는 N-face 결정 방향이다.

- [66] 도 5는 본 발명의 또 다른 실시예에 따른 수직형 발광 다이오드 소자(100a) 및 그 밴드 다이어그램을 나타낸다. 도 1에서 설명한 것과 중복되는 설명은 생략한다.
- [67] 도 5를 참조하면, 상기 AlN층(138)과 하부 n형 GaN층(, 제2 n형 GaN층, 139) 사이에 InGaN층(137)이 배치될 수 있다. 상기 InGaN층(137)은 n형으로 도핑되고, 효율적으로 2차원 전자 가스를 형성할 수 있다.
- [68] 도 6은 도 5의 InGaN층(137)의 In 도핑 농도 및 InGaN층(137)의 두께에 따른 밴드 다이어그램을 나타낸다.
- [69] 도 6을 참조하면, InGaN층(137)의 In 도핑 농도는 0%, 5%, 및 10%에 대하여 조사되었다. 또한, 상기 InGaN층(137)의 두께는 1nm와 2 nm에 대하여 조사되었다. 이 모든 경우, 2차원 전자 가스가 형성된다.
- [70] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시 예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시 예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [71] 따라서, 본 발명의 사상은 설명된 실시 예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

청구범위

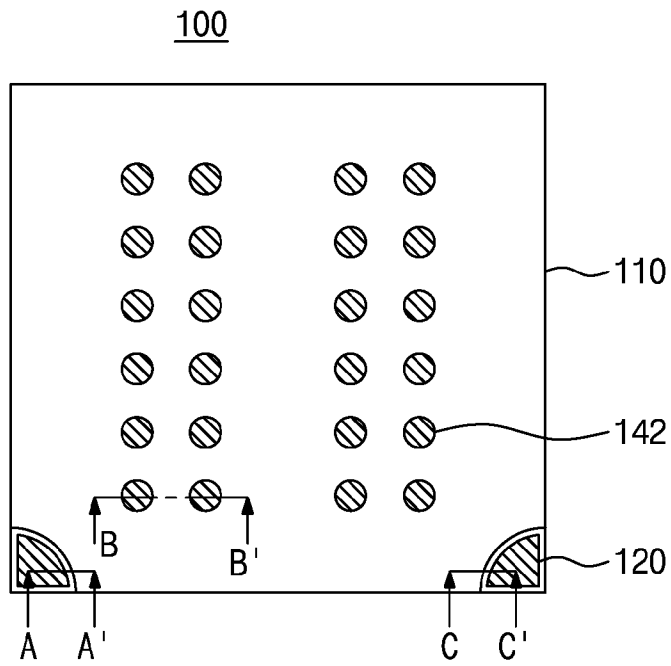
- [청구항 1] 도전성 기판;
 상기 도전성 기판 상에 배치된 p형 GaN층;
 상기 GaN층 상에 배치된 활성층;
 상기 활성층에 배치된 제1 n형 GaN층;
 상기 제1 n형 GaN 층 상에 배치된 도핑되지 않은 AlN층;
 상기 AlN 층 상에 배치된 제2 n형 GaN층; 및
 상기 p형 GaN층, 상기 활성층, 상기 제1 n형 GaN층, 그리고 상기 AlN층을 관통하여 상기 제2 n형 GaN층에 접합하는 콘택 플러그를 포함하는 것을 특징으로 하는 수직형 발광 다이오드 소자.
- [청구항 2] 제1 항에 있어서,
 상기 제2 n형 GaN층은 차례로 적층된 고농도의 제1 영역, 저농도의 제2 영역, 및 고농도의 제3 영역을 포함하고,
 상기 제1 영역과 상기 AlN층의 계면에 2차원 전자 가스층이 형성되는 것을 특징으로 하는 수직형 발광 다이오드 소자.
- [청구항 3] 제2 항에 있어서,
 상기 제2 영역의 도핑 농도는 $10E^{15}/\text{cm}^3$ 내지 $10E^{17}/\text{cm}^3$ 인 것을 특징으로 하는 수직형 발광 다이오드 소자.
- [청구항 4] 제2 항에 있어서,
 상기 제2 영역의 두께는 1 nm 내지 3 nm 인 것을 특징으로 하는 수직형 발광 다이오드 소자.
- [청구항 5] 제1 항에 있어서,
 상기 AlN층의 두께는 1 nm 내지 3 nm 인 것을 특징으로 하는 수직형 발광 다이오드 소자.
- [청구항 6] 제1 항에 있어서,
 상기 제2 n형 GaN 층과 상기 AlN층 사이에 배치된 n형 InGaN 층을 더 포함하는 것을 특징으로 하는 수직형 발광 다이오드 소자.
- [청구항 7] 제6 항에 있어서,
 상기 n형 InGaN 층은 $\text{In}_x\text{Ga}_{1-x}\text{N}$ 에서, x는 0 초과 0.1 이하인 것을 특징으로 하는 수직형 발광 다이오드 소자.
- [청구항 8] 제6 항에 있어서,
 상기 n형 InGaN 층의 두께는 1 nm 내지 3 nm인 것을 특징으로 하는 수직형 발광 다이오드 소자.
- [청구항 9] 제1 항에 있어서,
 상기 p형 GaN층과 상기 도전성 기판 사이에 배치된 웨이퍼 결합층;
 상기 웨이퍼 결합층과 상기 p형 GaN층 사이에 배치된 절연층;
 상기 절연층과 상기 p형 GaN층 사이에 배치된 p 전극;

상기 p전극과 상기 p형 GaN 층 사이에 배치된 오믹 접합층; 및
상기 콘택 플러그를 감싸도록 배치된 콘택 플러그 절연층을 더 포함하는
것을 특징으로 하는 수직형 발광 다이오드 소자.

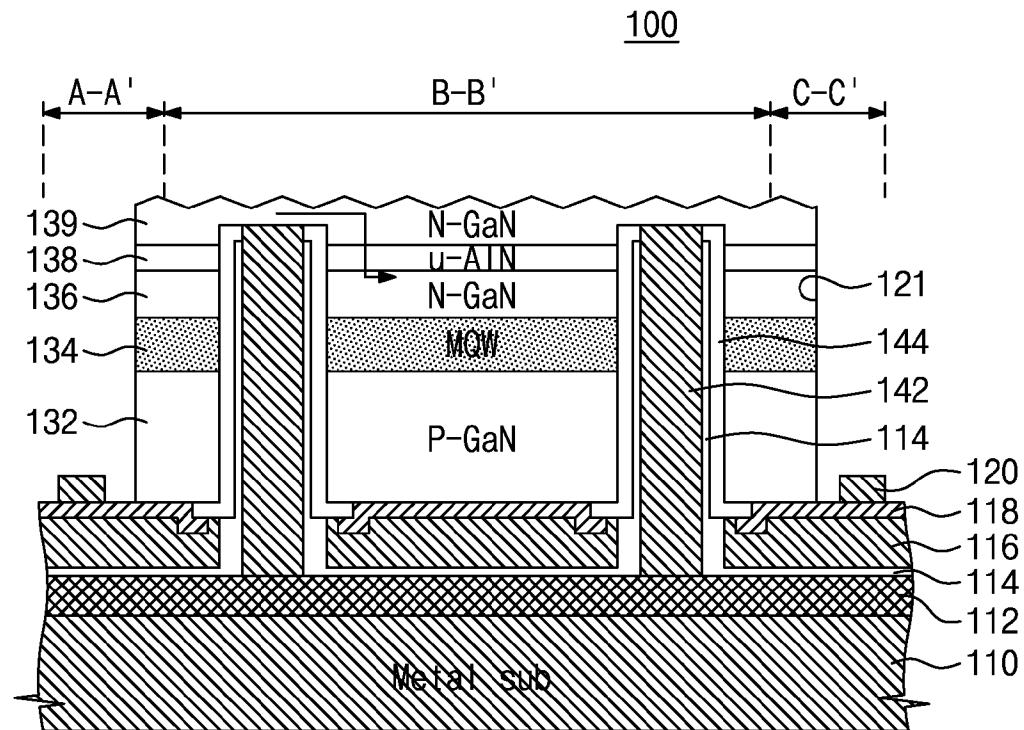
- [청구항 10] 제9 항에 있어서,
상기 제2 n형 GaN층, 상기 AlN층, 상기 제1 n형 GaN층, 상기 활성층,
그리고 상기 p형 GaN층을 관통하여 형성된 트렌치에서 상기 오믹
접합층에 접촉하여 배치되는 p 전극 패드를 더 포함하는 것을 특징으로
하는 수직형 발광 다이오드 소자.
- [청구항 11] 사파이어 기판 상에 GaN 버퍼층, 하부 n형 GaN층, AlN층, 상부 n형
GaN층, 활성층, 및 p형 GaN층을 차례로 적층하는 단계;
상기 p형 GaN층, 상기 활성층, 상기 상부 n형 GaN층, 및 상기 AlN층을
관통하는 비아 홀을 형성하는 단계;
상기 비아 홀의 측벽에 콘택 플러그 절연층을 형성하는 단계;
상기 절연층이 형성된 상기 사파이어 기판 상에 오믹 접합층 그리고 p
전극을 형성하고, 상기 비아 홀의 측벽 및 상기 p형 전극 상에 절연층을
형성하는 단계; 및
상기 비아 홀의 하부면을 식각하여 상기 하부 n형 GaN층을 노출시키고
상기 비아홀을 채워서 콘택 플러그를 형성하는 단계;를 포함하는 것을
특징으로 하는 수직형 발광 다이오드 소자의 제조 방법.
- [청구항 12] 제11항에 있어서,
상기 콘택 플러그가 형성된 상기 사파이어 기판 상에 웨이퍼 결합층을
형성하고 상기 웨이퍼 결합층과 상기 도전성 기판을 결합시키는 단계;
레이저 리프트 오프 기술을 이용하여 상기 사파이어 기판을 제거하는
단계;
노출된 GaN 버퍼층을 제거하여 상기 상부 n형 GaN층을 노출시키는 단계;
노출된 상부 n형 GaN층을 표면 처리하여 표면 거칠기를 제공하는
단계;및
상기 상부 n형 GaN층, 상기 AlN층, 상기 하부 n형 GaN층, 상기 활성층,
그리고 상기 p형 GaN층을 관통하여 형성된 트렌치를 형성하고 상기
트렌치의 하부에 상기 오믹 접합층에 접촉하는 p 전극 패드를 형성하는
단계를 더 포함하는 것을 특징으로 하는 수직형 발광 다이오드 소자의
제조 방법.
- [청구항 13] 제11항에 있어서,
상기 하부 n형 GaN층은 차례로 적층된 고농도의 제1 영역, 저농도의 제2
영역, 및 고농도의 제3 영역을 포함하고,
상기 하부 n형 GaN층의 상기 제1 영역과 상기 AlN층의 계면에 2차원
전자 가스층이 형성되는 것을 특징으로 하는 수직형 발광 다이오드
소자의 제조 방법.

- [청구항 14] 제11항에 있어서,
상기 AlN층과 상기 하부 n형 GaN층 사이에 InGaN층을 형성하는 단계를
더 포함하는 것을 특징으로 하는 수직형 발광 다이오드 소자의 제조 방법.

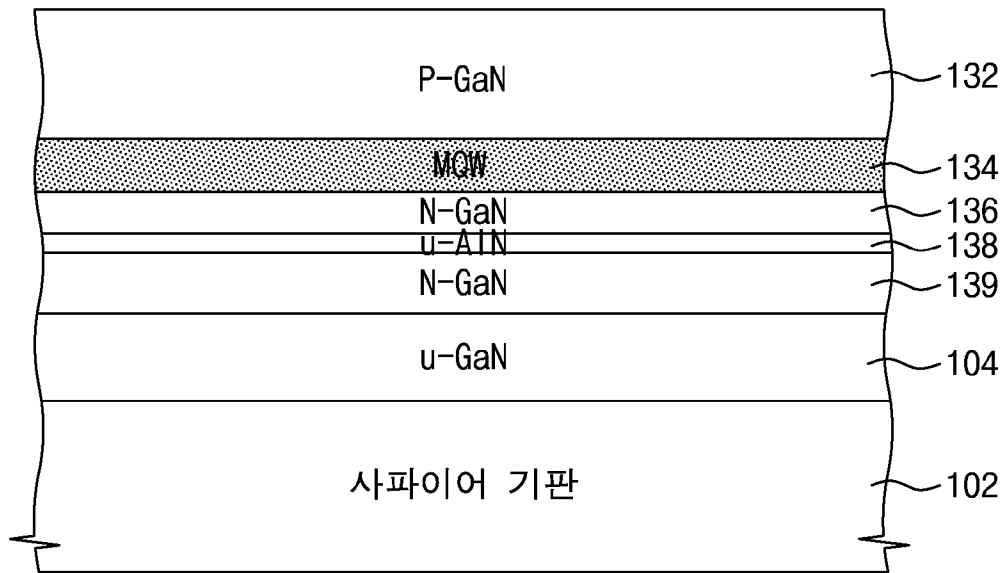
[도 1a]



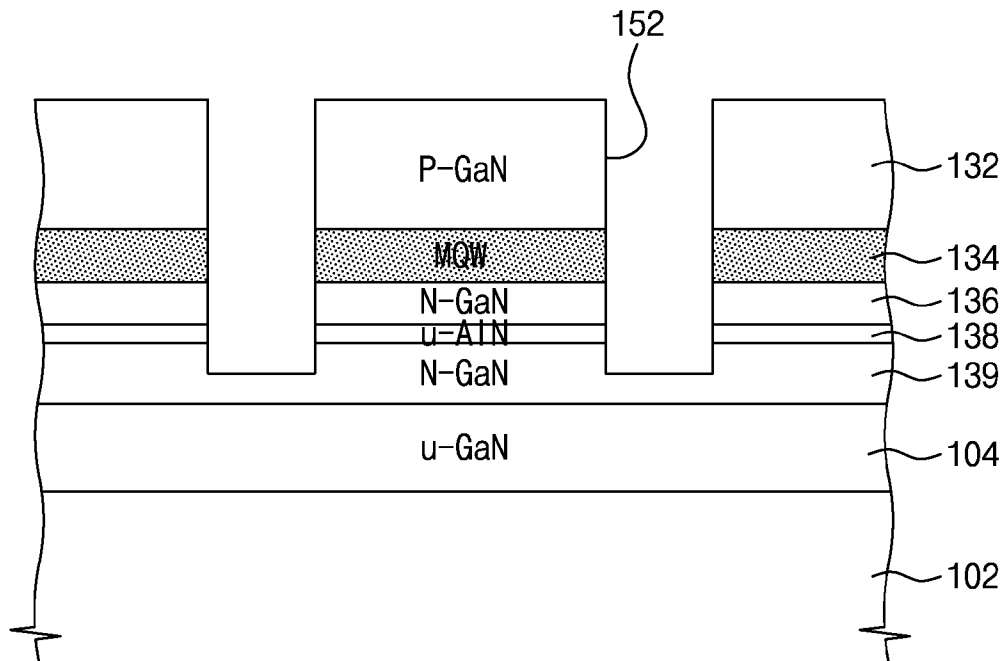
[도 1b]



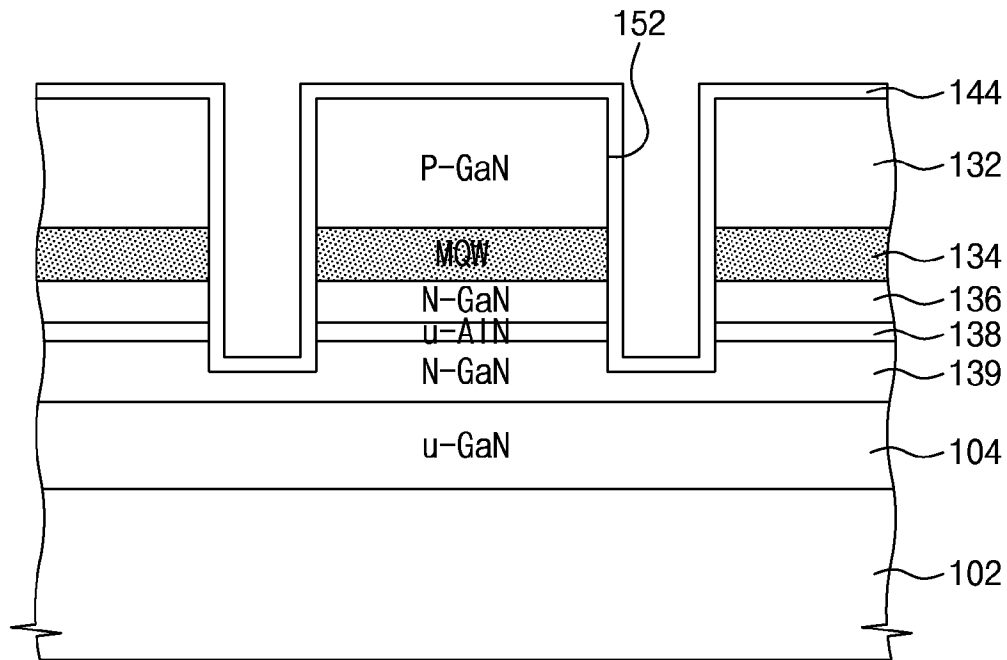
[도2a]



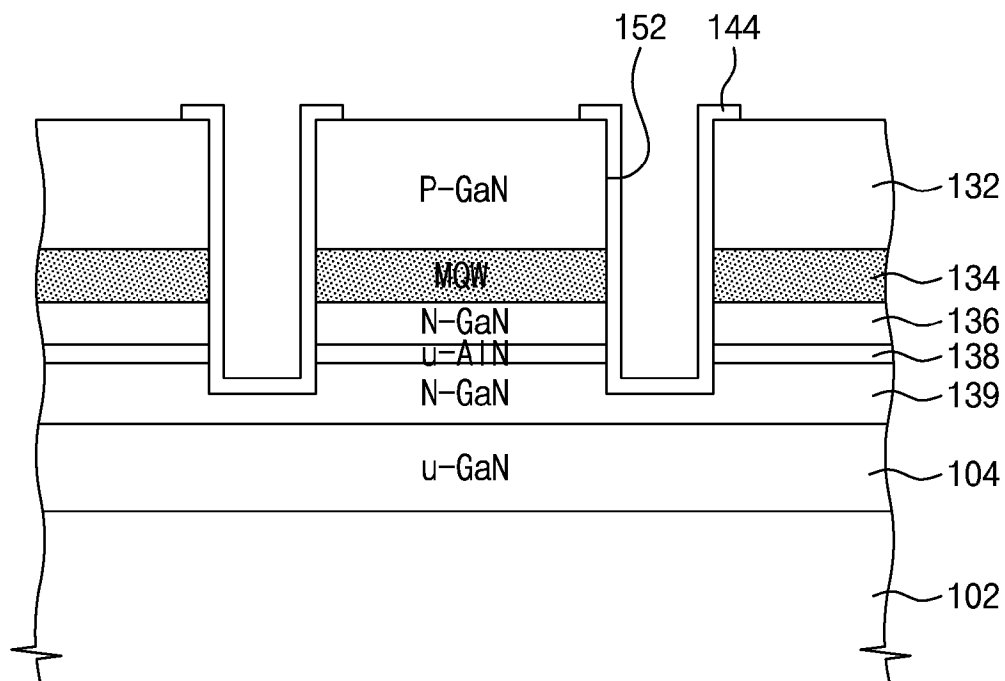
[도2b]



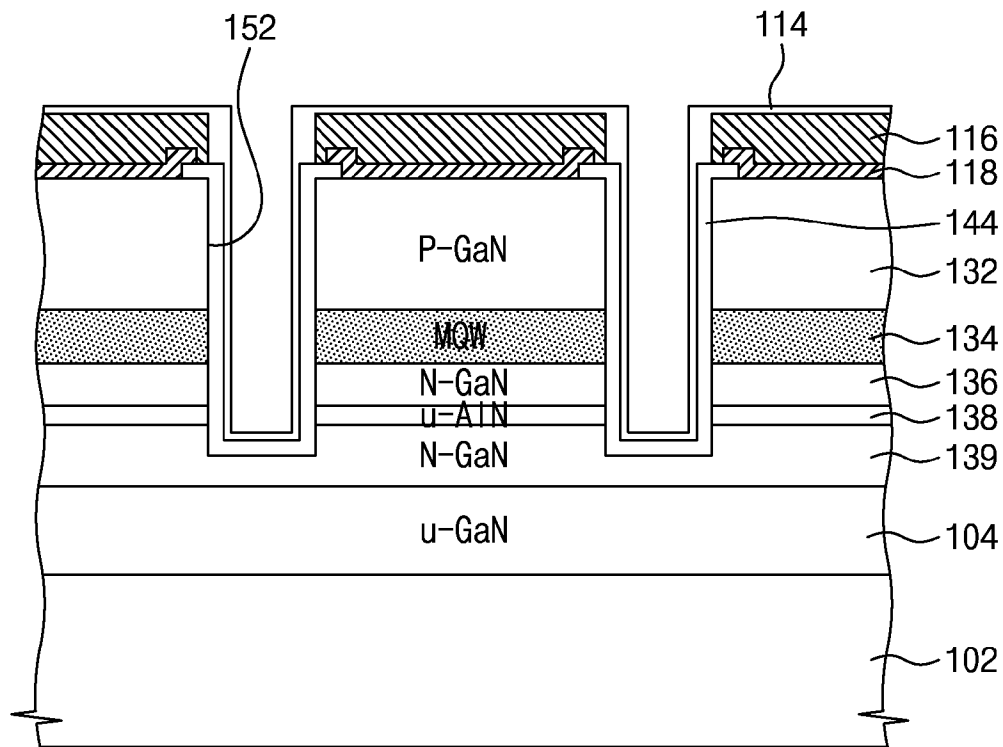
[도2c]



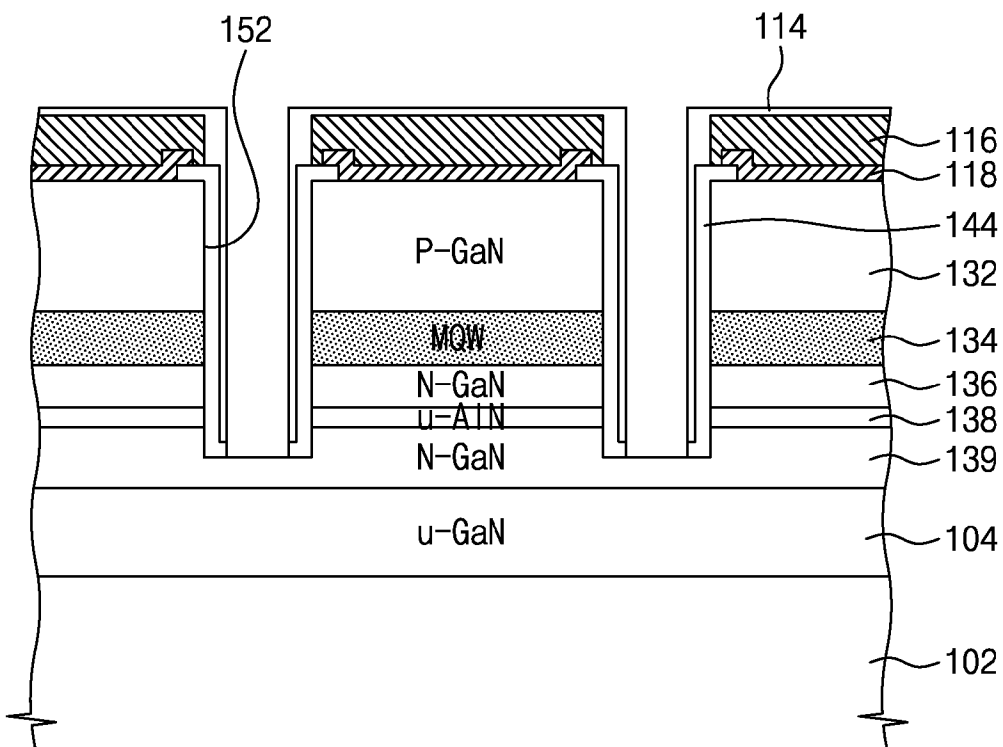
[도2d]



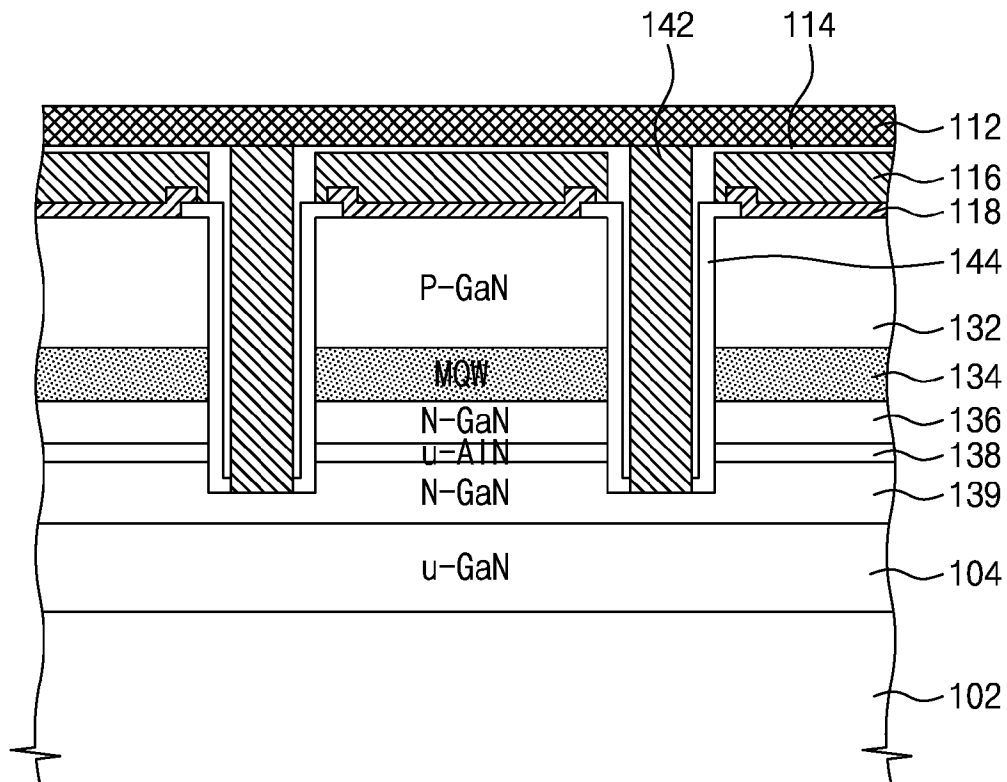
[도2e]



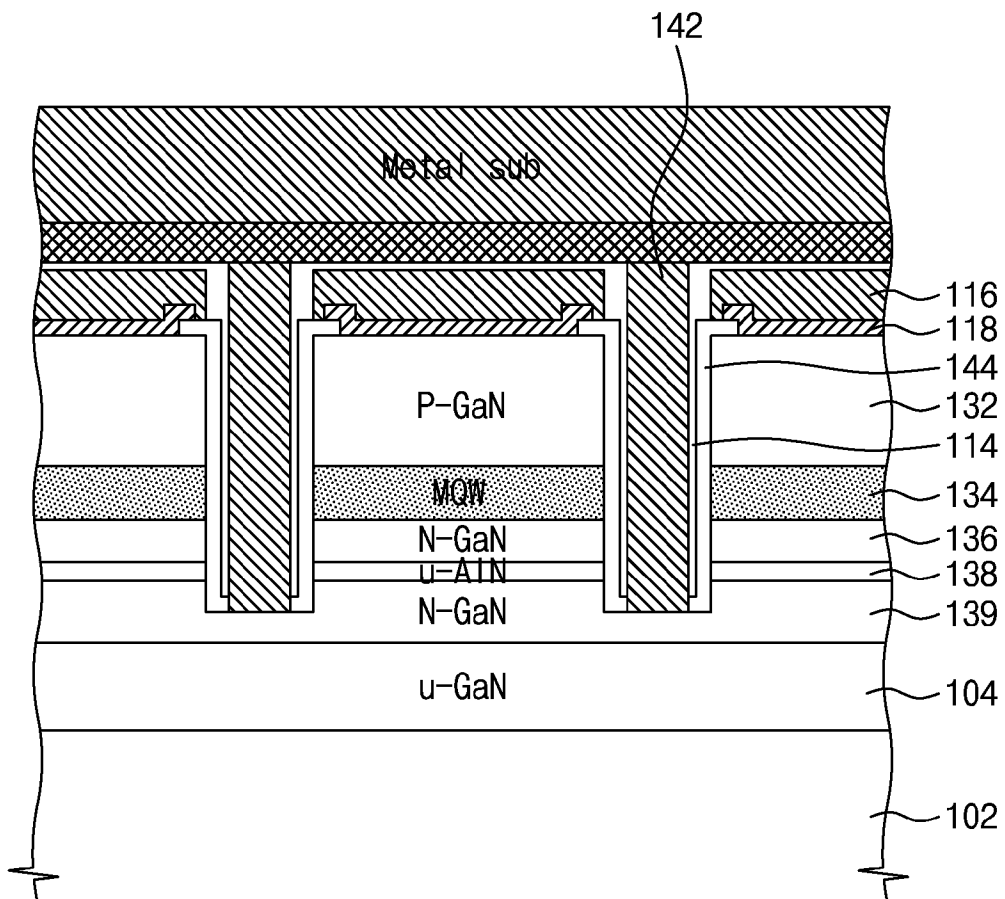
[도2f]



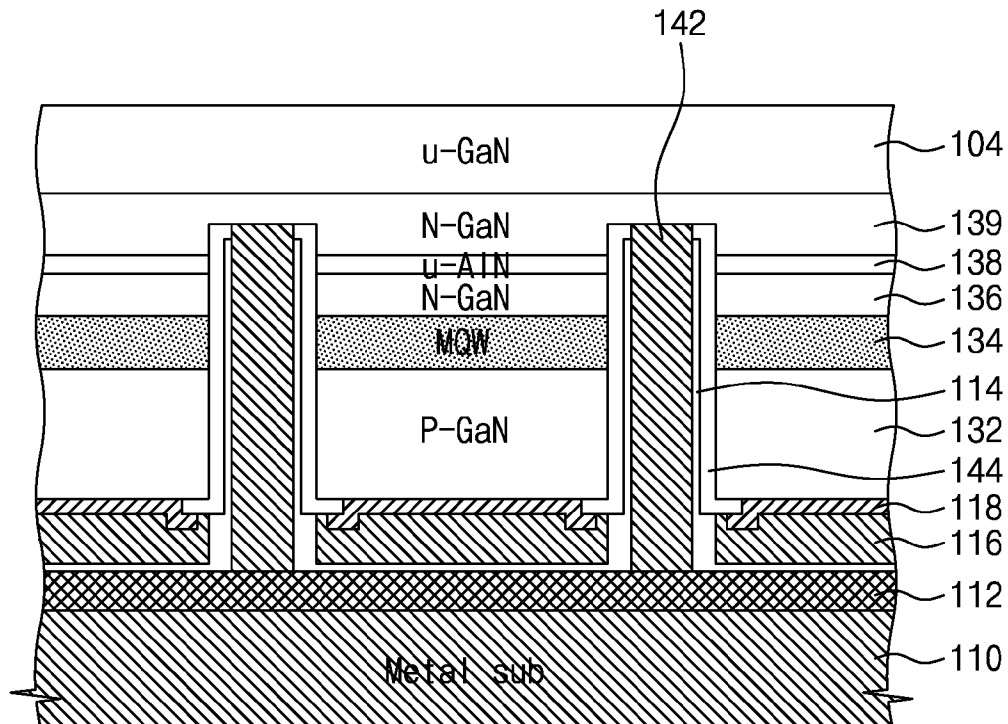
[도2g]



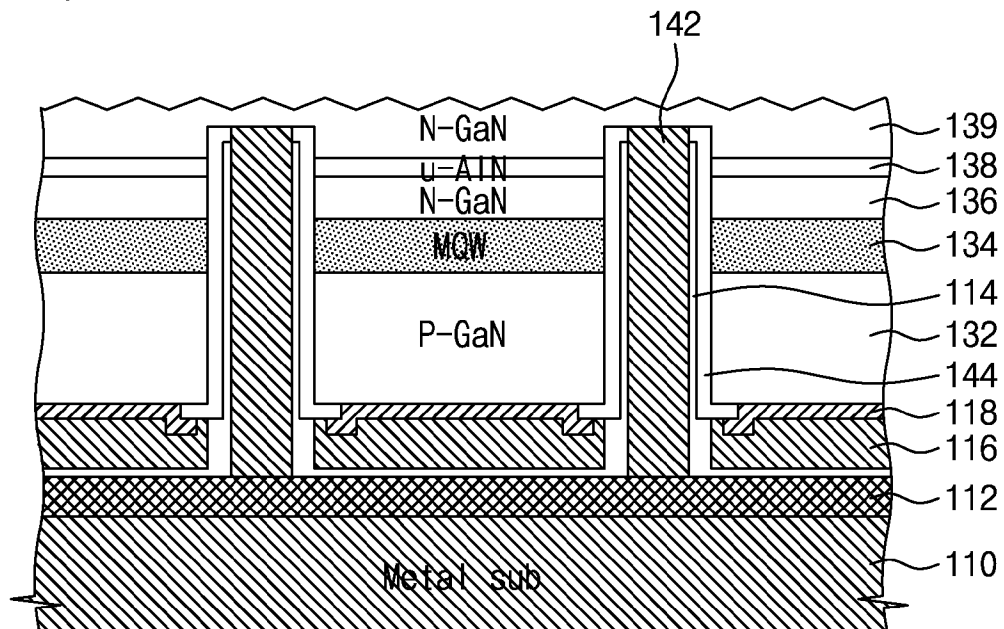
[도2h]



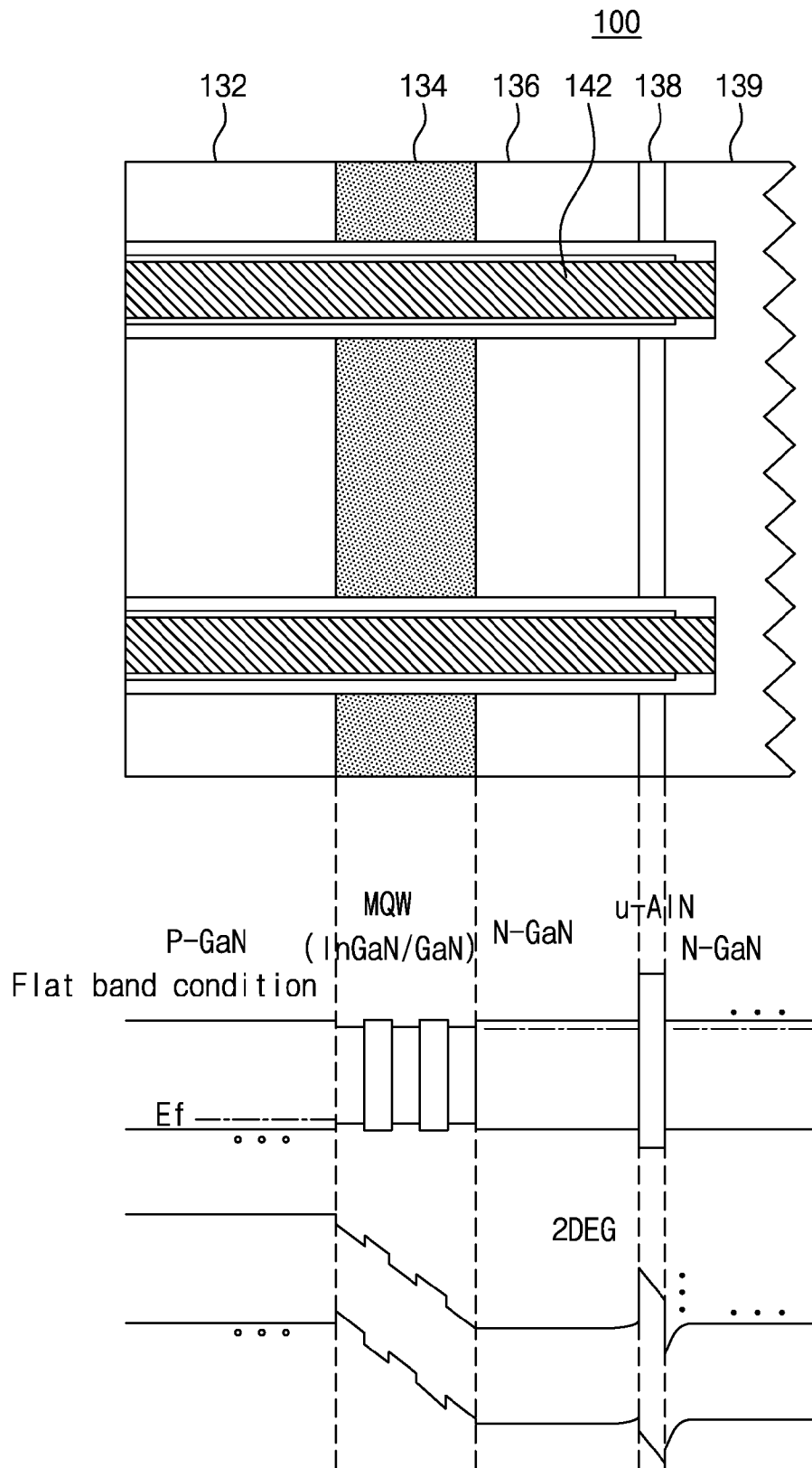
[도2i]



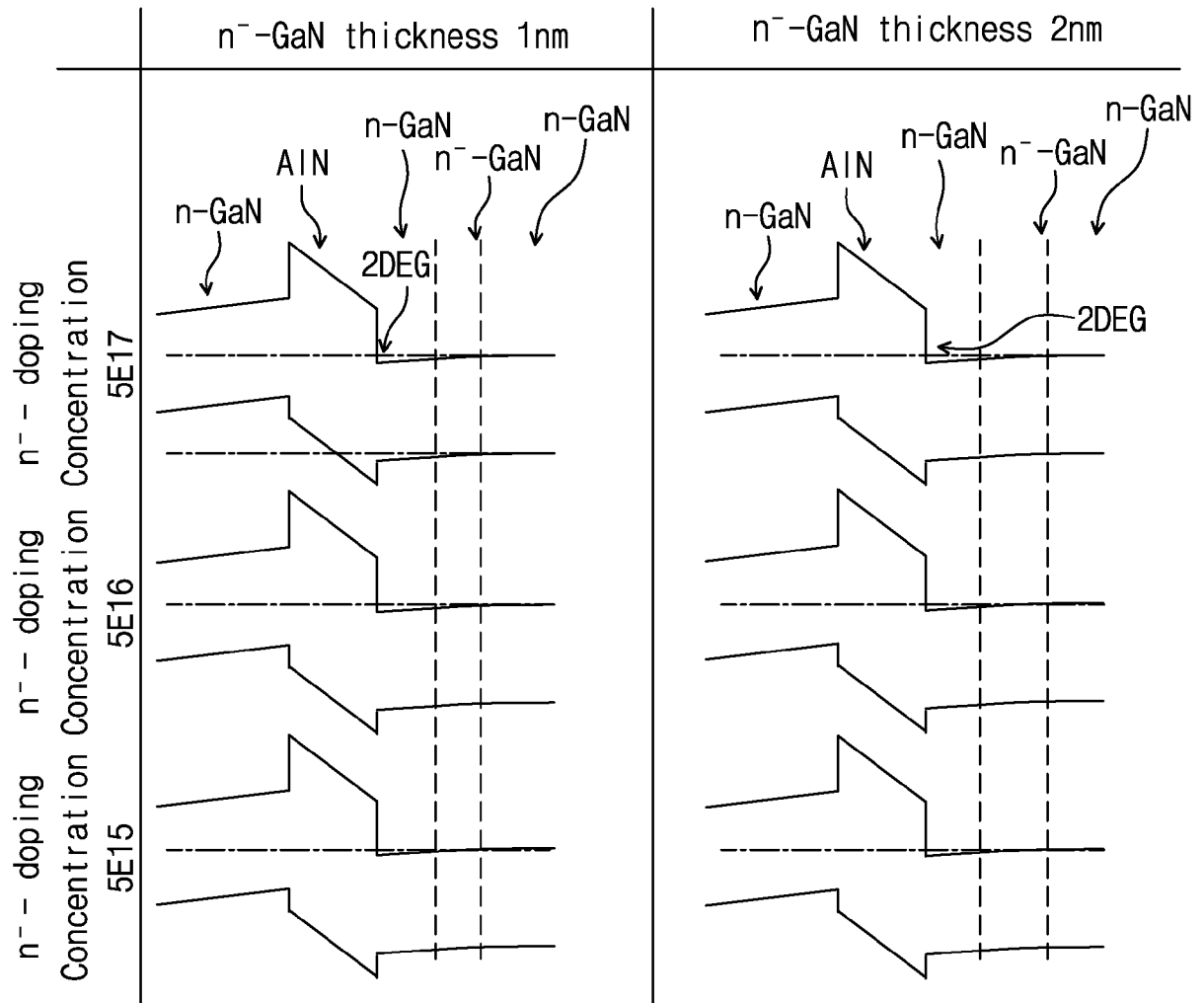
[도2j]



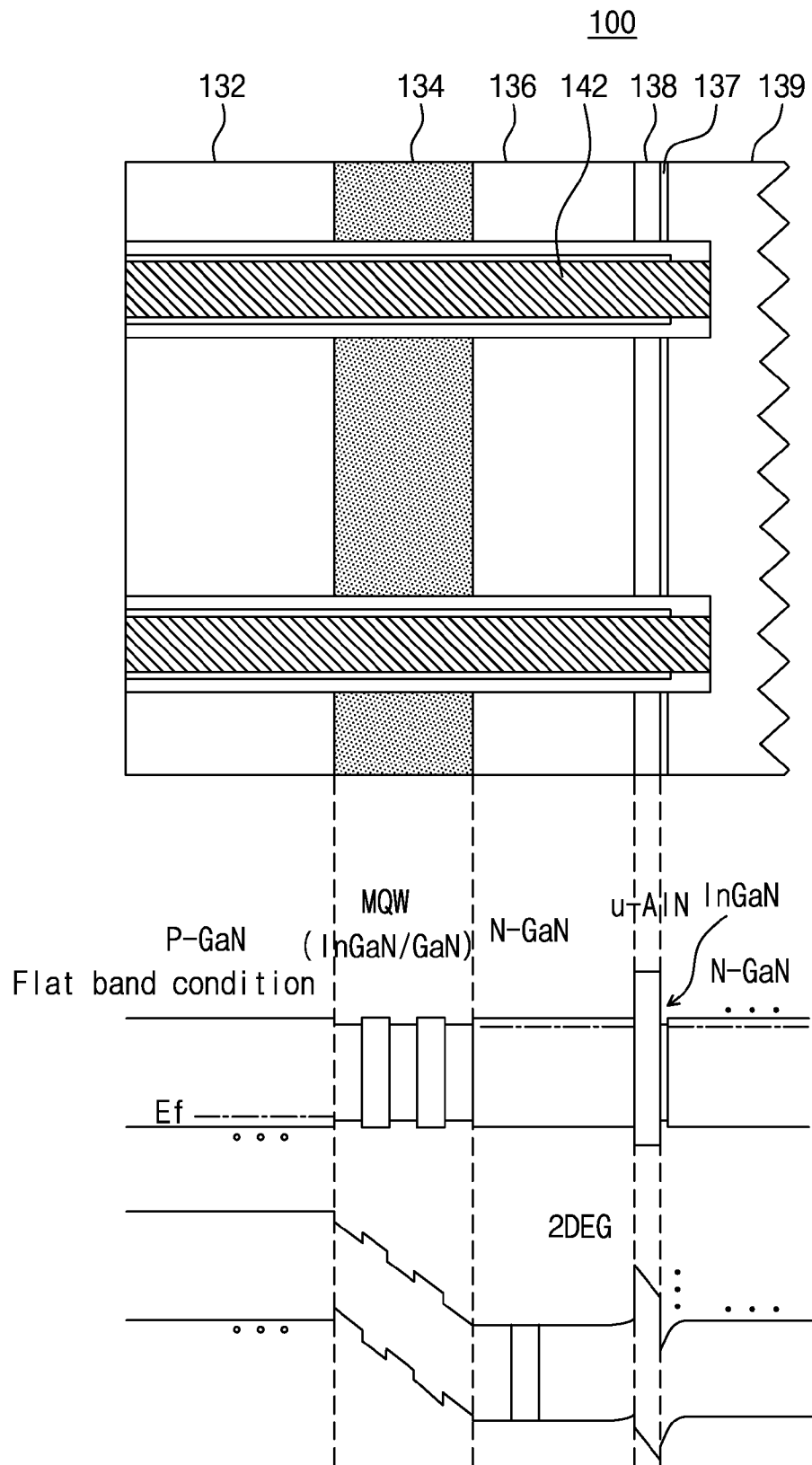
[도3]



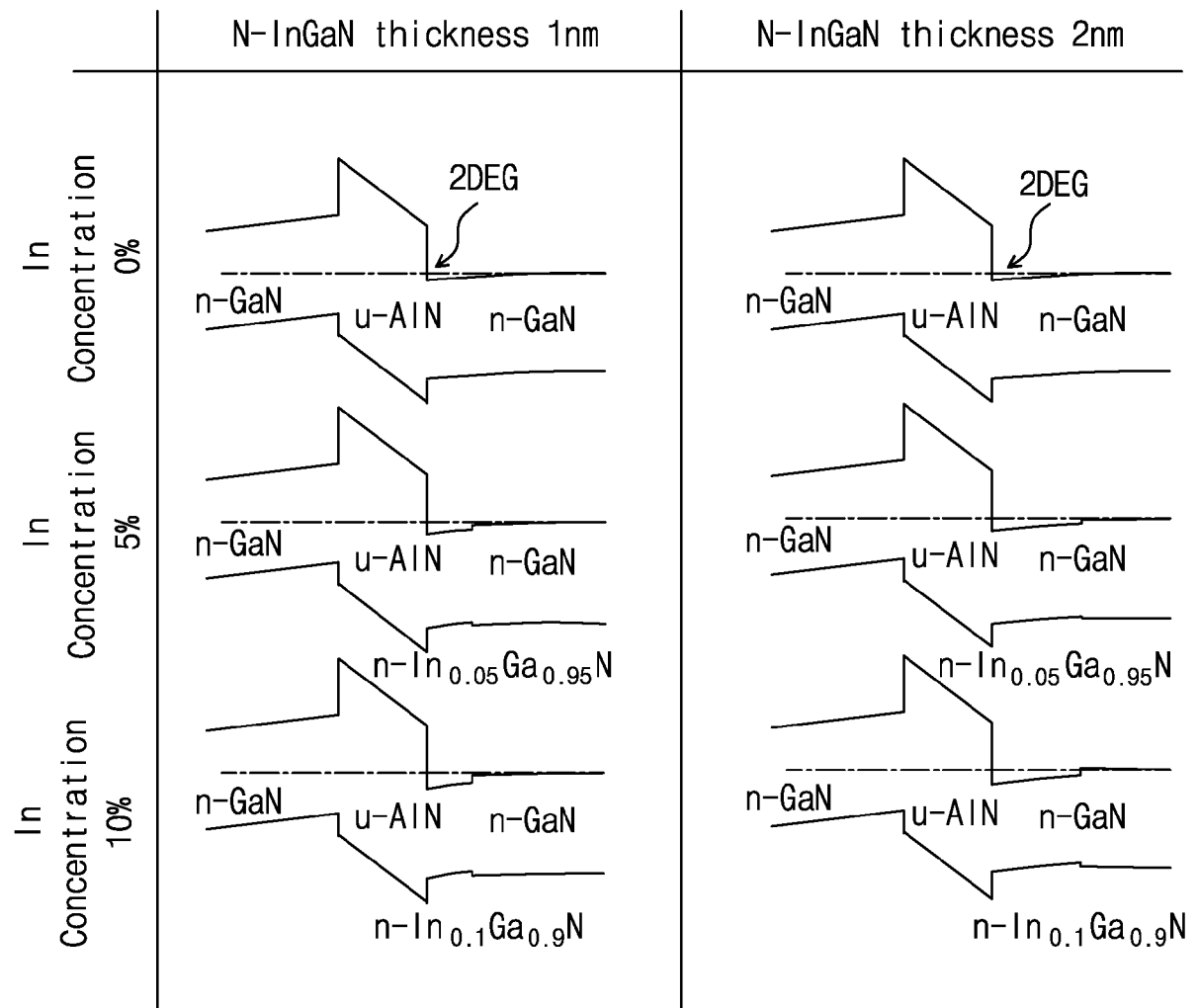
[도4]



[도5]



[도6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/004216**A. CLASSIFICATION OF SUBJECT MATTER*****H01L 33/02(2010.01)i, H01L 33/44(2010.01)i, H01L 33/00(2010.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/02; H01L 33/20; H01L 33/14; H01L 33/08; H01L 33/38; H01L 33/44; H01L 33/62; H01L 33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: light emitting diode, conductive substrate, GaN layer, AlN layer, electron gas layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-1114191 B1 (LG INNOTEK CO., LTD.) 13 March 2012 See paragraphs [0015]-[0027], [0046]-[0073]; and figures 1-11.	1-14
Y	KR 10-0638818 B1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 27 October 2006 See paragraphs [0034], [0038], [0049]; and figures 2-4.	1-14
Y	KR 10-2010-0027410 A (LG INNOTEK CO., LTD.) 11 March 2010 See paragraph [0005]; claims 1, 5, 9; and figure 1.	2-4,6-8,13-14
A	US 2015-0060895 A1 (LIN, Xiucheng et al.) 05 March 2015 See paragraphs [0025]-[0027]; and figures 2-4.	1-14
A	US 2010-0213485 A1 (MCKENZIE, James Stuart et al.) 26 August 2010 See paragraphs [0131]-[0140]; and figures 2a-4b.	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 AUGUST 2017 (10.08.2017)

Date of mailing of the international search report

10 AUGUST 2017 (10.08.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/004216

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-1114191 B1	13/03/2012	CN 102412355 A	11/04/2012
		CN 102412355 B	24/08/2016
		EP 2432036 A2	21/03/2012
		EP 2432036 A3	16/07/2014
		EP 2432036 B1	12/04/2017
		US 2012-0007121 A1	12/01/2012
		US 8324649 B2	04/12/2012
KR 10-0638818 B1	27/10/2006	JP 2006-324669 A	30/11/2006
		JP 5014671 B2	29/08/2012
		US 2006-0261367 A1	23/11/2006
		US 7479661 B2	20/01/2009
KR 10-2010-0027410 A	11/03/2010	KR 10-1007086 B1	10/01/2011
US 2015-0060895 A1	05/03/2015	CN 102637681 A	15/08/2012
		CN 102637681 B	30/07/2014
		US 9159895 B2	13/10/2015
		WO 2013-159615 A1	31/10/2013
US 2010-0213485 A1	26/08/2010	EP 2176891 A1	21/04/2010
		GB 2451334 A	28/01/2009
		GB 2451334 B	13/07/2011
		US 8212273 B2	03/07/2012
		WO 2009-010762 A1	22/01/2009

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/02(2010.01)i, H01L 33/44(2010.01)i, H01L 33/00(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/02; H01L 33/20; H01L 33/14; H01L 33/08; H01L 33/38; H01L 33/44; H01L 33/62; H01L 33/00

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 발광 다이오드, 도전성 기관, GaN층, AlN층, 전자 가스층

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-1114191 B1 (엘지이노텍 주식회사) 2012.03.13 단락 [0015]-[0027], [0046]-[0073]; 및 도면 1-11 참조.	1-14
Y	KR 10-0638818 B1 (삼성전기주식회사) 2006.10.27 단락 [0034], [0038], [0049]; 및 도면 2-4 참조.	1-14
Y	KR 10-2010-0027410 A (엘지이노텍 주식회사) 2010.03.11 단락 [0005]; 청구항 1, 5, 9; 및 도면 1 참조.	2-4, 6-8, 13-14
A	US 2015-0060895 A1 (XIUCHENG LIN 등) 2015.03.05 단락 [0025]-[0027]; 및 도면 2-4 참조.	1-14
A	US 2010-0213485 A1 (JAMES STUART MCKENZIE 등) 2010.08.26 단락 [0131]-[0140]; 및 도면 2a-4b 참조.	1-14

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 08월 10일 (10.08.2017)

국제조사보고서 발송일

2017년 08월 10일 (10.08.2017)

ISA/KR의 명칭 및 우편주소



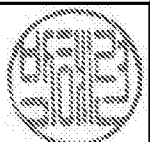
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

박혜련

전화번호 +82-42-481-3463



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-1114191 B1	2012/03/13	CN 102412355 A CN 102412355 B EP 2432036 A2 EP 2432036 A3 EP 2432036 B1 US 2012-0007121 A1 US 8324649 B2	2012/04/11 2016/08/24 2012/03/21 2014/07/16 2017/04/12 2012/01/12 2012/12/04
KR 10-0638818 B1	2006/10/27	JP 2006-324669 A JP 5014671 B2 US 2006-0261367 A1 US 7479661 B2	2006/11/30 2012/08/29 2006/11/23 2009/01/20
KR 10-2010-0027410 A	2010/03/11	KR 10-1007086 B1	2011/01/10
US 2015-0060895 A1	2015/03/05	CN 102637681 A CN 102637681 B US 9159895 B2 WO 2013-159615 A1	2012/08/15 2014/07/30 2015/10/13 2013/10/31
US 2010-0213485 A1	2010/08/26	EP 2176891 A1 GB 2451334 A GB 2451334 B US 8212273 B2 WO 2009-010762 A1	2010/04/21 2009/01/28 2011/07/13 2012/07/03 2009/01/22