

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3907809号  
(P3907809)

(45) 発行日 平成19年4月18日(2007.4.18)

(24) 登録日 平成19年1月26日(2007.1.26)

(51) Int. Cl.		F I		
<b>G06F 9/38</b>	<b>(2006.01)</b>	G06F 9/38	330B	
<b>G06F 12/08</b>	<b>(2006.01)</b>	G06F 9/38	310A	
		G06F 12/08	505A	

請求項の数 20 外国語出願 (全 26 頁)

<p>(21) 出願番号 特願平9-370222</p> <p>(22) 出願日 平成9年12月24日(1997.12.24)</p> <p>(65) 公開番号 特開平10-232776</p> <p>(43) 公開日 平成10年9月2日(1998.9.2)</p> <p>審査請求日 平成16年12月22日(2004.12.22)</p> <p>(31) 優先権主張番号 033435</p> <p>(32) 優先日 平成8年12月23日(1996.12.23)</p> <p>(33) 優先権主張国 米国(US)</p>	<p>(73) 特許権者 590000879 テキサス インストルメンツ インコーポ レイテッド アメリカ合衆国テキサス州ダラス, ノース セントラルエクスプレスウェイ 135 00</p> <p>(74) 代理人 100066692 弁理士 浅村 皓</p> <p>(74) 代理人 100072040 弁理士 浅村 肇</p> <p>(74) 代理人 100094673 弁理士 林 拓三</p> <p>(74) 代理人 100091339 弁理士 清水 邦明</p>
------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

最終頁に続く

(54) 【発明の名称】 複合分岐予測およびキャッシュ先取りをするマイクロプロセッサ

(57) 【特許請求の範囲】

【請求項1】

実行装置、該実行装置による実行のために命令をデコードする命令デコード装置を有し前記命令を順番に処理するように複数段からなる命令実行パイプラインと、命令アドレスに従い命令コードを記憶するための第1レベル・キャッシュ・メモリと、アドレスに従い情報を記憶するための第2レベル・キャッシュ・メモリと、前記命令実行パイプラインに使用するように前記命令コードを検索するための前記命令アドレスにより第1レベル・キャッシュ・メモリをアドレスするフェッチ装置と、を有するマイクロプロセッサにおいて、

複数個のエントリを含む分岐目標バッファを有し、前記各エントリは、複数の分岐命令のうちの一つと関連し、この関連した分岐命令の命令アドレスに対応するタグフィールドを有し、かつ目標フェッチ・アドレスを記憶する目標フィールドを有し、前記分岐目標バッファは実行すると予測される分岐命令に対して目標フェッチ・アドレスを与え、さらに、前記各エントリは前記関連した分岐命令のための前記目標フェッチ・アドレスと組み合わせ先取りされる情報の先取りアドレスを示す少なくとも1つの先取りフィールドを有し、

前記命令実行パイプラインに結合され、前記関連した分岐命令の実行後に前記命令実行パイプラインにより実行され、前記命令コードが記憶されている前記第1レベル・キャッシュ・メモリ中の命令アドレスに対応しないフェッチ・アドレスを有する命令を識別し、識別した前記命令に対応する先取りフィールドを発生する平滑回路を有するマイクロプロ

10

20

セッサ。

【請求項 2】

特許請求の範囲第 1 項記載のマイクロプロセッサにおいて、フェッチ装置はさらに、前記関連した分岐命令の命令アドレスに対応する前記分岐目標バッファのエントリから前記先取りアドレスを受け取り、該先取りアドレスを前記第 2 レベル・キャッシュ・メモリへ伝送するように前記分岐目標バッファに結合された先取り論理部と、

前記関連した分岐命令の実行にตอบสนองして前記分岐目標バッファのエントリを更新するように前記命令実行パイプラインに結合された更新回路を有するマイクロプロセッサ。

【請求項 3】

特許請求の範囲第 2 項記載のマイクロプロセッサにおいて、

前記命令コードが記憶されている前記第 1 レベル・キャッシュ・メモリ中の前記命令アドレスに対応しない前記フェッチ・アドレスにตอบสนองして前記第 2 レベル・キャッシュ・メモリへ前記フェッチ・アドレスを付加するメモリ制御回路をさらに有するマイクロプロセッサ。

10

【請求項 4】

特許請求の範囲第 1 項記載のマイクロプロセッサにおいて、前記第 1 レベル・キャッシュ・メモリはデータ・ロード・アドレスに応じたデータオペランドを記憶し、

前記平滑回路は、前記関連した分岐命令の実行後の前記命令実行パイプラインにより実行され、前記データオペランドが記憶されている前記第 1 レベル・キャッシュ・メモリの前記データ・ロード・アドレスに対応しないアドレスからのデータを要求する演算に関連する命令を識別するためであり、識別した命令に対応する先取りフィールドを発生する、マイクロプロセッサ。

20

【請求項 5】

特許請求の範囲第 1 項記載のマイクロプロセッサにおいて、前記分岐目標バッファの各エントリは、前記関連した分岐命令に対する前記目標フェッチ・アドレスと組み合わせて先取りされるべき情報の先取りアドレスを指示する複数個の先取りフィールドを有するマイクロプロセッサ。

【請求項 6】

特許請求の範囲第 1 項記載のマイクロプロセッサにおいて、前記平滑回路は、

前記命令実行パイプラインにより実行された分岐命令に関する制御情報を記憶する第 1 分岐キューと、

30

前記分岐命令の実行後に前記命令実行パイプラインにより実行される命令を識別し、かつ命令コードが記憶される前記第 1 レベル・キャッシュ・メモリ中の命令アドレスに対応しないフェッチ・アドレス、またはデータオペランドが記憶される前記第 1 レベル・キャッシュ・メモリ中のデータ・ロード・アドレスに対応しないアドレスからデータを要求する演算に関連していないフェッチ・アドレスを有し、識別した命令を第 1 分岐キューの分岐命令の 1 つと関連付けるタグ検査論理と、を有するマイクロプロセッサ。

【請求項 7】

特許請求の範囲第 6 項記載のマイクロプロセッサにおいて、前記タグ検査論理は、前記第 1 分岐キューの第 1 の分岐命令に続く前記第 1 分岐キューの第 2 の分岐命令の目標アドレスを識別し、該第 2 の分岐命令の識別した目標アドレスを前記第 1 の分岐命令と関連付けるためであるマイクロプロセッサ。

40

【請求項 8】

特許請求の範囲第 7 項記載のマイクロプロセッサにおいて、

前記第 1 分岐キューの前記分岐命令に関する制御情報を記憶する第 2 分岐キューをさらに有し、

前記タグ検査論理は、第 1 の識別命令を前記分岐命令に関連付けた後に前記第 1 分岐キューの分岐命令を前記第 2 分岐キューに配置し、分岐命令の実行後に前記命令実行パイプラインにより実行され、命令コードが記憶されている前記第 1 レベル・キャッシュ・メモ

50

りの命令アドレスに対応しないフェッチ・アドレスを有し、又はデータオペランドが記憶された前記第1レベル・キャッシュ・メモリのデータ・ロード・アドレスに対応しないアドレスからデータを要求する演算に関連付ける前記第2の命令を識別し、この第2の命令を前記第2分岐キューの前記分岐命令の内の1つに関連付ける、マイクロプロセッサ。

【請求項9】

特許請求の範囲第1項記載のマイクロプロセッサにおいて、前記分岐目標バッファの各エントリの少なくとも1個の先取りフィールドの各々は、

先取りアドレスを記憶する先取りアドレスフィールドを有するマイクロプロセッサ。

【請求項10】

特許請求の範囲第9項記載のマイクロプロセッサにおいて、前記分岐目標バッファの各エントリの少なくとも1個の先取りフィールドの各々は、

最近先取りした、先取りアドレスが前記第1又は第2レベル・メモリに記憶されているかどうかの指示を記憶する先取りカウンタを有するマイクロプロセッサ。

【請求項11】

特許請求の範囲第1項記載のマイクロプロセッサにおいて、前記分岐目標バッファの各エントリの少なくとも1個の先取りフィールドの各々は、

前記目標フェッチ・アドレスに続くアドレスの情報のブロックの先取りを要求する指示子を有するマイクロプロセッサ。

【請求項12】

特許請求の範囲第1項記載のマイクロプロセッサにおいて、さらに、

一方の側を前記命令実行パイプラインとメモリに結合し、他方の側を外部バスに結合したバス・インターフェース装置と、

外部バスに結合した、マイクロプロセッサ用の外部の主メモリと、  
を有するマイクロプロセッサ。

【請求項13】

命令のプログラムを実行するためマイクロプロセッサを操作する方法において、

命令アドレスを分岐目標バッファに加えるステップであって、前記分岐目標バッファは複数個のエントリを有し、各々が分岐命令識別子を記憶するタグフィールドを有し、目標フェッチ・アドレスを記憶する目標フィールドを有し、第1先取りアドレスを記憶する第1先取りフィールドを有し、

第1分岐命令に続く命令列の実行を監視し、キャッシュ・ミスと関連する第1命令を検出し、

前記第1の検出した命令を前記第1分岐命令と関連付け、

前記第1分岐命令に対応する前記分岐目標バッファのエントリの第1先取りフィールドを前記第1の検出命令に対応するアドレス及び制御情報により更新し、

前記複数個のエントリの中の1つのタグフィールドに整合するように付加する前記分岐命令アドレスの部分に回答して、整合エントリの前記分岐目標フェッチ・アドレスを第1レベル・キャッシュ・メモリに付加し、前記第1先取りアドレスを前記第1レベル・キャッシュ・メモリよりレベルの高い第2レベル・キャッシュ・メモリへ付加する方法。

【請求項14】

特許請求の範囲第13項記載の方法において、さらに

前記監視のステップの前に、前記第1分岐命令の実行を識別し、

前記識別の後に、前記第1分岐命令に対応する情報を第1分岐キューに配置し、

前記関連付けの後に、前記第1分岐命令に対応する情報を前記第1分岐キューから取り除く方法。

【請求項15】

特許請求の範囲第14項記載の方法において、さらに

前記は位置の後かつ監視の前に、命令列の実行を監視して、前記第1分岐命令の前記目標フェッチ・アドレスに対応する命令を検出する方法。

【請求項16】

10

20

30

40

50

特許請求の範囲第14項記載の方法において、前記監視ステップは、前記第1分岐命令に続く命令列の実行を監視し、前記第1分岐命令よりプログラム順序で後の第2分岐命令の前記目標フェッチ・アドレスに対応する命令を検出し、

キャッシュ・ミスと関係している第2分岐命令の前記目標フェッチ・アドレスに対応する検出命令に回答して、関連付け及び更新のステップを実行し、

前記キャッシュ・ミスと関係しない前記第2分岐命令の前記目標フェッチ・アドレスに対応する検出命令に回答して、前記第1分岐キューから前記第1分岐命令に対応する情報を取り除くステップを実行する方法。

【請求項17】

特許請求の範囲第14項記載の方法において、さらに

前記第1分岐キューから前記第1分岐命令に対応する情報を取り除いた後に、前記第2分岐キューへ前記第1分岐命令に対応する情報を配置し、

前記命令列の実行を監視して、キャッシュ・ミスと関連する第2命令を検出し、

前記第2の検出命令を前記第1分岐命令と関連付け、

関連付けの後に、前記第2分岐キューから前記第1分岐命令に対応する情報を取り除き、

前記第1分岐命令に対応する前記分岐目標バッファ中のエントリの第2先取りフィールドを、第2検出命令に対応するアドレス及び制御情報により更新する方法。

【請求項18】

特許請求の範囲第13項記載の方法において、前記第1検出命令に対応するアドレス及び制御情報は前記第1検出命令に対して発生するキャッシュ・レベル・ミスの指示子を有する方法。

【請求項19】

特許請求の範囲第13項記載の方法において、前記分岐目標バッファの各エントリは先取り制御フィールドを有し、前記第1先取りフィールドが正当な前記第1先取りアドレスを有するかどうかを指示する前記第1先取りフィールドと関連する第1先取り制御部分を有する方法。

【請求項20】

特許請求の範囲第19項記載の方法において、前記先取り制御フィールドはさらに、付勢された時に、前記目標フェッチ・アドレスに対するメモリの追加のブロックを先取りすべきであることを指示するキャッシュ線先取り指示子を有し、さらに、付勢された前記キャッシュ線先取り指示子に回答して、前記目標フェッチ・アドレスを基にキャッシュ線先取りアドレスを第2レベル・キャッシュ・メモリへ付加する方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はマイクロプロセッサの分野であり、特にキャッシュ・メモリ利用に関係する。

【0002】

【従来の技術】

マイクロプロセッサや他のプログラム可能な論理素子の分野では、近年顕著な性能改善を生じる多くの改良が行なわれている。このような改良の一つはパイプライン・アーキテクチャの実装であり、これは実行の各段階で複数のマイクロプロセッサ命令が同時に処理され、従って以後の命令(プログラム順序で)の処理が前の命令の完了の前に開始されている。各個々の命令の処理はフェッチから実行まで複数のマシン・サイクルを必要とするにも係わらず、パイプライン化のため、マイクロプロセッサにより実行される命令の実効速度は単一パイプライン・マイクロプロセッサではマシン・サイクル当たり1命令に近づく。いわゆるスーパースカラー・アーキテクチャは並列に動作する複数のパイプラインを有効に有し、さらに高い理論的性能レベルを提供する。

【0003】

10

20

30

40

50

分岐が依存する条件はフェッチの後数サイクルたった実行時まで未知であるため、条件分岐命令はパイプライン・アーキテクチャのマイクロプロセッサに複雑性を与える。このような状況下では、マイクロプロセッサは条件が解明されるまで分岐後の命令のフェッチを停止し、パイプラインに「泡」の空きの段（すなわち可能性のある命令処理スロット）を導入するか、又は代わりに、推測が正しくないと決定された場合にその現在の命令のパイプラインを「フラッシュ」しなければならない危険を冒して、パイプラインを充填するために命令を推測的にフェッチ（実際には条件を推測して）しなければならない。

#### 【 0 0 0 4 】

推測実行の成功率が合理的である限り、パイプラインを充填する命令の推測実行の利点は、特に長い又は複数パイプラインのアーキテクチャでは、パイプライン・フラッシュの性能劣化より標準的にはまさっている。それ故多くの現代のマイクロプロセッサは分岐命令の振る舞いのある確度で予測するある種の分岐予測技術に従う。分岐予測に対する公知の方式は、予測が時間又は履歴で変化しない「静的」予測と、分岐予測が前に実行された分岐の結果に従って行われる「動的」予測とを含む。

10

#### 【 0 0 0 5 】

従来の動的分岐予測方式の進歩した型式は、他の命令の分岐結果ではなく、それ自身の分岐履歴を基に分岐命令の結果を予測する。この方式は一般的に分岐目標バッファにより現代のマイクロプロセッサに組み込まれている。従来の分岐目標バッファ、すなわち B T B は、最近出会った分岐命令の識別子（「タグ」）、これに基づいて予測を行なう分岐履歴関連コード、及び分岐が実行されるものとして予測された場合にフェッチされる次の命令の目標アドレス（「実行されない」予測に対しては次の連続アドレスがフェッチされるべきアドレスである）を各々記憶するエントリのキャッシュ型表である。分岐命令を含む命令のブロックをフェッチした時、そのアドレスを B T B 中のタグと照合してこの命令を含むブロックが前に出会ったかどうかを決定する；そうならば、その命令に対する B T B 中で指示される予測コードに応じて、次のフェッチは目標アドレスにより指示される命令のブロックに対応する。新たに出会った分岐命令は、B T B に履歴がないため静的に予測される。命令の実行と完了時に、B T B が作成され（最初の場合）又は変更され（以後の場合）、その命令の次の場合の結果を予測する際に分岐命令の実際の結果を反映する。

20

#### 【 0 0 0 6 】

現代のマイクロプロセッサの性能を大いに改良する他の公知の技術は、1段階以上のレベルのキャッシュ・メモリの実装である。当該技術において基本的なように、現代のマイクロプロセッサを基にしたシステムはオンチップ及び外部キャッシュ・サブシステムの両方の高速ランダム・アクセス・メモリをキャッシュ・メモリとして利用している。キャッシュ・メモリは遅い主メモリからマイクロプロセッサによりフェッチされたメモリ位置の近傍にあるメモリ位置の内容を記憶するために通常使用される。例えば、4バイト・データ語を主メモリから検索する度に、32バイト・メモリ・アクセスを実行して所要の4バイト・データ語を得て、これを32バイト・キャッシュ線路として近傍のデータと共にキャッシュに記憶する。以後、キャッシュ線路中のデータ語へのアクセスは従って主メモリ・アクセスを必要とする場合より迅速に実行される。標準的な場合にそうであるように、連続的なメモリ・アクセスが近傍のメモリ位置へ行われている範囲では、キャッシュ中の近傍メモリ位置内容の存在はオフチップ・メモリへの同様のアクセスを実行する際にこうしなければならない必要とされるであろう多数のウェイト状態を著しく減少可能である。

30

40

#### 【 0 0 0 7 】

標準的なマイクロプロセッサ又はマイクロプロセッサを基にしたシステムはそのキャッシュを複数レベルに従って構成している。例えば、従来のマイクロプロセッサはオンチップ「レベル0」データ・キャッシュ、専用のレベル1オンチップ命令及びデータ・キャッシュ、及び外部キャッシュ・サブシステムの統合レベル2キャッシュを含む。この配置では、メモリ・アドレスは連続的に各レベルへ付加し、低レベル・キャッシュでのキャッシュ・ミス（すなわち、キャッシュが所要アドレスを含んでいない）の場合にはメモリ・アドレスが次の高次のレベルのキャッシュに付加される。全レベルでキャッシュ・ミスすると

50

、主メモリがアクセスされ、標準的にはデータ又は命令コードの全キャッシュ・ラインを検索することにより以後のサイクルでそこへのキャッシュ・アクセスを可能とする。勿論、キャッシュ・ミスに伴う不利益（ウェイト状態）は高次のレベルのキャッシュ・ミスに対してより厳しくなる。例えば、レベル0でミスしレベル1でのヒットには1ウェイト状態が付随し、レベル1でミスしレベル2でのヒットには2ウェイト状態が付随するが、レベル2統合キャッシュでのキャッシュ・ミスの場合には主外部メモリのアクセスに25ウェイト状態を必要とする。従ってキャッシュ・ヒット率がマイクロプロセッサとそのシステムの全体性能に格別の重要性を有するようになる。

【0008】

上述したように、データ及び命令の両方のメモリの規則的な連続アクセスが相対的に高いキャッシュ・ヒット率を有するように、キャッシュにコピーされるメモリは前にアクセスされたメモリ位置へのその近さのために標準的に選択される。しかしながらこれも上述したように、多くの従来プログラムは分岐命令を含み、プログラムの流れは必ずしも連続的ではない。従って、実行されるであろうと予測された分岐命令の場合のように、フェッチされる次の命令が最近の順序にない時にはキャッシュ・ミスが共通して発生するのみならず、主メモリ・アクセスを必要とする時にはそのようなミスから生じる不利益は相当なものとなる。

【0009】

【発明が解決しようとする課題】

それ故本発明の目的はキャッシュ・ヒット率が改良されたマイクロプロセッサ及びシステムを提供することである。

【0010】

本発明の別な目的は、分岐予測機構を使用してキャッシュ・メモリへのメモリ位置の先取りを開始するマイクロプロセッサとシステムである。

【0011】

本発明の別の目的は、以前の命令の実行結果に基づいてキャッシュ先取りが開始されるマイクロプロセッサとシステムを提供することである。

【0012】

本発明の別の目的は、キャッシュ先取りが動的に制御されるマイクロプロセッサとシステムを提供することである。

【0013】

本発明の他の目的と利点は以下の明細書とその図面を参照して当業者には明らかとなる。

【0014】

【課題を解決するための手段】

本発明は、各分岐目標バッファ・エントリに少なくとも1個のキャッシュ先取りフィールドを含ませることにより、実行の動的な分岐予測に分岐目標バッファを利用したマイクロプロセッサに実装される。先取りフィールドは目標命令のフェッチと組み合わせられて先取りされるメモリ位置を指示し、これは分岐の実行に続く命令のキャッシュ・ミスを追跡することにより分岐命令の実行完了時にキャッシュ先取りアドレスにより満たされる。

【0015】

【発明の実施の形態】

ここで図1を参照すると、本発明の望ましい実施例を実装した例示のスパースカラ・パイプライン・マイクロプロセッサ10を含む例示のデータ処理装置300が記述されている。本発明は各種のアーキテクチャのマイクロプロセッサに利用出来ると考えられるため、装置300とマイクロプロセッサ10のアーキテクチャは本明細書では単なる1例として記載されていることを理解すべきである。それ故、当業者は本明細書を参照して、本発明を前記他のマイクロプロセッサ・アーキテクチャに容易に実装可能であると考えられる。さらに、本発明は単一チップのマイクロプロセッサ及びマイクロコンピュータ又は複数チップ実装で実現でき、前記集積回路の製造はシリコン基板、絶縁体上のシリコン、ガリウム砒素、及び他の製造技術、さらにMOS、CMOS、バイポーラ、BiCMOS又は他の

10

20

30

40

50

素子実装により実現されると考えられる。

【0016】

図1に示すマイクロプロセッサ10は外部バスBUSにより他のシステム装置に接続される。本例では外部バスBUSは単一のバスとして示されているが、PCIローカル・バス・アーキテクチャを利用した従来のコンピュータで公知のように異なる速度とプロトコルを有する複数のバスを表わす外部バスBUSももち論考えられる。装置300は、通信ポート303（モデム・ポート及びモデム、ネットワーク・インターフェース、等を含む）、画像表示装置304（画像メモリ、画像プロセッサ、画像モニタを含む）、動的ランダム・アクセス・メモリ（DRAM）により標準的に実装される主メモリ装置305、入力装置306（キーボード、ポインティング装置、及びそのインターフェース回路を含む）、ディスク装置308（ハードディスク・ドライブ、フロッピー・ディスク・ドライブ、CD-ROMドライブを含む）のような従来のサブシステムを含む。装置300の標準的な実装は標準的には外部キャッシュ・メモリ307を含み、これはキャッシュ・タグ比較器と制御回路と組み合わせて実装された高速メモリであり、従って期待されるメモリ・アクセスは遅い外部主メモリ305へのアクセス無しに迅速に実行できる。それ故、図1のシステム300は現在当該技術で一般的な従来のデスクトップ・コンピュータ又はワークステーションに対応するものと考えられる。もち論、当業者には認められるように、マイクロプロセッサ10の他のシステム実装も本発明から利益を受けられる。

10

【0017】

マイクロプロセッサ10は外部バスBUSへ接続されたバス・インターフェース装置（BIU）12を含み、この装置はマイクロプロセッサ10と装置300中の他の要素との間の通信を制御し実行する。BIU12は、この機能を実行するための適当な制御及びクロック回路を含み、これらは動作速度を増加するための書き込みバッファを含み、又内部マイクロプロセッサ動作の結果をバスBUSタイミング制約と同期させるようなタイミング回路を含む。マイクロプロセッサ10も装置クロックSYCLKを基にクロック位相を発生するクロック発生及び制御回路20を含み、本例では、クロック発生及び制御回路20は装置クロックSYCLKからバス・クロックBCLKとコア・クロックCLKを発生する。

20

【0018】

図1から明らかなように、マイクロプロセッサ10は3レベルの内部キャッシュ・メモリを有し、これらの内の高位のものはレベル2キャッシュ11として内部バスによりBIU12に接続されている。本例では、レベル2キャッシュ11は統合キャッシュであり、マイクロプロセッサ10により与えられるバス・トラフィックの多くがレベル2キャッシュ11を介して行われるようBIU12を介してバスBUSからの全てのキャッシュ可能なデータ及びキャッシュ可能な命令を受取るよう構成されている。ある種のバス読取書込みを「キャッシュ不可能」として取り扱うことにより、マイクロプロセッサ10もレベル2キャッシュ11まわりのバス・トラフィックを実行する。図2に示すように、レベル2キャッシュ11は2個のレベル1キャッシュ16に接続される、すなわちレベル1データキャッシュ16<sub>d</sub>はデータ専用であり、一方レベル1命令キャッシュ16<sub>i</sub>は命令専用である。マイクロプロセッサ10は本例では完全二重ポートのレベル0データ・キャッシュである。主変換ルックアサイド・バッファ（TLB）19はBIU12を介したレベル2キャッシュ11へ及び主メモリへのメモリ・アクセスを制御し、このような制御はアドレス変換用のメモリ中のページ表へのアクセスの順序付けを含む。TLB19は又ページ表のキャッシュとしての役割も果たす。命令マイクロ変換ルックアサイド・バッファ（ $\mu$ TLB）22とデータ・マイクロ変換ルックアサイド・バッファ（ $\mu$ TLB）38は、各々従来の方法でレベル1命令キャッシュ16<sub>i</sub>とレベル1データ・キャッシュ16<sub>d</sub>へのアクセス用に論理データ・アドレスを物理アドレスに変換するために設けられる。

30

40

【0019】

図1に示すように、マイクロプロセッサ10はスパスカラ型式で、従って複数の実行装置を含む。これらの実行装置は、条件分岐、整数及び論理演算処理用の2個のALU42

50

0、42<sub>1</sub>、浮動小数点装置(FPU)31、2個のロード・ストア装置40<sub>0</sub>、40<sub>1</sub>、及びマイクロシーケンサ48を含む。2個のロード・ストア装置40は真に並列のアクセスをするためマイクロキャッシュ18への2個のポートを利用し、又レジスタ・ファイル39中のレジスタへのロード及びストア演算も実行する。当該技術で従来の方法のように、レジスタ・ファイル39はプログラマ使用に利用可能な汎用レジスタと、コード・セグメント・レジスタCSを含む制御レジスタも含む。

#### 【0020】

これらの複数実行装置は、各々がライトバックを有する7段の複数パイプラインにより制御される。パイプラインの段は以下の通りである：

- F フェッチ：この段は命令アドレスを発生し、命令キャッシュ又はメモリから命令を読み取る 10
- PD0 プレデコード段階0：この段は3個までのフェッチされたx86型命令の長さとは開始位置を決定する
- PD1 プレデコード段階1：この段はx86命令バイトを取り出し、デコード用に固定長に再コード化する
- DC デコード：この段はx86命令を原子演算(AOps)に翻訳するSC スケジュール：この段は4個までのAOpsを適当な実行装置(FPU31を含む)に割り当てる
- OP オペランド：この段はAOpsにより指示されるレジスタオペランドを検索する
- EX 実行：この段はAOpsと検索オペランドにしたがって実行装置を実行させる 20
- WB ライトバック：この段は実行結果をレジスタ又はメモリに記憶させる

#### 【0021】

図1を参照すると、上記したパイプライン段はマイクロプロセッサ10内の各種の機能ブロックにより実行される。フェッチ装置26は、以後詳細に説明される分岐目標バッファ(BTB)56による分岐予測技術に従うものを含めて、レベル1命令キャッシュ16<sub>i</sub>へ付加するための命令マイクロ変換ルックアサイド・バッファ(μTLB)22による命令ポインタからアドレスを発生する。命令キャッシュ16<sub>i</sub>は命令データの流れをフェッチ装置26へ発生し、この装置は又命令コードを所要の順序でプレデコード0段28とプレデコード1段32へ与える。これら2つの段は別々のパイプライン段として協働し、共に3個までのx86命令を配置しこれをデコード34へ付加する。プレデコード0段28は3個までの可変長x86命令の寸法と位置を決定し、その間プレデコード1段32は複数バイト命令のデコードを容易にするため固定長形式に再コード化する。本例のデコード装置34は、4個の命令デコードを含み、この各々がプレデコード1段32から固定長x86命令を受取り、実質的にRISC命令と等価である1個から3個の原子演算(AOps)を発生可能である。スケジューラ36はデコード装置34の出力のデコード・キューから4個までAOpsを読み取り、これらのAOpsを適当な実行装置に割り当てる。オペランド装置44はスケジューラ36とマイクロコードROM46からマルチプレクサ45を介して入力を受け取り、命令の実行に使用するためのレジスタオペランドをフェッチする。加えて、本例によると、オペランド装置44は記憶する用意が出来るレジスタに結果を送信するためオペランド転送を実行し、ロード及びストア型式のAOpsに対してアドレス発生を実行する。 30 40

#### 【0022】

マイクロシーケンサ48とマイクロコードROM46は、一般的には1サイクル中で実行する最後のAOpsであるマイクロコード・エンリAOpsの実行時にALU42とロード/ストア装置40を制御する。本例では、マイクロシーケンサ48はマイクロコードROM46に記憶されたマイクロ命令中を進行し、複雑な又はまれに使用されるx86命令、セグメント又は制御レジスタを変更するx86命令、例外と割り込みの処理、複数サイクル命令(REP命令、全てのレジスタをPUSH、POPする命令)のようなマイクロコード化されたマイクロ命令に回答して制御する。

#### 【0023】



マイクロプロセッサ10は又、製造の完了時及びリセットと他の事象時にマイクロプロセッサ10の動作の正当性を確認するためJTAG走査検査の動作、及びある種の組み込み自己検査(BIST)機能を制御するために回路24を含む。

#### 【0024】

本発明の望ましい実施例によると、マイクロプロセッサ10は、外部メモリ305、307、又はレベル2キャッシュ11から、レベル1命令キャッシュ16<sub>i</sub>とレベル1データ・キャッシュ16<sub>d</sub>のような下位レベルへ命令又はデータの先取りを制御するための先取り制御論理23も含む。以後詳細に説明するように、先取り制御論理23は、パイプライン中の以後の分岐命令の目標及び期待されるキャッシュ・ミスに対応する先取り情報により、レベル1命令キャッシュ16<sub>i</sub>からの分岐命令の目標のフェッチと同時にレベル2キャッシュ11へのアクセスを開始する。図1に図示するように、先取り制御論理23は線路PF0/1上のフェッチ装置からの可能な先取りアドレスと制御情報を受取り、バスPFA上のTLB19へ先取り要求とアドレスを発生する。

10

#### 【0025】

以下の説明からより詳細に明らかになるように、本発明の望ましい実施例による分岐目標フェッチと組み合わせて実行される先取りは、フェッチを開始する分岐命令の従前の発生に従うプログラム命令の実行を監視することにより決定される。従って、マイクロプロセッサ10は、線路GRBR(分岐に対して)と線路TCK(分岐を含む全ての命令にに対して)上で実行を完了している命令に対して各種の実行装置から情報を受取る平滑キュー及びタグ検査回路27をさらに含む。命令の実行の結果と他の因子を基に、平滑キュー及びタグ検査回路27はバスUPD上にフェッチ装置26へ更新情報を発生する。以下に更に詳細に説明するように、バスUPD上で通信される情報は、従前の分岐命令と関連している、先取りが有効な命令(例えば重大なキャッシュ・ミスを含む命令)のアドレスを含む。フェッチ装置26と先取り制御論理23はこの情報を利用して分岐目標と同時に先取りを開始し、従って同一の順序の命令による以後のパスでのキャッシュ・ミスの可能性は避けられる。

20

#### 【0026】

ここで図2を参照すると、本発明の望ましい実施例による先取り制御論理23と組み合わせたフェッチ装置26の構成と動作が記載されている。上述したように、フェッチ装置26はデコード用にフェッチされる次の命令のアドレスを決定する機能を実行する。このよう

30

#### 【0027】

フェッチ装置26の動作は、マルチプレクサ52により選択されるいくつかの方法の内の一つに従って発生される論理フェッチ・アドレスFAに基づいている。フェッチ・アドレスFAは、次の連続アドレスをデコード用にフェッチすべき場合には、フェッチ装置26のフェッチ・ポインタ50の内容から単に発生される。図2に示すように、フェッチ・ポインタ50は、出力をマルチプレクサ52の1つの入力とそして増分器51に接続したフェッチ装置26中のレジスタである。増分器51はフェッチ・アドレスの値を増分的に進行させ、フェッチ・ポインタ50の可能な記憶と次のフェッチでの使用のために、マルチプレクサ58の入力へ増加したフェッチ・アドレスを付加する。マルチプレクサ58は次のアクセス用にフェッチ・ポインタ50の更新した内容のソースが選択される。フェッチ・アドレスFAを発生する第2の方法は、マルチプレクサ52への実行装置(例えばマイクロシーケンサ48)の内一つによるものであり、例えば、フェッチ装置26により予測されない分岐の場合である。この値も、適切にフェッチ・ポインタ50に記憶するためマルチプレクサ58の入力に付加される。

40

#### 【0028】

フェッチ・アドレスFAはフェッチ装置26の各機能に与えられてデコード用の次の命令のフェッチを制御する。例えば、フェッチ装置26は命令µTLB22と通信し、これは

50

以前に変換した位置を指している場合に論理フェッチ・アドレスと整合する物理アドレス P A を返す。又は論理フェッチ・アドレス F A はフェッチ装置 2 6 の外部の T L B 1 9 により物理アドレスに変換される。いずれにせよ、命令アドレス I A はフェッチ装置 2 6 によりレベル 1 命令キャッシュ 1 6<sub>i</sub> に与えられてそこから命令コードを検索する。勿論、レベル 1 命令キャッシュ 1 6<sub>i</sub> でキャッシュ・ミスが発生した場合、物理アドレスは統合レベル 2 キャッシュ 1 4 へ与えられ、このレベルでキャッシュ・ミスの場合には主メモリへ行く。命令アドレス I A に応答して、レベル 1 命令キャッシュ 1 6<sub>i</sub> は、ブレードコード 0 段 2 8 へ結果として与えるためにフェッチ装置 2 6 の命令バッファ 6 0 へ命令コード列 C O D E を与える。各命令アドレス I A が 1 6 命令のブロックをアドレスする場合のため、命令バッファ 6 0 は 1 6 命令の容量を有する。

10

**【 0 0 2 9 】**

フェッチ装置 2 6 は、ブレークとして識別される命令に対してそれ以上のフェッチを停止する命令ブレーク検査回路 6 2 のようなその外の従来の機能も含む。フェッチ装置 2 6 は又、論理フェッチ・アドレス F A が現在のコード・セグメントの境界の限界の外側のアドレスを指しているかどうかを決定するため、コード・セグメント限界検査回路 6 4 も含む。

**【 0 0 3 0 】**

上述したように、フェッチ装置 2 6 はプログラム順序ではない方法で次のフェッチ・アドレスを発生する回路を含む。図 2 に示すように、フェッチ装置 2 6 は戻りアドレス・キュー 55 を含み、これはいくつかの位置を有する後入れ先出し ( L I F O ) メモリで、ここでサブルーチン・コールの戻りアドレスとサブルーチン戻りがサブルーチンの推測実行で使用するため記憶される。

20

**【 0 0 3 1 】**

本発明の本実施例では、フェッチ装置 2 6 は又分岐目標バッファ ( B T B ) 5 6 を含み、これは分岐命令の現在の例を推測する分岐の以前の履歴を指示するデータと共に、フェッチ・アドレス F A として使用する分岐命令の目標アドレスを記憶し、従ってパイプラインが可能な限り充填状態で保持されるようにするキャッシュ型配置のエントリである。B T B 5 6 は、各現在のフェッチ・アドレス F A が最近にフェッチされた分岐命令を指しているかどうかを決定することによりこれを実行し、またこのために分岐履歴が推測実行で使用するために B T B 5 6 に記憶される。当該技術において公知のように、推測に失敗した分岐 ( 又は条件分岐の結果を待機しているパイプライン・ストール ) は消失実行機会で計測して重大な不利益を生じるため、図 1 のスパースカラ・マイクロプロセッサ 1 0 のような深くパイプラインされたマイクロプロセッサでは推測実行は重要な性能強化である。

30

**【 0 0 3 2 】**

発明の本望ましい実施例では、B T B 5 6 は 2 レベル型式のもので、引用により本明細書に含まれる 1 9 9 6 年 1 2 月 1 0 日提出の「マイクロプロセッサの分岐予測用の複数全体パターン履歴表」という名称の当社索引番号 ( T I - 2 3 7 9 1 P ) から派生した共願出願に記述されているような、分岐履歴情報により呼び出される分岐コードを記憶するための複数パターン履歴表 5 3 と組み合わせて動作する。特定のアドレスに対して分岐予測を発生する際に使用されるパターン履歴表 5 3 の内の適当なものの選択は、分岐命令が含まれるプログラムの型式に応じて選択論理 8 0 により行われる。図 2 に図示するような、選択論理 8 0 は、コード・セグメント・レジスタ C S からの線路 U / S 上で通信されるように、現在の分岐命令を含むプログラムの型式に関する情報に回答してパターン履歴表 5 3 中から選択する。加えて、図示するように、線路 F A 上のフェッチ・アドレスに対応する分岐命令のメモリ位置を基にして適切なパターン履歴表 5 3 を選択する際に、線路 F A 上の実際のフェッチ・アドレスを使用してもよい。平滑キュー及びタグ検査回路 2 7 と実行装置からのバス U P D は更新論理 7 0 に印可され、この更新論理は実行時に評価された分岐命令の成功又は失敗に回答して B T B 5 6 のエントリ中の分岐履歴とパターン履歴表 5 3 中に記憶された予測コードを更新する。このようにして、分岐予測成功率は分岐結果の使用を介して、また適切なパターン履歴表 5 3 の選択で同種のプログラム ( 例えば、応用プログ

40

50

ラム、共用ライブラリ、オペレーティング・システム機能)により示される分岐挙動の同一性を利用することにより改善される。

【0033】

パターン履歴表53中の対応する予測コードを基にした分岐予測に回答して、BTB56はバスBR TRG上のマルチプレクサ57へ目標命令アドレスを与え、戻りアドレス・キュー55はバスRA上でマルチプレクサ57へ戻り命令アドレスを与える。マルチプレクサ57の出力はマルチプレクサ52の第3入力へ、そしてマルチプレクサ58へ与えられ、従ってフェッチ・カウンタ50は更新される。従ってマルチプレクサ52への3本の入力は次のフェッチ・アドレスFAの3種類の入力源を与え、このアドレスは物理アドレスと対向する論理アドレスである。

10

【0034】

本発明の望ましい実施例によると、分岐予測をしてバスBR TRG上に分岐目標アドレスを発行する際には、BTB56は又先取り制御論理23へバスPF0、PF1上に先取りアドレスと関連する制御情報を与える。先取りアドレスと制御情報は各分岐命令毎にBTBエントリ内に収められ、従って分岐命令の目標に対してフェッチ・アドレスと共に発行される。先取り制御論理23は、バスPFA0、PFA1上のアドレスとしてバスPF0、PF1上でBTB56から受取った情報に回答して適当な先取りを開始する。先取り制御論理23は先取り走査を実行するためのアドレスと制御信号を発生する回路から構成され、これはバスPF0、PF1上に与えられた先取りアドレスの性質とバスPFA0、PFA1の所要受信人に応じて必要とされる変換回路を含む。例えば、BTB56に記憶された先取りアドレスが論理アドレスの場合、先取り制御論理23は論理先取りアドレスを物理アドレスに変換する例えば8エントリのオーダーのマイクロTLBを含み、この場合バスPFA0、PFA1はレベル2キャッシュ11に直接付加してもよい。又は、先取り制御論理23はバスPF0、PF1上で受信した先取り論理アドレスをバスPFA0、PFA1を介してTLB19へ単に付加して先取りを開始してもよい。さらに別な方法では、BTB56は先取り用の物理アドレスを記憶し、この場合先取り制御論理23は単に適当な物理アドレスをバスPFA0、PFA1上でレベル2キャッシュ11へ転送する。いずれの場合でも、当業者はこの説明に与えた所要のアーキテクチャに対して適当とされる適切な先取り制御論理23を容易に実装可能であるものとする。本発明の望ましい実施例によるマイクロプロセッサ10の図2の2本のバスPFA0、PFA1により明らか

20

30

【0035】

発明の本実施例によると、レベル2キャッシュ11は当該技術において公知のように2重ポート化されたタグ・アレイを含むことが望ましく、従って、例えば必要に応じて先取り制御論理23により発行された2つの同時先取りに回答して、複数タグ比較が同時に実行される。レベル2キャッシュ11中のデータ表はチップ面積を節約するために単一ポート化されることが望ましいと考えられるが、ここでの同時ヒットの可能性が小さいこととこのレベルでの同時ヒットは両方ともクリティカル・パスではないことを考えると、単に要求をキューに入れることによっても処理出来る。又は、性能の観点から同時先取りのキュー入れが受入可能な場合には、レベル2キャッシュ11は単一ポート化タグ・アレイを含

40

【0036】

ここで図3を参照して、選択論理80と複数パターン履歴表53と組み合わせたBTB56の構成を以下に説明する。この例のBTB56は複数エントリ63を有する4ウェイ・セットアソシエイティブ・キャッシュ・メモリで、簡単のため図3では1ウェイのみを図示してある。BTB56は、線路FA上のフェッチ・アドレスを受け取り、フェッチ・アドレスが指している適当なエントリ63を選択するよう結合されているセクタ61を含む。セクタ61は、デコーダ、タグ比較器又は簡単なマルチプレクサによるような、フェ

50

ッチ・アドレスから B T B 5 6 中のエントリ 6 3 の選択を実行する従来の技術に従って構成されている。

【 0 0 3 7 】

図 4 は B T B 5 6 中の例示のエントリ 6 3<sub>i</sub> の配置を図示しているが、全てのエントリ 6 3<sub>0</sub> から 6 3<sub>n</sub> は同様に配置されていることを理解すべきである。エントリ 6 3<sub>i</sub> は、特定の分岐命令の論理フェッチ・アドレス F A によりこれを識別するために使用するタグフィールド T A G を有し、これに対してセクタ 6 1 は入力 of 論理フェッチ・アドレスの一部を合わせる。タグフィールド T A G はその対応する分岐命令の論理フェッチ・アドレス F A の選択ビットを直接記憶するか、又は代わりに当該技術において既知のようにこれらの選択論理アドレス・ビットの論理的組み合わせに対応させてもよい。標準的には、タグフィールド T A G は線路アドレスとフェッチ線路中の命令のバイト・オフセットを指示するオフセットを含む。エントリ 6 3<sub>i</sub> は又当該技術において一般的な正当ビットや 1 個以上の L R U ビット (複数ウェイ B T B 用) のようなその他の制御ビットも含む。

10

【 0 0 3 8 】

B T B エントリ 6 3<sub>i</sub> は又分岐命令目標アドレスの論理アドレスを含む目標フィールド T A R G E T を有する。図 3 に戻ると、「実行 (taken)」と予測された分岐命令に対応するそのエントリ 6 3 に対して T A G E T の部分の内容がバス T R G I 上を出力論理 6 9 に送られる。図 2 に戻ると、このアドレスは次いで上述したようにバス B R T R G 上をマルチプレクサ 5 7 へ与えられる。しかしながら、分岐が「非実行 (not taken)」と予測されると、単に次の連続論理アドレス (すなわちフェッチ・ポインタ 5 0 の内容) が次の論理フェッチ・アドレス F A としてマルチプレクサ 5 2 により選択される。

20

【 0 0 3 9 】

エントリ 6 3<sub>i</sub> は又履歴 / 副型選択ビット T 及び対応する m ビット分岐履歴フィールド B H を含む。履歴 / 副型ビット T がセットされておらず、従ってエントリ 6 3<sub>i</sub> により識別された分岐命令が条件分岐ではないことを示している場合、分岐履歴フィールド B H は命令の無条件分岐の型式 (すなわち、J U M P、C A L L、又は R E T U R N) を指示するコードを記憶する。履歴 / 副型選択ビット T がセットされていると、エントリ 6 3<sub>i</sub> に対応する命令が条件分岐の場合、分岐履歴フィールド B H は対応する命令の最近の分岐の結果 (すなわち分岐履歴) を記憶している。分岐履歴フィールド B H に記憶された分岐履歴は、命令の実行の完了時に決定された関連分岐命令の実際の分岐履歴と、まだ実行が完了していない分岐命令の例に対しては予測結果から構成される推測分岐履歴の両方を含む。加えて、引用により本明細書に含まれる 1 9 9 6 年 6 月 2 8 日提出の共願の米国特願第 6 0 / 0 2 0、8 4 4 号に記載されているように、エントリ 6 3<sub>i</sub> は、誤予測からの復帰を使用するため分岐履歴フィールド B H に推測分岐履歴ビットの数を指示するカウンタ B H C T R を含む。

30

【 0 0 4 0 】

発明の本実施例によると、目標フィールド T A R G E T それ自体により指示される命令のフェッチと同時に実行されるべき先取りの性質と位置を制御する、各種の追加のビットがエントリ 6 3<sub>i</sub> (そして、もち論 B T B 5 6 の全てのエントリ 6 3) に設けられる。これらの先取りフィールドを図 4 と関連して以下にエントリ 6 3<sub>i</sub> に対して説明する。

40

【 0 0 4 1 】

本発明によるエントリ 6 3<sub>i</sub> は命令とデータを先取りするための必要なフィールドを含む。以下に詳細に説明するように、これらの先取りの目標アドレスは、パイプラインの以後の命令、特に以後の分岐の目標及び最初に実行した時にキャッシュ・ミスしたものに關連して決定される。発明の本実施例によると、任意のメモリ・アドレスからの 2 つの先取りが同時に実行され、前記 2 つの先取りフィールド P F 0、P F 1 が、エントリ 6 3<sub>i</sub> の先取り制御部分 P F C T L 内に設けられているエントリ 6 3<sub>i</sub> 制御情報内に含まれている。図 4 に図示するように、先取り制御部分 P F C T L は制御部分 P F 0 C、P F 1 C を含み、その各々が実行される関連先取り (もし存在すれば) のアクセス、型式、発生を制御する。例えば、制御部分 P F 0 C、P F 1 C の各々はアクセス部分 A C C 及び先取り型

50

式部分 T Y P を含み、その各々は 2 ビットを有し、これは以下のようにコード化される：

【表 1】

<u>P F 0 C</u> 又は <u>P F 1 C</u> のA CC/TYP	<u>アクセス型式</u>	<u>アクセス型式</u>
00/XX	不正 (すなわち先取り無し)	N/A
01/00	正当な命令先取りアドレス	命令フェッチ
10/01	正当なデータ先取りアドレス	データ・フェッチ
10/10	正当なデータ先取りアドレス	ストア準備
10/11	正当なデータ先取りアドレス	データ・フェッチ及び ストア準備
11/XX	命令とデータの両者が正当なア ドレス	データ及び命令のフェ ッチ

10

上記のコード化で、「ストア準備」という用語は、書込み操作を受け入れるよう特定のメモリ・ブロックに準備させる操作を指す。発明の望ましい実施例によるデータの先取りは、データのブロックを検索するか、又は（及び）書込みを受け入れるブロックを準備するようにしてこのように実行される。アクセス部分 A C C と型式部分 T Y P の他のコード組み合わせはこの例では定義されていない。

【0042】

20

本発明の望ましい実施例によると、制御部分 P F 0 C、P F 1 C の各々は図 4 に示すようにビット V T、V N T から構成される付勢部分も含む。セットされた時には、ビット V T、V N T は、エントリ 6 3<sub>i</sub> への対応する分岐命令が各々実行又は非実行として予測された時にその関連する先取りが付勢されていることを指示する。例えば、ビット V T、V N T のどちらもセットされていない場合、関連する先取りはそのどちらの予測に対しても付勢されておらず、ビット V T、V N T の両方がセットされている場合、関連する先取りはどちらの予測にも付勢されており、さらに、もち論ビット V T、V N T の一方が他方の排他でセットされている場合、関連する先取りは対応する予測に対して先取りされ他方に対しては消勢される。従って、予測したプログラム流れに応じて先取りが選択的に付勢されるようビット V T、V N T の包含は更なる制御機能を提供する。

30

【0043】

以上のコード化により指示したように、2つの先取り (P F 0、P F 1) の各々は命令又はデータ、又は両方である。さらに、2つの先取り制御部分 P F 0 C、P F 1 C が設けられているため、2つの先取りは他方とは独立したフェッチで動作する。エントリ 6 3<sub>i</sub> の先取り制御部分 P F C T L はさらに最小最近使用ビット L R U を含み、これは 2 ウェイ・キャッシュの L R U ビットと同様に、現在設定されている 2 つの先取りの内のどちらが古いかを指示する。異なる先取りを付勢する場合には、最小最近使用ビット L R U は新たな先取り情報により重ね書きされるべき先取り P F 0、P F 1 の一方を指す。

【0044】

エントリ 6 3<sub>i</sub> はさらに先取りされるべきメモリ・アドレスを記憶する先取りアドレス部分 P F 0 A D D R、P F 1 A D D R を含む。加えて、発明の本実施例によると、エントリ 6 3<sub>i</sub> は又先取りカウンタ P F 0 C T R、P F 1 C T R を含み、これらは各々先取り P F 0、P F 1 と関係している。先取りカウンタ P F 0 C T R、P F 1 C T R は 2 ビット・カウンタのような小さなカウンタで、先取りの結果に関する情報を保持する。勿論、先取りのキャッシュ履歴でさらなる粒子性が望ましい場合には、先取りカウンタ P F 0 C T R、P F 1 C T R を大きくしても良い。発明の本実施例では、先取りカウンタ P F 0 C T R、P F 1 C T R はレベル 2 キャッシュ・ミスであるその関連先取りと従って主メモリ 3 0 5 へのアクセスを必要とすることに回答して各々増分される。逆に、先取りカウンタ P F 0 C T R、P F 1 C T R は、探求データ又は命令が既にキャッシュにあるため、関連する先取りが不要な度に減少される。先取りカウンタ P F 0 C T R、

40

50

P F 1 C T R が零に到達すると、先取り制御部分 P F C T L 中のその制御ビット P F 0 C、P F 1 C を不正状態 ( 0 0 ) にセットして、新たな先取りをそこへ設定させる。

【 0 0 4 5 】

上記の説明に記載したように、エントリ 6 3<sub>i</sub> は任意のメモリ・アドレスから命令又はデータを先取りするよう適当なエントリを含む。勿論、多くの標準的なプログラムの演算は連続位置の記憶メモリからの命令の実行を含む。それ故、発明の望ましい実施例によると、エントリ 6 3<sub>i</sub> の先取り制御部分 P F C T L は又目標フィールド T A R G E T ( 実行分岐に対して ) に記憶した分岐目標アドレス又は次の連続アドレス ( 非実行分岐に対して ) を暗黙先取りアドレスとして使用するキャッシュ線路の先取りを付勢する暗黙先取り付勢ビット T 0、T 1、N 0、N 1 を含む。発明の本実施例では、先取り付勢ビット T 0、T 1 は実行されると予測された分岐に関係し、先取り付勢ビット N 0、N 1 は実行されないと予測された分岐と関係する。

10

【 0 0 4 6 】

当該技術において公知のように、キャッシュ・メモリは「キャッシュ線路」と呼ばれるデータの単位によりロードされ、このキャッシュ線路は付近のデータの局所的記憶を提供するよう標準的なメモリ・アクセスより大きい。例えば、図 1 の統合レベル 2 キャッシュ 1 1 中のキャッシュ線路の寸法は 3 2 バイトで、これは 8 データ語に対応する。しかしながら、命令を緊密に追従する連続命令が必要な時にキャッシュ中になくなるように、特定の命令がキャッシュ線路の終了部近くに配置されると、この場合連続命令の内の一つのフェッチはキャッシュ・ミスを生じ易い。発明の本望ましい実施例では、エントリ 6 3<sub>i</sub> の先取り制御部分 P F C T L 中の先取り付勢ビット T 0、T 1、N 0、N 1 は目標アドレスに続く 1 つ又は 2 つのキャッシュ線路の先取り ( 各々ビット T 0、T 1 の場合 )、又はプログラム順序の次の連続命令に続く 1 つ又は 2 つのキャッシュ線路 ( 各々ビット N 0、N 1 の場合 ) の先取りを可能とする。勿論、アーキテクチャーに応じて、本例のような分岐予測と関係して又は関係せずにより多くの又はより少ない先取り付勢ビットをエントリ 6 3<sub>i</sub> に設けても良い。

20

【 0 0 4 7 】

特に実行されると予測された分岐に対しては、ビット T 0 はセットされると、分岐目標の後の次のキャッシュ線路の先取りを実行し、ビット T 1 はセットされると、分岐目標の次の第 2 のキャッシュ線路の先取りを実行する。同様に、実行されないと予測された分岐に対しては、ビット N 0 はセットされると、次の連続命令を含むものの後の次のキャッシュ線路の先取りを実行し、ビット N 1 はセットされると、次の連続命令を含むものの後の第 2 のキャッシュ線路の先取りを実行する。これらの暗黙キャッシュ・アドレスからは 1 つのキャッシュ線路先取りのみが許可されていると考えられる。例えば、ビット T 0、T 1 の両方がセットされた場合、分岐目標の後の第 1 のキャッシュ線路のみが先取りされる。それ故、発明の本実施例によると、条件分岐命令の両方の予測状態に対して、分岐目標アドレス又は次の連続アドレスを超えて関連する第 1 又は第 2 のキャッシュ線路を先取りしても良い。これらの先取りと関係するアドレスは分岐目標から暗黙に示されているため、エントリ 6 3<sub>i</sub> の寸法は相対的に小さく保持される。

30

【 0 0 4 8 】

又、発明の本実施例によると、先取りカウンタ T 0 C T R、T 1 C T R、N 0 C T R、N 1 C T R が先取り付勢ビット T 0、T 1、N 0、N 1 の各々と関係している。先取りカウンタ T 0 C T R、T 1 C T R、N 0 C T R、N 1 C T R は、最後の 2 回を実行した時に関連した先取りがキャッシュ・ミス又はキャッシュ・ヒットのどちらを生じたかに対応するカウント値を記憶するため、上述した先取りカウンタ P F 0 C T R、P F 1 C T R と同様に動作する。先取りカウンタ P F 0 C T R、P F 1 C T R の場合のように、先取りカウンタ T 0 C T R、T 1 C T R、N 0 C T R、N 1 C T R は必要に応じて 2 ビット以上で構成されている。これも先取りカウンタ P F 0 C T R、P F 1 C T R の場合のように、先取りカウンタ T 0 C T R、T 1 C T R、N 0 C T R、N 1 C T R は、関連する先取りがキャッシュ・ミスである時に増分され、また関連す

40

50

る先取りがキャッシュ・ミスである時に減少される。先取りカウンタ  $T0\_CTR$ 、 $T1\_CTR$ 、 $N0\_CTR$ 、 $N1\_CTR$  は、が零に到達すると、これに関連する先取りは無視されるのが望ましい（探索内容は既に下位レベル・キャッシュに多分存在しているため）。

#### 【0049】

他の別な先取り制御フィールドが本発明内で利用される。例えば、アドレスされた先取りフィールド  $PF0\_ADDR$ 、 $PF1\_ADDR$  の片方又は両方は分岐予測と関連付けられる必要はないが、代わりにエントリ  $63_i$  の対応するタグフィールド  $TAG$  と合うフェッチ・アドレスの各例で先取りされる。さらに別例では、アーキテクチャにより処理される先取りの量とキャッシュ・ヒット成功率に応じてこれより多い又は少ない先取りフィールドがエントリ  $63_i$  と関連して設けられる。このような別の実装方法は本明細書を参照して当業者には明らかであると考えられる。

10

#### 【0050】

図3に戻ると、発明の望ましい実施例による  $BTB56$  の動作を以下に簡単に説明する。線路  $FA$  上の分岐命令に対応するフェッチ・アドレスを受取ると、セクタ  $61$  はそのエントリ  $63$  が、従来の方法で分岐命令のフェッチ・アドレスと合う  $TAG$  部分を有しているかどうかを決定する。勿論、このタグ比較は、 $BTB56$  がそのように構成されていれば、セット・アソシエティブ方式で行われる。分岐命令に対して整合するタグフィールド  $TAG$  が存在しない場合（すなわち、これがその分岐命令の最初の事例である場合）、 $BTB56$  は予測を行わず、入出力論理  $69$  からの線路  $ATR$  上にこれを示し、この場合次のフェッチ・アドレスの選択は静的に行われる。 $BTB56$  のこのような動作は従来の技術によっている。

20

#### 【0051】

フェッチ・アドレスが  $BTB56$  中のエントリ  $63$  のタグ部分  $TAG$  と整合する条件分岐命令に対しては、整合するエントリ  $63$  の分岐履歴フィールド  $BH$  の  $k$  ビットが  $PHT53$  に与えられる。分岐命令が関係しているプログラムの種類に応じて  $PHT53$  の適当なものを選択する選択論理  $80$  の動作により、線路  $TRGI$  上の整合したエントリ  $63$  からの目標フィールド  $TARGET$  からの分岐目標アドレスと共に、分岐予測コードが線路  $TNT$  上を  $BTB$  入出力論理  $69$  へ与えられる。 $BTB$  入出力論理  $69$  は、実行されると予測された分岐に対して線路  $TRGI$  上の値に対応するマルチプレクサ  $57$ （図2）へバス  $BR\_TRG$  上の分岐目標アドレスを与える。制御信号（図示せず）が実行されないと予測された分岐に対して発生され、従ってマルチプレクサ  $52$  はフェッチ・ポイント  $50$  の出力を次のフェッチ・アドレスとして選択する。予測が常に「実行」である、 $BTB56$  中に整合エントリ  $63$  を有する無条件分岐命令に対しては、そのエントリの目標フィールド  $TARGET$  の目標アドレスがバス  $TRGI$  上に与えられ、バス  $BR\_TRG$  上の分岐目標アドレスとして  $BTB$  入出力論理により発行される。いずれにせよ、分岐が実行又は非実行としてどちらに予測されても、次に期待される命令のフェッチは次のサイクルの新たなフェッチ・アドレスの提供と共に開始する。

30

#### 【0052】

全ての分岐（実行又は非実行のどちらに予測されたものであれ）に対して、分岐命令の制御フラッグと属性が命令バッファ及び制御  $60$  へのバス  $ATR$  へ与えられ、パイプラインに沿った分岐命令と共に送られる。これらの制御フラッグと属性は、命令が分岐であることを指示するためにセットされるタグを含む。加えて、分岐の目標であることを識別するため、各命令に関連してキャッシュ・ミスが発生したかどうかを識別するため、そして又望ましくはキャッシュ・ミスが命令又はデータ・アクセスに関連しているかどうかを指示するため非分岐命令に対してもフラッグはセットされる。以下で詳細に説明するように、実行と書き戻しパイプライン段からの命令の平滑時にこれらの命令タグの評価を基にして先取りは設定され制御される。

40

#### 【0053】

発明の望ましい実施例によると、 $BTB56$  に対応するエントリ  $63$  を有する各分岐命令

50

は、次の命令のフェッチ（予測に応じて次の連続アドレス又は分岐目標のどちらか）と組み合わせて1つ以上の先取りを開始する。先取りアドレスと制御情報は各分岐命令に対してBTBエントリ内に収められ、従って分岐命令の目標のフェッチ・アドレスと共に発行される。図4に関して上述したように、この先取りは現在の目標アドレスの次の1つ以上のキャッシュ線路の先取りを含む（先取り制御部分PFCTLの先取りビットT0、T1、N0、N1の制御下で）か、またはエントリ63<sub>i</sub>の部分PF0、PF1に記憶されたアドレスを基にした命令又はデータの先取りを含む。暗黙アドレス（すなわち先取り制御部分PFCTLの先取りビットT0、T1、N0、N1により指示されるもの）を使用した先取りは、分岐目標アドレスに続くキャッシュ線路は先取りフィールドPF0 ADDR、PF1 ADDRに記憶したアドレスからの命令又はデータよりも前に必要とされることが多いため、アドレスフィールドPF0 ADDR、PF1 ADDRと関連する先取りより優先権を有すると考えられる。

10

#### 【0054】

いずれにせよ、BTB入出力論理69はバスPF0、PF1上にメモリ・アドレス（分岐目標から暗黙設定されるか又は整合エントリ63<sub>i</sub>に記憶されているかのどちらか）を与える。先取り制御論理23は、メモリ・アクセスを開始するためTLB19に付加されたバスPFA0、PFA1上の論理アドレスのように、バスPF0、PF1上のBTB56から受取った情報に回答して適当な先取りを開始する。発明の望ましい実施例によるマイクロプロセッサ10の図2の2つのバスPFA0、PFA1により明らかのように、レベル2キャッシュ11が2重ポート化したタグ比較器を含む場合には2つの同時先取りが分岐目標フェッチ操作と並列に開始される。

20

#### 【0055】

ここで図5を参照すると、発明の望ましい実施例による卒業キュー及びタグ検査回路27の構成と操作を以下に説明する。平滑キュー及びタグ検査回路27の全体的な機能と目的は、命令がその実行と書込み段を完了した時（すなわち、パイプラインから「卒業した」）に命令に質問し、この質問に応じてBTB56中のエントリを確立し変更して有効な先取りを実行することである。

#### 【0056】

図5はエントリ83<sub>i</sub>を図示し、これは命令がパイプラインを進行する時の命令と関連する複数ビットの制御情報に対応する。図面の都合上、これらの複数ビットはパイプラインの制御情報に対応しているため、バスPCTRLと呼ばれる。パイプライン化されたマイクロプロセッサの技術で公知のように、各命令はパイプラインに沿って流れていく時に命令（デコードされたもの）、その型式、例外情報、等を識別する制御情報又は信号をタグ付けされる。図5のエントリ83<sub>i</sub>は以下で説明する本発明の望ましい実施例と関連して有用な追加の制御タグと共に、このような従来の情報を含む。

30

#### 【0057】

図5に図示するように、エントリ83<sub>i</sub>は命令識別子x86ID、を含み、これは本例では現在の命令と関連するx86命令（AOpではない）を識別する従来コードである。他の従来制御タグと情報もエントリ83<sub>i</sub>に設けられる。加えて、エントリ83<sub>i</sub>はその関連命令に対して行われた論理（又は代わりに物理）メモリ・アドレスを指示するフェッチ・タグLAを含む。本発明の望ましい実施例によると、エントリ83<sub>i</sub>は又分岐識別子タグBRIDも含み、これは関連命令が分岐命令であるかどうかを指示し、そうである場合には、その分岐に固有の識別コードを与える。同様に、各エントリ83<sub>i</sub>は分岐目標識別子タグBRTRGIDを含み、これは関連命令が分岐の目標であるかどうかを指示し、そうである場合には、これが目標である分岐の識別コードを与える。このようにして、エントリ83<sub>i</sub>への質問は完了した時点での特定の分岐命令の目標を識別可能である。エントリ83<sub>i</sub>は順番のマイクロプロセッサでは分岐目標識別子タグBRTRGIDを含む必要はないが、順番ではないマイクロプロセッサでは分岐目標識別子タグBRTRGIDは必要である。

40

#### 【0058】

50



発明の本実施例によるエントリ 83<sub>i</sub> は、そのフェッチの際にキャッシュ・ミスが関連しているかどうかと、その型式とを指示するタグも含む。図 1 と関連して上述したように、マイクロプロセッサ 10 と装置 300 はレベル 0 マイクロキャッシュ 18 からレベル 2 オンチップ・キャッシュ 11 まで、さらに多分外部キャッシュ・メモリ 307 の各種のキャッシュ・メモリを含む。エントリ 83<sub>i</sub> はキャッシュ・ミス・タグ L1 MISS、L2 MISS を含み、これは関連命令のフェッチが L1 と L2 でのキャッシュ・ミス各々含んでいるかどうかを指示する。外部キャッシュ・メモリ 307 に対してキャッシュ・ミスが発生した場合を指示するため別のキャッシュ・ミス・タグを代わりに設けても良い。マイクロプロセッサ 10 と装置 300 のキャッシュ・ハイアラーキに一致して、より高いレベルのキャッシュ・ミス・タグのセットは又全てのより低いレベルのキャッシュ・アクセスもミスしたことを指示している。アクセスが高レベルでミスであるかどうかの決定は全ての低レベル・キャッシュ・アクセスも又ミスの場合にのみ行われるため、例えば、キャッシュ・ミス・タグ L2 MISS は、低レベル・キャッシュ・ミス・タグ L1 MISS もセットされた場合にのみセットされる。エントリ 83<sub>i</sub> は又キャッシュ・ミスが命令キャッシュ 16<sub>i</sub>、又はデータ・キャッシュ 16<sub>d</sub> のどちらに対してであるかを指示する型式ビット I/D も含む。

10

**【0059】**

制御パイプライン・バス P C T R L に沿って通信される各エントリ 83 の情報は、関連命令の実行と書き戻しに続いて平滑キュー及びタグ検査回路 27 により受取られる。図 5 に図示するように、平滑キュー及びタグ検査回路 27 は 2 個の分岐キュー 92 a、92 b と組み合わせた平滑キュー先取り更新制御論理 90 を含む。分岐キュー 92 a、92 b はパイプラインから「平滑した」分岐命令に対する制御情報を記憶する従来の F I F O キューである。以下で明らかとなるように、発明の望ましい実施例によるとマイクロプロセッサ 10 の次の連続分岐命令の目標の平滑時に分岐命令は分岐キュー 92 a から削除されるため、分岐キュー 92 a は 2 つのエントリのみを含む。しかしながら、順番ではないマイクロプロセッサでは、分岐キュー 92 a、92 b の各々は 2 つ以上のエントリを有することが望ましい。

20

**【0060】**

平滑キュー先取り更新制御論理 90 は、後述する方法で命令を平滑させ、分岐キュー 92 a、92 b に沿った分岐命令の進行を制御し、各種の制御ビットを更新するためエントリ 83 の各種のフィールドに質問する連続又は組合せ論理である。図 5 から明らかなように、平滑キュー及びタグ検査回路 27 は、命令実行に続いてこれにより B T B 56、P H T 53 等が更新される従来の分岐予測結果及び他の情報と組み合わせた、更新バス U P D へ渡される制御信号を発生する。平滑キュー先取り更新論理 90 は、この説明を参照した当業者により特定のアーキテクチャーに対して容易に構成可能であると考えられる。

30

**【0061】**

図 6 を参照して、本発明の望ましい実施例による平滑キュー及びタグ検査回路 27 の動作を以下に詳細に説明する。図 6 に図示した平滑キュー及びタグ検査回路の動作は、単一の分岐命令（本明細書では分岐命令 I x として参照される）に対して与えられる。それ故、平滑し先取り情報を待機している複数分岐命令に対しても適当に同じプロセスが並列に動作していることを理解すべきである。

40

**【0062】**

先取り情報の発生はプロセス 94 から開始し、ここで平滑キュー先取り更新制御論理 90 は最近平滑した命令（図 1 及び図 5 に示すようにバス G R B R に沿って通信）の分岐識別子タグ B R I D に質問し、判断 95 で最近平滑した命令が分岐命令であるかどうかを決定する。最近質問された分岐識別子タグ B R I D がその命令が分岐ではないことを指示している場合（判断 95 が N O ）、制御はプロセス 96 へ渡されて次の命令を待機し、この時プロセス 94 は繰り返されて再び分岐識別子 B R I D に質問する。

**【0063】**

判断 95 で最近平滑した命令が分岐であると決定されると（この例では、判断 95 が Y E

50

Sとなるように、質問される分岐命令 I x の時)、平滑した分岐命令 I x (すなわちこれと関連する制御情報) が分岐キュー 92 a に押し出され、パイプラインの以後の命令から可能な先取りアドレス及び命令の到着を待機する。分岐命令 I x が分岐キュー 92 a に入った配置されると、次にプロセス 100 が実行されて分岐目標識別子タグ B R T R G I D に質問する。判断 101 は、質問命令が分岐キュー 92 a に配置された現在の分岐命令の分岐目標であるかどうかを決定する。そうでない場合(判断 101 が N O)、連続して以後平滑する命令に対してプロセス 100 が繰り返される。

#### 【0064】

分岐命令 I x の分岐目標に対応する命令が平滑したかどうかを決定する判断 101 で、分岐命令 I x の次のフェッチ時に可能な先取りの解析が作動される。図 6 に図示したプロセスによると、先取りキュー 92 a 中の分岐命令 I x に対する先取り質問/更新プロセス 105 が実行される。プロセス 105 a はプロセス 102 より開始し、ここで各平滑命令のエントリ 83 に対するバス T A G C K 上の各種のタグの状態が平滑キュー及びタグ検査回路 27 の平滑キュー先取り更新制御論理 90 により解析され質問される。

10

#### 【0065】

発明の本実施例によると、先取りは、プログラム中の次の分岐の目標に対応し、キャッシュ・ミスと関係する、以後の命令に対する分岐命令に関連している。発明の本実施例によると、次の分岐の目標に達するまで、又はキャッシュ・ミスが検出されるまで各平滑分岐命令(例えば分岐命令 I x) は分岐キュー 92 a に保持される。同様に、分岐キュー 92 a を去った各命令は、次の分岐の目標に達するまで(まだ到達していない場合)、又はキャッシュ・ミスを検出するまで、又は命令が分岐キュー 92 b の全長に沿って進行して新たな分岐命令によって押し出されるまで、分岐キュー 92 b に保持される。適当なタグの読み取り後、判断 103 は、最近平滑した命令が分岐命令、特に分岐命令 I x に続く次の分岐の目標であるかどうかを決定する。そうでない場合(判断 103 が N O)、次いで判断 104 が実行されて、最近の平滑命令が何らかの長さのキャッシュ・ミスと関連しているかどうかを決定する。判断 104 が N O の場合、制御はプロセス 102 に戻って、ここでバス T C K は次の平滑命令を質問される。

20

#### 【0066】

上述したように、判断 103 の肯定結果は、最近の平滑命令がパイプライン中の分岐命令 I x に続く分岐命令の分岐目標であることを意味している(すなわち、その分岐目標識別子タグ B R T R G I D がセットされ、その次の分岐命令を指している)。この場合、キャッシュ・ミス・タグ L 1 M I S S、L 2 M I S S、及び型式ビット I / D が判断 107 で解析されてこの分岐目標のフェッチが任意のレベルのキャッシュ・ミスを生じたかどうかを決定する。そうである場合(判断 107 が Y E S)、平滑キュー及びタグ検査回路 27 は、この分岐目標と関連する命令の先取りは分岐命令 I x の次の発生時に有用であると結論し、このような場合、プロセス 112 で、分岐命令 I x の制御情報と組み合わせたそのミス・タグ L 1 M I S S、L 2 M I S S 及び型式ビット I / D と共にこの目標命令に対するエントリ 83 の論理アドレスフィールド L A を保存する。キャッシュ・ミスが分岐命令 I x の目標(実行又は非実行)から次の 1 又は 2 キャッシュ線路中のアドレスからの命令キャッシュ・ミスの場合、プロセス 112 はキャッシュ・ミスを適切な先取り付勢ビット T 0、T 1、N 0、N 1 と関連付けて分岐目標アドレスを使用してキャッシュ線路の先取りを付勢する。次いで分岐命令 I x はプロセス 114 で分岐キュー 92 a から分岐キュー 92 b へ進み、これに更に先取りが関連しているかどうか決定する。反対に、次の分岐命令の目標がキャッシュ・ミスを起こさない場合(判断 107 が N O)、目標の先取りは有用でなく、したがってプロセス 114 は直接実行され、分岐命令 I x を分岐キュー 92 a から取り除き、これを分岐キュー 92 b へ押し込む。

30

40

#### 【0067】

最近に平滑した命令が次の分岐の分岐目標ではなく(判断 103 が N O)、キャッシュ・ミスを起こした場合(判断 104 は Y E S)、判断 109 が次に実行されて分岐キュー 92 a 中の分岐命令 I x に対するエントリが一番古いものであるかどうか決定する。その場

50

合、プロセス 112 が分岐命令 I x と関連して実行されて、先取りに関連する適当な制御情報（すなわち、ミス・タグの状態、先取りがデータ又は命令であるかの指示、実行及び非実行指示子の設定、等）と共に最近平滑した命令のエントリ 83 のフェッチ・タグ LA により指定されたアドレスへ先取りを関連させる。次いでプロセス 114 を実行して分岐キュー 92 a から分岐命令 I x を分岐キュー 92 b へ移動し、必要とされる他の適当な先取りを待機する。

【0068】

非分岐目標キャッシュ・ミスが平滑した時に、分岐命令 I x がキュー 92 a 中で最も古参の分岐命令でない場合（判断 109 が NO）、先取りの関連付けは最古参のキュー 92 a 中の分岐命令に対して行われる。次いで平滑キュー先取り更新制御論理 90 がこれに従って分岐キュー 92 a 中の各々のエントリを進行させる。この場合、判断 111 は必ずしも NO ではなく、従って分岐命令 I x は分岐キュー 92 a に留まって次の平滑命令を待機する。

10

【0069】

次の分岐目標命令を受取ることにより、又はキャッシュ・ミスと関連されることにより分岐命令 I x が分岐キュー 92 a から移動されたかに係わらず、プロセス 114 に続いて、先取りキュー 92 b 中の分岐命令 I x の先取り質問/更新プロセス 105 b が実行される。先取り質問/更新プロセス 105 b は、第 2 の先取りが分岐命令 I x と関連されていることを除いては、先取り質問/更新プロセス 105 a と同一である。勿論、分岐キュー 92 b 中の命令に対する先取り関連をトリガする同一の条件が分岐キュー 92 a 中の命令との前記関連付けも生じさせる。このような場合、発明の望ましい実施例によると、同一のキャッシュ・ミスに対して複数の先取り関連付けが行われる。次の分岐の分岐目標が平滑するまで（これがまだ発生していない場合）、キャッシュ・ミスに出会うまで、又は満員の時に他の命令のこれへの追加により分岐キューから押し出されるまで、分岐命令 I x は分岐キュー 92 b に留まる。

20

【0070】

図 1 から図 5 を参照すると、分岐命令 I x が分岐キュー 92 b を出る時には、先取りアドレスと関連制御情報とともにその制御情報は、分岐命令 I x の実行と完了に関するその分岐予測の結果と他の情報と共にバス UPD 上で更新論理 70 へ送り戻される。

【0071】

更新論理 70 はバス UPD 上で平滑キュー及びタグ検査回路 27 から分岐命令 I x に対する識別及び制御情報と共に先取り情報を受取り、BTB 56 の対応するエントリ 63 を更新し、先取りフィールドを適切に更新する。ここで図 7 を参照すると、BTB 56 を更新してこの先取り情報を含ませるための更新論理 70 により実行される更新プロセスの例が以下に説明される。

30

【0072】

プロセス 120 では、更新論理 70 は分岐命令 I x に対する平滑キュー及びタグ検査回路 27 からのバス UPD 上の制御及びアドレス情報を受取る。上述したように、発明の望ましい実施例によると、この情報は 2 つの一般的なアドレス先取りに対するアドレス及び制御情報を含む（各々分岐キュー 92 a、92 b で発生された先取りに対応する先取り PFA、PFB として図 7 に参照されている）；加えて、この情報は先取り付勢ビット T0、T1、N0、N1 の制御下で暗黙アドレス先取りに対するアドレス及び制御情報を含む。勿論、バス UPD 上の情報は分岐命令 I x に関する識別情報も含むため、更新論理 70 はプロセス 120 でこの命令に対する BTB 56 中の適切なエントリ 63 を選択可能である。この時点で従来の方法で更新論理 70 により更新するため分岐予測の結果もバス UPD 上に与えられる。

40

【0073】

判断 121 は分岐命令 I x と関連している BTB 56 中のエントリ 63 に質問して、その先取りビットのどちらか（PF0、PF1）が空であるかどうかを決定する。図 4 に戻ると、判断 121 は対応するエントリ 63 の先取り制御部分 PFC T L 中の先取り制御ビ

50

ットPF0C、PF1Cの先取りアクセス部分ACCに質問することにより実行されて、どちらか又は両方が不正(00)コードを含んでいるかどうかを決定する。暗黙アドレス先取りの場合、カウンタT0CTR、T1CTR、N0CTR、N1CTRが質問されてどれかが0にセットされているかどうかを決定する。これらの条件のどれもが真でない場合(判断121がNO)、以下で説明するように制御は判断125へ渡される。判断121がYESの場合、空の先取りフィールドPF0、PF1は新たに受取った先取りPFA、PFBの一方のアドレス及び制御情報を受取る。

#### 【0074】

プロセス122では、それ故、エントリ63の先取りフィールドPF0、PF1の空のものがロードされる。特に、平滑キュー及びタグ検査回路27により識別された先取りPFA、PFBの一方の論理アドレス(又は場合によっては物理アドレス)はアドレスフィールドPF0ADDR、PF1ADDRの適当な方に記憶され、対応する制御ビットPF0C、PF1Cがセットされて先取りが命令であるか又はデータ(又は両方)であるかを指示する。暗黙アドレス先取りの場合、対応する先取り付勢ビットT0、T1、N0、N1が付勢される。判断121により決定されるようにBTB先取りフィールドの一方のみが空で、2つの可能な新たな先取りPFA、PFBが利用可能な場合、プロセス122は所定の優先度方式にしたがって実行される。例えば、キャッシュ・ミス・タグL1MISS、L2MISSの状態を使用して互いに対する先取りPFA、PFBの優先度を決定しても良い。この場合、高レベルのキャッシュ・ミス有する新たな先取りPFA、PFBの一方(例えば、レベル2キャッシュ11でのキャッシュ・ミスはレベル1キャッシュ16<sub>i</sub>でのキャッシュ・ミスより高レベルのキャッシュ・ミスである)を分岐命令IXに対するBTB56のエントリ63の空の先取りフィールドPF0、PF1へロードする。又は、先取りPFA(すなわち、平滑キュー及びタグ検査回路27によって定義される最初の、又は最近接の先取り)が常に優先度を有するものとしても良い、何故ならこれは対応する分岐命令IXにプログラム順序で最も近いからである。プロセス122に続いて、判断123を実行して、新たな先取りPFA、PFBがエントリ63にロードされるよう残っているかどうかを決定する(これに対する空のエントリPF0、PF1がない)。そうでない場合、更新は終了する。そうである場合(判断123がYES)、判断125が次に実行される。

#### 【0075】

本発明のこの望ましい実施例によると、判断125は、例えば外部キャッシュ・ミスのような高い優先度によって残りの新たな先取りPFA、PFBが分岐命令IXに対するエントリ63にロードされたかどうかを決定する。従って判断125は、キャッシュ・ミス・タグL1MISS、L2MISSを先取りカウンタPF0CTR、PF1CTRの値と比較し、先取りフィールドPF0、PF1の現在の内容と置き換えられるように先取りのどれかが十分高い優先度のものであるかどうかを決定する。例えば、レベル2キャッシュ・ミスはカウンタ値10、01、00の既存の先取りより高い優先度を有するよう割り当てられ、一方レベル1キャッシュ・ミスは01又は00のカウンタ値を有する既存の先取りより高い優先度を有するよう割り当てられる。その場合(判断125がYES)、かつ2つの先取りカウンタPF0CTR、PF1CTRの値が等しい場合、更新論理70はプロセス126でエントリ63の先取り制御部分PFCTRのLRUビットを検査し、先取りPF0、PF1のどちらが最近にロードされたかを決定し、プロセス128で新たな高優先度先取りPFA、PFBの適当なアドレスを最も使用されない先取りフィールドPF0、PF1にロードする。関連カウンタPF0CTR、PF1CTRの値は、その前のアクセスがキャッシュ・ミスであることを考慮して10のような中間値に初期化される。勿論、先取りカウンタPF0CTR、PF1CTRの値が等しくない場合、最低の優先度を有する先取りフィールドPF0、PF1が新たな情報を受取る。次いでプロセス130でこの先取りフィールドに対してLRUビットがセットされ、判断125が実行されて他の新たな先取りPFA、PFBを他のフィールドに適当な場合にロードするかどうかを決定する。

10

20

30

40

50

## 【 0 0 7 6 】

残りの新たな先取り P F A、P F B が B T B 5 6 のエントリ 6 3 を置き換えるのに十分な優先度ではない時（判断 1 2 5 が N O）、先取りを開始するための目的の更新論理 7 0 による B T B 5 6 の更新は完了する。

## 【 0 0 7 7 】

ここで図 8 を参照すると、動作時に、上述したようにエントリ 6 3 が更新されると、先取り制御論理 2 3 と組み合わせられて B T B 5 6 により先取りが実行される。この操作はプロセス 1 3 2 から開始し、ここで B T B 5 6 のセレクト及びタグ比較器 6 1（図 3）は各新たな命令のフェッチ・アドレスを B T B 5 6 中のタグフィールド T A G の内容と比較する。判断 1 3 3 で合うものがない限りプロセス 1 3 2 が繰り返される。線路 F A（図 2 及び図 3）上で整合するフェッチ・アドレスを受取ると（判断 1 3 3 が Y E S）、これは多分同じ分岐命令をフェッチすることを指示しているが、プロセス 1 3 4 を実行して分岐命令用の適当な分岐目標アドレスを発生する。無条件分岐の場合、整合したエントリ 6 3 の目標フィールド T A R G E T が分岐目標アドレスとしての役割を果たす。条件分岐は上述したような P H T 5 3 と組み合わせた B T B 5 6 により予測されたその結果を有し、実行されると予測された分岐に対する分岐目標アドレスとして整合エントリ 6 3 の目標フィールド T A R G E T 又は実行されないと予測された分岐に対する次の連続フェッチ・アドレスのどちらかを選択する。次いでどちらの場合であれ分岐目標アドレスが線路 F A 上の次のフェッチ・アドレスとして使用され、上述し、かつ従来の方法のように、プロセス 1 3 6 で  $\mu$  T L B 2 2 に、次いでレベル 1 命令キャッシュ 1 6<sub>i</sub> に印可される。

## 【 0 0 7 8 】

本発明の望ましい実施例によると、整合エントリ 6 3 で指示される先取りは図 8 に図示するように、プロセス 1 3 6 での次の命令のフェッチと並列に先取り制御論理 2 3 により実行される。その中でも、先取りアドレスフィールド P F 0 A D D R、P F 1 A D D R に対応する先取りと、先取り制御部分 P F C T L の先取りビット T 0、T 1、N 0、N 1 により指示される暗黙キャッシュ線アドレスを使用した先取りは、内部帯域が許す場合には並列に実行され、又は代わりに優先方式に従って連続的に実行される。例えば、分岐目標に対して暗黙キャッシュ線アドレスを使用した先取り（すなわち、先取りビット T 0、T 1、N 0、N 1 による先取り）は最高の優先度を有している、何故ならそれは分岐の目標後直に実行される命令に関係しており、従ってすぐに低レベル・キャッシュ（例えばレベル 1 命令キャッシュ 1 6<sub>i</sub>）にアクセスされ配置されることが望ましい。発明の望ましい実施例によると、先取り制御論理 2 3 が各種の先取りの順序と優先度を決定する。

## 【 0 0 7 9 】

平滑キュー及びタグ検査回路 2 7 により決定され、又整合エントリ 6 3 の先取りフィールド P F 0、P F 1 に記憶された先取りに対しては、プロセス 1 3 8 0、1 3 8<sub>1</sub> が図 8 で並列に実行されるよう図示され、ここで先取り制御論理 2 3 がアドレスフィールド P F 0 A D D R、P F 1 A D D R の内容を直接又は間接にレベル 2 キャッシュ 1 1 へ付加する（すなわち、物理アドレスとして直接的に、又は T L B 1 9 を介して間接的に）。上述したように、プロセス 1 3 8 0、1 3 8<sub>1</sub> は必要に応じて先取り制御論理 2 3 の制御下で連続的に実行される。説明の都合上、先取り P F 0 を実行するマイクロプロセッサ 1 0 の動作を以下に説明するが、フィールド P F 1 A D D R で指定されたアドレスの先取りも同様に実行されることを理解すべきである。

## 【 0 0 8 0 】

プロセス 1 3 8 0 で、アドレスフィールド P F 0 A D D R の内容は、内容が物理アドレスに対応する場合には直接的に、又はその内容が論理アドレスに対応する場合は T L B 1 9 を介して、上述した方法で先取り制御論理 2 3 によりレベル 2 キャッシュ 1 1 に付加される。判断 1 3 9 で、レベル 2 キャッシュ 1 1 の従来のタグ比較回路は、P F 0 A D D R のアドレスに従って先取りすべきデータ又は命令がその中に存在するかどうか（すなわちキャッシュ・ヒット又はキャッシュ・ミス）を決定する。キャッシュ・ミスの場合（判断 1 3 9 が N O）、先取り制御論理 2 3 はプロセス 1 4 2 でカウンタ P F 0 C T R の内

10

20

30

40

50

容を増分させ、場合に応じて外部キャッシュ307又は主メモリ305へのメモリ・アクセスが通常の方法で開始される。レベル2キャッシュ・ミスのこの場合、エントリ63の先取りフィールドPF0中のアドレスに従って先取り制御論理23により要求された先取りはマイクロプロセッサ10の全体性能を著しく改善する、何故ならキャッシュ・ミスによる厳しい不利益(25又はそれ以上のサイクルに及ぶ)はあまり重大でない時、現在のプログラムがアドレスフィールドPF0 ADDR中のアドレスが指しているデータ又は命令を必要とする時より十分前に生じるためである。

【0081】

しかしながら、判断139がYESの場合、先取りすべきデータ又は命令はレベル2キャッシュ11又はより低いところ(すなわちレベル1キャッシュ16の内の一方)にあり、先取り制御論理23はプロセス140でカウンタPF0 CTRの状態を減少させる。この時点で必要に応じて所要情報がより低いレベルのキャッシュ(例えばレベル1キャッシュ16の一方)へ移動される。判断141で、先取り制御論理23はPF0 CTRの状態を質問し、その内容が零の場合、プロセス143を実行して対応する先取りエントリPF0を不正化する(制御部分PF0Cのアクセス・ビットACCを00にセットすることにより)。このプロセスは、エントリ63の先取りフィールドPF0により指示される先取りは性能を顕著に改善するにはあまり有効ではないことを示している、何故なら先取りにより探求されたデータ又は命令は既に低レベル・キャッシュ・メモリにあるからである。カウンタPF0 CTRの状態が零でない場合、先取りフィールドPF0は正当のままであるが、情報は既に低レベル・キャッシュ・メモリに存在しているため、これ以上のメモリ・アクセスは不要である又は有用ではない。

【0082】

本発明の望ましい実施例によると、それ故、マイクロプロセッサと対応するシステムの性能に著しい改善が得られる。特に、情報が実際に必要とされる時よりも十分前に低レベル・キャッシュ・メモリへ移動される可能な先取りアドレスを識別する本発明の利点により、キャッシュ・システムの性能(オンチップ及びオフチップの両方)は非常に改良される。これは、パイプラインを流れる命令の早期経路の結果を使用することにより、又分岐予測機構と組み合わせて発明の望ましい実施例による知能的な方法で得られる。それ故、通常のシステム機能には最小の影響のみでかつ相対的に小さなコストでこれらの顕著な改良が得られると考えられる。

【0083】

その望ましい実施例に従って本発明を記述してきたが、これらの実施例に対する変更や修正、本発明の利点と有効点を得る変更や修正は本明細書と図面を参照する当業者には明らかになるものと考えられる。このような変更と修正は本明細書の特許請求の範囲に請求する本発明の範囲内にあるものと考えられる。

【図面の簡単な説明】

【図1】本発明の望ましい実施例により構成されたマイクロプロセッサとシステムのブロック形式の電気配線図。

【図2】本発明の望ましい実施例による図1のマイクロプロセッサ中のフェッチ装置のブロック形式の電気配線図。

【図3】本発明の望ましい実施例による図1のマイクロプロセッサ中の分岐目標バッファ、パターン履歴表、及び関連回路のブロック及び概略形式での電気配線図。

【図4】本発明の望ましい実施例による図3の分岐目標バッファ中のエントリの内容の図。

【図5】本発明の望ましい実施例による図1のマイクロプロセッサ中の平滑キュー及びタグ検査回路の構成のブロック形式での電気配線図。

【図6】本発明の望ましい実施例による図5の平滑キュー及びタグ検査回路の動作を図示する流れ図。

【図7】本発明の望ましい実施例による図3の分岐目標バッファ中の更新論理の動作を図示する流れ図。

10

20

30

40

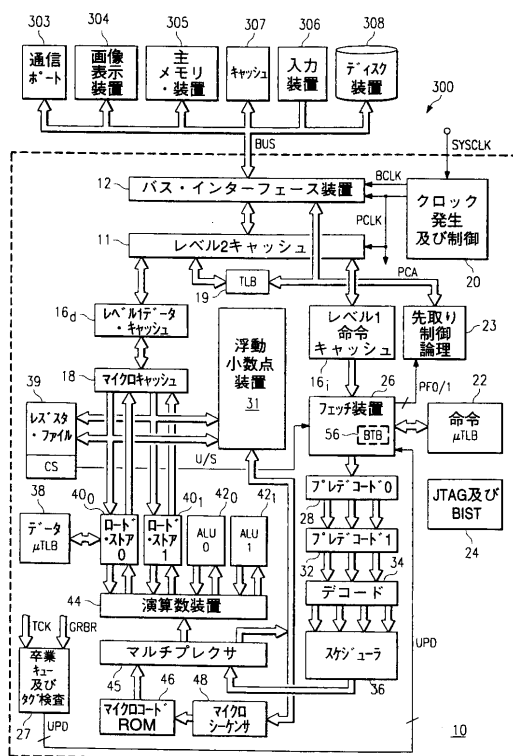
50

【図8】本発明の望ましい実施例による図1のマイクロプロセッサ中の先取り制御論理の動作を図示する流れ図。

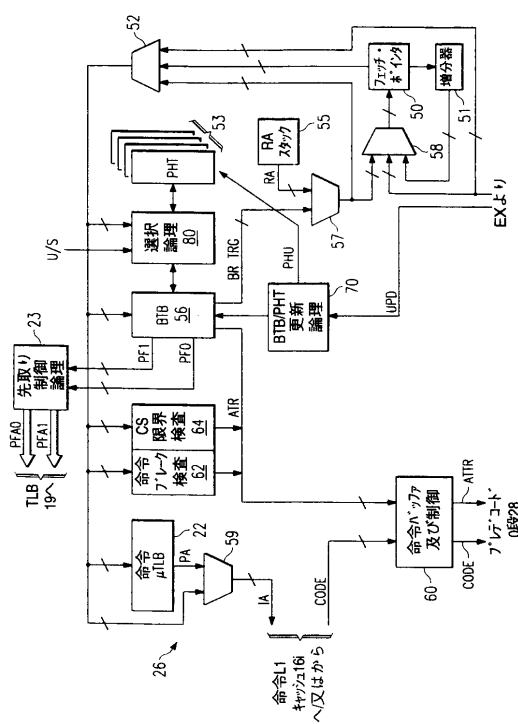
【符号の説明】

- 10 マイクロプロセッサ
- 11 レベル2キャッシュ
- 16 レベル1キャッシュ
- 23 先取り制御論理
- 26 フェッチ装置
- 27 平滑キュー及びタグ検査回路
- 56 分岐目標バッファ
- 50 フェッチ・ポインタ
- 53 パターン履歴表
- 52、57、58 マルチプレクサ
- 60 命令バッファ及び制御
- 61 セレクタ
- 63 B T B エントリ
- 70 更新論理
- 80 選択論理

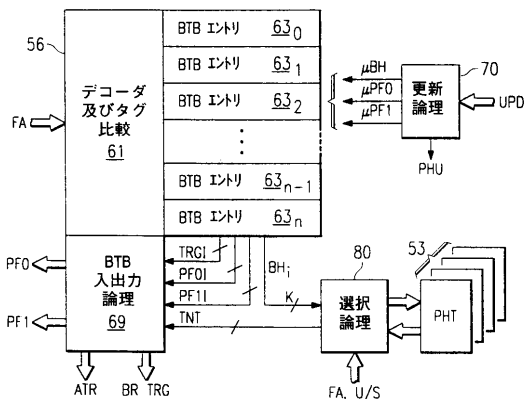
【図1】



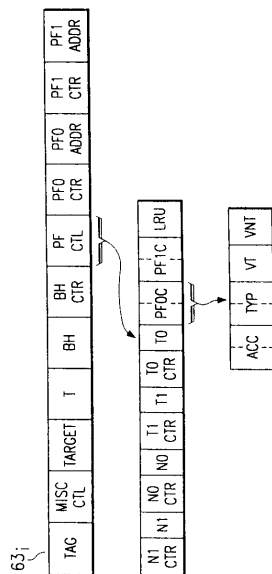
【図2】



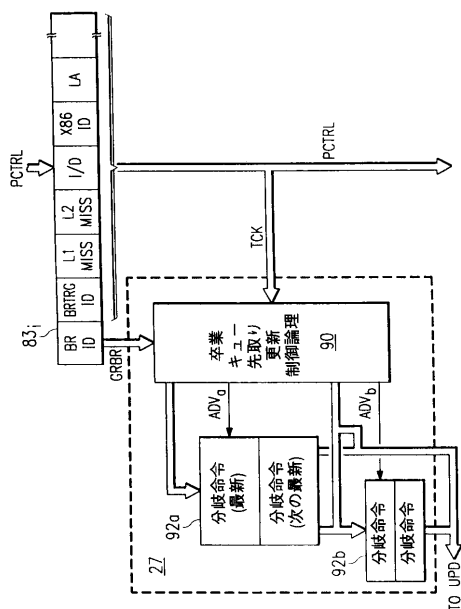
【図3】



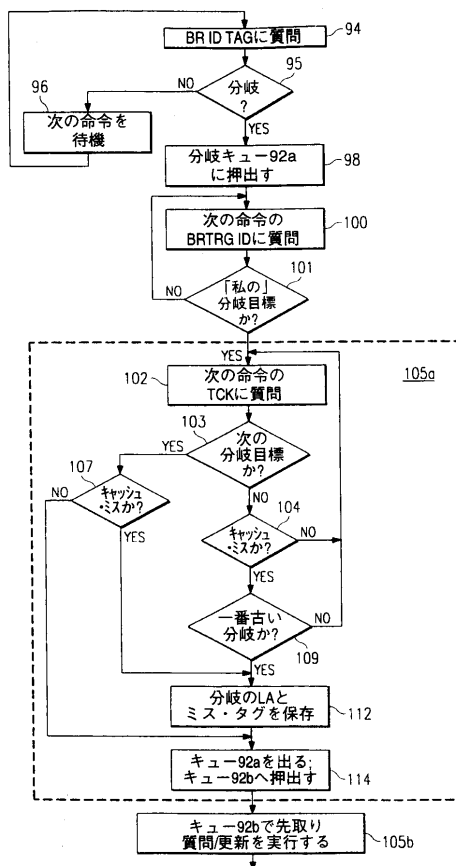
【図4】



【図5】

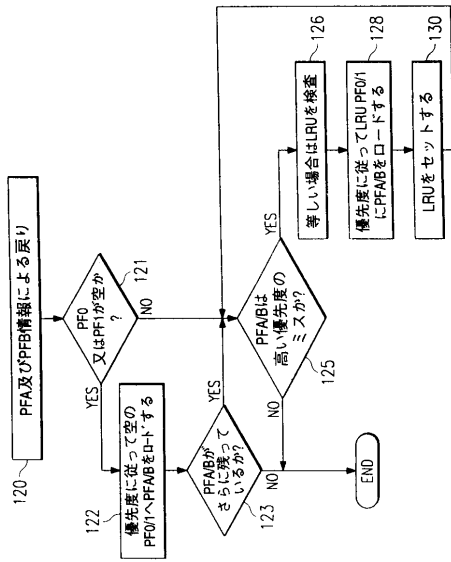


【図6】

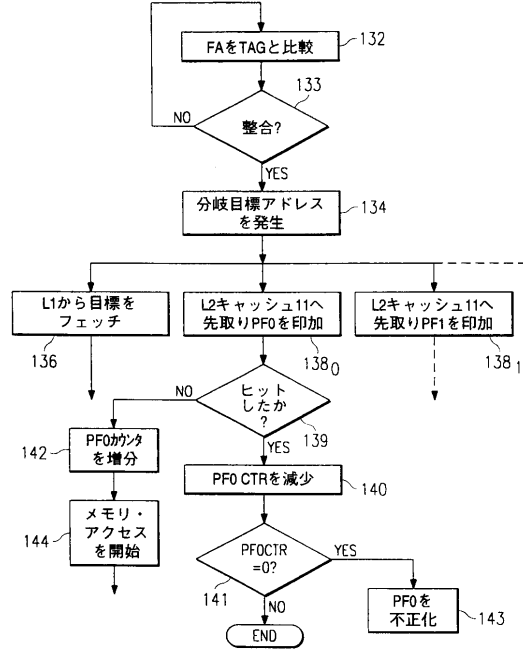




【 図 7 】



【 図 8 】



---

フロントページの続き

- (72)発明者 ジョナサン エイチ・シエル  
アメリカ合衆国テキサス州プラノ, ロングフェロー ドライブ 4300
- (72)発明者 ジェームズ オー・ボンディ  
アメリカ合衆国テキサス州プラノ, ブラディ ドライブ 4317

審査官 石川 正二

- (56)参考文献 特開平10-55276(JP,A)  
特開平5-143456(JP,A)  
特開平2-168323(JP,A)  
特開昭62-224829(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
G06F 9/38  
G06F 12/08