(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G11C 11/15

(11) 공개번호 특2003-0070544
(43) 공개일자 2003년08월30일

(21) 출원번호 10-2003-0011268
(22) 출원일자 2003년02월24일

(30) 우선권주장 10/084,111 2002년02월25일 미국(US)

(71) 출원인 휴렛-팩커드 컴퍼니(델라웨어주법인)
미합중국 캘리포니아주 (우편번호 94304) 팔로 알토 하노버 스트리트 3000

(72) 발명자 트란룽티
미국캘리포니아주95070사라토가우드브레이코트5085

(74) 대리인 김창세
장성구

심사청구 : 없음

# (54) 데이터 저장 장치 및 데이터 저장 장치 제조 프로세스

요약

메모리 셀의 어레이 내에서 누설되는 전류를 최소화하는 방법 및 시스템과 판독 동작 동안 선택된 메모리 셀 내의 저항 값을 구분하는 방법 및 시스템이 개시되어 있다. 메모리 어레이(10)는 다수의 메모리 셀(12)을 통해 교차 결합하는 다수의 비트 라인과 워드 라인을 포함한다. 각 메모리 셀(12)은 단방향 소자(13)에 의해 제 1 방향의 도전 경로만을 제공받도록 제한된다. 그러한 단방향 소자(13)는 전형적으로 다이오드를 포함한다. 이 장치는 이 다이오드를 사용하여 다이오드 및 저항성 메모리 셀을 통과하는 비트 라인에서 워드 라인으로의 전류 경로를 형성한다. 또한, 주어진 메모리 셀의 감지 동작 동안 워드 및 비트 라인의 인접부분 내에 발생하는 누설 전류를 제한하기 위해 어레이 양단에 등전위 값을 인가한 후 차분 감지 증폭기(30)는 판독 작용 동안 기준 값으로부터 감지된 전류를 구분한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 선택된 메모리 셀 상에서의 감지 동작과 누설 전류가 감지 전류에 어떻게 영향을 미치는가에 대한 종래 기술의 개략도,

도 2는 본 발명에 따른 메모리 셀 어레이 및 판독 회로를 포함하는 MRAM 장치도,

도 3은 도 1에 따른 메모리 셀의 개략도,

도 4는 도 1에 따른 감지 증폭기 소자의 개략도,

도 5는 도 4의 감지 증폭기에서 수행된 바와 같은 감지의 타이밍도와 데이터 셀 및 기준 셀의 출력을 예시하는 도면,

도 6은 본 발명에 따라 감지 동작 동안 사용된 바이어싱 기법의 흐름도,

도 7은 도 6의 바이어싱 기법을 기반으로하는 개선된 감지 전류 수행을 예시하는 도면.

도면의 주요 부분에 대한 부호의 설명

4 : 메모리 셀 6 : 다이오드

10 : 저항성 교차점 어레이 12 : 메모리 셀 소자

22 : 스티어링 회로 24 : 감지 증폭기

29 : 온 칩 제어기 30 : 차분 증폭기

32 : 인에이블 트랜지스터 38 : 전치증폭기

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 데이터 저장용 랜덤 액세스 메모리에 관한 것으로, 좀 더 구체적으로 메모리 셀 어레이와 단방향 소자와 연계해서 동작하는 차분 감지 증폭기(differential sense amplifiers)를 포함하여 어레이 내의 누설 전류를 제한하는 자기 랜덤 액세스 메모리 장치에 관한 것이다.

자기 랜덤 액세스 메모리('MRAM')는 장기간의 데이터 저장이 가능한 비 휘발성 메모리이다. MRAM 장치 상에서의 판독 및 기록 동작은 DRAM 및 플래쉬와 같은 종래의 메모리 장치 상에서의 판독 및 기록 동작보다 훨씬 빠르고 하드 드라이브와 같은 장기간 저장 장치보다는 엄청나게 빠르다. 또한, MRAM 장치는 다른 종래의 저장 장치에 비해 소형이고 보다 적은 전력을 소모한다.

전형적인 MRAM 장치는 메모리 셀 어레이를 포함한다. 워드 라인은 메모리 셀의 행을 가로지르며 연장하고 비트 라인은 메모리 셀의 열을 따라 연장한다. 각 메모리 셀은 워드 라인과 비트 라인의 교차점에 위치한다.

하나의 메모리 셀은 자화의 배향에 따라 일 비트 정보를 저장한다. 각 메모리 셀의 자화는 임의의 주어진 시간에서 두 개의 안정적인 배향 중 하나를 취한다. 이들 두 개의 안정적인 배향 즉 평행 및 반 평행은 로직 값 '0' 및 '1'을 나타낸다.

자화 배향은 스핀 터널링 장치와 같이 메모리 셀의 저항에 영향을 미친다. 예를 들어, 자화 배향이 평행일 경우 메모리 셀의 저항은 제 1 값 R이고 자화 배향이 평행에서 반 평행으로 변경될 경우 메모리 셀의 저항은 제 2 값 R+△R으로 증가한다. 선택된 메모리 셀의 자화 배향 및 메모리 셀의 로직 상태는 메모리 셀의 저항 상태를 감지함으로써 판독될 수 있다. 그러므로 메모리 셀은 저항성 교차점의 메모리 어레이를 형성한다.

선택된 메모리 셀에 전압을 인가하고 메모리 셀을 통해 흐르는 감지 전류를 측정하면 저항 상태를 감지할 수 있다. 이 저항은 인가된 전압과 감지 전류의 비(R=V/I)에 의해 판정될 수 있다.

그러나, 어레이에서 단일 메모리의 저항 상태를 감지하는 것은 신뢰적이지 못할 수 있다. 어레이 내의 모든 메모리 셀은 다수의 병렬 경로를 통해 함께 결합된다. 하나의 교차점에서 관측된 저항은 어레이의 다른 행 및 열의 메모리 셀의 저항과 유사한 그 교차점에서의 메모리 셀 저항과 동일하다.

또한, 감지된 메모리 셀이 저장된 자화로 인해 상이한 저항을 가지는 경우, 작은 차분 전압이 인가될 수 있다. 이 작은 차분 전압은 누설 전류로도 알려진 기생 전류 또는 '누설 경로' 전류를 야기할 수 있다. 기생 전류 또는 누설 전류는 큰 어레이에서 증가하고 그러므로 감지 전류를 약화시킬 수 있다. 따라서, 기생 전류는 저항이 감지되는 것을 방해할 수

있다.

저항 상태를 감지함에 있어 신뢰성을 없게 하는 것은 MRAM 장치의 제조 변화와, 동작 온도의 변화이다. 이들 요소들은 메모리 셀 저항의 평균 값을 변경시킬 수 있다.

종래 기술에서는 다양한 설계를 통해 누설 전류를 실제로 제거하지는 못할지라도 감소시려 시도해왔다. 하나의 접근 방식은 전류 경로를 한 방향으로 제한하는 다이오드와 같은 단방향 소자를 부가하는 것을 포함한다. 도 1은 그러한 실시예를 도시한다. 메모리 셀(4)은 다이오드(6)에 의해 지정된 방향으로 전류 흐름을 제한하는 다이오드(6)를 포함한다. 감지 전류가 도 1에 도시된 바와 같이 인가되는 경우, 감지 증폭기에 의해 실제로 측정되는 전류는 의도된 셀(4)을 통해 흐르는 감기 전류(I_s) 및 몇몇 다른 메모리 셀/다이오드 쌍들을 통해 흐르는 누설 전류(I_leak)이다. 이 부가적인 누설 전류는 감지 증폭기의 동작 범위를 감소시킨다. 또한, 메모리 어레이의 크기가 증가함에 따라, 누설 전류는 감지 전류보다 우세해지고, 감지 증폭기의 동작 범위를 보다 더 감소시킨다. 또한, 누설 전류 경로로 인해 감지 증폭기에서 노이즈가 증가한다.

따라서, 신뢰성 있는 방식으로 MRAM 장치 내의 메모리 셀의 저항 상태를 감지할 수 있는 필요성이 존재한다. 또한, 판독 동작 동안 어레이 내의 감지되지 않 은 셀들 사이에 존재하는 기생 전류 또는 누설 전류를 제한할 필요가 있다.

## 발명이 이루고자 하는 기술적 과제

본 발명에 따르면, 메모리 셀의 어레이 내에서 누설된 전류를 최소화하는 방법 및 시스템과 판독 동작 동안 감지된 메모리 셀 내의 저항 값을 구분(differentiating)하는 방법 및 시스템이 개시된다. 메모리 어레이는 다수의 메모리 셀을 통해 교차 결합되는 다수의 비트 라인과 워드 라인을 포함한다. 각 메모리 셀은 단방향 소자에 의해 제 1 방향의 도전 경로만이 제공받도록 제한된다. 그러한 단방향 소자는 대개 다이오드를 포함한다. 이 장치는 다이오드를 사용하여 다이오드 및 저항성 메모리 셀을 통해 이어지는 워드 라인에서 비트 라인으로의 전류 경로를 형성한다. 또한, 주어진 메모리 셀의 감지 동작 동안 워드 및 비트 라인의 인접부분 내에 발생하는 누설 전류를 제한하기 위해 어레이 양단에 등전위 값이 인가된 후 차분 감지 증폭기는 판독 작용 동안 기준 값으로부터 감지된 전류를 구분한다.

## 발명의 구성 및 작용

이제 도면에 예시된 예시적인 실시예를 참조할 것이고, 본 명세서에서 예시적인 실시예들을 설명하기 위해 특정 용어가 사용될 것이다. 그렇지만 그에 의해 본 발명의 범주는 제한되지 않는다는 것을 이해될 것이다. 본 개시 사항을 알고 있는 당업자가 할 수 있는 본 명세서에서 예시된 본 발명의 특징의 변경 및 수정과 본 명세서에 개시된 본 발명의 원리의 부가적인 응용은 본 발명의 범주 내에서 고려될 것이다.

예시 목적용 도면에 도시된 바와 같이, 본 발명은 자기 랜덤 액세스 메모리 장치로 구현된다. MRAM 장치는 메모리 셀의 어레이 및 메모리 셀로부터 데이터를 판독하는 판독 회로를 포함한다. 등전위 인가 장치 및 차분 감지 증폭기를 포함하는 판독 회로는 어레이 내의 선택된 메모리 셀의 상이한 저항 상태를 신뢰성 있게 감지할 수 있다.

이제 메모리 셀 소자(12a 및 12b)의 저항성 교차점 어레이(10)를 포함하는 정보 저장 장치(8)를 예시하는 도 2를 참조한다. 메모리 셀 소자(12a 및 12b)는 행 및 열로 배열되고, 여기서 행은 x 방향을 따라 연장하고 열은 y 방향을 따라 연장한다. 정보 저장 장치(8)를 간략히 예시하기 위해 비교적 적은 수의 메모리 소자(12a 및 12b)가 도시되어 있다. 실제에 있어서는, 어떠한 크기의 어레이도 사용될 수 있다.

워드 라인(14)으로서 기능을 하는 트레이스는 메모리 셀 어레이(10)의 일 측면 상의 평면에서 x 방향을 따라 연장한다. 비트 라인(16a 및 16b)으로서 기능을 하는 트레이스는 메모리 셀 어레이(10)의 인접 측면 상의 평면 상에서 y 방향을 따라 연장한다. 어레이(10)의 각 행마다 하나의 워드 라인(14)이 존재하고 어레이(10)의 각 열마다 하나의 비트 라인(16a 또는 16b)이 존재한다. 각 메모리 셀 소자(12a, 12b)는 워드 라인(14)과 비트 라인(16a 또는 16b)의 교차점에 위치한다.

메모리 셀 소자(12a 및 12b)는 폴리머 메모리 소자, 자기 터널 접합(SDT 접합은 자기 터널 접합의 일 유형임) 또는 상전이(phase change) 장치와 같은 박막 메모리 소자를 포함할 수 있다. 일반적으로, 메모리 셀(12a 및 12b)은 소자의 공칭 저항의 크기에 영향을 미침으로써 정보를 저장 또는 생성하는 임의의 소자를 포함할 수 있다. 그러한 기타 다른 유형의 소자는 판독 전용 메모리 부분으로서의 폴리-실리콘 저항과, 결정 상태에서 비결정 상태로 또한 비결정 상태에서 결정 상태로 변하도록 프로그램될 수 있는 상전이 장치를 포함할 수 있다. 이 장치는 결정 상태에서 낮은 저항을 갖고 비결정 상태에서는 높은 저항을 갖는다. 각 메모리 셀 소자(12)는 도 3에 보다 자세히 도시되어 있다. 메모리 셀(12)은 판독 동작 동안 누설 전류를 제한하는데 사용되고 또한 비트 라인(16a, 16b)에서 워드 라인(14)으로의 단방

향 전류 경로를 제공하는데 사용되는 저항성 자기 소자(Rm) 및 단방향 도전성 게이트 또는 다이오드(13)를 더 포함한다. 다이오드(13)는 저항성 자기 소자(Rm)에 결합되어 비트 라인(16)에서 워드 라인(14)으로의 단방향 도전 경로를 제공한다.

이 다이오드는 당업계에 잘 알려진 기술을 사용하여 제조된다. 예를 들어, n형 폴리 실리콘 층 및 p형 폴리 실리콘 층은 워드 라인 도체 상에 순차적으로 증착되어 700 ° 내지 800 ° C에서 어닐링(annealing)되어 폴리 실리콘 층을 재결정화하고 활성화시켜 p-n 다이오드를 생성한다. 쇼트키 금속 층 및 반도체 층을 가진 쇼트키 다이오드를 형성할 수 있다. 비결정 다이오드는 절연 소자의 대안으로서 사용될 수도 있다.

예를 들어, 자화 배향이 평행일 경우 SDT 접합부의 저항은 제 1 값(R)이고 자기 배향이 평행에서 반 평행으로 변경되는 경우 저항은 제 2 값(R+△R)으로 증가한다. 전형적인 제 1 저항 값(R)은 약 10 kΩ내지 1MΩ일 수 있고 대개 저항 변화량(△R)은 제 1 저항 값(R)의 약 30%이다.

외부 전원의 부재시에도, 각 메모리 셀 소자(12a 및 12b)는 자기 자신의 자화 배향을 유지한다. 그러므로, 메모리 셀 소자(12a 및 12b)는 비휘발성이다.

데이터는 비트-비트바 방식(bit-bitbar manner)으로 메모리 셀 소자(12a 및 12b)에 저장된다. 두 개의 메모리 셀 소자(12a 및 12b)는 데이터의 각 비트에 할당되는데, 하나의 메모리 셀 소자('데이터'소자)(12a)는 비트 값을 저장하고, 다른 메모리 셀 소자('기준' 소자)(12b)는 그 값의 보수를 저장한다. 그러므로 데이터 소자(12a)가 로직 '1'을 저장하는 경우, 그것의 대응 기준 소자(12b)는 로직 '0'을 저장한다. 데이터 소자(12a)의 각 열은 비트 라인(16a)에 연결되고 기준 소자(12b)의 각 열은 비트 라인(16b)에 연결된다.

정보 저장 장치(8)는 판독 및 기록 동작 동안 워드 라인(14)을 선택하는 행 디코더(18)를 포함한다. 선택된 워드 라인(14)은 판독 동작 동안 접지에 연결될 수 있다. 기록 전류는 기록 동작 동안 선택된 워드 라인(14)에 인가될 수 있다.

정보 저장 장치(8)는 판독 동작 동안 선택된 메모리 소자(12a 및 12b)의 저항 상태를 감지하는 판독 회로와 기록 동작 동안 선택된 워드 라인(14) 및 비트 라인(16a 및 16b)에 기록 전류를 인가하는 기록 회로를 포함한다. 판독 회로는 일반적으로 참조 번호(20)로 표시된다. 정보 저장 장치(8)를 간략히 예시하기 위해 기 록 회로는 도시되지 않는다.

판독 회로(20)는 다수의 스티어링 회로(22) 및 감지 증폭기(24)를 포함한다. 다수이 비트 라인(16a 및 16b)은 각 스티어링 회로(22)에 연결된다. 각 스티어링 회로(22)는 비트 라인을 선택하기 위한 디코더를 포함한다. 선택된 메모리 셀 소자(12)는 선택된 워드 라인(14)과 선택된 비트 라인(16)의 교차부에 놓여진다.

도 6의 흐름도에서도 도시되는 판독 동작 동안, 블록(604)에서 도시된 바와 같이 선택된 소자(12a 및 12b)는 선택된 워드 라인에 의해 접지에 연결된다. 각 스티어링 회로(22)는 데이터 소자(12a)의 열과 교차하는 비트 라인(16a)과 기준 소자(12b)의 대응 열과 교차하는 비트 라인(16b)을 선택한다. 블록(602)에서 도시된 바와 같이, 데이터 소자(12a)의 열과 교차하는 선택된 비트 라인(16a)은 그들의 대응 감지 증폭기(24)의 감지 노드(S0)에 연결된다. 블록(602 및 604)의 단계는 반전될 수 있고 구현 순서는 중요하지 않다. 기준 소자(12b)의 열과 교차하는 선택된 비트 라인(16b)은 그들의 대응 감지 증폭기(24)의 기준 노드(R0)에 연결된다. 각 감지 증폭기(24)는 차분 증폭기 및 비트 라인(16a 및 16b) 상의 신호들을 비교하는 교차 결합 래치 전류 감지 증폭기(cross-couple latched current sense amplifiers)를 포함한다. 그 비교치는 선택된 데이터 소자(12a)의 저항 상태 즉, 선택된 데이터 소자(12a)에 저장된 논리 값을 나타낸다. 감지 증폭기(24)의 출력은 정보 저장 장치(8)의 I/O 패드(28)에 결합되는 데이터 레지스터(26)에 공급된다.

블록(606)에 도시된 바와 같이 모든 선택된 워드 라인(14)은 어레이 전압을 제공하는 일정한 전압원에 연결된다. 외부 회로가 일정한 전압원을 제공할 수도 있다. 일정한 전압원이 비선택된 워드 라인의 부분집합에 인가하는 것과 같이 감지 증폭기(24)는 동일한 전위를 선택된 비트 라인(16)에 인가한다. 그러한 등전위 절연을 어레이(10)에 가하면 기생 전류가 감소된다.

판독 회로(20)는 m 비트 워드의 데이터를 판독할 수 있어서, 블록(608)의 전류 측정 단계에서 도시된 바와 같이, 다수(m)의 메모리 셀 소자(12a 및 12b)의 저항 상태가 동시에 감지된다. m 비트 워드는 m개의 순차적 감지 증폭기들(24)을 동시에 동작시킴으로써 판독될 수 있다. 앞에서 언급한 도 1에 예시된 기생 누설 전류와는 대조적으로, 도 7(7a, 7b 및 7c)은 어떻게 누설 전류 I_leak가 감지 전류 Is로부터 누설되는가에 대해 예시하고 있다.

이제 감지 증폭기(24) 및 선택된 기준 및 데이터 소자(12a 및 12b)를 제각기 도시하는 도 4를 참조한다. 각 선택된 데이터 소자(12a 및 12b)는 각각 저항(R12a 및 R12b)으로 나타내어진다. 각 메모리 셀 소자(12a 및 12b)는 단방향 도전성 게이트 또는 다이오드(13a 및 13b)를 각각 더 포함한다. 판독 동작 동안 다이오드(13a 및 13b)는 동일한 비트 라인을 공유하는 인접 워드 라인들 상의 기준 소자(12a 및 12b) 및 다른 데이터의 감지로부터 메모리 셀 소자들 간의 절연을 제공하는 데 사용된다. 중요하게, 다이오드(13a 및 13b)는 비트 라인(16a 및 16b)에서부터 그들 각자의 워드

라인(14)으로의 도전 경로를 형성한다. 유감스럽게도, 판독 동작 동안 누설 전류가 여전히 발생할 수 있는데, 그 이유는 각 다이오드 접합부에 존재하는 역 바이어스 전류 및 공통 워드 라인 또는 비트 라인을 공유하는 셀들 사이에 존재하는 전류 경로 때문이다. 또한, 셀 어레이 크기가 증가함에 따라, 누설 전류는 감지 신호보다 우세해진다. 또한, 누설 전류 경로로 인해 감지 동작 동안 부가적인 노이즈가 발생한다. 이러한 문제를 피하기 위해, 비선택된 워드 라인은 실질적으로 Va와 동일한 전위 Vg에 연결된다. 비선택된 워드 라인의 바이어싱 이점은 도 7a 내지 도 7c에 도시된다. 어레이의 병렬 경로로 인한 누설 전류는 감지 전류로부터 벗어나서 이들 전류의 측정은 보다 정확하고 신뢰성이 있다.

감지 증폭기(24)는 제 1 입력 노드(S1) 및 제 2 입력 노드(R1)을 갖는 차분 증폭기(30)를 포함한다. 이 차분 감지 증폭기(30)는 교차 결합 래치 증폭기와 함께 차분 감지 입력일 수 있다. 이 차분 증폭기(30)는 교차 결합 래치 증폭기를 형성하는 FET(30a, 30b, 30c 및 30d)를 포함할 수 있다. 일 실시예에서, 트랜지스터(30a 및 30c)는 P 채널 트랜지스터이다. READ 동작 동안 판독 인에이블 트랜지스터(32)는 FET(30)를 인에이블하고, 이어서 서로 상보 상태인 출력 OUTPUT과 OUTPUT 바를 밸런싱(balance)하도록 인에이블한다. 트랜지스터(34a 및 34b)는 바이어스되어 노드(S1 및 R1)를 접지 전위에 근접하게 클램핑한다. 일단 트랜지스터(32)가 턴오프되면, 교차 결합 래치는 전류($I_R$)를 전류($I_S$)와 비교하여 OUTPUT 및 OUTPUT 바를 도 5에 도시된 감지 증폭기의 READ 타이밍도에 예시된 대응 상태에 이르도록 한다.

셀(12b)은 기준 비트로서 역할을 하고 셀(12a)은 데이터 비트이고 이들 모두는 동일한 행 상에 위치한다. 접지 전위가 셀(12a) 및 셀(12b) 모두에 대해 선택 된 행에 인가된다. 전치증폭기(36)는 제 1 입력부(Va)를 구비하여, 그의 출력은 트랜지스터(36a)의 게이트 입력부에 결합되어 셀(12a)이 위치한 비트 또는 데이터 열을 바이어싱한다.. 제 2 입력부(Va)는 트랜지스터(38a)의 게이트 입력부에 결합되는 전치증폭기(38)를 인에이블링하여 셀(12b)이 위치한 기준 열을 바이어싱한다. 전치증폭기(36 및 38)는 선택된 소자(12a 및 12b) 양단의 전압을 조절한다. 모든 다른 비선택된 행들은 어레이 내에서 동일한 선택된 비트 라인(16a 및 16b) 상의 모든 비선택된 메모리 셀 상에 등전위 상태를 생성하기 위해 실질적으로 Va와 동일한 전압(Vg)으로 바이어스되어, 기준 셀(12b) 또는 데이터 셀(12a)과 동일한 행 또는 열 내의 다른 셀 양단에서 생성되는 누설 전류 또는 전류 누설 경로를 억제한다. 결과적으로, 선택된 비트 라인(16a 및 16b) 상의 비선택된 메모리 셀(12d, 13c)은 0.0 볼트 바이어스를 가지므로 이들 비선택된 메모리 셀에는 전류가 흐르지 않는다. 다른 비선택된 메모리 셀은 역 바이어스되므로 그들의 누설 전류만이 감지 전류 신호에 대한 간섭없이 감지 전류로부터 벗어나 접지로 흐르도록 한다. 전형적으로, 바이어스는 전압원(Vg)에 의해 설정되기도 하지만, 접지 전원 또는 회로 설계 구성에 따르는 어느 다른 원하는 바이어스 전압일 수도 있다. 예를 들어, 도 7a에 예시된 바와 같은 설계 구성이다. 전압원(Va)은 선택된 워드 라인에 인가된다. 선택된 비트 라인은 감지 증폭기의 입력부에 연결되고, 전압(Vg)은 감지 증폭기의 다른 입력부에 연결되므로 선택된 비트 라인은 Vg로 바이어스된다. 모든 비선택된 워드 라인도 Vg로 바이어스되어 누설 전류(I_leak)를 감지 전류($I_S$)로부터 벗어나도록 스티어링한다. 전압원(Vg)은 메모리 어레이의 동작에 바람직한 값으로 설정된다. 그것은 접지 전위 또는 어느 다른 바이어스 전압일 수도 있다.

이제 도 7b를 참조하면, 감지 증폭기(24)의 일 입력부는 선택된 비트 라인(16)에 연결되고 전압(Va)은 감지 증폭기의 다른 입력부에 인가되어 선택된 비트 라인을 전위(Va)에 바이어스한다. 접지 전위는 선택된 워드 라인(14)에 인가되고 다른 모둔 비선택된 워드 라인은 실질적으로 Va와 동일한 전압원(Vg)에 연결된다. 비선택된 메모리 셀(12a 및 12b)은 이들 비트 셀을 통해 흐르는 전류($I_S$)를 발생시키는 그들 각각의 양단의 전위(Va)를 갖고 이들 전류($I_S$)는 증폭기(24)에 의해 감지되어 선택된 비트 셀의 저항 상태를 결정한다.

한편, 비선택된 비트 셀(12c 및 12d)은 선택된 비트 셀(12a 및 12b)과 동일한 비트 라인(16)을 공유하지만, 그들은 비선택된 워드 라인에 연결된다. 이들 비선택된 비트 셀(12c 및 12d) 양단의 전위는 Va-Vg~0(영)이므로 이들 비트 셀에는 전류가 흐르지 않는다. 비선택된 비트 셀의 나머지는 그들을 통해 선택된 워드 라인 상의 접지로 흐르는 누설 전류(I_leak)만을 갖고 그들은 감지 전류($I_S$)를 간섭하지 않는다.

도 7c는 도 7b에 예시된 바이어싱 방법의 확장도이다. 이 구성에 있어서, 비선택된 비트 라인은 접지 전위에 연결되어 누설 전류(I_leak)는 비선택된 비트 라인을 통해 접지로 흐른다. 이와 같이 하여, 감지 전류($I_S$)만이 선택된 워드 라인(14)에 흐른다.

전류(I_ref)=(Va-Vd)/R(12a)는 트랜지스트(36a)에 흐르고, 여기서 R(12a)은 메모리 셀(12a)의 저항 값이고 Vd는 전형적으로 대략 0.7V인 다이오드(13a)의 다이오드 전압이다. 트랜지스터(36a)와 동일하고 전류($I_R$)를 전송하여 그것을 감지 증폭기(30)의 입력부에 이송하는 트랜지스터(36b)는 트랜지스터(36a)에 대한 전류 미러(current mirror)이다. 전류($I_R$)는 I_ref와 동일하다. 이와 유사하게, 전류 I_data=(Va-Vd)/R(12b)는 트랜지스터(38a)에 흐르고, 여기서 R(12b)은 메모리 셀(12b)의 저항 값이다. 트랜지스터(38a)와 동일하고 전류($I_S$)를 전송하여 감지 증폭기(30)의 다른 입력부에 이송하는 트랜지스터(38b)는 트랜지스터(38a)에 대한 전류 미러이다. 전류(Is)는 I_data와 동일하다.

초기에, 도 5에 도시된 바와 같이 Read Enable이 하이로 풀(pull)되면 트랜지스터(32)는 턴온된다. 이것은 OUTPUT 및 OUTPUT 바를 Vdd 및 접지 사이의 약 중간 지점과 비슷하게 강제한다.

일단 판독 인에이블 스위치(32)가 스위치 오프되면, 교차 결합 래치는 전류($I_S$ 및 $I_R$)의 크기 차이를 감지한다. $I_S$가 $I_R$보다 작을 경우, 출력은 R(12b)이 평행 상태이고 R(12a)이 반 평행 상태를 의미하는 하이(high)이다. $I_S$가 $I_R$보다 클 경우, 출력은 R(12b)이 반 평행 상태이고 R(12a)이 평행 상태를 의미하는 로우(low)이다.

바람직하게 전치증폭기(36 및 38)는 자기 자신의 오프셋 전압(ofst1, ofst2) 의 차이를 최소화하도록 조정(calibrated)된다. 오프셋 전압(ofst1, ofst2)은 서로 동일할만큼 매우 유사해야하고 그들은 거의 영이어야한다. 트랜지스터 쌍(36a,b 및 38a,b)은 바람직하게 특성 및 크기가 부합되어 그들은 감지 신호($I_S$ 및 $I_R$)를 보다 덜 저하시킬 것이다.

감지는 전류 모드 또는 전압 모드에서 수행될 수 있다. 전류 모드에 있어서, 전치증폭기(36 및 38)는 감지 및 기준 노드(S0 및 R0)에서의 전압을 어레이 전압(Va)과 동일하도록 조절(regulate)한다. 선택된 소자(12a 및 12b) 양단의 전압 강하에 의해 발생되는 감지 및 기준 전류($I_S$ 및 $I_R$)는 차분 전류 감지 증폭기(30)의 입력 노드($S_1$, $R_1$)로 흐른다.

전압 모드에 있어서, 감지 전류($I_S$)는 전압으로 변환되거나(예로, 시간 기간에 걸쳐 감지 전류를 적분함으로써) 또는 단순히 한쌍의 저항으로 $I_S$ 및 $I_R$을 종결시킨다. $I_S$가 $I_R$보다 작은 경우, 노드 $S_1$에서의 전위는 노드 $R_1$에서의 전위보다 더 낮다.

차분 증폭기(30) 출력부의 신뢰성 있는 신호가 생성되면, 증폭기(30)의 출력은 데이터 레지스터(26)로 스트로브된다. 온-칩 제어기(29)(도 2참조)가 제공되어 증폭기(30)의 출력이 데이터 레지스터(26)로 스트로브(strobe)되도록 야기하는 신호(STR)를 생성할 수 있다. 스트로브 신호(STR)는 마지막 어드레스 또는 기록/판독 커맨드에 의해 발생되는 지연 펄스만큼 간단할 수 있다.

본 발명에 따른 정보 저장 장치는 폭넓고 다양한 응용에 사용될 수 있다. 예를 들어, 정보 저장 장치는 컴퓨터에서 장기간 저장 장치로서 사용될 수 있다. 그러한 장치는 하드 드라이브와 같은 종래의 장기간 저장 장치에 비해 다수의 장점을 제공할 수 있다. MRAM 셀로부터의 데이터 액세싱은 하드 드라이브로부터의 데이터 액세싱보다 상당히 빠르다. 그렇기 때문에, MRAM 셀은 주 시스템 메모리로서 SRAM 또는 DRAM을 대체할 수 있다. 또한, 본 발명에 따른 정보 저장 장치는 하드 드라이브보다 더 소형(compact)이다.

본 발명에 따른 정보 저장 장치는 디지털 영상의 장기간 저장용으로 또는 내장형 메모리로서 디지털 카메라에 사용되어 칩 장치 상의 시스템 성능을 개선시킬 수 있다.

본 발명은 위에서 설명하고 예시한 특정 실시예에 제한되는 것은 아니다. 대신, 본 발명은 다음의 청구항에 따라 해석된다.

위에서 참조한 구성들은 단지 본 발명의 원리에 대한 응용의 예시일 뿐이다. 본 발명의 정신 및 범주를 벗어나지 않고서 다수의 수정 및 대안적인 구성들이 고안될 수 있고 또한 본 발명은 도면으로 도시되고 현재 본 발명의 가장 실용적이고 바람직한 실시예로 여기지는 것과 관련하여 특히 자세히 설명되었으나, 당업자에게는 청구항에서 설명한 바와 같은 본 발명의 원리 및 개념으로부터 벗어나지 않고 다수의 변형이 가능하다는 것이 분명해질 것이다.

## 발명의 효과

본 발명에 따르면, 판독 동작 동안 어레이 내의 감지되지 않은 셀들 사이에 존재하는 기생 전류 또는 누설 전류를 제한하여 신뢰성 있는 방식으로 MRAM 장치 내의 메모리 셀의 저항 상태를 감지하여 데이터를 정확히 판독할 수 있다.

## (57) 청구의 범위

### 청구항 1.

다수의 워드 라인과,

다수의 비트 라인과,

메모리 셀들의 저항성 교차점 어레이(a resistive crosspoint arrray of memory cells)- 각 메모리 셀은 하나의 비트 라인 및 개별 워드 라인에 또한 연결되는 절연 다이오드(isolation diode)에 연결되고, 상기 절연 다이오드는 상기 비트 라인에서 상기 워드 라인으로의 단방향 도전 경로를 제공함 -와,

상기 워드 라인에 연결되어 감지 동작 동안 비선택된 워드 라인을 바이어스하고 상기 감지 동작 동안 선택된 워드 라인에 인가된 감지 전류 신호로부터 누설 전류를 전환시키는(divert) 누설 전류 전환 소스(leakage current diverting source)를 포함하는

데이터 저장 장치.

**청구항 2.**
제 1 항에 있어서,

상기 누설 전류 전환 소스는 상기 워드 라인에 결합되고 상기 저항성 교차점 메모리 셀 어레이의 전압 레벨을 설정하여 실질적으로 상기 선택된 메모리 셀에 기생 전류를 흐르는 것을 방지하는 등전위 발생기(equipotential generator)를 포함하는

데이터 저장 장치.

**청구항 3.**
제 2 항에 있어서,

선택된 워드 라인 그룹에서의 비선택된 워드 라인은 함께 결합되어 인가된 어레이 전압과 대략 동일한 평균 전압을 설정하는

데이터 저장 장치.

**청구항 4.**
제 3 항에 있어서,

상기 등전위 발생기는 하나 이상의 비선택된 워드 라인으로부터의 피드백에 기반으로 하여 선택된 비트 라인의 등전위 절연을 설정하는

데이터 저장 장치.

**청구항 5.**
제 3 항에 있어서,

상기 각 절연 다이오드의 입력 노드는 제각기의 전압 팔로워 트랜지스터(a respective voltage follower transistor)에 결합되고 상기 등전위 발생기는 상기 전압 팔로워 트랜지스터의 게이트에 결합되는

데이터 저장 장치.

**청구항 6.**
다수의 워드 라인을 형성하는 단계와,

다수의 비트 라인을 형성하는 단계와,

메모리 셀의 저항성 교차점 어레이를 형성- 각 메모리 셀은 제각기의 비트 라인 및 제각기의 워드 라인에 결합됨 -하는 단계와.

상기 메모리 셀을 통과하는 상기 비트 라인에서 상기 워드 라인으로의 단방향 도전 경로를 형성하는 단계와,

감지 신호를 상기 다수의 워드 라인들 중 선택된 하나에 인가하는 단계와,

누설 전류 전환 신호를 상기 다수의 워드 라인들 중 상기 비선택된 하나에 인가하는 단계를 포함하는

데이터 저장 장치 제조 프로세스.

**청구항 7.**
제 6 항에 있어서,

각각 개별 비트 라인에 의해 하나 이상의 메모리 셀에 결합되고 자기 자신에 결합된 임의의 메모리 셀을 통한 전류 흐름을 감지하는 다수의 판독 회로를 형성하는 단계를 더 포함하는

데이터 저장 장치 제조 프로세스.

**청구항 8.**
제 7 항에 있어서,

각 판독 회로는 차분 전류 감지 증폭기를 포함하는

데이터 저장 장치 제조 프로세스.

**청구항 9.**
제 8 항에 있어서,

상기 차분 증폭기는 선택된 기준 셀를 통해 흐르는 전류와 선택된 메모리 셀을 통해 흐르는 전류를 비교하는

데이터 저장 장치 제조 프로세스.

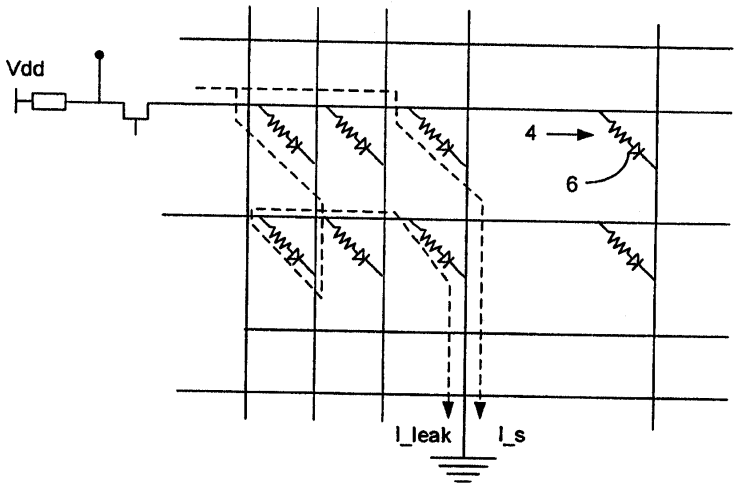
**청구항 10.**
제 6 항에 있어서,

상기 누설 전류 전환 신호를 인가하는 단계는, 워드 라인 및 상기 비트 라인에 결합되고 상기 저항성 교차점 메모리 셀 어레이의 전압 레벨을 설정하는 등전위 발생기를 형성하여 실질적으로 기생 전류가 상기 감지 전류 신호를 간섭하는 것을 방지하는 단계를 포함하는

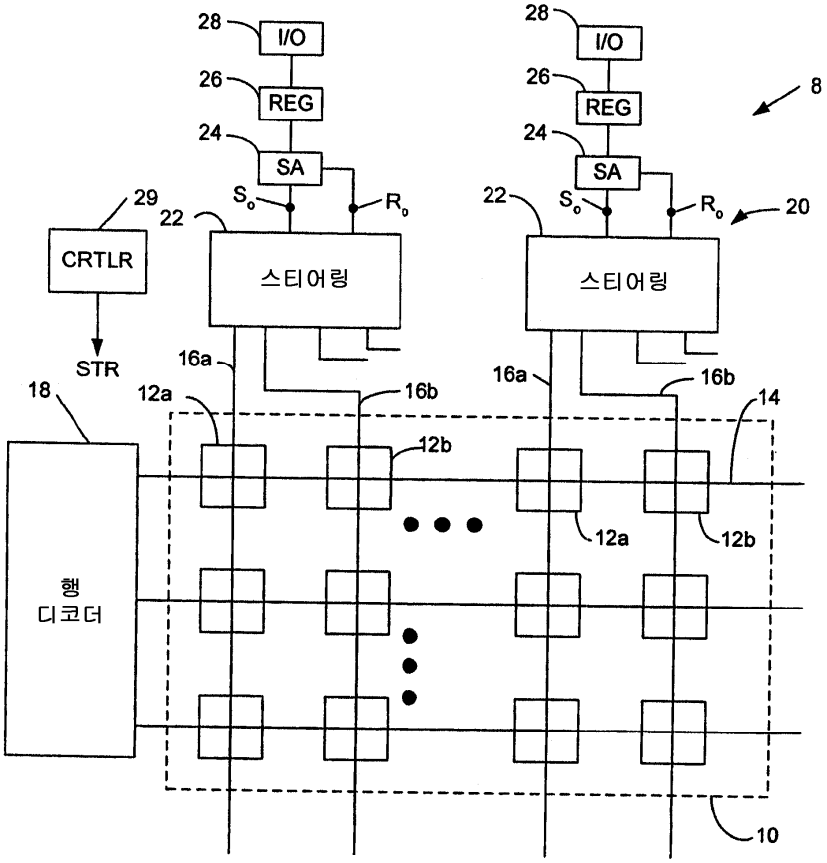
데이터 저장 장치 제조 프로세스.

도면

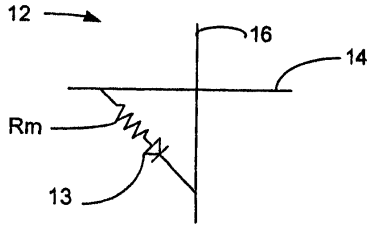
도면1
(종래기술)



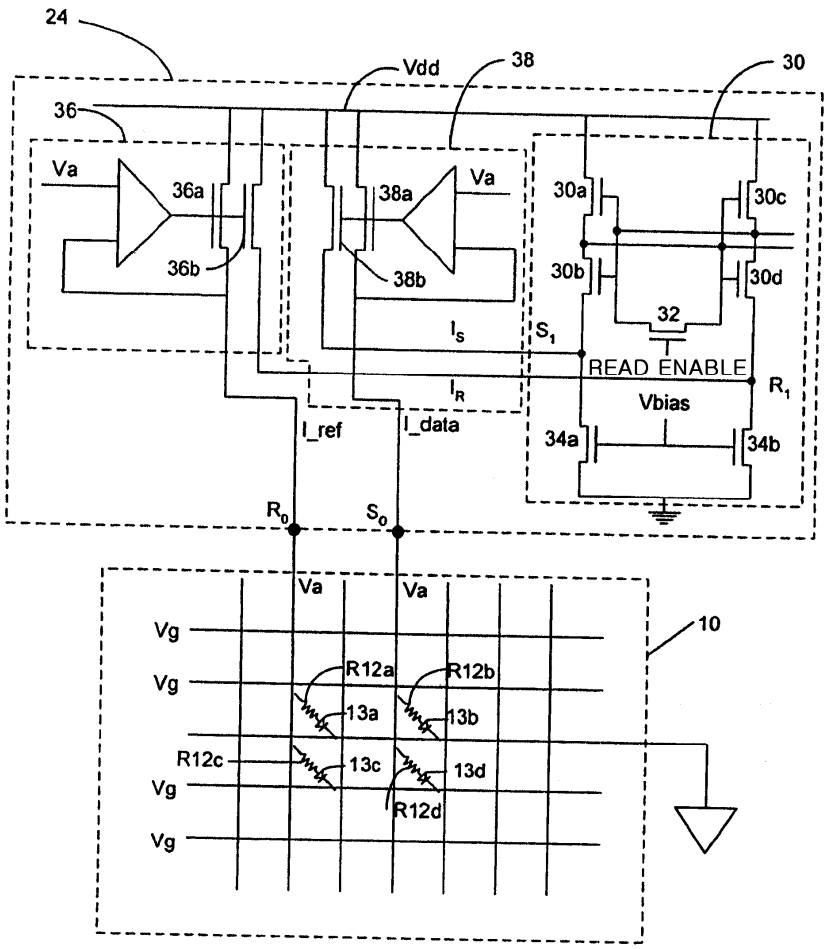
도면2


28
I/O
26
REG
24
SA
$S_o$
$R_o$
29
22
CRTLR
스티어링
STR
16a
16b
18
12a
12b
14
행
디코더
8
20
10

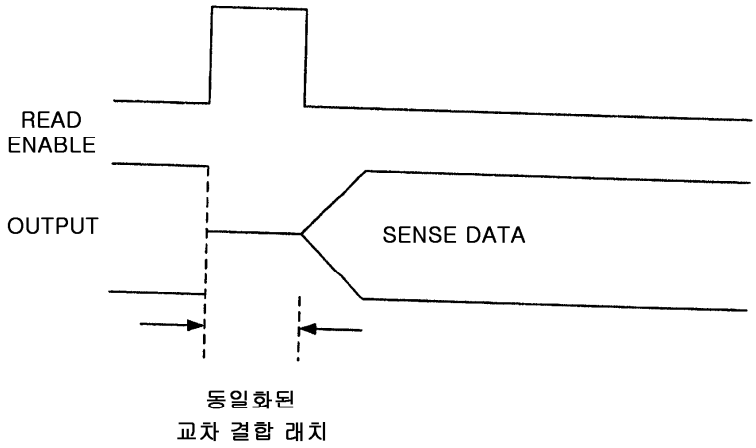
도면3


12
16
14
Rm
13

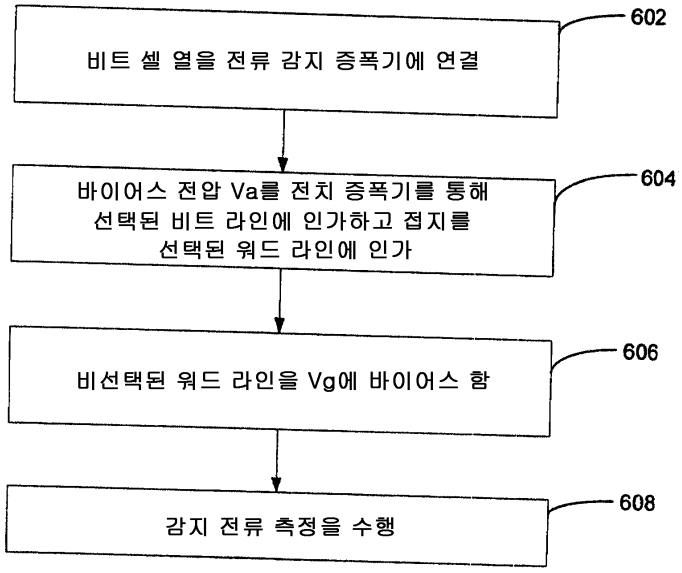
도면4


24
Vdd
38
30
36
Va
36a
36b
38a
Va
38b
30a
30c
30b
30d
32
$I_S$
$S_1$
READ ENABLE
$R_1$
$I_R$
Vbias
I_ref
I_data
34a
34b
$R_0$
$S_0$
Va
Va
10
Vg
Vg
R12a
R12b
13a
13b
R12c
13c
13d
Vg
R12d
Vg

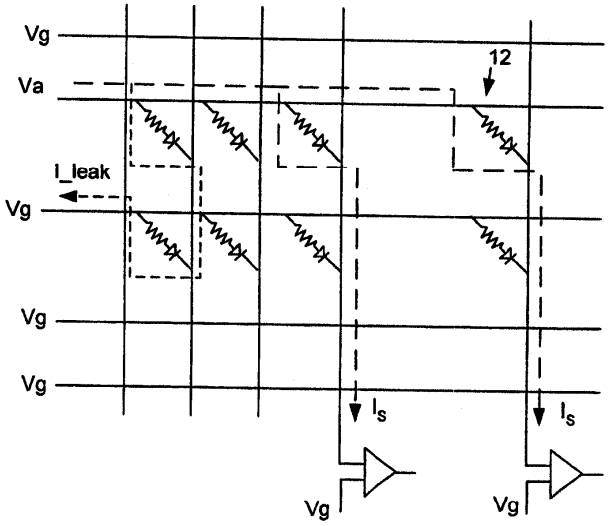
도면5


READ
ENABLE
OUTPUT
SENSE DATA
동일화된
교차 결합 래치

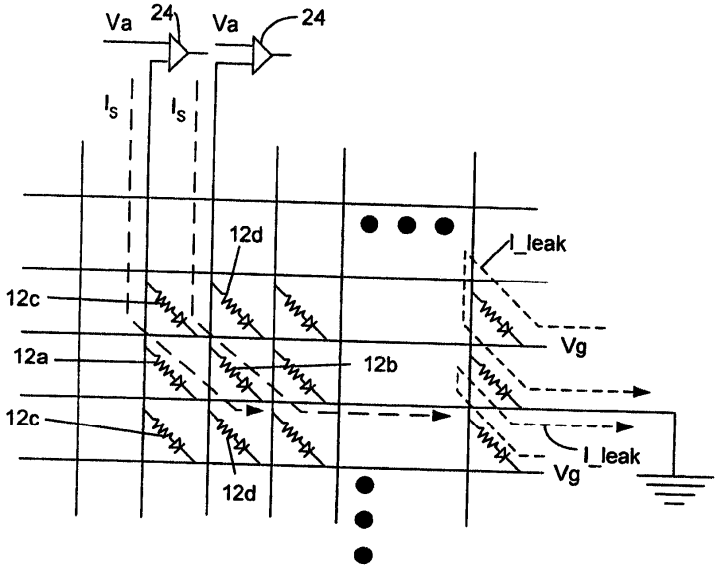
도면6



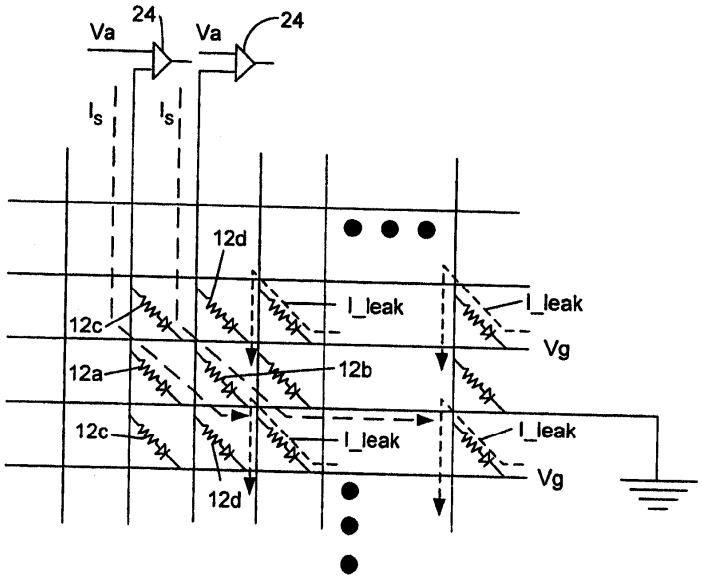

도면7a




도면7b



도면7c


Va
24
Va
24
$I_s$
$I_s$
12d
I_leak
I_leak
12c
Vg
12a
12b
12c
I_leak
I_leak
Vg
12d