

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5727120号  
(P5727120)

(45) 発行日 平成27年6月3日(2015.6.3)

(24) 登録日 平成27年4月10日(2015.4.10)

(51) Int.Cl. F I  
**GO2F 1/1345 (2006.01)** GO2F 1/1345  
**GO2F 1/1368 (2006.01)** GO2F 1/1368

請求項の数 14 (全 19 頁)

(21) 出願番号	特願2007-179002 (P2007-179002)	(73) 特許権者	512187343
(22) 出願日	平成19年7月6日(2007.7.6)		三星ディスプレイ株式会社
(65) 公開番号	特開2008-52258 (P2008-52258A)		Samsung Display Co., Ltd.
(43) 公開日	平成20年3月6日(2008.3.6)		大韓民国京畿道龍仁市器興区三星二路95
審査請求日	平成22年7月5日(2010.7.5)		95, Samsung 2 Ro, Gih
審判番号	不服2014-8676 (P2014-8676/J1)		eung-Gu, Yongin-City
審判請求日	平成26年5月9日(2014.5.9)		, Gyeonggi-Do, Korea
(31) 優先権主張番号	10-2006-0081056	(74) 代理人	110000671
(32) 優先日	平成18年8月25日(2006.8.25)		八田国際特許業務法人
(33) 優先権主張国	韓国 (KR)	(72) 発明者	金 東 奎
(31) 優先権主張番号	10-2006-0124754		大韓民国京畿道龍仁市水枝区豊徳川2洞
(32) 優先日	平成18年12月8日(2006.12.8)		三星5次アパート523棟1305号
(33) 優先権主張国	韓国 (KR)		
(31) 優先権主張番号	10-2007-0015821		
(32) 優先日	平成19年2月15日(2007.2.15)		
(33) 優先権主張国	韓国 (KR)		

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

表示領域を有する第1基板と、前記第1基板と対面する第2基板と、前記第1基板と前記第2基板の間に位置する液晶層とを含む液晶表示装置において、

前記第1基板は、

前記表示領域内に位置するゲート線と、

前記ゲート線に接続されている薄膜トランジスタと、

前記薄膜トランジスタに電氣的に接続されて前記ゲート線と異なる層に形成される画素電極と、

前記表示領域の外部に位置して前記ゲート線と同一の物質で同一層に形成されるゲートパッドと、

前記ゲート線と前記ゲートパッドとを電氣的に接続し、非表示領域に前記ゲート線より抵抗の高い前記画素電極と同一の物質で前記画素電極と同一層に形成される抵抗部とを含み、

前記ゲートパッドと前記抵抗部との間に位置して前記ゲート線および前記ゲートパッドと同一の物質で同一層に形成されるファン・アウト部をさらに含み、

前記抵抗部は、前記ゲート線から第1の所定距離を離れた接触孔を通じて前記ファン・アウト部と接続される第1部分、前記第1の所定距離より短い第2の所定距離を離れた接触孔を通じて前記ゲート線と接続される第2部分、および、前記第1部分と前記第2部分の間に位置する第3部分を含み、

10

20

前記抵抗部の総抵抗は前記ゲート線の総抵抗の10%～50%であり、  
前記抵抗部による前記ゲート線のゲート信号のゲート遅延変化は100%内で行われ、  
前記抵抗部の第3部分の長さは、接続する前記ゲート線と前記ゲートパッドとの距離差  
による前記表示領域における画素の輝度の不均一が減少するように、前記ゲート線と前記  
ゲートパッドとの距離に反比例させて形成されていることを特徴とする液晶表示装置。

【請求項2】

前記抵抗部はITO(indium tin oxide)またはIZO(indium zinc oxide)を含むことを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記第1基板は、  
前記抵抗部の外郭に位置し前記ゲートパッドと前記ファンアウト部を含むゲート外郭部  
を横切る静電バーと、  
前記ゲート外郭部および前記静電バーと電氣的に接続されている静電ダイオードと、  
をさらに含むことを特徴とする請求項1または2に記載の液晶表示装置。

10

【請求項4】

前記第1基板は、  
前記表示領域内に位置し前記ゲート線と平行して延長されている保持電極線と、  
前記表示領域の外側に位置し前記ゲート外郭部を横切り、前記保持電極線に共通電圧を  
供給する共通電圧線と、をさらに含み、  
前記静電バーは前記共通電圧線を含むことを特徴とする請求項3に記載の液晶表示装置

20

【請求項5】

前記静電ダイオードは、  
前記ゲート外郭部を制御端および入力端とし前記静電バーを出力端とする第1静電ダイ  
オードと、  
前記ゲート外郭部を出力端とし前記静電バーを制御端および入力端とする第2静電ダイ  
オードと、  
を含むことを特徴とする請求項3または4に記載の液晶表示装置。

【請求項6】

前記ファン・アウト部上に形成されており、前記第1基板と前記第2基板とを結合させ  
るシーラントをさらに含むことを特徴とする請求項1から5のいずれかに記載の液晶表示  
装置。

30

【請求項7】

前記抵抗部の少なくとも一部はジグザグに形成されていることを特徴とする請求項1か  
ら6のいずれかに記載の液晶表示装置。

【請求項8】

前記液晶層はVA(vertical alignment)モードであることを特徴  
とする請求項1から7のいずれかに記載の液晶表示装置。

【請求項9】

画素電極は画素電極切開パターンが形成されており、  
前記第2基板は共通電極切開パターンが形成されている共通電極を含むことを特徴とす  
る請求項8に記載の液晶表示装置。

40

【請求項10】

前記画素電極は互いに分離されている第1画素電極および第2画素電極を含み、前記第  
1画素電極と前記第2画素電極には互いに異なる画素電圧が印加されることを特徴とする  
請求項9に記載の液晶表示装置。

【請求項11】

前記薄膜トランジスタはドレイン電極を含み、  
前記ドレイン電極は、前記第1画素電極に直接にデータ電圧を印加する第1ドレイン電  
極と、前記第2画素電極と結合容量を形成する第2画素電極とを含むことを特徴とする請

50

求項 10 に記載の液晶表示装置。

【請求項 12】

前記薄膜トランジスタは、前記第 1 画素電極に接続されている第 1 薄膜トランジスタと、前記第 2 画素電極に接続されている第 2 薄膜トランジスタとを含むことを特徴とする請求項 11 に記載の液晶表示装置。

【請求項 13】

表示領域を有する第 1 基板と、前記第 1 基板と対面する第 2 基板と、前記第 1 基板と前記第 2 基板の間に位置する液晶層とを含む液晶表示装置において、

前記第 1 基板は、

前記表示領域内に位置するゲート線と、

前記表示領域の外部に位置して前記ゲート線と同一の物質で同一層に形成されるゲートパッドと、

前記ゲート線と前記ゲートパッドを電氣的に接続し、非表示領域に前記ゲート線より抵抗の高い物質で前記ゲート線および前記ゲートパッドと異なる層に形成される抵抗部とを含み、

前記ゲートパッドと前記抵抗部との間に位置して前記ゲート線および前記ゲートパッドと同一の物質で同一層に形成されるファン - アウト部をさらに含み、

前記抵抗部は、前記ゲート線から第 1 の所定距離を離れた接触孔を通じて前記ファン - アウト部と接続される第 1 部分、前記第 1 の所定距離より短い第 2 の所定距離を離れた接触孔を通じて前記ゲート線と接続される第 2 部分、および、前記第 1 部分と前記第 2 部分の間に位置する第 3 部分を含み、

前記抵抗部の総抵抗は前記ゲート線の総抵抗の 10% ~ 50% であり、

前記抵抗部による前記ゲート線のゲート信号のゲート遅延変化は 100% 内で行われ、

前記抵抗部の第 3 部分の長さは、接続する前記ゲート線と前記ゲートパッドとの距離差による前記表示領域における画素の輝度の不均一が減少するように、前記ゲート線と前記ゲートパッドとの距離に反比例させて形成され、

前記ゲート線に接続されている薄膜トランジスタと、

前記薄膜トランジスタに電氣的に接続されており前記抵抗部と同一の材質で同一層に形成されている画素電極とを含み、

前記液晶層は VA モードであることを特徴とする液晶表示装置。

【請求項 14】

表示領域と非表示領域を有する絶縁基板と、

前記表示領域内に位置するゲート線と、

前記表示領域の外部に位置して前記ゲート線と同一の物質で同一層に形成されるゲートパッドと、

前記ゲート線と前記ゲートパッドを電氣的に接続し、非表示領域に前記ゲート線より抵抗の高い物質で前記ゲート線および前記ゲートパッドと異なる層に形成される抵抗部とを含み、

前記ゲートパッドと前記抵抗部との間に位置して前記ゲート線および前記ゲートパッドと同一の物質で同一層に形成されるファン - アウト部をさらに含み、

前記抵抗部は、前記ゲート線から第 1 の所定距離を離れた接触孔を通じて前記ファン - アウト部と接続される第 1 部分、前記第 1 の所定距離より短い第 2 の所定距離を離れた接触孔を通じて前記ゲート線と接続される第 2 部分、および、前記第 1 部分と前記第 2 部分の間に位置する第 3 部分を含み、

前記抵抗部の総抵抗は前記ゲート線の総抵抗の 10% ~ 50% であり、

前記抵抗部による前記ゲート線のゲート信号のゲート遅延変化は 100% 内で行われ、

前記抵抗部の第 3 部分の長さは、接続する前記ゲート線と前記ゲートパッドとの距離差による前記表示領域における画素の輝度の不均一が減少するように、前記ゲート線と前記ゲートパッドとの距離に反比例させて形成され、

前記ゲート線に接続されている薄膜トランジスタと、

前記薄膜トランジスタに電氣的に接続されており前記抵抗部と同一の材質で同一層に形成されている画素電極とを含むことを特徴とする薄膜トランジスタアレイ基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係わり、より詳しくは、ゲート信号遅延差を減少させて輝度の均一性を向上させた液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、薄膜トランジスタが形成されている第1基板と、第1基板に対向して配置されている第2基板と、これらの間に位置する液晶層とを含む。

10

【0003】

薄膜トランジスタ基板に設けられたゲート線とデータ線は互いに交差しながら画素を形成し、各画素は薄膜トランジスタに接続されている。ゲート線にゲート信号（ゲートオン電圧  $V_{on}$ ）が印加されて、薄膜トランジスタがターンオンされると、データ線を通じて印加されたデータ電圧  $V_d$  が画素に充電される。

【0004】

画素に充電された画素電圧  $V_p$  と第2基板の共通電極に形成された共通電圧  $V_{com}$  との間に形成された電界によって液晶層の配列状態が決定される。データ電圧  $V_d$  はフレーム別に極性を異にして印加される。

20

【0005】

画素に印加されたデータ電圧  $V_d$  はゲート電極とソース電極（ドレイン電極）との間の寄生容量  $C_p$  によって降下されて画素電圧  $V_p$  を形成する。データ電圧  $V_d$  と画素電圧  $V_p$  との間の電圧差をキックバック電圧  $V_{kb}$  という。

【0006】

ゲート線は端部に接続されているゲートパッドを通じてゲート信号の印加を受ける。ゲートパッドに隣接した画素には遅延の少ないゲート信号が印加され、ゲートパッドから遠い画素にはゲート線の抵抗によって多く遅延されたゲート信号が印加される。

【0007】

しかし、ゲート信号の遅延程度によってキックバック電圧の大きさが変わり、キックバック電圧の変化によって画素電圧が変わって、画面の輝度が不均一になるという問題が発生する。

30

【発明の開示】

【発明が解決しようとする課題】

【0008】

従って、本発明の目的はゲート信号遅延差による輝度の不均一が緩和された液晶表示装置を提供することにある。

【課題を解決するための手段】

【0009】

前記本発明の目的は、表示領域を有する第1基板と、前記第1基板と対面する第2基板と、前記第1基板と前記第2基板の間に位置する液晶層とを含む液晶表示装置において、前記第1基板は、前記表示領域内に位置するゲート線と、前記表示領域の外部に位置するゲートパッドと、前記ゲート線と前記ゲートパッドとを電氣的に接続し、非表示領域に前記ゲート線より抵抗の高い物質で形成される抵抗部とを含み、前記ゲートパッドと前記抵抗部との間に位置するファンアウト部をさらに含み、前記抵抗部は、前記ファンアウト部と接続される第1部分、前記ゲート線と接続される第2部分、および、前記第1部分と前記第2部分の間に位置する第3部分を含み、前記抵抗部の長さは接続する前記ゲート線と前記ゲートパッドとの距離に反比例するように形成されていることを特徴とする液晶表示装置によって達成される。

40

【0010】

50

前記第1基板は、前記ゲート線に接続されている薄膜トランジスタと、前記薄膜トランジスタに電氣的に接続されている画素電極とをさらに含むのが好ましい。

【0011】

前記抵抗部は前記画素電極と同一の材質で形成されているのが好ましい。

【0012】

前記抵抗部はITO(indium tin oxide)またはIZO(indium zinc oxide)を含むのが好ましい。

【0015】

前記ゲート線、前記ゲートパッドおよび前記ファン・アウト部は同一層で形成されているのが好ましい。

10

【0016】

前記第1基板は、前記抵抗部の外郭に位置し前記ゲートパッドと前記ゲートファンアウト部を含むゲート外郭部を横切る静電バーと、前記ゲート外郭部および前記静電バーと電氣的に接続されている静電ダイオードとをさらに含むのが好ましい。

【0017】

前記第1基板は、前記表示領域内に位置し前記ゲート線と平行して延長されている保持電極線と、前記表示領域の外部に位置し前記ゲート外郭部を横切り、前記保持電極線に共通電圧を供給する共通電圧線とをさらに含み、前記静電バーは前記共通電圧線を含むのが好ましい。

【0018】

20

前記静電ダイオードは、前記ゲート外郭部を制御端および入力端とし前記静電バーを出力端とする第1静電ダイオードと、前記ゲート外郭部を出力端とし前記静電バーを制御端および入力端とする第2静電ダイオードとを含むのが好ましい。

【0019】

前記ファン・アウト部上に形成されており、前記第1基板と前記第2基板とを結合させるシーラントをさらに含むのが好ましい。

【0021】

前記ゲートパッド、前記ファン・アウト部および前記抵抗部は同一層で形成されているのが好ましい。

【0022】

30

前記抵抗部の少なくとも一部はジグザグに形成されているのが好ましい。

【0023】

前記液晶層はVA(vertical alignment)モードであるのが好ましい。

【0024】

画素電極は画素電極切開パターンが形成されており、前記第2基板は共通電極切開パターンが形成されている共通電極を含むのが好ましい。

【0025】

前記画素電極は互いに分離されている第1画素電極および第2画素電極を含み、前記第1画素電極と前記第2画素電極には互いに異なる画素電圧が印加されるのが好ましい。

40

【0026】

前記薄膜トランジスタはドレイン電極を含み、前記ドレイン電極は、前記第1画素電極に直接にデータ電圧を印加する第1ドレイン電極と、前記第2画素電極と結合容量を形成する第2画素電極とを含むのが好ましい。

【0027】

前記薄膜トランジスタは、前記第1画素電極に接続されている第1薄膜トランジスタと、前記第2画素電極に接続されている第2薄膜トランジスタとを含むのが好ましい。

【0028】

前記抵抗部の総抵抗は前記ゲート線の総抵抗の10%~50%であるのが好ましい。

【0029】

50

前記ゲート線のゲート信号遅延の変化は１００％内で行われるのが好ましい。

【００３０】

前記本発明の目的は、表示領域を有する第１基板と、前記第１基板と対面する第２基板と、前記第１基板と前記第２基板の間に位置する液晶層とを含む液晶表示装置において、前記第１基板は、前記表示領域内に位置するゲート線と、前記表示領域の外部に位置するゲートパッドと、前記ゲート線と前記ゲートパッドを電氣的に接続し、非表示領域に前記ゲート線より抵抗の高い物質で形成される抵抗部とを含み、前記ゲートパッドと前記抵抗部との間に位置するファン・アウト部をさらに含み、前記抵抗部は、前記ファン・アウト部と接続される第１部分、前記ゲート線と接続される第２部分、および、前記第１部分と前記第２部分の間に位置する第３部分を含み、前記抵抗部の長さは接続する前記ゲート線と前記ゲートパッドとの距離に反比例するように形成され、前記ゲート線に接続されている薄膜トランジスタと、前記薄膜トランジスタに電氣的に接続されており前記抵抗部と同一の材質で形成されている画素電極とを含み、前記液晶層はＶＡモードであることを特徴とする液晶表示装置によっても達成される。

10

【００３１】

また、本発明の目的は、表示領域と非表示領域を有する絶縁基板、前記表示領域内に位置するゲート線と、前記表示領域の外部に位置するゲートパッドと、前記ゲート線と前記ゲートパッドを電氣的に接続し、非表示領域に前記ゲート線より抵抗の高い物質で形成される抵抗部とを含み、前記ゲートパッドと前記抵抗部との間に位置するファン・アウト部をさらに含み、前記抵抗部は、前記ファン・アウト部と接続される第１部分、前記ゲート線と接続される第２部分、および、前記第１部分と前記第２部分の間に位置する第３部分を含み、前記抵抗部の長さは接続する前記ゲート線と前記ゲートパッドとの距離に反比例するように形成され、前記ゲート線に接続されている薄膜トランジスタと、前記薄膜トランジスタに電氣的に接続されており前記抵抗部と同一の材質で形成されている画素電極とを含むことを特徴とする薄膜トランジスタアレイ基板によって達成される。

20

【発明の効果】

【００３２】

本発明によれば、ゲート信号遅延差による輝度の不均一が緩和された液晶表示装置が提供される。

【発明を実施するための最良の形態】

30

【００３３】

以下、添付された図面を参照して本発明をさらに詳しく説明する。以下で、ある膜（層）が他の膜（層）の‘上部’に形成されて（位置して）いるということは、２つの膜（層）が接している場合だけでなく、２つの膜（層）の間に他の膜（層）が存在する場合も含む。

【００３４】

図１乃至図３を参照して本発明による液晶表示装置を説明する。

【００３５】

液晶表示装置１は、薄膜トランジスタＴが形成されている第１基板１００、第１基板１００と対向する第２基板２００、両基板１００、２００の間に位置する液晶層３００、および両基板１００、２００を接合させるシーラント４００を含む。

40

【００３６】

第１基板１００は表示領域と、表示領域を囲む非表示領域とに分かれる。表示領域のゲート線１２１は非表示領域のファン・アウト部１２３を通じてゲートパッド１２４と接続される。

【００３７】

まず、第１基板１００について説明する。

【００３８】

第１絶縁基板１１１の上にゲート配線が形成されている。ゲート配線は金属単一層または多重層であり得る。ゲート配線は表示領域内に位置し横手方向にのびているゲート線１

50

2 1、ゲート線 1 2 1 で接続されているゲート電極 1 2 2、ゲート線 1 2 1 から非表示領域に延長されているファン - アウト部 1 2 3、およびファン - アウト部 1 2 3 の端部に接続されているゲートパッド 1 2 4、そしてゲート線 1 2 1 と平行して延長されている保持電極線 1 2 5 を含む。

【 0 0 3 9 】

ゲートパッド 1 2 4 はゲート駆動部（図示せず）に接続されて、ゲート信号の印加を受ける。ゲートパッド 1 2 4 はゲート線 1 2 1 に比べて幅が広く形成されている。

【 0 0 4 0 】

第 1 絶縁基板 1 1 1 の上にはシリコン窒化物（ $\text{SiN}_x$ ）などで形成されるゲート絶縁膜 1 3 1 がゲート配線を覆っている。

10

【 0 0 4 1 】

ゲート電極 1 2 2 のゲート絶縁膜 1 3 1 の上部には非晶質シリコンなどの半導体からなる半導体層 1 3 2 が形成されており、半導体層 1 3 2 の上部にはシリサイドまたは n 型不純物が高濃度にドーピングされている n + 水素化非晶質シリコンなどの物質で形成された抵抗接触層 1 3 3 が形成されている。ソース電極 1 4 2 とドレイン電極 1 4 3 の間のチャンネル部では抵抗接触層 1 3 3 が除去されている。

【 0 0 4 2 】

抵抗接触層 1 3 3 およびゲート絶縁膜 1 3 1 の上にはデータ配線が形成されている。データ配線も金属層からなる単一層または多重層であり得る。データ配線は図示縦手方向に形成されゲート線 1 2 1 と交差して画素を形成するデータ線 1 4 1、データ線 1 4 1 の分枝であり抵抗接触層 1 3 3 の上部まで延長されているソース電極 1 4 2、ソース電極 1 4 2 と分離されておりソース電極 1 4 2 の反対側の抵抗接触層 1 3 3 の上部に形成されているドレイン電極 1 4 3、データ線 1 4 1 から非表示領域に延長されたファン - アウト部 1 4 4、およびファン - アウト部 1 4 4 の端部に接続されているデータパッド 1 4 5 を含む。

20

【 0 0 4 3 】

データパッド 1 4 5 はデータ駆動部（図示せず）に接続されて、データ駆動信号の印加を受ける。データパッド 1 4 5 はデータ線 1 4 1 に比べて幅が広く形成されている。

【 0 0 4 4 】

データ配線およびこれらが覆っていない半導体層 1 3 2 の上部には保護膜 1 5 1 が形成されている。保護膜 1 5 1 にはドレイン電極 1 4 3 を露出させる接触孔 1 5 2 が形成されている。図 7 および図 8 を見れば、保護膜 1 5 1 には接触孔 1 5 3、1 5 4、1 5 5 がさらに形成されており、この部分にはゲート絶縁膜 1 3 1 も共に除去されている。

30

【 0 0 4 5 】

保護膜 1 5 1 の上部には画素電極 1 6 1 が形成されている。画素電極 1 6 1 は通常ITO（ $\text{indium tin oxide}$ ）またはIZO（ $\text{indium zinc oxide}$ ）などの透明な導電物質で形成される。画素電極 1 6 1 は接触孔 1 5 2 を通じてドレイン電極 1 4 3 と接続されている。画素電極 1 6 1 には画素電極切開パターン 1 6 6 が形成されている。

【 0 0 4 6 】

40

画素電極 1 6 1 の画素電極切開パターン 1 6 6 は後述の共通電極切開パターン 2 5 2 と共に液晶層 3 0 0 を多数の領域に分割する。

【 0 0 4 7 】

次いで、第 2 基板 2 0 0 について説明する。

【 0 0 4 8 】

第 2 絶縁基板 2 1 1 の上にブラックマトリックス 2 2 1 が形成されている。ブラックマトリックス 2 2 1 は一般に赤色、緑色および青色フィルターの間を区分し、第 1 基板 1 0 0 に位置する薄膜トランジスタへの直接的な光照射を遮断する役割を果たす。ブラックマトリックス 2 2 1 は通常、黒色顔料が添加された感光性有機物質で形成されている。前記黒色顔料としてはカーボンブラックやチタニウムオキシドなどを使用する。

50

## 【 0 0 4 9 】

カラーフィルター 2 3 1 はブラックマトリックス 2 2 1 を境界にして、赤色、緑色および青色フィルターが繰り返されて形成される。カラーフィルター 2 3 1 はバックライトユニット（図示せず）から照射されて液晶層 3 0 0 を通過した光に色を付与する役割を果たす。カラーフィルター 2 3 1 は通常、感光性有機物質で形成されている。

## 【 0 0 5 0 】

カラーフィルター 2 3 1 とカラーフィルター 2 3 1 が覆っていないブラックマトリックス 2 2 1 の上部にはオーバーコート層 2 4 1 が形成されている。オーバーコート層 2 4 1 はカラーフィルター 2 3 1 を平坦化し、カラーフィルター 2 3 1 を保護する役割を果たす。オーバーコート層 2 4 1 は感光性アクリル系樹脂であり得る。

10

## 【 0 0 5 1 】

オーバーコート層 2 4 1 の上部には共通電極 2 5 1 が形成されている。共通電極 2 5 1 はITO (indium tin oxide) またはIZO (indium zinc oxide) などの透明な導電物質で形成される。共通電極 2 5 1 は薄膜トランジスタ基板の画素電極 1 6 1 と共に液晶層 3 0 0 に直接に電圧を印加する。

## 【 0 0 5 2 】

共通電極 2 5 1 には共通電極切開パターン 2 5 2 が形成されている。共通電極切開パターン 2 5 2 は画素電極 1 6 1 の画素電極切開パターン 1 6 6 と共に液晶層 3 0 0 を多数の領域に分ける役割を果たす。

## 【 0 0 5 3 】

画素電極切開パターン 1 6 6 と共通電極切開パターン 2 5 2 は実施形態に限定されず多様な形状に形成されることができる。他の実施形態では切開パターン 1 6 6、2 5 2 の代わりに突起部が形成されて液晶層 3 0 0 を多数の領域に分けることができる。

20

## 【 0 0 5 4 】

第 1 基板 1 0 0 と第 2 基板 2 0 0 の間には液晶層 3 0 0 が位置する。液晶層 3 0 0 はVA (vertically aligned) モードであって、液晶分子は電圧が加えられていない状態では長手方向が垂直をなしている。電圧が加えられると液晶分子は誘電率異方性が陰であるため電場に対して垂直方向に配向する。

## 【 0 0 5 5 】

しかし、切開パターン 1 6 6、2 5 2 が形成されていなければ、液晶分子は配向する方位角が決定されず多様な方向に無秩序に配列するようになり、配向方向の異なる境界面で回位線 (disclination line) が発生する。切開パターン 1 6 6、2 5 2 は液晶層 3 0 0 に電圧がかかる時、フリンジフィールドを形成して液晶配向の方位角を決定する。また、液晶層 3 0 0 は切開パターン 1 6 6、2 5 2 の配置によって多重領域に分けられる。

30

## 【 0 0 5 6 】

第 1 実施形態による液晶表示装置 1 はノーマリブラック (normally black) モードであって、画素電圧による透過率は図 4 の通りである。図 4 の C 部分に示した低階調での透過率変化はTN (twisted nematic) 液晶と比較して約 3 倍程度急激である。

40

## 【 0 0 5 7 】

以上で説明した液晶表示装置 1 において、ゲート線 1 2 1 は端部に接続されているゲートパッド 1 2 4 を通じてゲート信号の印加を受ける。ゲート線 1 2 1 の抵抗によってゲートパッド 1 2 4 に隣接した薄膜トランジスタ T、つまり、左側の薄膜トランジスタ T には遅延の少ないゲート信号が印加される。反面、ゲートパッド 1 2 3 から遠い薄膜トランジスタ T、つまり、右側の薄膜トランジスタ T には多く遅延されたゲート信号が印加される。

## 【 0 0 5 8 】

ゲート信号遅延の差による画面輝度の変化を図 5 乃至図 6 c を参照して説明する。

## 【 0 0 5 9 】

50



キックバック電圧  $V_{kb}$  は次のように式 1 で表現される。

【0060】

$$V_{kb} = (V_{on} - V_{off}) * C_p / (C_{lc} + C_{st} + C_p) \quad \text{[式 1]}$$

ここで、図 3 および図 5 のように、 $C_p$  はゲート電極とソース電極の間の寄生容量  $C_{gs}$  + ゲート電極とドレイン電極の間の寄生容量  $C_{gd}$ 、 $C_{lc}$  は液晶容量、 $C_{st}$  は保存容量、 $V_{on}$  はゲートオン電圧、 $V_{off}$  はゲートオフ電圧を示す。

【0061】

ゲート信号の遅延が大きいとゲートオン電圧の印加が不良になってキックバック電圧は小さくなり、ポジティブ画素電圧が印加される時よりネガティブ画素電圧が印加される時にキックバック電圧はさらに大きくなる。

10

【0062】

図 6 A および図 6 B はそれぞれゲート信号の遅延の小さい表示領域左側の画素とゲート信号の遅延の大きい表示領域右側の画素を対象にキックバック電圧を示したものである。

【0063】

図 6 A に示す左側画素の場合、ポジティブ画素電圧印加時のキックバック電圧は 1 V であり、ネガティブ画素電圧印加時のキックバック電圧は 1.2 V である。図 8 B に示す右側画素の場合、ポジティブ画素電圧印加時とネガティブ画素電圧印加時ともキックバック電圧は 0.8 V である。

【0064】

20

したがって、左側画素の場合が最終的に画素に残るようになる平均 (root mean square) 画素電圧がさらに大きくなり、画面は左側画素に該当する部分がさらに明るく認識される。

【0065】

図 6 C を見れば、ゲートパッド 124 に近く行くほどゲート信号遅延が小さくキックバック電圧  $V_{kb}$  は大きくなる。反面、ゲートパッド 124 から遠くなるほどゲート信号遅延は大きくなりキックバック電圧  $V_{kb}$  は小さくなる。したがって、左側画素が右側画素に比べて平均 (root mean square) 画素電圧がさらに大きくなって明るくなる。

【0066】

30

以上のように画面左右の輝度が異なるようになり、これによって横線が認識される問題が発生する。このような問題はゲート線 121 の長さが長くゲート信号遅延が大きく発生する大型液晶表示装置でさらに深刻になる。

【0067】

本発明の第 1 実施形態ではこのようにゲート遅延差による問題をゲート線 121 とゲートパッド 124 の間に抵抗部 163 を形成させることによって解決する。

【0068】

図 7 乃至図 9 を参照して抵抗部 163 について説明する。

【0069】

抵抗部 163 は非表示領域でファン - アウト部 123 とゲート線 121 の間に位置する。抵抗部 163 は画素電極 161 と同一層で形成されており、ファン - アウト部 123 と接続される第 1 部分 163 a、ゲート線 121 と接続される第 2 部分 163 b、および第 1 部分 163 a と第 2 部分 163 b の間に位置する第 3 部分 163 c を含む。

40

【0070】

第 1 部分 163 a は接触孔 154 を通じてファン - アウト部 123 と接触し、第 2 部分 163 b は接触孔 155 を通じてゲート線 121 と接触する。

【0071】

接触孔 153 によって露出されたゲートパッド 124 は画素電極 161 (図 2 参照) と同一層で形成された接触部材 162 が覆っている。

【0072】

50

抵抗部 163 は ITO、IZO などで形成され、これら物質はゲート線 121 をなす金属物質に比べて抵抗が大きい。抵抗の大きい抵抗部 163 によってゲート信号は表示領域に入る前に図 9 のように既に遅延が発生する。

【0073】

したがって、ゲート信号の遅延の変化幅とキックバック電圧  $V_{kb}$  の変化幅が減少する。また、表示領域左右での輝度差も減少する。

【0074】

ゲート線 121 の総抵抗は通常 4000 ~ 7000 であり、抵抗部 163 の総抵抗はゲート線 121 の総抵抗の 10% ~ 50% であり得る。抵抗部 163 の抵抗値は抵抗部 163 の厚さ、幅および長さを調節して変化させることができる。

10

【0075】

抵抗部 163 の抵抗値はゲート遅延変化が 100% 内で変化するように、つまり、表示領域最右側画素のゲート遅延値が表示領域最左側画素のゲート遅延値の 2 倍以内になるように決められるのが好ましい。

【0076】

一方、ゲート線 121 とゲートパッド 124 の距離は多様であるが、これによってゲート線 121 とゲートパッド 124 の間の抵抗が変わって、輝度が変わるという問題がある。

【0077】

抵抗部 163 の第 3 部分 163c の長さは該当するゲート線 121 とゲートパッド 124 の距離に反比例するように形成されている。これによって、ゲート線 121 とゲートパッド 124 の距離差による輝度の不均一が減少する。

20

【0078】

シーラント 400 はファン - アウト部 123 の上に位置し、抵抗部 163 はシーラント 400 内に位置する。抵抗部 163 が外部に露出されていないため、抵抗部 163 が腐食されるという問題は発生しない。

【0079】

製造過程では外部から流入する静電気が薄膜トランジスタ Tなどを損傷する問題が発生する。第 1 実施形態によればゲートパッド 124 を通じて流入した静電気は抵抗の大きい抵抗部 163 である程度消滅して、静電気による問題が減少する。

30

【0080】

他の実施形態で抵抗部 163 は画素電極 161 とは別途に、ゲート線 121 より抵抗の高い他の物質で形成することができる。他の実施形態で、抵抗部 163 の形態は全て同一であり、ゲート線 121 とゲートパッド 124 の間の距離差はファン - アウト部 123 など他の部分の形態を変更して解決することができる。

【0081】

以下、輝度の不均一を調節するためにゲート信号遅延を調節した理由について説明する。

【0082】

図 10 は表示領域でのゲート信号遅延値による輝度の偏差率を示している。輝度の偏差率は (表示領域左側の輝度 - 表示領域中央部分の輝度) / 表示領域中央部分の輝度 \* 100 であって、数値が大きいと輝度差が大きいことを示す。

40

【0083】

図 10 を見れば、ゲート信号遅延値が約 43% 増加 (2.55  $\mu$ s から 3.67  $\mu$ s) する場合、輝度の偏差率は約 64% 増加 (30.6% から 50.3%) する。

【0084】

図 11 はキックバック電圧に比例する  $C_p / (C_{lc} + C_{st} + C_p)$  による輝度の偏差率を示している。図 11 を見れば、 $C_p / (C_{lc} + C_{st} + C_p)$  が 24% 増加 (0.037 から 0.046) する場合、輝度の偏差率は約 26.4% (35.6% から 45%) 増加することがわかる。

50

## 【 0 0 8 5 】

以上、図 1 0 および図 1 1 から輝度の不均一を改善するためにはゲート信号遅延値を調節することが効果的であることが確認できる。

## 【 0 0 8 6 】

ゲート信号遅延と画素電圧は非表示領域での抵抗、つまり、ゲートパッドからゲート線までの抵抗によって変化する。これを図 1 2 および図 1 3 を参照して説明する。

## 【 0 0 8 7 】

図 1 2 および図 1 3 で非表示領域での抵抗は  $1/6k$ 、 $1/3k$ 、 $1/2k$ 、 $2/3k$  の 4 種類の値を有する。 $0k$  で表示されたデータは抵抗部が存在せず、ゲート線とゲートパッドが一体に形成された場合である。

10

## 【 0 0 8 8 】

図 1 2 を見れば、非表示領域の抵抗が大きくなるほど、ゲート信号遅延値は全体的に大きくなることが分かる。一方、非表示領域抵抗が大きくなるほど、右側ゲート信号遅延値 / 左側ゲート信号遅延値が減少する。

## 【 0 0 8 9 】

つまり、 $0k$  の場合、右側ゲート信号遅延値 / 左側ゲート信号遅延値は  $6.53 (4.18 / 0.64)$  である反面、 $2/3k$  の場合、右側ゲート信号遅延値 / 左側ゲート信号遅延値は  $1.77 (8.12 / 4.57)$  である。

## 【 0 0 9 0 】

図 1 3 を見れば、非表示領域抵抗が大きくなるほど、画素電圧は全体的に小さくなることが分かる。一方、抵抗部の抵抗が大きくなるほど、左側画素電圧 / 右側画素電圧が減少する。つまり、 $0k$  の場合、左側画素電圧 / 右側画素電圧は  $1.028 (3.3 / 3.21)$  である反面、 $2/3k$  の場合、左側画素電圧 / 右側画素電圧は  $1.012 (3.19 / 3.15)$  である。

20

## 【 0 0 9 1 】

図 1 2 と図 1 3 から、非表示領域抵抗を増加させると、ゲート信号遅延と画素電圧の左側表示領域と右側表示領域での差を減少させることができることが分かる。ただし、非表示領域抵抗が大きくなればゲート信号の伝達が難しくなるので、非表示領域抵抗はゲート本線 1 2 1 の総抵抗などを勘案して決定されなければならない。

## 【 0 0 9 2 】

以下、図 1 4 および図 1 5 を参照して第 2 実施形態について説明する。図 1 4 は図 1 の B 部分に該当する回路図である。

30

## 【 0 0 9 3 】

一方、図 1 4 を見れば、抵抗部 1 6 3 の外郭にはゲート外郭部と共通電圧線 1 4 6 に電氣的に接続されている静電ダイオード 1 7 0 が形成されている。製造過程でゲートパッド 1 2 4 を通じて静電気が流入すれば抵抗の大きい抵抗部 1 6 3 が破損して断線が発生する恐れがある。静電ダイオード 1 7 0 は流入される静電気を分散させて抵抗部 1 6 3 の破損を防止する。ここでゲート外郭部はゲート本線 1 2 1 に接続されているゲート配線中の抵抗部 1 6 3 の外郭に位置する部分であってゲートパッド 1 2 4 とファン - アウト部 1 2 3 を含む。

40

## 【 0 0 9 4 】

静電ダイオード 1 7 0 は薄膜トランジスタの形態を有し、第 1 静電ダイオード 1 7 1 と第 2 静電ダイオード 1 7 2 を含む。第 1 静電ダイオード 1 7 1 はゲート外郭部から共通電圧線 1 4 6 にのみ電流が流れるように形成されており、第 2 静電ダイオード 1 7 2 は共通電圧線 1 4 6 からゲート外郭部にのみ電流が流れるように形成されている。

## 【 0 0 9 5 】

静電ダイオード 1 7 0 の機能を見れば、外部から流入した静電気は第 1 静電ダイオード 1 7 1 を通じて共通電圧線 1 4 6 に流れ、共通電圧線 1 4 6 に流入した静電気は再び第 2 静電ダイオード 1 7 2 を通じてゲート外郭部に流れる。この過程を繰り返しながら静電気は分散されて抵抗部 1 6 3 の破損が防止される。

50

## 【 0 0 9 6 】

図 1 5 を参照して静電ダイオード 1 7 0 の構成を詳しく説明する。静電ダイオード 1 7 0 において共通電圧線 1 4 6 は静電バーの役割を果たす。

## 【 0 0 9 7 】

第 1 ダイオード 1 7 1 では、制御端 1 7 1 1 と入力端 1 7 1 2 はゲート外郭部に接続されており、出力端 1 7 1 3 は共通電圧線 1 4 6 に接続されている。ブリッジ 1 7 1 4 は入力端 1 7 1 2 とゲート外郭部を接続する。ゲート外郭部に静電気が入力されると、ゲート外郭部に接続された制御端 1 7 1 1 がオンされ、静電気は出力端 1 7 1 3 に接続された共通電圧線 1 4 6 に流れる。

## 【 0 0 9 8 】

第 2 ダイオード 1 7 2 では、制御端 1 7 2 1 と入力端 1 7 2 2 は共通電圧線 1 4 6 に接続されており、出力端 1 7 2 3 はゲート外郭部に接続されている。ブリッジ 1 7 2 4 は共通電圧線 1 4 6 と制御端 1 7 2 1 を接続し、ブリッジ 1 7 2 5 は出力端 1 7 2 3 とゲート外郭部を接続する。ゲート外郭部に静電気が入力されると、ゲート外郭部にブリッジ 1 7 2 4 を通じて接続された制御端 1 7 2 1 がオンされ、静電気は出力端 1 7 2 3 に接続されたブリッジ 1 7 2 5 を通じて再びゲート外郭部に流れる。

## 【 0 0 9 9 】

他の実施形態で静電ダイオード 1 7 0 は第 2 静電ダイオード 1 7 2 を設けずに、第 1 静電ダイオード 1 7 1 のみからなることができる。この場合、ゲート外郭部を通じて入力された静電気は共通電圧線 1 4 6 に分散される。

## 【 0 1 0 0 】

以下、図 1 6 および図 1 7 を参照して第 3 実施形態について説明する。

## 【 0 1 0 1 】

第 3 実施形態によればゲートパッド 1 6 4 とファン - アウト部 1 6 5 は抵抗部 1 6 3 と一体に形成されており、ITO または IZO で形成される。抵抗部 1 6 3 はゲート本線 1 2 1 と接触孔 1 5 6 を通じて接続される。第 3 実施形態ではゲートパッド 1 6 4 とファン - アウト部 1 6 5 も第 1 実施形態の抵抗部 1 6 3 と同様な役割を果たす。

## 【 0 1 0 2 】

第 1 実施形態と同様に抵抗部 1 6 3 は該当するゲート本線 1 2 1 とゲートパッド 1 6 4 の距離に反比例するように形成されている。これによって、ゲート本線 1 2 1 とゲートパッド 1 6 4 の距離差による輝度の不均一が減少する。

## 【 0 1 0 3 】

他の実施形態では抵抗部 1 6 3 は設けずに、ファン - アウト部 1 6 5 のみを ITO または IZO で形成してゲート信号を遅延させることができる。

## 【 0 1 0 4 】

図 1 8 乃至図 2 0 を参照して第 4 実施形態を説明する。

## 【 0 1 0 5 】

図 1 8 を見れば、薄膜トランジスタ T に 2 つの液晶容量  $C_{LC1}$ 、 $C_{LC2}$  が接続されている。第 1 液晶容量  $C_{LC1}$  は第 1 画素電極 P E 1 と共通電極 C E の間に形成され、第 1 画素電極 P E 1 は薄膜トランジスタ T に直接に接続されている。第 2 液晶容量  $C_{LC2}$  は第 2 画素電極 P E 2 と共通電極 C E の間に形成され、第 2 画素電極 P E 2 は結合容量  $C_{CP}$  を経て間接的に薄膜トランジスタ T と接続されている。

## 【 0 1 0 6 】

ここで、第 1 画素電極 P E 1 と第 2 画素電極 P E 2 は互いに分離されている。

## 【 0 1 0 7 】

第 4 実施形態によれば視認性が向上する。これを、図 1 9 を参照して説明する。

## 【 0 1 0 8 】

第 1 画素電極 P E 1 には薄膜トランジスタ T を通じてデータ信号が正常に印加される。反面、第 2 画素電極 P E 2 は薄膜トランジスタ T から直接的にデータ信号を受けず、第 2 画素電極 P E 2 と薄膜トランジスタ T の間の絶縁膜に結合容量  $C_{CP}$  によって信号の印加

10

20

30

40

50

を受ける。したがって、第2画素電極PE2には第1画素電極PE1に比べて弱い信号が印加されて、第1画素電極PE1に該当する画素領域の輝度と第2画素電極PE2に該当する画素領域の輝度が異なるようになる。第2画素電極PE2に印加される電圧は第1画素電極PE1に印加される電圧の50%~90%である。

【0109】

このように一つの画素内にガンマカーブの異なる複数の領域が存在する。これによって、正面と側面の輝度およびカラーが互いに補償されて、側面視認性が向上する。

【0110】

図20を見れば、画素電極161は画素電極分離パターン167によって互いに分離された第1画素電極161aと第2画素電極161bを含む。第2画素電極161bは梯形であり、3面が第1画素電極161aで囲まれている。第1画素電極161aと第2画素電極161bには各々画素電極分離パターン167と並んだ画素電極切開パターン166が形成されている。

10

【0111】

ドレイン電極143は、第1画素電極161aと接続されて第1画素電極161aに直接に電気信号を印加する第1ドレイン電極143aと、第2画素電極161bの下部に延長されている第2ドレイン電極143bとを含む。第2ドレイン電極143bは第2画素電極161bと共に結合容量Ccpを形成する。

【0112】

画素電極分離パターン167と画素電極切開パターン166は共通電極切開パターン252と共に液晶層300を多数の領域に分割する。

20

【0113】

一方、保持電極線125は画素電極161の周縁に沿って形成されており、上下部の保持電極線125は接触孔157とブリッジ電極168を通じて互いに接続されている。

【0114】

図21を参照して本発明の第5実施形態を説明する。

【0115】

画素電極161は全体的に四角形状であり、データ線141の延長方向に長く形成されている。画素電極161は上下に対称形状を有している。

【0116】

30

画素電極161は画素電極分離パターン167によって互いに分離されている第1画素電極161aと第2画素電極161bを含む。第1画素電極161aは画素の中央部に位置し山カッコ形状をなしている。第2画素電極161bは第1画素電極161aの内部、上部、下部を囲んでいる。第2画素電極161bは第1画素電極161aに比べて広く形成されている。

【0117】

薄膜トランジスタTは、第1画素電極161aに接続されている第1薄膜トランジスタTFT1と、第2画素電極161bに接続されている第2薄膜トランジスタTFT2を含む。

【0118】

40

各薄膜トランジスタTFT1、TFT2のドレイン電極143(図20参照)は画素電極161と重なって保存容量Cstを形成する役割を果たし、保存容量はドレイン電極143と画素電極161の重畳面積に比例する。

【0119】

第5実施形態では独立した薄膜トランジスタTFT1、TFT2を利用して各画素電極161a、161bに互いに異なる画素電圧を印加することができる。第4実施形態での視認性改善原理は第3実施形態と同一であり、反復説明になるので省略する。

【0120】

以上で説明した第4実施形態と第5実施形態において非表示領域の構成は第1実施形態乃至第3実施形態のうちのいずれか一つによる。

50

## 【 0 1 2 1 】

一方、第 4 実施形態と第 5 実施形態では画素電極 1 6 1 が分けられていて、液晶容量  $C_{lc}$  と保存容量  $C_{st}$  が小さい。これによって、キックバック電圧  $V_{kb}$  が大きくなって（式 1 参照）輝度差がさらに問題になる。したがって、第 4 実施形態と第 5 実施形態の場合には抵抗部を利用したゲート信号遅延の均一化がさらに必要である。

## 【 0 1 2 2 】

本発明のいくつかの実施形態が図示されて説明されたが、本発明の属する技術分野における通常の知識を有する当業者であれば、本発明の原則や精神から外れずに本実施形態を変形できることが分かる。本発明の範囲は添付された請求項とその均等物によって決められる。

## 【産業上の利用可能性】

## 【 0 1 2 3 】

本発明は液晶表示装置の画質向上に利用することができる。

## 【図面の簡単な説明】

## 【 0 1 2 4 】

【図 1】本発明の第 1 実施形態による液晶表示装置における第 1 基板の配置図である。

【図 2】図 1 の A 部分の拡大図である。

【図 3】図 2 の III - III 線による断面図である。

【図 4】本発明の第 1 実施形態による液晶表示装置での画素電圧による透過率を示した図面である。

【図 5】本発明の第 1 実施形態による液晶表示装置における画素の等価回路図である。

【図 6 A】ゲート信号遅延による輝度の不均一を説明するための図面である。

【図 6 B】ゲート信号遅延による輝度の不均一を説明するための図面である。

【図 6 C】ゲート信号遅延による輝度の不均一を説明するための図面である。

【図 7】図 1 の B 部分の拡大図である。

【図 8】図 7 の VIII - VIII 線による断面図である。

【図 9】本発明の第 1 実施形態による液晶表示装置での輝度の不均一の改善を説明するための図面である。

【図 1 0】ゲート信号遅延と輝度との関係を示した図面である。

【図 1 1】寄生容量と輝度との変化を示した図面である。

【図 1 2】抵抗部の抵抗値によるゲート信号遅延を示した図面である。

【図 1 3】抵抗部の抵抗値による画素電圧を示した図面である。

【図 1 4】本発明の第 2 実施形態による液晶表示装置の要部回路図である。

【図 1 5】図 1 4 の C 部分の配置図である。

【図 1 6】本発明の第 3 実施形態による液晶表示装置を説明するための図面である。

【図 1 7】図 1 6 の XVII - XVII 線による断面図である。

【図 1 8】本発明の第 4 実施形態による液晶表示装置における画素の等価回路図である。

【図 1 9】本発明の第 4 実施形態による液晶表示装置の配置図である。

【図 2 0】本発明の第 4 実施形態による液晶表示装置での視認性改善原理を示した図面である。

【図 2 1】本発明の第 5 実施形態による液晶表示装置の配置図である。

## 【符号の説明】

## 【 0 1 2 5 】

- 1 2 1      ゲート線、
- 1 2 2      ゲート電極、
- 1 2 3      ファン - アウト部、
- 1 2 4      ゲートパッド、
- 1 3 1      ゲート絶縁膜、
- 1 5 1      保護膜、
- 1 6 1      画素電極、

10

20

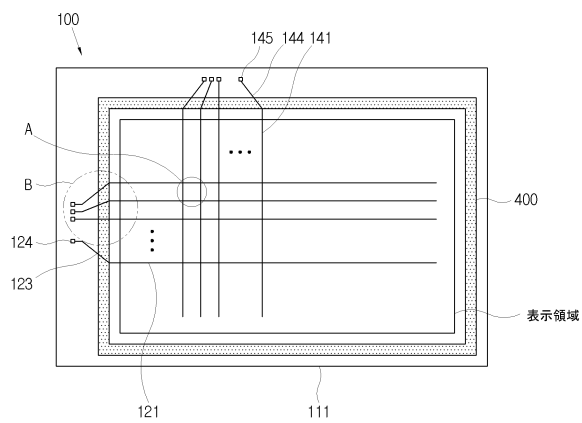
30

40

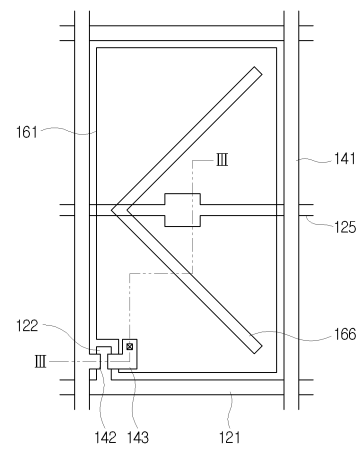
50

- 1 6 6 画素電極切開パターン、  
 1 6 3 抵抗部、  
 2 0 0 第 2 基板、  
 2 5 1 共通電極、  
 2 5 2 共通電極切開パターン、  
 3 0 0 シーラント。

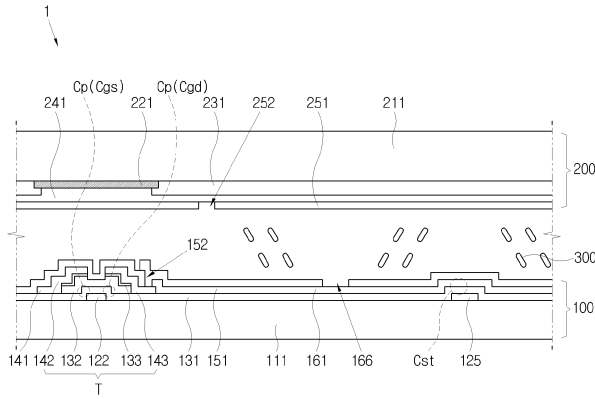
【図 1】



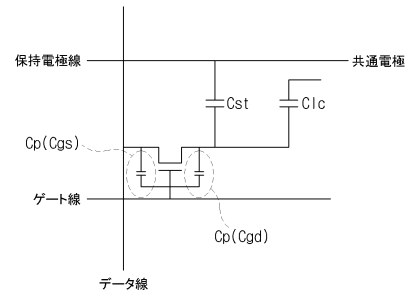
【図 2】



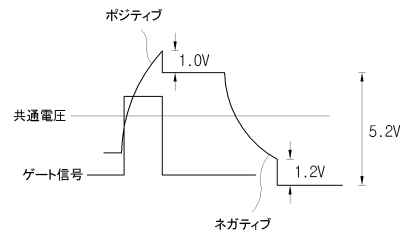
【図 3】



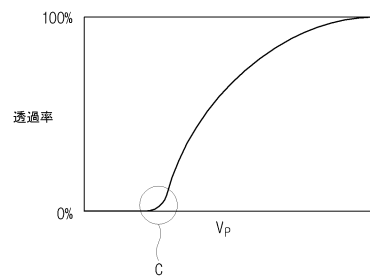
【図 5】



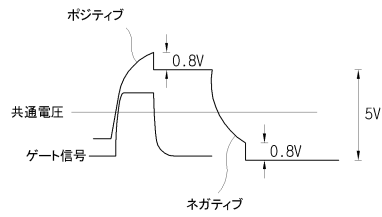
【図 6 A】



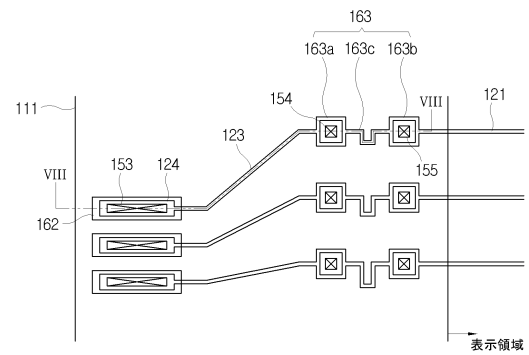
【図 4】



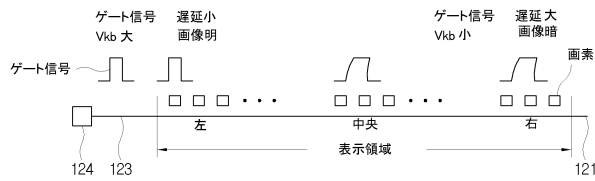
【図 6 B】



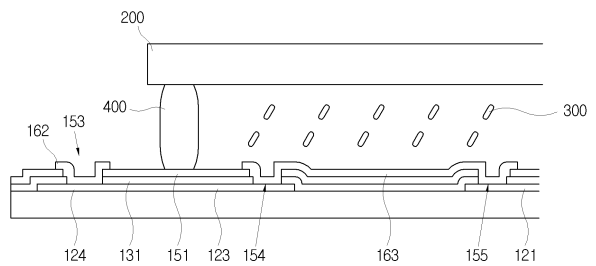
【図 7】



【図 6 C】

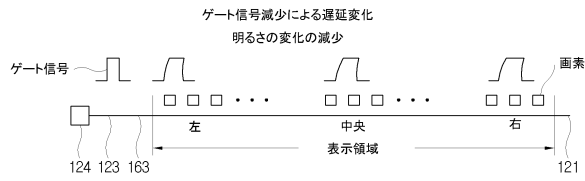


【図 8】

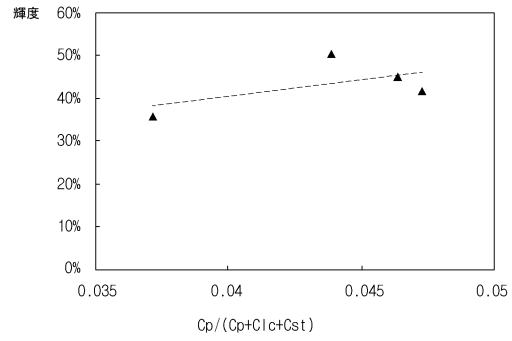




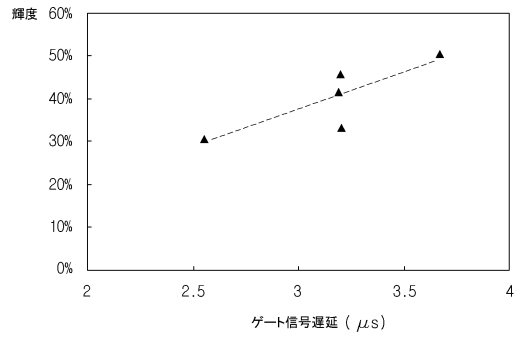
【図 9】



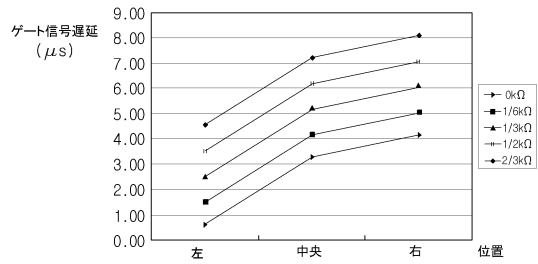
【図 11】



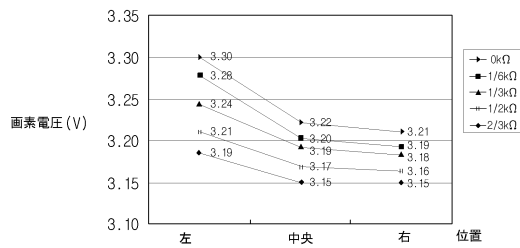
【図 10】



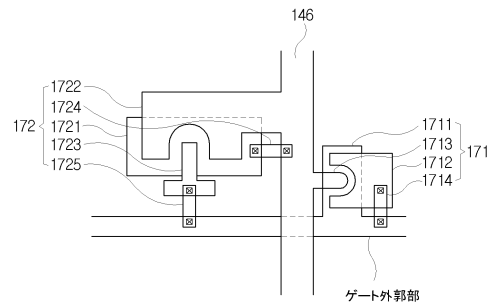
【図 12】



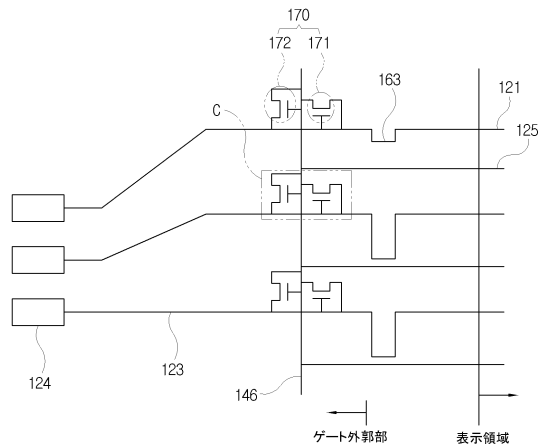
【図 13】



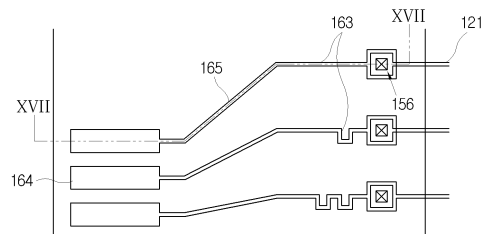
【図 15】



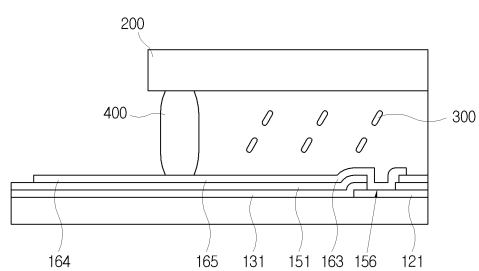
【図 14】



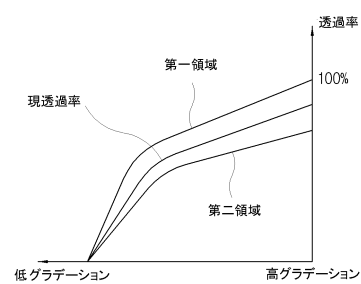
【図 16】



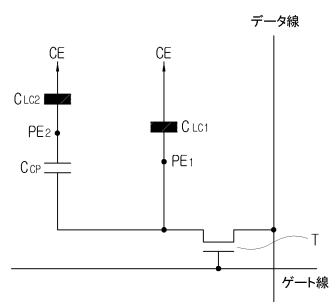
【圖 17】



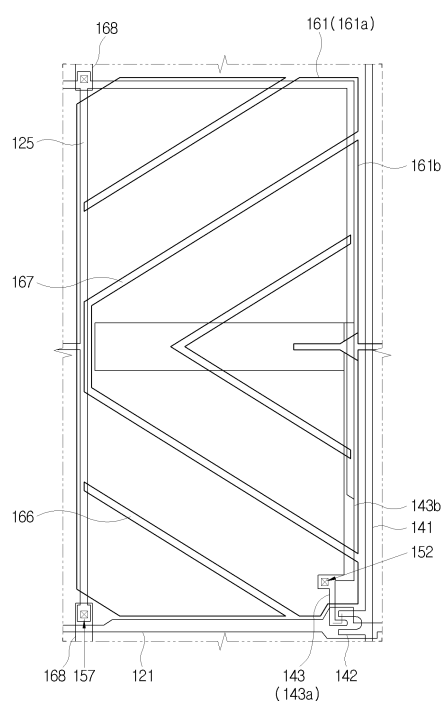
【 図 1 9 】



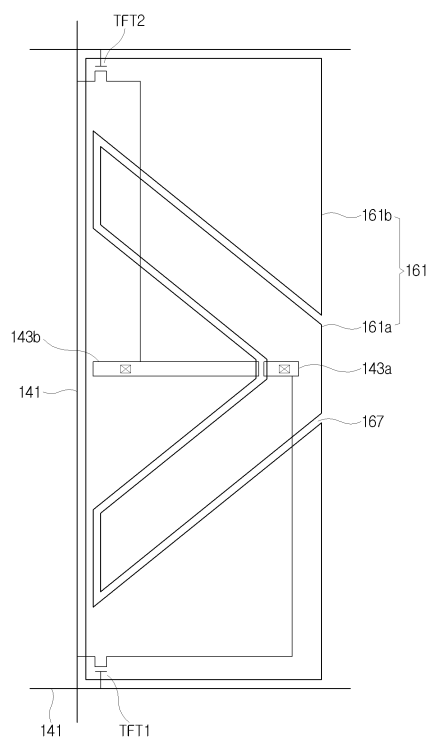
【 圖 1 8 】



【 図 2 0 】



【 図 2 1 】



---

フロントページの続き

(72)発明者 羅 柄 善

大韓民国京畿道華城市東灘面盤松里 三扶リナISSانسアパート205棟1304号

合議体

審判長 黒瀬 雅一

審判官 畑井 順一

審判官 江成 克己

- (56)参考文献 特開平04-313733(JP,A)  
特開平07-253596(JP,A)  
特開2002-006773(JP,A)  
特開平03-058019(JP,A)  
特開2005-321796(JP,A)  
特開2005-010737(JP,A)  
特開平08-179360(JP,A)  
特開平11-218782(JP,A)  
特開2006-221174(JP,A)  
特開平07-218896(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343,1/1345,1/1368