

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5207748号
(P5207748)

(45) 発行日 平成25年6月12日(2013.6.12)

(24) 登録日 平成25年3月1日(2013.3.1)

(51) Int.Cl.

F I

G O 1 R 29/02 (2006.01)

G O 1 R 29/02 J

G O 1 R 31/319 (2006.01)

G O 1 R 31/28 R

請求項の数 9 (全 15 頁)

(21) 出願番号 特願2008-15389 (P2008-15389)
 (22) 出願日 平成20年1月25日(2008.1.25)
 (65) 公開番号 特開2009-175052 (P2009-175052A)
 (43) 公開日 平成21年8月6日(2009.8.6)
 審査請求日 平成22年12月1日(2010.12.1)

(73) 特許権者 390005175
 株式会社アドバンテスト
 東京都練馬区旭町1丁目32番1号
 (74) 代理人 100104156
 弁理士 龍華 明裕
 (72) 発明者 宮崎 将司
 東京都練馬区旭町1丁目32番1号 株式
 会社アドバンテスト内
 (72) 発明者 伊藤 洋
 東京都練馬区旭町1丁目32番1号 株式
 会社アドバンテスト内
 審査官 越川 康弘

最終頁に続く

(54) 【発明の名称】 測定装置、測定方法および試験装置

(57) 【特許請求の範囲】

【請求項 1】

被測定信号の第1変化タイミングを検出する第1タイミング検出部と、
 前記被測定信号の第2変化タイミングを検出する第2タイミング検出部と、
 前記第1タイミング検出部が検出した前記第1変化タイミングを表すデータおよび前記
 第2タイミング検出部が検出した前記第2変化タイミングを表すデータをバッファリング
 するバッファ部と、

前記バッファ部から前記第1変化タイミングを表すデータおよび前記第2変化タイミン
 グを表すデータを取り出して、前記第1変化タイミングおよび前記第2変化タイミン
 グの時間差を算出する算出部と、

を備え、

前記バッファ部は、

前記第1タイミング検出部が検出した前記第1変化タイミングを表すデータを順次に格
 納して、格納したデータを入力順に出力する第1FIFO部と、

前記第2タイミング検出部が検出した前記第2変化タイミングを表すデータを順次に格
 納して、格納したデータを入力順に出力する第2FIFO部と、

を有し、

前記第2FIFO部の先頭に格納されている前記第2変化タイミングを表すデータが、
 前記第1FIFO部の先頭に格納されている前記第1変化タイミングを表すデータより前
 のものであった場合に、前記第2FIFO部から先頭の1つの前記第2変化タイミン

10

20

表すデータを取り除くエッジ調整部を更に備え、

前記算出部は、前記第 1 F I F O 部および前記第 2 F I F O 部から、前記第 1 変化タイミングを表すデータおよび当該第 1 変化タイミングより後の前記第 2 変化タイミングを表すデータを取り出して、前記第 2 変化タイミングから前記第 1 変化タイミングを減じて前記時間差を算出する

測定装置。

【請求項 2】

前記第 1 タイミング検出部および前記第 2 タイミング検出部のそれぞれは、前記第 1 変化タイミングおよび前記第 2 変化タイミングのそれぞれとして、前記被測定信号がしきい値より小さい値からしきい値より大きい値へと変化する立上りエッジ、または、前記被測定信号がしきい値より大きな値からしきい値より小さい値へと変化する立下りエッジのタイミングを検出する請求項 1 に記載の測定装置。

10

【請求項 3】

前記第 1 タイミング検出部および前記第 2 タイミング検出部に対し、前記第 1 変化タイミングおよび前記第 2 変化タイミングのそれぞれとして、前記立上りエッジ、または、前記立下りエッジのタイミングのいずれを検出するかを指定するエッジ指定部を更に備える請求項 2 に記載の測定装置。

【請求項 4】

前記被測定信号のパルス幅を測定する場合において、前記エッジ指定部は、前記第 1 タイミング検出部および前記第 2 タイミング検出部に対し、前記第 1 変化タイミングとして立上りエッジまたは立下りエッジの一方のタイミングを検出し、前記第 2 変化タイミングとして立上りエッジまたは立下りエッジの他方のタイミングを検出することを指定する請求項 3 に記載の測定装置。

20

【請求項 5】

前記第 1 タイミング検出部および前記第 2 タイミング検出部に共に第 1 の前記被測定信号を供給するか、前記第 1 タイミング検出部に第 1 の前記被測定信号を供給し、前記第 2 タイミング検出部に第 2 の前記被測定信号を供給するかを切り替える切替部を更に備え、

前記第 1 の被測定信号および前記第 2 の被測定信号の位相差を測定する場合において、前記切替部は、前記第 1 タイミング検出部に前記第 1 の被測定信号を供給し、前記第 2 タイミング検出部に前記第 2 の被測定信号を供給し、

30

前記第 1 タイミング検出部は、前記第 1 の被測定信号の変化タイミングを前記第 1 変化タイミングとして検出し、

前記第 2 タイミング検出部は、前記第 2 の被測定信号の変化タイミングを前記第 2 変化タイミングとして検出し、

前記算出部は、前記第 1 変化タイミングおよび前記第 2 変化タイミングの時間差を算出する

請求項 3 に記載の測定装置。

【請求項 6】

前記算出部が順次算出する複数の前記時間差を累積的に加算して前記複数の時間差の合計を算出する累算部と、

40

前記累算部が算出した前記複数の時間差の合計を前記時間差の数で割ることにより平均時間差を算出する平均部と、

を更に備える請求項 1 から 5 のいずれか 1 項に記載の測定装置。

【請求項 7】

前記第 1 タイミング検出部および前記第 2 タイミング検出部のそれぞれは、

前記被測定信号を互いに異なる遅延時間遅延させた複数の遅延信号を生成する遅延部と、

、

前記複数の遅延信号のそれぞれを、基準クロックの第 1 位相で取り込む第 1 取込部と、

前記複数の遅延信号のそれぞれを、前記基準クロックの前記第 1 位相と異なる第 2 位相で取り込む第 2 取込部と、

50

前記第 1 取込部が取り込んだ前記複数の遅延信号および前記第 2 取込部が取り込んだ前記複数の遅延信号のそれぞれの値に基づいて、前記被測定信号の変化点を検出する変化点検出部と、

を有する請求項 1 から 6 のいずれか 1 項に記載の測定装置。

【請求項 8】

被測定信号の第 1 変化タイミングを検出し、

前記被測定信号の第 2 変化タイミングを検出し、

前記第 1 変化タイミングを表すデータおよび前記第 2 変化タイミングを表すデータをバッファ部にバッファリングさせ、

前記バッファ部から前記第 1 変化タイミングを表すデータおよび前記第 2 変化タイミングを表すデータを取り出して、前記第 1 変化タイミングおよび前記第 2 変化タイミングの時間差を算出して、

前記バッファ部は、

検出された前記第 1 変化タイミングを表すデータを順次に格納して、格納したデータを入力順に出力する第 1 F I F O 部と、

検出された前記第 2 変化タイミングを表すデータを順次に格納して、格納したデータを入力順に出力する第 2 F I F O 部と、

を有し、

前記第 2 F I F O 部の先頭に格納されている前記第 2 変化タイミングを表すデータが、前記第 1 F I F O 部の先頭に格納されている前記第 1 変化タイミングを表すデータより前のものであった場合に、前記第 2 F I F O 部から先頭の 1 つの前記第 2 変化タイミングを表すデータを取り除かせ、

前記時間差の算出では、前記第 1 F I F O 部および前記第 2 F I F O 部から、前記第 1 変化タイミングを表すデータおよび当該第 1 変化タイミングより後の前記第 2 変化タイミングを表すデータを取り出して、前記第 2 変化タイミングから前記第 1 変化タイミングを減じて前記時間差を算出する

測定方法。

【請求項 9】

被試験デバイスを試験する試験装置であって、

前記被試験デバイスを試験するための試験信号を前記被試験デバイスへ供給する試験信号供給部と、

前記被試験デバイスが前記試験信号に応じて出力する応答信号のタイミングを測定する測定装置と、

を備え、

前記測定装置は、

前記応答信号の第 1 変化タイミングを検出する第 1 タイミング検出部と、

前記応答信号の第 2 変化タイミングを検出する第 2 タイミング検出部と、

前記第 1 タイミング検出部が検出した前記第 1 変化タイミングを表すデータを順次に格納してバッファリングし、格納したデータを入力順に出力する第 1 F I F O 部と、

前記第 2 タイミング検出部が検出した前記第 2 変化タイミングを表すデータを順次に格納してバッファリングし、格納したデータを入力順に出力する第 2 F I F O 部と、

前記第 1 F I F O 部および前記第 2 F I F O 部から前記第 1 変化タイミングおよび前記第 2 変化タイミングを取り出して、前記第 1 変化タイミングおよび前記第 2 変化タイミングの時間差を算出する算出部と、

前記第 2 F I F O 部の先頭に格納されている前記第 2 変化タイミングを表すデータが、前記第 1 F I F O 部の先頭に格納されている前記第 1 変化タイミングを表すデータより前のものであった場合に、前記第 2 F I F O 部から先頭の 1 つの前記第 2 変化タイミングを表すデータを取り除くエッジ調整部と、

を有し、

前記算出部は、前記第 1 F I F O 部および前記第 2 F I F O 部から、前記第 1 変化タイ

ミングを表すデータおよび当該第 1 変化タイミングより後の前記第 2 変化タイミングを表すデータを取り出して、前記第 2 変化タイミングから前記第 1 変化タイミングを減じて前記時間差を算出する

試験装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、測定装置、測定方法および試験装置に関する。特に本発明は、被測定信号の変化点（エッジ）間の時間を測定する測定装置、測定方法および試験装置に関する。

【背景技術】

10

【0002】

特許文献 1 には、パルスのエッジのタイミングを測定する時間測定回路が記載されている。この時間測定回路は、クロックをカウントするカウンタと、カウンタの値をラッチするラッチと、クロックに同期した三角波信号を発生する三角波発生回路と、A / D コンバータと、加算器とを備える。

【0003】

ラッチは、被測定パルスのエッジにおいて、カウンタの値を取り込む。A / D コンバータは、被測定パルスのエッジにおいて、三角波信号のレベルをサンプルする。加算器は、ラッチに取り込まれたカウント値と A / D コンバータの出力データと加算して被測定パルスのエッジのタイミングとして出力する。このような時間測定回路によれば、測定パルスのエッジのタイミングを、クロックの 1 周期未満の精度で測定することができる。

20

【0004】

【特許文献 1】特開平 6 - 9 4 8 5 3 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、数 n 秒程度の短いパルス幅を測定する場合、時間測定回路は、高速な A / D コンバータを備え、短時間の間に連続してサンプル動作しなければならない。しかしながら、高速な A / D コンバータは、比較的精度が悪く、コストが高かった。

【0006】

30

そこで本発明は、上記の課題を解決することのできる測定装置、測定方法および試験装置を提供することを目的とする。この目的は特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明の第 1 の形態においては、被測定信号の第 1 変化タイミングを検出する第 1 タイミング検出部と、被測定信号の第 2 変化タイミングを検出する第 2 タイミング検出部と、第 1 タイミング検出部が検出した第 1 変化タイミングを表すデータおよび第 2 タイミング検出部が検出した第 2 変化タイミングを表すデータをバッファリングするバッファ部と、バッファ部から第 1 変化タイミングを表すデータおよび第 2 変化タイミングを表すデータを取り出して、第 1 変化タイミングおよび第 2 変化タイミングの時間差を算出する算出部と、を備える測定装置を提供する。

40

【0008】

本発明の第 2 の形態においては、被測定信号の第 1 変化タイミングを検出し、被測定信号の第 2 変化タイミングを検出し、第 1 変化タイミングを表すデータおよび第 2 変化タイミングを表すデータをバッファ部にバッファリングさせ、バッファ部から第 1 変化タイミングを表すデータおよび第 2 変化タイミングを表すデータを取り出して、第 1 変化タイミングおよび第 2 変化タイミングの時間差を算出する測定方法を提供する。

【0009】

本発明の第 3 の形態においては、被試験デバイスを試験する試験装置であって、被試験

50

デバイスを試験するための試験信号を被試験デバイスへ供給する試験信号供給部と、被試験デバイスが試験信号に応じて出力する応答信号のタイミングを測定する測定装置と、を備え、測定装置は、応答信号の第1変化タイミングを検出する第1タイミング検出部と、応答信号の第2変化タイミングを検出する第2タイミング検出部と、第1タイミング検出部が検出した第1変化タイミングをバッファリングする第1FIFO部と、第2タイミング検出部が検出した第2変化タイミングをバッファリングする第2FIFO部と、第1FIFO部および第2FIFO部から第1変化タイミングおよび第2変化タイミングを取り出して、第1変化タイミングおよび第2変化タイミングの時間差を算出する算出部と、を有する試験装置を提供する。

【0010】

10

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【発明を実施するための最良の形態】

【0011】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0012】

図1は、本実施形態に係る試験装置10の構成を被試験デバイス200とともに示す。試験装置10は、半導体デバイス等の被試験デバイス200を試験する。

20

【0013】

試験装置10は、試験信号供給部12と、測定装置16と、判定部18とを備える。試験信号供給部12は、被試験デバイス200を試験するための試験信号を被試験デバイス200へ供給する。

【0014】

測定装置16は、被試験デバイス200が試験信号に応じて出力する応答信号を、被測定信号として受ける。そして、測定装置16は、被測定信号の第1変化タイミングおよび第2変化タイミングの時間差を測定する。測定装置16は、一例として、被測定信号の立上りエッジから立下りエッジまでの時間差（被測定信号のH論理の期間のパルス幅）、または、被測定信号の立下りエッジから立上りエッジまでの時間差（被測定信号のL論理の期間のパルス幅）を測定してよい。これに加えて、測定装置16は、一例として、被測定信号の周期（又は周波数）、基準時刻から被測定信号の立上りエッジまでの時間、および、基準時刻から被測定信号の立下りエッジまでの時間を測定してもよい。

30

【0015】

判定部18は、測定装置16の測定結果を受けて、被試験デバイス200の良否を判定する。そして、判定部18は、判定結果を例えば外部の制御装置等へ出力する。

【0016】

図2は、本実施形態に係る測定装置16の構成を示す。測定装置16は、第1比較部22と、第2比較部24と、第1タイミング検出部28と、第2タイミング検出部30と、バッファ部32と、測定部34と、エッジ指定部36と、エッジ調整部38とを備える。

40

【0017】

第1比較部22および第2比較部24は、被測定信号がしきい値 V_{TH} より大きいかなんかを検出する。第1比較部22は、一例として、被測定信号がしきい値 V_{TH} より大きい場合にはH論理、被測定信号がしきい値 V_{TH} 以下の場合にはL論理となる比較信号を出力してよい。これにより、第1比較部22および第2比較部24は、被測定信号がしきい値 V_{TH} より小さい値からしきい値 V_{TH} より大きい値へと変化する立上りエッジ、および、被測定信号がしきい値 V_{TH} より大きな値からしきい値 V_{TH} より小さい値へと変化する立下りエッジを表わす比較信号を出力できる。なお、第1比較部22および第2比較部24は、与えられるしきい値 V_{TH} が互いに異なる値であってよい。

【0018】

50

第1 タイミング検出部28は、被測定信号の第1方向への変化タイミングである第1変化タイミングを検出する。すなわち、第1 タイミング検出部28は、第1変化タイミングとして、被測定信号がしきい値 V_{TH} より小さい値からしきい値 V_{TH} より大きい値へと変化する立上りエッジ、または、被測定信号がしきい値より大きな値からしきい値より小さい値へと変化する立下りエッジのタイミングを検出する。

【0019】

本例においては、第1 タイミング検出部28は、第1比較部22から与えられた比較信号のエッジ（例えば立上りエッジまたは立下りエッジ）を、被測定信号の第1変化タイミングとして検出する。そして、第1 タイミング検出部28は、被測定信号の第1変化タイミングを順次に検出して、第1変化タイミングを表わすデータを順次に出力する。

10

【0020】

第2 タイミング検出部30は、被測定信号の第1方向とは異なる第2の方向への変化タイミングである第2変化タイミングを検出する。すなわち、第2 タイミング検出部30は、第1 タイミング検出部28が被測定信号の立上りエッジを検出する場合であれば、第2変化タイミングとして、被測定信号の立下りエッジを検出する。また、第2 タイミング検出部30は、第1 タイミング検出部28が被測定信号の立下りエッジを検出する場合であれば、第2変化タイミングとして、被測定信号の立上りエッジを検出する。

【0021】

本例においては、第2 タイミング検出部30は、第2比較部24から与えられた比較信号の第1タイミング検出部28により検出されるエッジとは逆のエッジ（例えば立下りエッジまたは立上りエッジ）を、被測定信号の第2変化タイミングとして検出する。そして、第2 タイミング検出部30は、被測定信号の第2変化タイミングを順次に検出して、第2変化タイミングを表わすデータを順次に出力する。

20

【0022】

バッファ部32は、第1 タイミング検出部28が検出した第1変化タイミングを表すデータおよび第2 タイミング検出部30が検出した第2変化タイミングを表すデータをバッファリングする。バッファ部32は、一例として、第1FIFO部42と、第2FIFO部44とを有してよい。

【0023】

第1FIFO部42は、第1 タイミング検出部28が検出した第1変化タイミングを表すデータを順次に格納して、格納したデータを入力順に出力する。第2FIFO部44は、第2 タイミング検出部30が検出した第2変化タイミングを表すデータを順次に格納して、格納したデータを入力順に出力する。

30

【0024】

測定部34は、バッファ部32から第1変化タイミングを表すデータおよび第2変化タイミングを表すデータを取り出して、被測定信号の各パルスのパルス幅を順次に測定する。これに加えて、測定部34は、被測定信号の周期（又は周波数）、基準時刻から被測定信号の立上りエッジまでの時間、および、基準時刻から被測定信号の立下りエッジまでの時間を測定する。さらに、測定部34は、被測定信号のパルス幅、周期（または周波数）、立上りエッジまでの時間および立下りエッジまでの時間の平均を測定する。

40

【0025】

エッジ指定部36は、外部から指定されたモードに応じて、第1 タイミング検出部28および第2 タイミング検出部30に対し、第1変化タイミングおよび第2変化タイミングのそれぞれとして、立上りエッジ、または、立下りエッジのタイミングのいずれを検出するかを指定する。例えば、被測定信号のパルス幅を測定する場合において、エッジ指定部36は、第1 タイミング検出部28および第2 タイミング検出部30に対し、第1変化タイミングとして立上りエッジまたは立下りエッジの一方のタイミングを検出し、第2変化タイミングとして立上りエッジまたは立下りエッジの他方のタイミングを検出することを指定する。

【0026】

50

エッジ調整部 38 は、第 2 F I F O 部 44 の先頭に格納されている第 2 変化タイミングを表すデータが、第 1 F I F O 部 42 の先頭に格納されている第 1 変化タイミングを表すデータより前のものであった場合に、第 2 F I F O 部 44 から先頭の 1 つの第 2 変化タイミングを表すデータを取り除く。これにより、測定部 34 は、第 2 F I F O 部 44 の先頭に格納されているデータから第 1 F I F O 部 42 の先頭に格納されているデータを減算することにより、第 1 変化タイミングから、当該第 1 変化タイミングの後の第 2 変化タイミングまでの時間差を算出することができる。

【 0 0 2 7 】

図 3 は、本実施形態に係る測定部 34 の構成を示す。図 4 は、被測定信号の一例、第 1 F I F O 部 42 および第 2 F I F O 部 44 に格納されたタイミングおよび算出部 46 による演算例を示す。測定部 34 は、算出部 46 と、周期測定部 48 と、立上り時間測定部 50 と、立下り時間測定部 52 と、累算部 54 と、平均部 56 とを有する。

10

【 0 0 2 8 】

算出部 46 は、バッファ部 32 から第 1 変化タイミングを表すデータおよび第 2 変化タイミングを表すデータを取り出して、第 1 変化タイミングおよび第 2 変化タイミングの時間差を算出する。より詳しくは、算出部 46 は、図 4 に示されるように、第 1 F I F O 部 42 の先頭に格納されている第 1 変化タイミングを表すデータおよび第 2 F I F O 部 44 の先頭に格納されている第 2 変化タイミングを表すデータを順次に取り出して、第 2 F I F O 部 44 の先頭に格納されているデータにより表わされる値から第 1 F I F O 部 42 の先頭に格納されているデータにより表わされる値を順次に減算する。

20

【 0 0 2 9 】

これにより、第 1 タイミング検出部 28 が立上りエッジを検出し且つ第 2 タイミング検出部 30 が立下りエッジを検出する場合であれば、算出部 46 は、被測定信号の立上りエッジから立下りエッジまでのパルス幅（すなわち、被測定信号の H 論理の期間）を順次に算出することができる。また、第 1 タイミング検出部 28 が立下りエッジを検出し且つ第 2 タイミング検出部 30 が立上りエッジを検出する場合であれば、算出部 46 は、被測定信号の立下りエッジから立上りエッジまでのパルス幅（被測定信号の L 論理の期間）を順次に算出することができる。

【 0 0 3 0 】

周期測定部 48 は、第 1 変化タイミングを表わすデータまたは第 2 変化タイミングを表わすデータのうちの一方をバッファ部 32 から順次に取り出して、被測定信号の周期を算出する。周期測定部 48 は、一例として、第 1 F I F O 部 42 から第 1 変化タイミングを表すデータを順次に取り出して、連続する 2 つの第 1 変化タイミングの時間差を順次に算出する。周期測定部 48 は、周期に代えてまたは周期に加えて、被測定信号の周波数を算出してもよい。

30

【 0 0 3 1 】

立上り時間測定部 50 は、第 1 変化タイミングを表わすデータまたは第 2 変化タイミングを表わすデータのうちの立上りエッジを表わすデータをバッファ部 32 から取り出して、被測定信号の基準時刻から各立上りエッジまでの時間（立上り時間）を順次に算出する。立上り時間測定部 50 は、一例として、第 1 F I F O 部 42 から第 1 変化タイミングを表すデータを順次に取り出して、基準時刻と取り出した各データに表わされたタイミングとの時間差を算出してよい。

40

【 0 0 3 2 】

立下り時間測定部 52 は、第 1 変化タイミングを表わすデータまたは第 2 変化タイミングを表わすデータのうちの立下りエッジを表わすデータをバッファ部 32 から取り出して、被測定信号の基準時刻から各立下りエッジまでの時間（立下り時間）を順次に算出する。立下り時間測定部 52 は、一例として、第 2 F I F O 部 44 から第 2 変化タイミングを表すデータを順次に取り出して、基準時刻と取り出した各データに表わされたタイミングとの時間差を算出してよい。

【 0 0 3 3 】

50

累算部 5 4 は、算出部 4 6 が順次算出する複数の時間差を累積的に加算して複数の時間差の合計を算出する。累算部 5 4 は、一例として、算出部 4 6 により算出された予め定められた数のパルスのパルス幅の合計を算出してよい。平均部 5 6 は、累算部 5 4 が算出した複数の時間差の合計を時間差の数で割ることにより平均時間差を算出する。平均部 5 6 は、一例として、累算部 5 4 が算出したパルス幅の合計を、当該累算部 5 4 が合計した数で割ることで、平均のパルス幅を算出してよい。

【 0 0 3 4 】

さらに、累算部 5 4 は、周期測定部 4 8 が順次に算出する複数の周期（または周波数）、立上り時間測定部 5 0 が順次に算出する複数の立上り時間、または、立下り時間測定部 5 2 が順次に算出する複数の立下り時間の合計を算出してよい。そして、この場合、平均部 5 6 は、累算部 5 4 が算出した複数の周期（または周波数）の合計、複数の立上り時間の合計、または、複数の立下り時間の合計を、合計した数で割ることにより、平均周期（または平均周波数）、平均立上り時間、または、平均立下り時間を算出してよい。

【 0 0 3 5 】

そして、このような測定部 3 4 は、外部から指定されたモードに応じて、算出したパルス幅、周期（または周波数）、立上り時間および立下り時間、並びに、これらの平均の少なくとも一つを判定部 1 8 に与える。以上のような構成の測定装置 1 6 は、被測定信号の第 1 変化タイミングおよび第 2 変化タイミングのそれぞれを別個に測定するので、高速に動作する測定回路を用いずに、被測定信号のパルス幅を測定することができる。また、試験装置 1 0 は、第 1 変化タイミングおよび第 2 変化タイミングのそれぞれを表わすデータを第 1 F I F O 部 4 2 および第 2 F I F O 部 4 4 のそれぞれに格納した後に時間差を測定するので、第 1 変化タイミングと第 2 変化タイミングとの差が比較的に大きい場合であっても、容易にパルス幅を測定することができる。

【 0 0 3 6 】

図 5 は、本実施形態の変形例に係る測定装置 1 6 の構成を示す。本変形例に係る測定装置 1 6 は、図 2 に示された本実施形態に係る測定装置 1 6 と略同一の構成および機能を採用するので、図 2 に示された測定装置 1 6 が備える部材と略同一の構成および機能の部材に同一の符号を付け、以下相違点を除き説明を省略する。

【 0 0 3 7 】

本変形例に係る測定装置 1 6 は、第 1 チャンネル（例えば、被試験デバイス 2 0 0 の第 1 のピン）から与えられる第 1 の被測定信号のパルス幅を測定する第 1 チャンネル用の構成と、第 2 チャンネル（例えば、被試験デバイス 2 0 0 の第 2 のピン）から与えられる第 2 の被測定信号を測定する第 2 チャンネル用の構成とを備える。さらに、本変形例に係る測定装置 1 6 は、切替部 2 6 を備える。

【 0 0 3 8 】

切替部 2 6 は、第 1 タイミング検出部 2 8 および第 2 タイミング検出部 3 0 に共に第 1 の被測定信号を供給するか、または、第 1 タイミング検出部 2 8 に第 1 の被測定信号を供給し、第 2 タイミング検出部 3 0 に第 2 の被測定信号を供給するかを切り替える。より具体的には、第 1 の被測定信号のパルス幅を測定する場合、切替部 2 6 は、第 1 チャンネル用の第 1 比較部 2 2 - 1 および第 2 比較部 2 4 - 1 が出力した各比較信号を、第 1 タイミング検出部 2 8 および第 2 タイミング検出部 3 0 に与える。

【 0 0 3 9 】

また、第 1 の被測定信号および第 2 の被測定信号の時間差を測定する場合、切替部 2 6 は、第 1 チャンネル用の第 1 比較部 2 2 - 1 が出力した比較信号を第 1 タイミング検出部 2 8 に与え、且つ、第 2 チャンネル用の第 1 比較部 2 2 - 2 が出力した比較信号を第 2 タイミング検出部 3 0 に与える。これに代えて、切替部 2 6 は、第 1 チャンネル用の第 2 比較部 2 4 - 1 が出力した比較信号を第 1 タイミング検出部 2 8 に与え、且つ、第 2 チャンネル用の第 2 比較部 2 4 - 2 が出力した比較信号を第 2 タイミング検出部 3 0 に与えてもよい。そして、第 1 の被測定信号および第 2 の被測定信号の時間差を測定する場合、第 1 タイミング検出部 2 8 は、第 1 の被測定信号の変化タイミングを、第 1 の変化タイミングとして検

出する。第 2 タイミング検出部 30 は、第 2 の被測定信号の変化タイミングを、第 2 の変化タイミングとして検出する。

【0040】

第 1 の被測定信号および第 2 の被測定信号の位相差を測定する場合、測定部 34 内の算出部 46 は、バッファ部 32 から第 1 変化タイミングを表すデータおよび第 2 変化タイミングを表すデータを取り出して、第 1 変化タイミングおよび第 2 変化タイミングの時間差を算出する。このような本変形例に係る測定装置 16 によれば、第 1 の被測定信号と第 2 の被測定信号との位相差を、簡易に測定することができる。

【0041】

図 6 は、本実施形態に係る第 1 タイミング検出部 28 の構成の第 1 例を示す。なお、第 1 タイミング検出部 28 および第 2 タイミング検出部 30 は、同様の構成であるので、以下、第 2 タイミング検出部 30 の説明については省略する。

10

【0042】

第 1 タイミング検出部 28 は、基準クロック発生部 60 と、遅延部 62 と、第 1 取込部 64 と、第 2 取込部 66 と、カウント部 68 と、変化点検出部 70 とを備える。基準クロック発生部 60 は、基準クロックを発生する。基準クロック発生部 60 は、一例として、デューティ比が 50% の基準クロックを発生してよい。

【0043】

遅延部 62 は、与えられた比較信号（被測定信号の第 1 変化タイミングを表わすパルス信号）を互いに異なる遅延時間遅延させた複数の遅延信号を生成する。遅延部 62 は、一例として、互いに異なる遅延量に設定された複数の遅延素子 72 を有してよい。複数の遅延素子 72 のそれぞれは、比較信号を遅延させた遅延信号を出力する。本例においては、遅延部 62 は、第 1 から第 4 の遅延信号を生成する。

20

【0044】

第 1 取込部 64 は、複数の遅延信号のそれぞれの値（論理値）を、基準クロックの第 1 位相で取り込む。第 1 取込部 64 は、一例として、複数の遅延信号のそれぞれの値を、基準クロックの立上りエッジで取り込んでよい。

【0045】

本例において、第 1 取込部 64 は、複数の遅延信号に一对一で対応する複数の第 1 ラッチ部 74 を有する。複数の第 1 ラッチ部 74 のそれぞれは、基準クロックの立上りエッジのタイミングにおいて、対応する遅延信号の値を取り込む。

30

【0046】

第 2 取込部 66 は、複数の遅延信号のそれぞれの値（論理値）を、基準クロックの第 1 位相と異なる第 2 位相で取り込む。第 2 取込部 66 は、一例として、複数の遅延信号のそれぞれの値を、基準クロックの立下りエッジで取り込んでよい。

【0047】

本例においては、第 2 取込部 66 は、複数の遅延信号に一对一で対応する複数の第 2 ラッチ部 76 を有する。複数の第 2 ラッチ部 76 のそれぞれは、基準クロックの立下りエッジのタイミングにおいて、対応する遅延信号の値を取り込む。

40

【0048】

カウント部 68 は、基準クロック発生部 60 が発生した基準クロックのクロック数をカウントする。カウント部 68 は、一例として、基準時刻においてリセットされ、基準時刻からの基準クロックのクロック数をカウントしてよい。

【0049】

変化点検出部 70 は、第 1 取込部 64 が取り込んだ複数の遅延信号および第 2 取込部 66 が取り込んだ複数の遅延信号のそれぞれの値に基づいて、比較信号の変化点のタイミングを検出する。変化点検出部 70 は、一例として、比較信号の変化点のタイミングとして、比較信号の立上りエッジのタイミングまたは立下りエッジのタイミングを検出してよい。なお、変化点検出部 70 による比較信号の変化点のタイミングの検出についての詳細については、次の図 7 においても説明する。

50

【 0 0 5 0 】

図 7 は、第 1 ～ 第 4 の遅延信号、基準クロックおよび比較信号の一例を示す。遅延部 6 2 は、基準クロックの同一サイクルにおいて第 1 取込部 6 4 および第 2 取込部 6 6 がそれぞれ取り込む複数の遅延信号の値を比較信号上に時系列順に並べた場合において、各値の取込タイミングが基準クロックの 1 周期内に収まるように比較信号を遅延させる。これにより、遅延部 6 2 は、基準クロックの 1 周期未満の時間毎に、第 1 取込部 6 4 および第 2 取込部 6 6 に比較信号の値を取り込ませることができる。

【 0 0 5 1 】

例えば N 本 (N は 2 以上の整数) の遅延信号を生成する場合、遅延部 6 2 は、基準クロックの $1 / (2 \times N)$ 周期に対応する時間ずつ、互いの遅延時間をずらした遅延信号を生成してよい。これにより、遅延部 6 2 は、基準クロックのデューティ比が 50 % であれば、立上りエッジで第 1 取込部 6 4 が取り込んだ複数の遅延信号の値および立下りエッジで第 2 取込部 6 6 が取り込んだ複数の遅延信号の値を比較信号上に時系列に並べた場合に、各値の取込タイミングを基準クロックの 1 周期内に収めることができる。

10

【 0 0 5 2 】

変化点検出部 7 0 は、第 1 取込部 6 4 が取り込んだ複数の遅延信号の値および第 2 取込部 6 6 が取り込んだ複数の遅延信号の値を、基準クロックのサイクル毎に読み出す。そして、変化点検出部 7 0 は、一例として、第 1 取込部 6 4 および第 2 取込部 6 6 がそれぞれ取り込んだ複数の遅延信号の値を比較信号上における時系列順に並べた場合において、隣接する 2 つの値が異なることを条件として、当該 2 つの値の取込タイミングの間に比較信号が変化したことを検出する。

20

【 0 0 5 3 】

変化点検出部 7 0 は、例えば、隣接する 2 つの値が L 論理から H 論理に切り替わる部分、または、隣接する 2 つの値が H 論理から L 論理に切り替わる部分を検出して、この 2 つの値の取込タイミングの間において比較信号が変化しと判断する。変化点検出部 7 0 は、一例として、外部からの指定に応じて、L 論理から H 論理に切り替わる部分を検出するか、または、H 論理から L 論理に切り替わる部分を検出するかが設定されてよい。

【 0 0 5 4 】

図 7 の例においては、変化点検出部 7 0 は、遅延信号の値を比較信号上における時系列順に並べた場合における、3 番目の取込タイミング (L 論理) と 4 番目の取込タイミング (H 論理) との間において、比較信号の値が変化したことを検出する。そして、変化点検出部 7 0 は、基準クロックの 1 周期内における変化点のタイミングを、検出した隣接する 2 つの値が異なる取込タイミングから算出する。このような変化点検出部 7 0 は、比較信号の値が変化する変化点のタイミングを、基準クロックの 1 周期未満の精度で検出することができる。

30

【 0 0 5 5 】

さらに、変化点検出部 7 0 は、一例として、カウント部 6 8 がカウントしたクロック数と、第 1 取込部 6 4 および第 2 取込部 6 6 がそれぞれ取り込んだ複数の遅延信号の値とに基づいて、比較信号の変化点のタイミングを検出してよい。これにより、変化点検出部 7 0 は、基準クロックの 1 周期以上の時間を測定することができる。

40

【 0 0 5 6 】

以上のような第 1 タイミング検出部 2 8 によれば、A / D コンバータ等の高価なデバイスを用いることなく、比較信号の変化点のタイミングを基準クロックの 1 周期未満の精度で検出することができる。すなわち、このような第 1 タイミング検出部 2 8 によれば、被測定信号の変化点のタイミングを精度良く検出することができる。

【 0 0 5 7 】

なお、第 1 タイミング検出部 2 8 は、基準クロックの第 1 位相および第 2 位相以外の位相で、複数の遅延信号の値を取り込む取込部を更に備えてよい。第 1 タイミング検出部 2 8 は、例えば、基準クロックの立上りエッジと立下りエッジとの中間位相等において複数の遅延信号を取り込む取込部を更に備えてよい。

50

【 0 0 5 8 】

例えば、検出装置 1 4 は、Q D R (Q u a d D a t a R a t e) によるメモリのデータ転送のように、基準クロックの 1 周期を 4 分の 1 周期毎に分割した各位相を表わすタイミングを生成し、それぞれの位相において複数の遅延信号を取り込んでもよい。そして、この場合において、変化点検出部 7 0 は、第 1 位相および第 2 位相以外の位相で取り込んだ複数の遅延信号の値を含めて、被測定信号の変化点を検出する。このような第 1 タイミング検出部 2 8 は、より精度良く被測定信号の変化点のタイミングを検出することができる。また、さらに、検出装置 1 4 は、第 1 取込部 6 4、第 2 取込部 6 6、カウント部 6 8 および変化点検出部 7 0 が F P G A (F i e l d P r o g r a m m a b l e G a t e A r r a y) 等により構成されてもよい。

10

【 0 0 5 9 】

図 8 は、本実施形態に係る第 1 タイミング検出部 2 8 の構成の第 2 例を示す。第 2 例に係る第 1 タイミング検出部 2 8 は、図 6 に示された第 1 例に係る第 1 タイミング検出部 2 8 と略同一の構成および機能を採用するので、図 6 に示された第 1 タイミング検出部 2 8 が備える部材と略同一の構成および機能の部材に同一の符号を付け、以下相違点を除き説明を省略する。

【 0 0 6 0 】

遅延部 6 2 は、被測定信号を遅延することに代えて、基準クロック発生部 6 0 が発生した基準クロックを互いに異なる遅延時間遅延させた複数の遅延信号を生成する。本例においても、遅延部 6 2 は、一例として、互いに異なる遅延量に設定された、基準クロックを遅延させる複数の遅延素子 7 2 を有してよい。

20

【 0 0 6 1 】

第 1 取込部 6 4 は、被測定信号の値 (論理値) を、複数の遅延信号のそれぞれの第 1 位相で取り込む。第 1 取込部 6 4 は、一例として、被測定信号の値を、複数の遅延信号のそれぞれの立上りエッジで取り込んでよい。本例においても、第 1 取込部 6 4 は、複数の遅延信号に一対一に対応する複数の第 1 ラッチ部 7 4 を有してよい。複数の第 1 ラッチ部 7 4 のそれぞれは、対応する遅延信号の立上りエッジのタイミングにおいて、被測定信号の値を取り込む。

【 0 0 6 2 】

第 2 取込部 6 6 は、被測定信号の値 (論理値) を、複数の遅延信号のそれぞれの第 2 位相で取り込む。第 2 取込部 6 6 は、一例として、被測定信号の値を、複数の遅延信号のそれぞれの立下りエッジで取り込んでよい。本例においても、第 2 取込部 6 6 は、複数の遅延信号に一対一に対応する複数の第 2 ラッチ部 7 6 を有してよい。複数の第 2 ラッチ部 7 6 のそれぞれは、対応する遅延信号の立下りエッジのタイミングにおいて、被測定信号の値を取り込む。このような本例に係る第 1 タイミング検出部 2 8 も、図 6 に示した第 1 タイミング検出部 2 8 と同様に、A / D コンバータ等の高価なデバイスを用いることなく、比較信号の変化点のタイミングを基準クロックの 1 周期未満の精度で検出することができる。

30

【 0 0 6 3 】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

40

【 図面の簡単な説明 】

【 0 0 6 4 】

【 図 1 】 図 1 は、本実施形態に係る試験装置 1 0 の構成を被試験デバイス 2 0 0 とともに示す。

【 図 2 】 図 2 は、本実施形態に係る測定装置 1 6 の構成を示す。

【 図 3 】 図 3 は、本実施形態に係る測定部 3 4 の構成を示す。

【 図 4 】 図 4 は、被測定信号の一例、第 1 F I F O 部 4 2 および第 2 F I F O 部 4 4 に格

50

納されたタイミングおよび算出部 4 6 による演算例を示す。

【図 5】図 5 は、本実施形態の変形例に係る測定装置 1 6 の構成を示す。

【図 6】図 6 は、本実施形態に係る第 1 タイミング検出部 2 8 の構成の第 1 例を示す。

【図 7】図 7 は、第 1 ～ 第 4 の遅延信号、基準クロックおよび被測定信号の一例を示す。

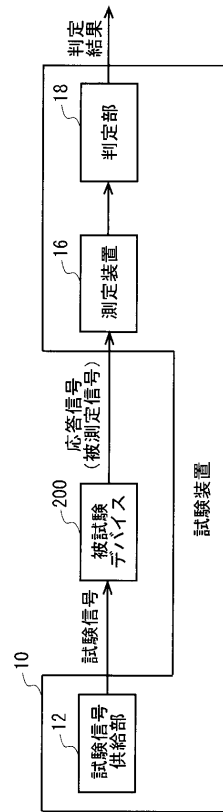
【図 8】図 8 は、本実施形態に係る第 1 タイミング検出部 2 8 の構成の第 2 例を示す。

【符号の説明】

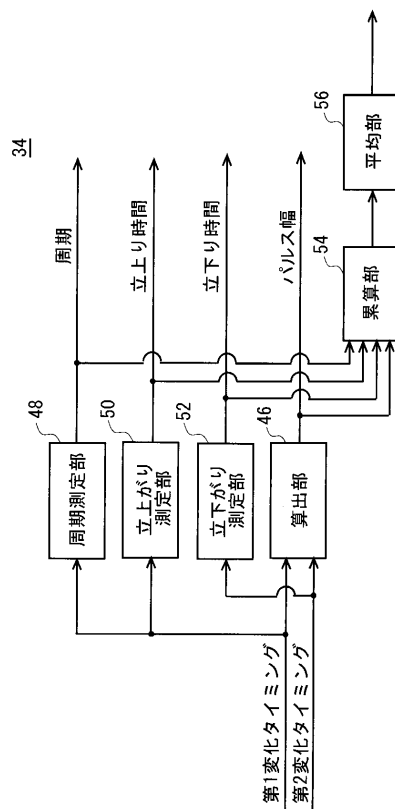
【 0 0 6 5 】

1 0	試験装置	
1 2	試験信号供給部	
1 6	測定装置	10
1 8	判定部	
2 2	第 1 比較部	
2 4	第 2 比較部	
2 6	切替部	
2 8	第 1 タイミング検出部	
3 0	第 2 タイミング検出部	
3 2	バッファ部	
3 4	測定部	
3 6	エッジ指定部	
3 8	エッジ調整部	20
4 2	第 1 F I F O 部	
4 4	第 2 F I F O 部	
4 6	算出部	
4 8	周期測定部	
5 0	立上り時間測定部	
5 2	立下り時間測定部	
5 4	累算部	
5 6	平均部	
6 0	基準クロック発生部	
6 2	遅延部	30
6 4	第 1 取込部	
6 6	第 2 取込部	
6 8	カウント部	
7 0	変化点検出部	
7 2	遅延素子	
7 4	第 1 ラッチ部	
7 6	第 2 ラッチ部	
2 0 0	被試験デバイス	

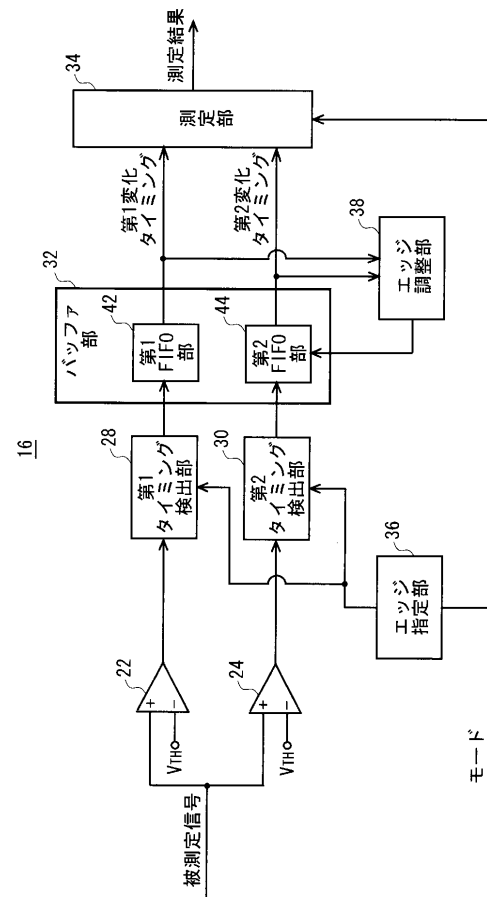
【図 1】



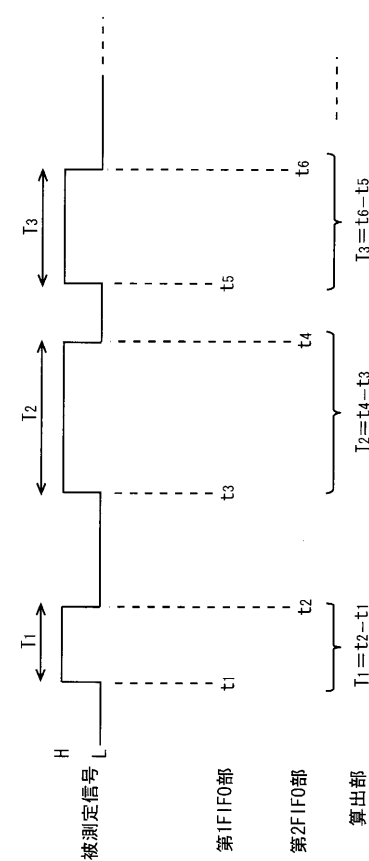
【図 3】



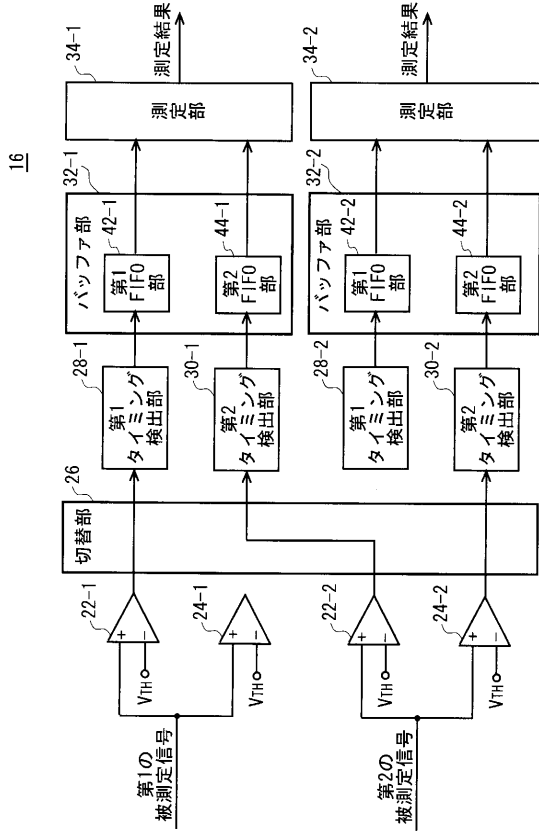
【図 2】



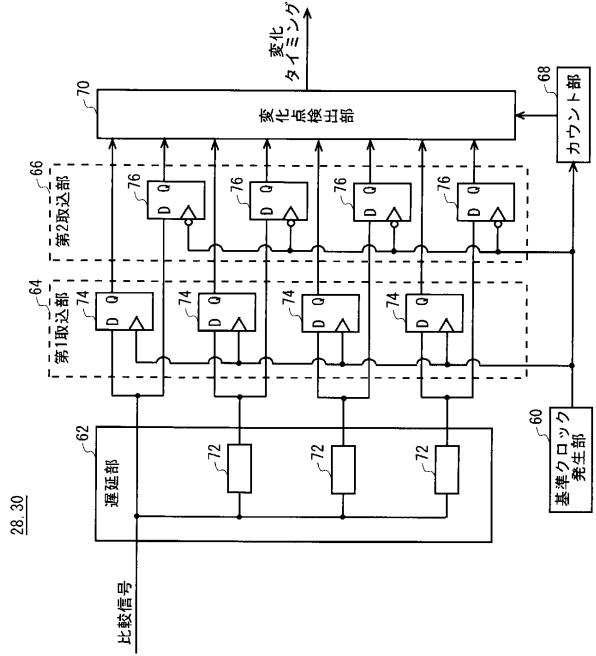
【図 4】



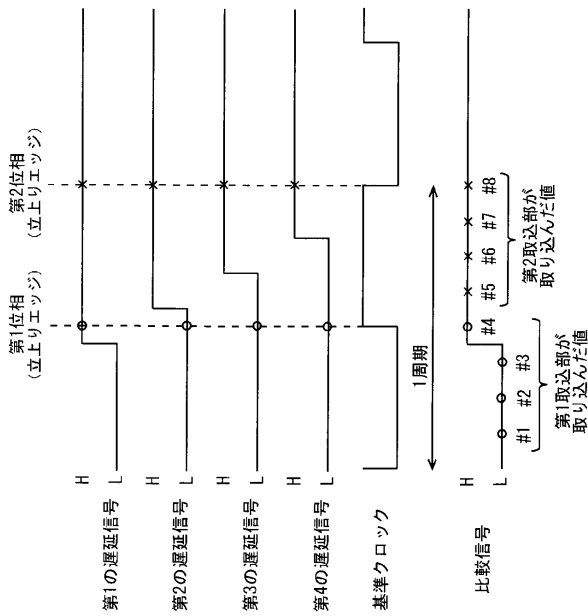
【図 5】



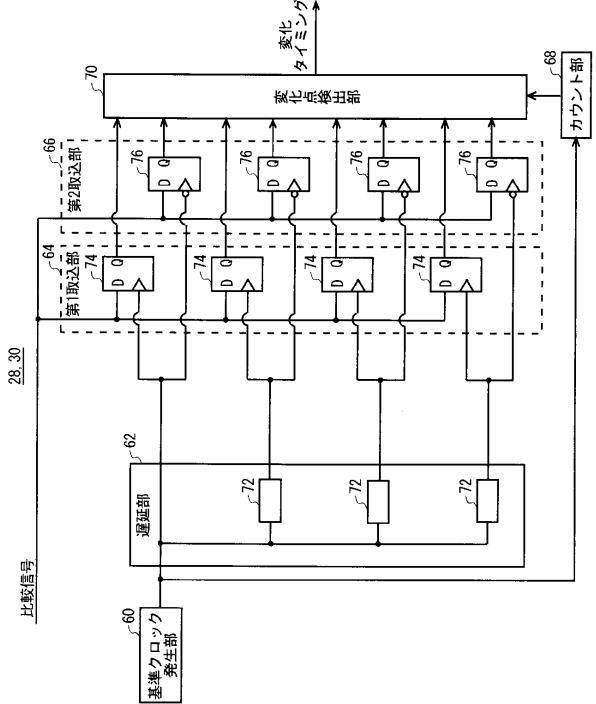
【図 6】



【図 7】



【図 8】



フロントページの続き

(56)参考文献 特開昭 63 - 249090 (JP, A)
実開平 03 - 032835 (JP, U)
特開 2005 - 017235 (JP, A)
再公表特許第 2007 / 091413 (JP, A1)
特開平 04 - 289461 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 1 R 2 9 / 0 2
G 0 1 R 3 1 / 3 1 9