



등록특허 10-2688345



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년07월26일
(11) 등록번호 10-2688345
(24) 등록일자 2024년07월22일

- (51) 국제특허분류(Int. Cl.)
G02F 1/1333 (2006.01) *G06F 3/041* (2006.01)
H01B 1/02 (2006.01) *H01B 3/10* (2006.01)
H01B 5/14 (2006.01)

(52) CPC특허분류
G02F 1/13338 (2021.01)
G06F 3/0412 (2019.05)

(21) 출원번호 10-2016-0063924
(22) 출원일자 2016년05월25일
 심사청구일자 2021년05월18일
(65) 공개번호 10-2016-0140441
(43) 공개일자 2016년12월07일
(30) 우선권주장
 JP-P-2015-110612 2015년05월29일 일본(JP)

(56) 선행기술조사문헌
KR1020140085018 A*
KR1020110003265 A*
KR1020110122726 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자
시시도 히데아키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
구스노키 고지
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)

(74) 대리인
양영준 박충범

(74) 대리인 양영준 박충범

전체 청구항 수 : 총 2 항

심사관 : 이우리

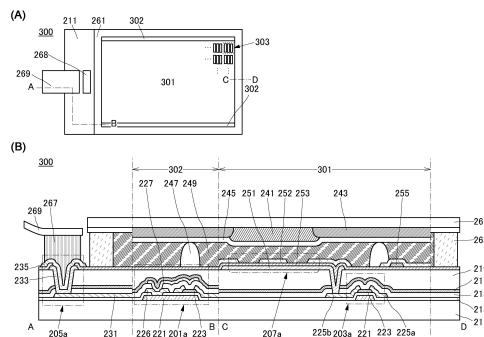
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 입출력 장치의 박형화를 도모한다. 신뢰성이 높은 입출력 장치를 제공한다.

제 1 화소 전극, 제 2 화소 전극, 제 1 공통 전극, 제 2 공통 전극, 액정, 제 1 절연막, 제 2 절연막, 및 트랜지스터를 갖는 입출력 장치이다. 제 1 공통 전극은 겹지 소자의 한쪽의 전극으로서 기능한다. 제 2 공통 전극은 겹지 소자의 다른 쪽의 전극으로서 기능한다. 트랜지스터는, 제 1 게이트, 제 2 게이트, 및 반도체층을 갖는다. 화소 전극, 공통 전극, 및 제 2 게이트는 각각 상이한 면 위에 위치한다. 제 2 게이트는 반도체층에 포함되는 금속 원소를 1종류 이상 포함한다. 바람직하게는 제 2 게이트, 화소 전극, 및 공통 전극이 반도체층에 포함되는 금속 원소를 1종류 이상 포함한다.

대 표 도



(52) CPC특허분류

H01B 1/02 (2013.01)

H01B 3/10 (2013.01)

H01B 5/14 (2020.05)

(72) 발명자

도요타카 고해이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

와타나베 가즈노리

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

가네야스 마코토

일본 819-0002 후쿠오카켄 후쿠오카시 니시쿠 메이
노하마 1-18-8 네스트 502

명세서

청구범위

청구항 1

반도체 장치로서,

트랜지스터;

상기 트랜지스터 위의 제 1 절연막;

상기 제 1 절연막 위의 수지를 포함하는 제 2 절연막;

상기 제 2 절연막 위의 제 1 화소 전극, 제 2 화소 전극, 제 3 화소 전극, 제 1 공통 전극, 제 2 공통 전극 및 제 3 공통 전극;

상기 제 1 화소 전극과 상기 제 1 공통 전극 사이에 배치되고, 상기 제 2 화소 전극과 상기 제 2 공통 전극 사이에 배치되고, 상기 제 3 화소 전극과 상기 제 3 공통 전극 사이에 배치된 제 3 절연막;

상기 제 1 공통 전극과 전기적으로 접속되고, 상기 제 1 공통 전극과 중첩을 갖는 제 1 도전막;

상기 제 2 공통 전극과 전기적으로 접속되고, 상기 제 2 공통 전극과 중첩을 갖는 제 2 도전막; 및

상기 제 3 공통 전극과 전기적으로 접속되고, 상기 제 3 공통 전극과 중첩을 갖는 제 3 도전막을 포함하고,

상기 제 1 공통 전극은, 상기 제 1 화소 전극 아래에 배치되고,

상기 제 2 공통 전극은, 상기 제 2 화소 전극 아래에 배치되고,

상기 제 3 공통 전극은, 상기 제 3 화소 전극 아래에 배치되고,

상기 제 1 도전막은, 상기 제 1 공통 전극과 중첩되는 영역에 있어서, 격자형의 형상을 갖고,

상기 제 2 도전막은, 상기 제 2 공통 전극과 중첩되는 영역에 있어서, 격자형의 형상을 갖고,

상기 제 3 도전막은, 상기 제 3 공통 전극과 중첩되는 영역에 있어서, 격자형의 형상을 갖고,

상기 제 1 공통 전극과 상기 제 3 공통 전극은, 제 4 도전막을 통해 전기적으로 접속되고,

상기 제 4 도전막은, 상기 제 1 공통 전극, 상기 제 2 공통 전극 및 상기 제 3 공통 전극 각각과 중첩을 갖고,

상기 제 4 도전막은, 상기 트랜지스터의 게이트 전극과는 상이한 층에 배치되고,

평면시에 있어서, 상기 제 2 공통 전극과 상기 제 1 공통 전극은, 제 1 방향으로 인접하도록 배치되고,

평면시에 있어서, 상기 제 2 공통 전극과 상기 제 3 공통 전극은, 상기 제 1 방향으로 인접하도록 배치되고,

평면시에 있어서, 상기 제 2 공통 전극은, 상기 제 1 공통 전극과 상기 제 3 공통 전극 사이에 배치되는 영역을 포함하고,

상기 제 1 공통 전극 및 상기 제 3 공통 전극은, 검지 소자의 한쪽의 전극으로서의 기능을 갖고,

상기 제 2 공통 전극은, 상기 검지 소자의 다른 쪽의 전극으로서의 기능을 갖는, 반도체 장치.

청구항 2

제1항에 있어서,

평면시에 있어서, 상기 제 2 공통 전극은, 상기 제 1 방향과 교차하는 제 2 방향으로 연장한 형상을 갖는, 반도체 장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명**기술 분야**

- [0001] 본 발명의 일 형태는, 입출력 장치 및 전자 기기에 관한 것이다.
- [0002] 또한, 본 발명의 일 형태는, 상기 기술 분야에 한정되지 않는다. 본 명세서 등에서 설명되는 발명의 일 형태의 기술 분야로서는, 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치(예를 들어, 터치 센서 등), 출력 장치, 입출력 장치(예를 들어, 터치 패널 등), 이들의 구동 방법, 또는 이들의 제작 방법을 예로서 들 수 있다.

배경기술

- [0003] 액정 표시 장치나 발광 표시 장치로 대표되는 플랫 패널 디스플레이 대부분에 사용되는 트랜지스터는 유리 기판 위에 형성된 비정질 실리콘, 단결정 실리콘 또는 다결정 실리콘 등의 실리콘 반도체에 의하여 구성된다. 또한, 상기 실리콘 반도체를 사용한 트랜지스터는, 집적 회로(IC) 등으로도 이용된다.
- [0004] 근년, 실리콘 반도체를 대신하여 반도체 특성을 나타내는 금속 산화물을 트랜지스터에 사용하는 기술이 주목을 받고 있다. 또한, 본 명세서 중에서는, 반도체 특성을 나타내는 금속 산화물을 산화물 반도체라고 기재하기로 한다. 예를 들어, 특허문헌 1 및 특허문헌 2에는, 산화물 반도체로서 산화 아연 또는 In-Ga-Zn계 산화물을 사용한 트랜지스터를 제작하고, 상기 트랜지스터를 표시 장치의 화소의 스위칭 소자 등으로 사용하는 기술이 기재되어 있다.
- [0005] 또한, 표시 장치에 유저 인터페이스로서 화면에 손가락 등으로 접촉함으로써 입력하는 기능을 부가한 터치 패널이 요구되고 있다.
- [0006] 터치 센서가 탑재된 표시 장치 또는 표시 모듈은, 터치 패널 또는 터치 스크린 등으로 불린다. 또한, 터치 센서를 갖고, 표시 소자를 갖지 않는 장치를 터치 패널이라고 부르는 경우도 있다. 그래서, 터치 센서가 탑재된 표시 장치 또는 표시 모듈은, 터치 센서가 포함된 표시 장치, 터치 패널이 포함된 표시 장치, 표시 장치가 포함된 터치 센서, 또는 표시 장치가 포함된 터치 패널 등으로 부르는 경우가 있다. 또한, 이하에서는, 터치 센서가 탑재된 표시 장치를 터치 패널이라고 기재하기로 한다.
- [0007] 예를 들어, 특허문헌 3~특허문헌 6에는 액정 소자를 표시 소자로서 사용한 터치 패널이 기재되어 있다.

선행기술문헌**특허문헌**

- [0008] (특허문헌 0001) 특개 2007-123861호 공보
 (특허문헌 0002) 특개 2007-96055호 공보
 (특허문헌 0003) 특개 2011-197685호 공보
 (특허문헌 0004) 특개 2014-44537호 공보
 (특허문헌 0005) 특개 2014-178847호 공보
 (특허문헌 0006) 미국 특허 출원 공개 제2008/0158183호 명세서

발명의 내용**해결하려는 과제**

- [0009] 본 발명의 일 형태는, 입출력 장치의 박형화를 과제 중 하나로 한다. 또는, 본 발명의 일 형태는, 입출력 장치

의 경량화를 과제 중 하나로 한다. 또는, 본 발명의 일 형태는, 부품 점수가 적은 입출력 장치를 제공하는 것을 과제 중 하나로 한다.

[0010] 또는, 본 발명의 일 형태는 신뢰성이 높은 입출력 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 검출 감도가 높은 입출력 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 신규 입출력 장치 등을 제공하는 것을 과제 중 하나로 한다.

[0011] 또한, 이들의 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 이들의 과제 모두를 해결할 필요는 없는 것으로 한다. 또한, 명세서, 도면, 청구항 등의 기재로부터 이들 이외의 과제가 추출될 수 있다.

과제의 해결 수단

[0012] 본 발명의 일 형태는, 제 1 화소 전극, 제 2 화소 전극, 제 1 공통 전극, 제 2 공통 전극, 액정, 제 1 절연막, 제 2 절연막, 및 트랜지스터를 갖는 입출력 장치이다. 제 1 공통 전극은, 검지 소자의 한쪽의 전극으로서 기능할 수 있다. 제 2 공통 전극은, 검지 소자의 다른 쪽의 전극으로서 기능할 수 있다. 트랜지스터는, 제 1 게이트, 제 2 게이트, 및 반도체층을 갖는다. 반도체층은, 채널 형성 영역에 산화물 반도체를 갖는다. 제 2 게이트는, 산화물 도전체를 갖는다. 산화물 도전체는, 산화물 반도체에 포함되는 금속 원소를 1가지 이상 갖는다. 본 발명의 일 형태에 따른 입출력 장치는, 제 1 게이트 위에 반도체층을 갖고, 반도체층 위에 제 2 게이트를 갖고, 제 2 게이트 위에 제 1 절연막을 갖고, 제 1 절연막 위에 제 1 화소 전극, 제 2 화소 전극, 제 1 공통 전극, 및 제 2 공통 전극을 갖는다. 제 1 화소 전극 및 제 1 공통 전극은, 제 2 절연막을 개재(介在)하여 서로 중첩되는 부분을 갖는다. 제 2 화소 전극 및 제 2 공통 전극은, 제 2 절연막을 재재하여 서로 중첩되는 부분을 갖는다. 제 1 화소 전극, 제 2 화소 전극, 제 1 공통 전극, 및 제 2 공통 전극 위에 액정을 갖는다. 제 1 화소 전극과 제 2 화소 전극은, 동일면 위에 이격되어 위치한다. 제 1 공통 전극과 제 2 공통 전극은 동일면 위에 이격되어 위치한다.

[0013] 표시부 및 구동 회로부 중 적어도 한쪽이, 상기 트랜지스터를 갖는다. 예를 들어, 본 발명의 일 형태에 따른 입출력 장치는, 상기 트랜지스터를 2개 갖고, 2개의 트랜지스터 중 한쪽에서는 소스 또는 드레인이 제 1 화소 전극과 전기적으로 접속되고, 다른 쪽에서는 소스 또는 드레인이 제 2 화소 전극과 전기적으로 접속되어도 좋다. 또는, 상기 트랜지스터는 구동 회로부에 위치하여도 좋다.

[0014] 또는, 상기 각 구성에 있어서, 제 2 게이트는 제 1 게이트와 전기적으로 접속되어도 좋다.

[0015] 또는, 상기 각 구성에 있어서, 제 1 화소 전극 및 제 2 화소 전극 위에 제 2 절연막을 갖고, 제 2 절연막 위에 제 1 공통 전극 및 제 2 공통 전극을 가져도 좋다. 또는, 상기 각 구성에 있어서, 제 1 공통 전극 및 제 2 공통 전극 위에 제 2 절연막을 갖고, 제 2 절연막 위에 제 1 화소 전극 및 제 2 화소 전극을 가져도 좋다.

[0016] 또는, 상기 각 구성에 있어서, 제 1 화소 전극 및 제 2 화소 전극은, 각각 산화물 반도체에 포함되는 금속 원소를 적어도 하나 가져도 좋다. 또한, 제 1 공통 전극 및 제 2 공통 전극은 각각 산화물 반도체에 포함되는 금속 원소를 적어도 하나 가져도 좋다.

[0017] 또는, 상기 각 구성에 있어서, 산화물 반도체 및 산화물 도전체는 각각 인듐을 포함하는 산화물을 가져도 좋다. 또한 제 1 화소 전극 및 제 2 화소 전극은 각각 인듐을 포함하는 산화물을 가져도 좋다. 또한 제 1 공통 전극 및 제 2 공통 전극은 각각 인듐을 포함하는 산화물을 가져도 좋다.

[0018] 또는, 상기 각 구성에 있어서, 산화물 반도체 및 산화물 도전체는 각각 $In-M_1-Zn$ 산화물(M_1 은 Al, Ti, Ga, Y, Zr, La, Ce, Nd, Sn 또는 Hf)을 가져도 좋다. 또한 제 1 화소 전극 및 제 2 화소 전극은 각각 상기 $In-M_1-Zn$ 산화물을 가져도 좋다. 또한 제 1 공통 전극 및 제 2 공통 전극은 각각 상기 $In-M_1-Zn$ 산화물을 가져도 좋다.

[0019] 또는, 상기 각 구성에 있어서, 제 1 화소 전극, 제 2 화소 전극, 제 1 공통 전극, 및 제 2 공통 전극은 각각 가시광을 투과하는 기능을 가져도 좋다.

[0020] 또는, 상기 각 구성에 있어서, 제 1 절연막과 제 1 공통 전극 사이에 제 1 도전막을 갖고, 제 1 도전막의 저항률은 제 1 공통 전극의 저항률보다 낮고, 제 1 도전막은 제 1 공통 전극과 전기적으로 접속되어도 좋다. 또한, 제 1 절연막과 제 2 공통 전극 사이에 제 2 도전막을 갖고, 제 2 도전막의 저항률은 제 2 공통 전극의 저항률보다 낮고, 제 2 도전막은 제 2 공통 전극과 전기적으로 접속되고, 제 1 도전막과 제 2 도전막은 동일면 위에

이격되어 위치하여도 좋다.

[0021] 또는, 상기 각 구성에 있어서 차광막을 갖고, 차광막은 제 1 도전막 및 제 2 도전막 중 적어도 한쪽과 액정을 개재하여 중첩되는 부분을 가져도 좋다.

[0022] 또한, 본 발명의 일 형태는, 상기 입출력 장치에 FPC(Flexible Printed Circuit) 또는 TCP(Tape Carrier Package) 등의 커넥터가 장착된 모듈, 또는 COG(Chip on Glass) 방식, COF(Chip on Film) 방식 등에 의하여 IC 가 실장된 모듈 등의 모듈이다.

[0023] 또는, 본 발명의 일 형태는 상기 모듈과, 안테나, 배터리, 하우징, 스피커, 마이크로폰, 조작 스위치 및 조작 버튼 중 적어도 하나를 갖는 전자 기기이다.

발명의 효과

[0024] 본 발명의 일 형태에 의하여 입출력 장치의 박형화가 가능해진다. 또는, 본 발명의 일 형태에 의하여 입출력 장치의 경량화가 가능해진다. 또는, 본 발명의 일 형태에 의하여, 부품 점수가 적은 입출력 장치를 제공할 수 있다.

[0025] 또는, 본 발명의 일 형태에 의하여 신뢰성이 높은 입출력 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 겸출 감도가 높은 입출력 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 신규 입출력 장치 등을 제공할 수 있다.

[0026] 또한, 이들 효과에 관한 기재는, 다른 효과의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는, 반드시 이들의 효과를 모두 가질 필요는 없다. 또한, 명세서, 도면, 청구항 등의 기재로부터 이들 이외의 효과를 추출할 수 있다.

도면의 간단한 설명

[0027] 도 1은 입출력 장치의 일례를 도시한 상면도 및 단면도.

도 2는 입출력 장치의 일례를 도시한 단면도.

도 3은 입출력 장치의 일례를 도시한 단면도.

도 4는 입출력 장치의 일례를 도시한 단면도.

도 5는 입출력 장치의 일례를 도시한 단면도.

도 6은 입출력 장치의 일례를 도시한 단면도.

도 7은 겸지 소자 및 화소의 일례를 도시한 도면.

도 8은 겸지 소자 및 화소의 동작의 일례를 도시한 도면.

도 9는 겸지 소자 및 화소의 일례를 도시한 상면도.

도 10은 겸지 소자의 일례를 도시한 상면도.

도 11은 겸지 소자의 일례를 도시한 상면도.

도 12는 입출력 장치의 일례를 도시한 상면도.

도 13은 입출력 장치의 일례를 도시한 상면도.

도 14는 입출력 장치의 일례를 도시한 상면도.

도 15는 터치 패널 모듈의 일례를 도시한 블록도.

도 16은 터치 패널 모듈의 일례를 도시한 도면.

도 17은 트랜지스터 등의 제작 방법의 일례를 도시한 단면도.

도 18은 트랜지스터 등의 제작 방법의 일례를 도시한 단면도.

도 19는 트랜지스터 등의 제작 방법의 일례를 도시한 단면도.

도 20은 트랜지스터 등의 제작 방법의 일례를 도시한 단면도.

도 21은 트랜지스터의 일례를 도시한 단면도.

도 22는 트랜지스터의 일례를 도시한 상면도 및 단면도.

도 23은 트랜지스터의 일례를 도시한 단면도.

도 24는 밴드 구조를 설명하는 도면.

도 25는 트랜지스터의 일례를 도시한 단면도.

도 26은 CAAC-OS 및 단결정 산화물 반도체의 XRD에 의한 구조 해석을 설명하는 도면, 및 CAAC-OS의 제한 시야 전자 회절 패턴을 도시한 도면.

도 27은 CAAC-OS의 단면 TEM상, 평면 TEM상, 및 그 화상 해석상.

도 28은 nc-OS의 전자 회절 패턴을 도시한 도면, 및 nc-OS의 단면 TEM상.

도 29는 a-like OS의 단면 TEM상.

도 30은 In-Ga-Zn 산화물의 전자 조사에 의한 결정부의 변화를 도시한 도면.

도 31은 터치 패널 모듈의 일례를 도시한 도면.

도 32는 전자 기기의 일례를 도시한 도면.

도 33은 전자 기기의 일례를 도시한 도면.

도 34는 입출력 장치의 일례를 도시한 단면도.

도 35는 실시예의 입출력 장치를 나타낸 사진.

발명을 실시하기 위한 구체적인 내용

[0028]

실시형태에 대하여, 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 쉽게 이해할 수 있다. 따라서, 본 발명은 이하에 기재되는 실시형태의 내용에 한정하여 해석되는 것이 아니다.

[0029]

또한, 이하에 설명하는 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일 부호를 다른 도면 간에서 공통적으로 사용하고, 그 반복 설명은 생략한다. 또한, 같은 기능을 갖는 부분을 가리키는 경우에는, 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0030]

또한, 도면 등에서 도시된 각 구성의 위치, 크기, 범위 등을 이해하기 쉽게 하기 위하여 실제의 위치, 크기, 범위 등이 정확하게 도시되지 않은 경우가 있다. 그러므로, 제시된 발명은 반드시 도면 등에 도시된 위치, 크기, 범위 등에 한정되는 것은 아니다.

[0031]

또한, '막'이라는 말과 '층'이라는 말은 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어, '도전막'이라는 용어를 '도전층'이라는 용어로 바꿀 수 있는 경우가 있다. 또는 예를 들어, '절연층'이라는 용어를 '절연막'이라는 용어로 바꿀 수 있는 경우가 있다.

[0032]

또한, 본 명세서에 있어서, '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하인 경우도 포함된다. 또한, '실질적으로 평행'이란, 2개의 직선이 -30° 이상 30° 이하의 각도로 배치되어 있는 상태를 말한다. 또한, '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하인 경우도 포함된다. 또한, '실질적으로 수직'이란, 2개의 직선이 60° 이상 120° 이하의 각도로 배치되어 있는 상태를 말한다.

[0033]

또한, 본 명세서에 있어서, 삼방정계 및 능면체정(rhombohedral crystal)계는 육방정계에 포함된다.

[0034]

(실시형태1)

[0035]

본 실시형태에서는, 본 발명의 일 형태에 따른 입출력 장치에 대하여, 도 1~도 16을 사용하여 설명한다.

[0036]

본 발명의 일 형태에 따른 입출력 장치는 화상을 표시하는 기능, 및 터치 센서로서의 기능을 갖는, 인셀형 터치

패널이다.

- [0037] 본 발명의 일 형태에 따른 입출력 장치가 갖는 표시 소자에 한정은 없다. 액정 소자, MEMS(Micro Electro Mechanical Systems)를 이용한 광학 소자, 유기 EL(Electro Luminescence) 소자나 발광 다이오드(LED: Light Emitting Diode) 등의 발광 소자, 전기 영동 소자 등, 다양한 소자를 표시 소자로서 적용할 수 있다.
- [0038] 본 실시형태에서는, 횡전계 방식의 액정 소자를 사용한 투과형 액정 표시 장치를 예로 들어 설명한다.
- [0039] 본 발명의 일 형태에 따른 입출력 장치가 갖는 검지 소자(센서 소자라고도 함)에 한정은 없다. 손가락이나 스타일리스 등의 피검지체에 의한 접근 또는 접촉을 검지할 수 있는 다양한 센서를 검지 소자로서 적용할 수 있다.
- [0040] 예를 들어 센서의 방식으로서는, 정전 용량 방식, 저항막 방식, 표면 탄성파 방식, 적외선 방식, 광학 방식, 감압 방식 등 다양한 방식을 사용할 수 있다.
- [0041] 본 실시형태에서는 정전 용량 방식의 검지 소자를 갖는 입출력 장치를 예로 들어 설명한다.
- [0042] 정전 용량 방식으로서는, 표면형 정전 용량 방식, 투영형 정전 용량 방식 등이 있다. 또한, 투영형 정전 용량 방식으로서는, 자기 용량 방식, 상호 용량 방식 등이 있다. 상호 용량 방식을 사용하면, 여러 지점을 동시에 검지할 수 있어 바람직하다.
- [0043] 본 발명의 일 형태에 따른 입출력 장치는 표시 소자를 지지하는 기판에만 검지 소자를 구성하는 전극 등이 제공된 구성이다. 본 발명의 일 형태에 따른 입출력 장치는, 풀인셀형 터치 패널이라고 할 수 있다. 인셀형 터치 패널로서는, 상기에 더하여 표시 소자를 지지하는 기판과 대향 기판의 양쪽 또는 대향 기판에만 검지 소자를 구성하는 전극 등이 제공된 구성이 있다. 이를 구성에 비하여 풀인셀형 터치 패널은, 대향 기판의 구성을 간략화 할 수 있어 바람직하다.
- [0044] 본 발명의 일 형태에 따른 입출력 장치는, 표시 소자를 구성하는 전극이 검지 소자를 구성하는 전극을 겹하기 때문에, 제작 공정을 간략화할 수 있고, 또한 제작 비용을 저감할 수 있어 바람직하다.
- [0045] 본 발명의 일 형태를 적용함으로써, 따로 제작된 표시 패널과 검지 소자를 접합하는 구성이나, 대향 기판 측에 검지 소자를 제작하는 구성에 비하여, 입출력 장치를 박형화 또는 경량화할 수 있거나, 또는 입출력 장치의 부품 점수를 줄일 수 있다.
- [0046] 본 발명의 일 형태에 따른 입출력 장치는, 화소를 구동하는 신호를 공급하는 FPC와 검지 소자를 구동하는 신호를 공급하는 FPC 양쪽을, 한쪽 기판 측에 배치한다. 따라서, 전자 기기에 쉽게 제공되고, 부품 점수를 줄일 수 있게 된다. 또한, 하나의 FPC에 의하여, 화소를 구동하는 신호와 검지 소자를 구동하는 신호가 공급되어도 좋다.
- [0047] 이하에서는, 본 발명의 일 형태에 따른 입출력 장치의 구성에 대하여 설명한다.
- [0048] [입출력 장치의 단면 구성 예 1]
- [0049] 도 1의 (A)에는 입출력 장치(300)의 상면도가 도시되고, 도 1의 (B)에는 도 1의 (A)에서의 일점쇄선 A-B 및 일점쇄선 C-D를 따라 자른 단면도가 도시되었다.
- [0050] 도 1의 (A)에 도시된 바와 같이, 입출력 장치(300)는 표시부(301) 및 주사선 구동 회로(302)를 갖는다. 표시부(301)는, 복수의 화소(303), 복수의 신호선, 및 복수의 주사선을 갖고, 화상을 표시하는 기능을 갖는다. 또한, 표시부(301)는 입력부이기도 하다. 즉, 표시부(301)는 피검지체의 입출력 장치(300)에 대한 접촉 또는 접근을 검지하는 복수의 검지 소자를 갖고, 터치 센서로서의 기능을 갖는다. 주사선 구동 회로(302)는 표시부(301)가 갖는 주사선에 주사 신호를 출력하는 기능을 갖는다. 화소(303)는 복수의 부화소를 갖는다. 도 1의 (A)에는, 화소(303)가 3개의 부화소를 갖는 예가 도시되었지만, 본 발명의 일 형태는 이에 한정되지 않는다.
- [0051] 도 1의 (A)에는 입출력 장치(300)가 주사선 구동 회로를 갖는 예가 도시되었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 입출력 장치(300)는 주사선 구동 회로, 신호선 구동 회로, 및 센서 구동 회로 모두를 갖지 않아도 되고, 어느 하나 이상을 가져도 좋다.
- [0052] 입출력 장치(300)에서는 IC(268)가 COG 방식 등의 실장 방식으로 기판(211)에 실장된다. IC(268)는, 예를 들어 신호선 구동 회로, 주사선 구동 회로, 및 센서 구동 회로 중 어느 하나 이상을 갖는다.
- [0053] 또한, 입출력 장치(300)에는 FPC(269)가 전기적으로 접속된다. FPC(269)를 통하여 IC(268) 및 주사선 구동 회

로에는 외부로부터 신호가 공급된다. 또한, FPC(269)를 통하여 IC(268)로부터 외부에 신호를 출력할 수 있다.

[0054] FPC(269)에는 IC가 실장되어도 좋다. 예를 들어, FPC(269)에는 신호선 구동 회로, 주사선 구동 회로, 및 센서 구동 회로 중 어느 하나 이상을 갖는 IC가 실장되어도 좋다. 예를 들어, COF 방식이나 TAB(Tape Automated Bonding) 방식 등의 실장 방식으로 FPC(269)에 IC를 실장할 수 있다.

[0055] 예를 들어, ICC(268)가 신호선 구동 회로 및 센서 구동 회로를 가져도 좋다. 또는, 예를 들어, IC(268)가 신호선 구동 회로를 갖고, FPC(269)에 실장된 IC가 센서 구동 회로를 가져도 좋다.

[0056] 도 1의 (B)에 도시된 바와 같이, 입출력 장치(300)는 기판(211) 위에 트랜지스터(201a), 트랜지스터(203a), 접속부(205a), 및 액정 소자(207a) 등을 갖는다.

[0057] 도 1의 (B)에는 표시부(301)의 예로서 하나의 부화소의 단면이 도시되었다. 예를 들어, 적색을 나타내는 부화소, 녹색을 나타내는 부화소, 및 청색을 나타내는 부화소로 하나의 화소가 구성됨으로써, 표시부(301)에서는 풀컬러 표시를 행할 수 있다. 또한, 부화소가 나타내는 색깔은 적색, 녹색, 및 청색에 한정되지 않는다. 화소에는, 예를 들어, 백색, 황색, 마젠타, 또는 시안 등의 색깔을 나타내는 부화소를 사용하여도 좋다.

[0058] 트랜지스터(201a) 및 트랜지스터(203a)는 게이트 전극(221), 절연막(213), 산화물 반도체막(223), 소스 전극(225a), 및 드레인 전극(225b)을 갖는다. 트랜지스터(201a)는 도전막(226), 절연막(215), 및 산화물 도전막(227)을 더 갖는다. 또한, 절연막(215)을 트랜지스터(203a)의 구성 요소로 간주할 수도 있다.

[0059] 게이트 전극(221) 및 산화물 도전막(227)은 각각 게이트로서 기능할 수 있다. 트랜지스터(201a)는 채널이 형성되는 산화물 반도체막을 2개의 게이트로 협진하는 구성이다. 게이트 전극(221)과 산화물 도전막(227)은 도전막(226)을 개재하여 전기적으로 접속된다. 이와 같이 2개의 게이트가 전기적으로 접속되는 구성을 갖는 트랜지스터는, 다른 트랜지스터와 비교하여 전계 효과 이동도를 높일 수 있고, 온 전류를 증대시킬 수 있다. 그 결과, 고속 동작이 가능한 회로를 제작할 수 있다. 또한, 회로부의 접유 면적의 축소가 가능해진다. 온 전류가 큰 트랜지스터를 적용함으로써, 입출력 장치를 대형화 또는 고정세(高精細)화하여 배선 수가 증대되더라도 각 배선에서의 신호 지연을 저감할 수 있고, 표시 불균일을 억제할 수 있다. 또한, 이와 같은 구성을 적용함으로써, 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0060] 트랜지스터(201a) 및 트랜지스터(203a)는 같은 구조를 가져도 좋고, 상이한 구조를 가져도 좋다. 즉, 구동 회로부가 갖는 트랜지스터와 표시부가 갖는 트랜지스터가 같은 구조를 가져도, 상이한 구조를 가져도 좋다. 또한, 구동 회로부가 복수의 구조를 갖는 트랜지스터를 가져도 좋고, 표시부가 복수의 구조를 갖는 트랜지스터를 가져도 좋다. 예를 들어, 주사선 구동 회로가 갖는 시프트 레지스터 회로, 버퍼 회로, 및 보호 회로 중 어느 하나 이상의 회로에 2개의 게이트가 전기적으로 접속되는 구성의 트랜지스터를 사용하는 것이 바람직하다.

[0061] 트랜지스터(201a) 및 트랜지스터(203a)는 절연막(217) 및 절연막(219)으로 덮인다. 또한, 절연막(217)에 더하여 절연막(219)을 트랜지스터(201a) 및 트랜지스터(203a)의 구성 요소로 간주할 수도 있다. 절연막(217)은 트랜지스터를 구성하는 반도체로의 불순물의 확산을 억제하는 효과를 갖는 것이 바람직하다. 예를 들어, 절연막(217)에는 물이나 수소 등의 불순물이 쉽게 확산되지 않는 재료를 사용하는 것이 바람직하다. 절연막(219)에는, 트랜지스터에 기인한 표면 요철을 저감하기 위하여 평탄화 기능을 갖는 절연막을 선택하는 것이 바람직하다.

[0062] 트랜지스터(201a)는 반도체층으로서 산화물 반도체막(223)을 사용하고, 게이트로서 산화물 도전막(227)을 사용한 구성이다. 이때, 산화물 반도체막(223)과 산화물 도전막(227)을, 산화물 반도체를 사용하여 형성하는 것이 바람직하다.

[0063] 산화물 반도체는, 입출력 장치의 제작 공정에서 저항률을 쉽게 제어할 수 있기 때문에, 반도체막 및 도전막의 재료로서 바람직하게 사용할 수 있다. 특히, 동일의 금속 원소를 갖는 산화물 반도체를, 입출력 장치를 구성하는 층들 중 2층 이상에 사용함으로써, 제작 장치(예를 들어, 성막 장치, 가공 장치 등)를 2개 이상의 공정에서 공통적으로 사용하는 것이 가능해지므로 제작 비용을 억제할 수 있다.

[0064] 또한, 산화물 반도체는 가시광을 투과하는 재료이기 때문에, 가시광을 투과하는 소자로서 바람직하게 사용할 수 있다.

[0065] 또한, 산화물 반도체막(223)과, 산화물 도전막(227)을 동일의 금속 원소로 형성함으로써, 제작 비용을 저감시킬 수 있다. 예를 들어, 동일의 금속 조성을 갖는 금속 산화물 타깃을 사용함으로써 제작 비용을 저감시킬 수 있다. 또한, 동일의 금속 조성을 갖는 금속 산화물 타깃을 사용함으로써, 산화물 반도체막을 가공하는 데의 에칭

가스 또는 액정액을 공통적으로 사용할 수 있다. 다만, 산화물 반도체막(223)과 산화물 도전막(227)은 동일의 금속 원소를 가져도, 조성이 상이한 경우가 있다. 예를 들어, 입출력 장치의 제작 공정 중에 막 내의 금속 원소가 이탈됨으로써 금속 조성이 상이하게 되는 경우가 있다.

[0066] 트랜지스터(201a) 및 트랜지스터(203a)는, 고순도화되고 산소 결손의 형성을 억제한 산화물 반도체막(223)을 갖는 것이 바람직하다. 이로써, 트랜지스터의 오프 상태에서의 전류값(오프 전류값)을 낮게 할 수 있다. 따라서, 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있고, 전원 온 상태에서는 기록 간격도 길게 설정할 수 있다. 그 결과, 리프레시 동작의 빈도를 적게 할 수 있기 때문에, 소비 전력을 억제하는 효과를 나타낸다.

[0067] 또한, 트랜지스터(201a) 및 트랜지스터(203a)는 비교적 높은 전계 효과 이동도를 얻을 수 있어, 고속 구동이 가능하다. 이와 같은 고속 구동이 가능한 트랜지스터를 입출력 장치에 사용함으로써, 표시부의 트랜지스터와 구동 회로부의 트랜지스터를 동일 기판 위에 형성할 수 있다. 즉, 구동 회로로서, 실리콘 웨이퍼 등으로 형성된 반도체 장치를 따로 사용할 필요가 없어, 입출력 장치의 부품 점수를 줄일 수 있다. 또한, 표시부에서도, 고속 구동이 가능한 트랜지스터를 사용함으로써, 고화질 화상을 제공할 수 있다.

[0068] 액정 소자(207a)는, FFS(Fringe Field Switching) 모드가 적용된 액정 소자이다. 액정 소자(207a)는 도전막(251), 도전막(252), 및 액정(249)을 갖는다. 도전막(251)과 도전막(252) 사이에 생기는 전계에 의하여, 액정(249)의 배향을 제어할 수 있다. 도전막(251)은 화소 전극으로서 기능할 수 있다. 도전막(252)은 공통 전극으로서 기능할 수 있다.

[0069] 도전막(251) 및 도전막(252)에 가시광을 투과하는 도전성 재료를 사용함으로써, 입출력 장치(300)를 투과형 액정 표시 장치로서 기능시킬 수 있다. 또한, 도전막(251)에 가시광을 반사하는 도전성 재료를 사용하고, 도전막(252)에 가시광을 투과하는 도전성 재료를 사용함으로써, 입출력 장치(300)를 반사형 액정 표시 장치로서 기능시킬 수 있다.

[0070] 가시광을 투과하는 도전성 재료로서는 예를 들어, 인듐(In), 아연(Zn), 주석(Sn) 중으로부터 선택된 1가지를 포함하는 재료를 사용하면 좋다. 구체적으로는 산화 인듐, 인듐 주석 산화물(ITO: Indium Tin Oxide), 인듐 아연 산화물, 산화 텉스텐을 포함하는 인듐 산화물, 산화 텉스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물, 산화 아연, 갈륨을 첨가한 산화 아연 등을 들 수 있다. 또한, 그래핀을 포함하는 막을 사용할 수도 있다. 그래핀을 포함하는 막은, 예를 들어 막 형상으로 형성된 산화 그래핀을 포함하는 막을 환원하여 형성할 수 있다.

[0071] 도전막(251)에 산화물 도전막을 사용하는 것이 바람직하다. 또한, 도전막(252)에 산화물 도전막을 사용하는 것이 바람직하다. 산화물 도전막은 산화물 반도체막(223)에 포함되는 금속 원소를 한 가지 이상 갖는 것이 바람직하다. 예를 들어, 도전막(251)은 인듐을 포함하는 것이 바람직하고, In-M-Zn 산화물(M은 Al, Ti, Ga, Ge, Y, Zr, La, Ce, Sn, Mg, Nd, 또는 Hf)막인 것이 더 바람직하다. 마찬가지로 도전막(252)은 인듐을 포함하는 것이 바람직하고, In-M-Zn 산화물막인 것이 더 바람직하다.

[0072] 또한, 도전막(251) 및 도전막(252) 중 적어도 한쪽을, 산화물 반도체를 사용하여 형성하여도 좋다. 상술한 바와 같이, 동일의 금속 원소를 갖는 산화물 반도체를, 입출력 장치를 구성하는 층들 중 2층 이상에 사용함으로써, 제작 장치(예를 들어, 성막 장치, 가공 장치 등)를 2개 이상의 공정으로 공통적으로 사용하는 것이 가능해지므로, 제작 비용을 억제할 수 있다.

[0073] 예를 들어, 절연막(253)에 수소를 포함하는 질화 실리콘막을 사용하고, 도전막(251)에 산화물 반도체를 사용하면, 절연막(253)으로부터 공급되는 수소에 의하여 산화물 반도체의 도전율을 높일 수 있다.

[0074] 가시광을 반사하는 도전성 재료로서는 예를 들어 알루미늄, 은, 또는 이들 금속 재료를 포함하는 합금 등을 들 수 있다.

[0075] 화소 전극으로서 기능하는 도전막(251)은, 트랜지스터(203a)의 소스 또는 드레인과 전기적으로 접속된다. 여기서는, 도전막(251)이 드레인 전극(225b)과 전기적으로 접속되는 예를 나타내었다.

[0076] 도전막(252)은 빗살 형상의 상면 형상(평면 형상이라고도 함), 또는 슬릿이 제공된 상면 형상을 갖는다. 도전막(251)과 도전막(252) 사이에는, 절연막(253)이 제공된다. 도전막(251)은 절연막(253)을 개재하여 도전막(252)과 중첩되는 부분을 갖는다. 또한, 도전막(251)과 착색막(241)이 중첩되는 영역에 있어서, 도전막(251) 위에 도전막(252)이 배치되지 않는 부분을 갖는다.

- [0077] 절연막(253) 위에는 도전막(255)이 제공된다. 도전막(255)은 도전막(252)과 전기적으로 접속되고, 도전막(252)의 보조 배선으로서 기능할 수 있다. 공통 전극과 전기적으로 접속되는 보조 배선을 제공함으로써, 공통 전극의 저항에 기인한 전압 강하를 억제할 수 있다. 또한, 이때, 금속 산화물을 포함하는 도전막과 금속을 포함하는 도전막의 적층 구조로 하는 경우에는, 하프톤(half-tone) 마스크를 사용한 패터닝 기술로 형성하면, 공정을 간략화할 수 있어 바람직하다.
- [0078] 도전막(255)은 도전막(252)보다 저항값이 낮은 막이다. 도전막(255)은 예를 들어 몰리브데늄, 타이타늄, 크로뮴, 탄탈럼, 텅스텐, 알루미늄, 구리, 은, 네오디뮴, 스칸듐 등의 금속 재료 또는 이를 원소를 포함하는 합금 재료를 사용하여 단층으로 또는 적층으로 형성할 수 있다.
- [0079] 도전막(255)은 입출력 장치의 사용자에게 시인되지 않도록 차광막(243) 등과 중첩되는 위치에 제공되는 것이 바람직하다.
- [0080] 접속부(205a)는 주사선 구동 회로(302)에 외부로부터의 신호(비디오 신호, 클록 신호, 스타트 신호, 또는 리셋 신호 등)나 전위를 전달하는 외부 입력 단자와 전기적으로 접속한다. 여기서는, 외부 입력 단자로서 FPC(269)를 제공하는 예를 나타내었다.
- [0081] 접속부(205a)는 절연막(213) 위에 도전막(231)을 갖고, 도전막(231) 위에 도전막(233)을 갖고, 도전막(233) 위에 도전막(235)을 갖는다. 도전막(231)은 도전막(233)을 개재하여 도전막(235)과 전기적으로 접속된다. 또한, 도전막(235)은 접속체(267)를 개재하여 FPC(269)와 전기적으로 접속된다.
- [0082] 도전막(231)은 트랜지스터(201a) 및 트랜지스터(203a)가 갖는 소스 전극(225a) 및 드레인 전극(225b)과 동일 재료, 동일 공정으로 형성할 수 있다. 도전막(233)은 액정 소자(207a)가 갖는 도전막(251)과 동일 재료, 동일 공정으로 형성할 수 있다. 도전막(235)은 액정 소자(207a)가 갖는 도전막(252)과 동일 재료, 동일 공정으로 형성할 수 있다. 이와 같이, 접속부(205a)를 구성하는 도전막을 표시부나 구동 회로부에 사용하는 전극이나 배선과 동일 재료, 동일 공정으로 제작하면 공정수의 증가를 방지할 수 있어 바람직하다.
- [0083] 기판(261)에는 착색막(241), 차광막(243), 및 절연막(245)이 제공된다. 도 1의 (B)에는, 기판(261)의 두께가 기판(211)의 두께보다 얇은 예가 도시되었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 기판(261)과 기판(211)은, 한쪽이 다른 쪽보다 얇아도 좋고, 두께가 같아도 좋다. 표시면 측(피검지체에 가까운 측)의 기판을 얇게 하면, 검지 소자의 검출 감도를 높일 수 있어 바람직하다.
- [0084] 착색막(241)은 액정 소자(207a)와 중첩되는 부분을 갖는다. 차광막(243)은 트랜지스터(201a) 및 트랜지스터(203a) 중 적어도 한쪽과 중첩되는 부분을 갖는다.
- [0085] 절연막(245)은 착색막(241)이나 차광막(243) 등에 포함되는 불순물이 액정(249)으로 확산되는 것을 방지하는 오버 코트로서의 기능을 갖는 것이 바람직하다. 절연막(245)은 불필요하면 제공하지 않아도 된다.
- [0086] 또한, 액정(249)과 접하는 배향막이 제공되어도 좋다. 배향막은 액정(249)의 배향을 제어할 수 있다. 예를 들어, 도 1의 (B)에 있어서, 도전막(252)을 덮는 배향막을 형성하여도 좋다. 또한, 도 1의 (B)에 있어서, 절연막(245)과 액정(249) 사이에 배향막을 가져도 좋다. 또한, 절연막(245)이 배향막으로서의 기능과, 오버 코트로서의 기능 양쪽을 가져도 좋다.
- [0087] 또한, 입출력 장치(300)는 스페이서(247)를 갖는다. 스페이서(247)는 기판(211)과 기판(261)과의 거리가 일정 거리 이상 가까워지는 것을 방지하는 기능을 갖는다.
- [0088] 도 1의 (B)에는, 스페이서(247)가 절연막(253) 위 및 도전막(252) 위에 제공되는 예가 도시되었지만, 본 발명의 일 형태는 이에 한정되지 않는다. 스페이서(247)는 기판(211) 측에 제공되어도 좋고, 기판(261) 측에 제공되어도 좋다. 예를 들어, 절연막(245) 위에 스페이서(247)를 형성하여도 좋다. 또한, 도 1의 (B)에는 스페이서(247)가 절연막(253) 및 절연막(245)과 접하는 예가 도시되었지만, 기판(211) 측 및 기판(261) 측 중 어느 쪽에 제공된 구조물과 접하지 않아도 된다.
- [0089] 스페이서(247)로서 입자상의 스페이서를 사용하여도 좋다. 입자상의 스페이서로서는 실리카 등의 재료를 사용할 수도 있지만, 수지나 고무 등의 탄성을 갖는 재료를 사용하는 것이 바람직하다. 이때, 입자상의 스페이서는 상하 방향으로 찌부러진 형상이 되는 경우가 있다.
- [0090] 기판(211) 및 기판(261)은 접착층(265)에 의하여 접합된다. 기판(211), 기판(261), 및 접착층(265)에 둘러싸인 영역에 액정(249)이 밀봉된다.

- [0091] 또한, 입출력 장치(300)를 투과형 액정 표시 장치로서 기능시키는 경우, 표시부를 개재하도록 편광판을 2개 배치한다. 편광판보다 외측에 배치된 백 라이트로부터의 광은 편광판을 통하여 입사된다. 이때, 도전막(251)과 도전막(252) 사이에 공급되는 전압에 의하여 액정(249)의 배향을 제어하고, 광의 광학 변조를 제어할 수 있다. 즉, 편광판을 통하여 사출되는 광의 강도를 제어할 수 있다. 또한, 입사광은 착색막(241)에 의하여 특정 파장 영역 이외의 광이 흡수되므로, 사출되는 광은 예를 들어 적색, 청색, 또는 녹색을 나타내는 광이 된다.
- [0092] 또한, 편광판에 더하여 예를 들어, 원 편광판을 사용할 수 있다. 원 편광판으로서는, 예를 들어 직선 편광판과 1/4파장 위상차판을 적층한 것을 사용할 수 있다. 원 편광판에 의하여, 입출력 장치의 표시의 시야각 의존을 저감할 수 있다.
- [0093] 또한, 여기서는 액정 소자(207a)로서 FFS 모드가 적용된 소자를 사용하였지만 이에 한정되지 않고, 다양한 모드가 적용된 액정 소자를 사용할 수 있다. 예를 들어, VA(Vertical Alignment) 모드, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등이 적용된 액정 소자를 사용할 수 있다.
- [0094] 또한, 입출력 장치(300)에 노멀리 블랙형 액정 표시 장치, 예를 들어 수직 배향(VA) 모드를 채용한 투과형 액정 표시 장치를 적용하여도 좋다. 수직 배향 모드로서는, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV 모드 등을 사용할 수 있다.
- [0095] 또한, 액정 소자는 액정의 광학 변조 작용에 의하여 광의 투과 또는 비 투과를 제어하는 소자이다. 또한, 액정의 광학적 변조 작용은 액정에 가해지는 전계(가로 방향의 전계, 세로 방향의 전계, 또는 경사 방향의 전계를 포함함)에 의하여 제어된다. 또한, 액정 소자에 사용하는 액정으로서는 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC: Polymer Dispersed Liquid Crystal), 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이를 액정 재료는 조건에 따라 콜레스테릭상, 스멕틱상, 큐빅상, 키랄네마티ック상, 등방상 등을 나타낸다.
- [0096] 또한, 액정 재료로서는 포지티브형 액정 및 네거티브형 액정 중 어느 쪽을 사용하여도 좋고, 적용되는 모드 및 설계에 따라 최적의 액정 재료를 사용할 수 있다.
- [0097] 또한, 횡전계 방식을 채용하는 경우, 배향막을 사용하지 않는 블루상을 나타내는 액정을 사용하여도 좋다. 블루상은 액정상 중 하나이며, 콜레스테릭(cholesteric) 액정을 계속 승온하면, 콜레스테릭상으로부터 등방상으로 전이(轉移)하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서만 발현하기 때문에, 온도 범위를 개선하기 위하여 5중량% 이상의 키랄체를 혼합시킨 액정 조성물을 액정(249)에 사용한다. 블루상을 나타내는 액정과 키랄체를 포함하는 액정 조성물은 응답 속도가 빠르고 광학적 등방성을 갖는다. 또한, 블루상을 나타내는 액정과 키랄체를 포함하는 액정 조성물은, 배향 처리가 불필요하고, 시야각 의존성이 작다. 또한, 배향막을 제공할 필요가 없으므로 러빙 처리도 불필요하게 되어, 러빙 처리에 기인한 정전 파괴를 방지할 수 있고, 제작 공정 중에서의 액정 표시 장치의 불량이나 파손을 경감시킬 수 있다.
- [0098] 여기서, 기판(261)보다 상부에 손가락 또는 스타일러스 등의 피검지체가 직접 접촉되는 기판을 제공하여도 좋다. 또한, 이때 기판(261)과 상기 기판 사이에 편광판 또는 원 편광판을 제공하는 것이 바람직하다. 이 경우, 상기 기판 위에 보호층(세라믹 코트 등)을 제공하는 것이 바람직하다. 보호층은 예를 들어 산화 실리콘, 산화 알루미늄, 산화 이트륨, 이트리아 안정화 지르코니아(YSZ) 등의 무기 절연 재료를 사용할 수 있다. 또한, 상기 기판에 강화 유리를 사용하여도 좋다. 강화 유리는, 이온 교환법이나 풍냉 강화법 등에 의하여 물리적 또는 화학적인 처리가 실시되어, 그 표면에 압축 응력이 가해진 것을 사용할 수 있다.
- [0099] 또한, 도 2의 (A)에는 인접된 2개의 화소의 단면도가 도시되었다. 도 2의 (A)에 도시된 2개의 부화소는 서로 상이한 화소가 갖는 부화소이다.
- [0100] 도 2의 (A)에 도시된 입출력 장치에서는, 왼쪽의 부화소가 갖는 도전막(252)과 오른쪽의 부화소가 갖는 도전막(252) 사이에 형성되는 용량을 이용하여 피검지체의 근접 또는 접촉 등을 검지할 수 있다. 즉, 본 발명의 일 형태에 따른 입출력 장치에 있어서, 도전막(252)은 액정 소자의 공통 전극과 검지 소자의 전극 양쪽을 겹친다.
- [0101] 이와 같이, 본 발명의 일 형태에 따른 입출력 장치에서는 액정 소자를 구성하는 전극이 검지 소자를 구성하는 전극을 겹치하기 때문에, 제작 공정을 간략화할 수 있고, 또한 제작 비용을 저감할 수 있다. 또한, 입출력 장치의 박형화 및 경량화를 도모할 수 있다.

- [0102] 도전막(252)은 보조 배선으로서 기능하는 도전막(255)과 전기적으로 접속된다. 도전막(255)을 제공함으로써, 겸지 소자의 전극의 저항을 저감시킬 수 있다. 겸지 소자의 전극의 저항이 저하됨으로써, 겸지 소자의 전극의 시정수를 작게 할 수 있다. 겸지 소자의 전극의 시정수가 작을수록 겸출 감도를 높일 수 있고, 또한, 겸출의 정밀도를 높일 수 있다.
- [0103] 또한, 겸지 소자의 전극과 신호선 사이의 용량이 지나치게 크면, 겸지 소자의 전극의 시정수가 크게 되는 경우가 있다. 그래서, 트랜지스터와 겸지 소자의 전극 사이에, 평탄화 기능을 갖는 절연막을 제공하고, 겸지 소자의 전극과 신호선 사이의 용량을 삭감하는 것이 바람직하다. 예를 들어, 도 2의 (A)에서는, 평탄화 기능을 갖는 절연막으로서 절연막(219)을 갖는다. 절연막(219)을 제공함으로써, 도전막(252)과 신호선의 용량을 작게 할 수 있다. 따라서, 겸지 소자의 전극의 시정수를 작게 할 수 있다. 상술한 바와 같이, 겸지 소자의 전극의 시정수가 작을수록, 겸출 감도를 높일 수 있고, 또한, 겸출의 정밀도를 높일 수 있다.
- [0104] 예를 들어, 겸지 소자의 전극의 시정수는 0초보다 크고 1×10^{-4} 초 이하, 바람직하게는 0초보다 크고 5×10^{-5} 초 이하, 더 바람직하게는 0초보다 크고 5×10^{-6} 초 이하, 더욱 바람직하게는 0초보다 크고 5×10^{-7} 초 이하, 특히 바람직하게는 0초보다 크고 2×10^{-7} 초 이하이면 좋다. 특히, 시정수를 1×10^{-6} 초 이하로 함으로써, 노이즈의 영향을 억제하면서 높은 겸출 감도를 실현할 수 있다.
- [0105] [입출력 장치의 단면 구성예 2]
- [0106] 도 2의 (B)에는, 도 2의 (A)와는 상이한, 인접된 2개의 화소의 단면도가 도시되었다. 도 2의 (B)에 도시된 2개의 부화소는 서로 상이한 화소가 갖는 부화소이다. 또한, 도 3의 (A)에는, 이 경우의 도 1의 (A)에서의 일점쇄선 A-B 및 일점쇄선 C-D를 따라 자른 단면도가 도시되었다.
- [0107] 도 2의 (B) 및 도 3의 (A)에 도시된 구성예 2는 도전막(251), 도전막(252), 절연막(253), 및 도전막(255)의 적층 순서가 도 1의 (B) 및 도 2의 (A)에 도시된 구성예 1과 상이하다. 또한, 구성예 2에 있어서, 구성예 1과 같은 부분에 관해서는 상술한 설명을 참조할 수 있다.
- [0108] 구체적으로는, 구성예 2는 절연막(219) 위에 도전막(255)을 갖고, 도전막(255) 위에 도전막(252)을 갖고, 도전막(252) 위에 절연막(253)을 갖고, 절연막(253) 위에 도전막(251)을 갖는다.
- [0109] 도 2의 (B)에 도시된 액정 소자(207b)와 같이, 위층에 제공되고, 빗살 형상 또는 슬릿 형상의 상면 형상을 갖는 도전막(251)을 화소 전극으로 하고, 하층에 제공되는 도전막(252)을 공통 전극으로서 사용할 수도 있다. 도전막(251)은 트랜지스터(203a)의 소스 또는 드레인과 전기적으로 접속된다.
- [0110] 도 2의 (B)에서는 왼쪽의 부화소가 갖는 도전막(252)과 오른쪽의 부화소가 갖는 도전막(252) 사이에 형성되는 용량을 이용하여 피검지체의 근접 또는 접촉 등을 검지할 수 있다. 즉, 본 발명의 일 형태에 따른 입출력 장치에 있어서, 도전막(252)은 액정 소자의 공통 전극과 겸지 소자의 전극 양쪽을 겹한다.
- [0111] 또한, 구성예 1(도 1의 (B), 도 2의 (A))에서는, 겸지 소자의 전극과 공통 전극을 겹하는 도전막(252)이 화소 전극으로서 기능하는 도전막(251)보다 표시면 측(피검지체에 가까운 측)에 위치한다. 따라서, 도전막(251)이 도전막(252)보다 표시면 측에 위치하는 구성예 2보다, 구성예 1에서는 겸출 감도가 향상되는 경우가 있다.
- [0112] 또한, 구성예 2는 도전막(251), 도전막(252), 절연막(253), 및 도전막(255)의 적층 순서가 구성예 1과 상이하므로, 접속부의 구성도 구성예 1과는 상이하다.
- [0113] 도 3의 (A)에 도시된 접속부(205b)는 절연막(213) 위에 도전막(231)을 갖고, 도전막(231) 위에 도전막(233)을 갖고, 도전막(233) 위에 도전막(235)을 갖는다. 도전막(233)은 액정 소자(207b)가 갖는 도전막(252)과 동일 재료, 동일 공정으로 형성할 수 있다. 도전막(235)은 액정 소자(207b)가 갖는 도전막(251)과 동일 재료, 동일 공정으로 형성할 수 있다.
- [0114] 또한, 본 발명의 일 형태에 따른 입출력 장치가 갖는 트랜지스터의 다른 구성예에 대해서는, 도 3의 (B) 및 (C)에 도시되었다. 도 3의 (B)에 도시된 바와 같이 2개의 게이트를 갖는 트랜지스터에 있어서, 상기 2개의 게이트는 전기적으로 접속되지 않아도 된다. 또한, 도 3의 (C)에 도시된 바와 같이, 구동 회로부 및 표시부 중 적어도 한쪽에 톱 게이트의 트랜지스터를 가져도 좋다.
- [0115] 또한, 본 발명의 일 형태에 따른 입출력 장치가 갖는 액정 소자의 다른 구성예에 대해서는, 도 3의 (D)~(F)에 도시되었다. 도전막(251) 및 도전막(252) 양쪽이 빗살 형상의 상면 형상(평면 형상이라고도 함), 또는 슬릿이

제공된 상면 형상을 가져도 좋다.

[0116] 예를 들어, 상면으로부터 볼 때, 한쪽의 도전막의 슬릿 단부와, 다른 쪽의 도전막의 슬릿 단부가 중첩되는 형상이어도 좋다. 이 경우의 단면도가 도 3의 (D)에 도시되었다.

[0117] 또는, 상면으로부터 볼 때, 도전막(251) 및 도전막(252) 양쪽이 제공되지 않는 부분을 가져도 좋다. 이 경우의 단면도가 도 3의 (E)에 도시되었다.

[0118] 또는, 상면으로부터 볼 때, 도전막(251) 및 도전막(252)이 서로 중첩되는 부분을 가져도 좋다. 이 경우의 단면도가 도 3의 (F)에 도시되었다.

[0119] [입출력 장치의 단면 구성예 3]

[0120] 도 4에는, 도 1의 (B) 및 도 3의 (A)와는 상이한, 도 1의 (A)에서의 일점쇄선 A-B 및 일점쇄선 C-D를 따라 자른 단면도가 도시되었다.

[0121] 도 4에 도시된 구성예 3은 표시부(301)가 갖는 트랜지스터와 주사선 구동 회로(302)가 갖는 트랜지스터의 구성이, 각각 도 1의 (B) 및 도 2의 (A)에 도시된 구성예 1과 상이하다. 또한, 구성예 3에 있어서, 구성예 1과 같은 부분에 관해서는 상술한 설명을 참조할 수 있다.

[0122] 트랜지스터(201b)는 채널이 형성되는 산화물 반도체막을 2개의 게이트로 협지하는 구성이다. 트랜지스터(201b)는 게이트 전극(221)과 산화물 도전막(227)이 직접 접촉되는 점에서, 트랜지스터(201a)와 상이하다. 이와 같이, 2개의 게이트는 다른 층을 개재하지 않고 전기적으로 접속되어도 좋다.

[0123] 트랜지스터(203b)는 트랜지스터(201b)와 마찬가지로 채널이 형성되는 산화물 반도체막(223)을 2개의 게이트로 협지하는 구성이다. 이와 같이, 구동 회로에 더하여 표시부에도 2개의 게이트를 갖는 트랜지스터를 적용할 수 있다. 또한, 도시되지 않았지만, 트랜지스터(203b)에 있어서도 게이트 전극(221)과 산화물 도전막(227)이 전기적으로 접속되는 것이 바람직하다.

[0124] 또한, 산화물 도전막(227)과 검지 소자의 전극의 거리가 가까울수록 산화물 도전막(227)의 영향을 받아, 검지 소자의 전극의 전위가 변화되는 문제가 발생하기 쉬워진다. 본 발명의 일 형태에서는, 산화물 도전막(227)과 검지 소자의 전극이 다른 층에 제공되기 때문에, 검지 소자의 전극이 산화물 도전막(227)의 영향을 쉽게 받지 않아 바람직하다.

[0125] [입출력 장치의 단면 구성예 4]

[0126] 도 5에는, 도 1의 (B), 도 3의 (A), 및 도 4와 상이한, 도 1의 (A)에서의 일점쇄선 A-B 및 일점쇄선 C-D를 따라 자른 단면도가 도시되었다.

[0127] 도 5에 도시된 구성예 4는 주사선 구동 회로(302)가 갖는 트랜지스터의 구성과 스페이서(247)가 제공되는 기판이, 도 1의 (B) 및 도 2의 (A)에 도시된 구성예 1과 상이하다. 또한, 구성예 4에 있어서, 구성예 1과 같은 부분에 관해서는, 상술한 설명을 참조할 수 있다.

[0128] 트랜지스터(201c)는, 채널이 형성되는 산화물 반도체막을 2개의 게이트로 협지하는 구성이다. 트랜지스터(201c)는, 산화물 도전막(227)의 형성 위치가 트랜지스터(201a)와 상이하다. 구체적으로는, 절연막(215) 위에 절연막(217)을 갖고, 절연막(217) 위에 평탄화 기능을 갖는 절연막(218)을 갖고, 절연막(218) 위에 산화물 도전막(227)을 갖는다. 이와 같이, 산화물 도전막(227)은 평탄화 기능을 갖는 절연막 위에 제공되어도 좋다. 트랜지스터(201c)는, 평탄화 기능을 갖는 절연막(219)으로 덮인다. 또한, 도 5에서는 산화물 도전막(227)이 도전막(226)을 개재하여 게이트 전극(221)과 전기적으로 접속되는 예가 도시되었지만, 도 4에 도시된 바와 같이 산화물 도전막(227)과 게이트 전극(221)이 직접 접속되어도 좋다.

[0129] 또한, 도 5에는 스페이서(247)가 절연막(245) 위에 제공되는 예가 도시되었다. 이와 같이, 기판(261) 측에 스페이서(247)를 배치하여도 좋다.

[0130] [입출력 장치의 단면 구성예 5]

[0131] 도 6에는, 도 1의 (B), 도 3의 (A), 도 4, 및 도 5와는 상이한, 도 1의 (A)에서의 일점쇄선 A-B 및 일점쇄선 C-D를 따라 자른 단면도가 도시되었다.

[0132] 도 6에 도시된 구성예 5는 착색막(241)의 형성 위치가 도 1의 (B) 및 도 2의 (A)에 도시된 구성예 1과

상이하다. 또한, 구성예 5에 있어서 구성예 1과 같은 부분에 관해서는 상술한 설명을 참조할 수 있다.

[0133] 착색막(241)은 대향 기판(기판(261)) 측에 형성되는 구성에 한정되지 않는다. 도 6에 도시된 바와 같이, 트랜지스터 등이 형성되는 기판(211) 위에 형성되어도 좋다. 따라서, 입출력 장치의 표시의 고정세화에 따른 기판(211)과 기판(261)의 얼라인먼트 정밀도의 저하에 의한, 수율의 저하 및 표시 품위의 저하를 억제할 수 있다.

[입출력 장치의 단면 구성 예 6]

[0135] 도 34에는 상기 각 구성예와는 상이한 입출력 장치의 단면도가 도시되었다. 본 발명의 일 형태에 따른 입출력 장치는, 표시 소자를 지지하는 기판에만 검지 소자를 구성하는 전극 등을 제공한 구성(풀인셀형)의 터치 패널에 한정되지 않는다. 도 34에 도시된 입출력 장치와 같이 대향 기판 측에 검지 소자를 구성하는 전극이 제공되어도 좋다.

[0136] 도 34에는, 착색막(241) 등이 형성되는 면과 대향하는 기판(261)의 면 위에 도전막(254)이 형성되는 예가 도시되었다. 도전막(254)에는 접속체(257)를 개재하여 FPC(259)가 전기적으로 접속된다. 도 34에 도시된 입출력 장치(300)에서는 도전막(252)과 도전막(254) 사이에 형성되는 용량을 이용하여 피검지체의 근접 또는 접촉 등을 검지할 수 있다. 즉, 본 발명의 일 형태에 따른 입출력 장치에 있어서, 도전막(252)은 액정 소자의 공통 전극과 검지 소자의 한쪽의 전극 양쪽을 겹친다. 이와 같이, 액정 소자의 공통 전극은 검지 소자의 한쪽의 전극을 겹하여도 좋고, 검지 소자의 한 쌍의 전극을 겹하여도 좋다.

[0137] 또한, 도 34에는 도전막(252) 위에 도전막(255)을 갖는 예가 도시되었다. 액정 소자의 전극과 상기 전극의 보조 배선으로서 기능할 수 있는 도전막은, 어느 쪽이 위에 위치하여도 상관없다.

[0138] 다음에, 본 실시형태의 입출력 장치의 각 구성 요소에 사용할 수 있는 재료 등의 자세한 사항에 대하여 설명한다. 또한, 이미 설명한 구성 요소에 대해서는 설명을 생략하는 경우가 있다. 또한, 이후의 실시형태에서 나타내는 입출력 장치 및 그 구성 요소에도 이하의 재료를 적절히 사용할 수 있다.

《기판》

[0140] 입출력 장치(300)가 갖는 기판의 재질 등에 큰 제한은 없지만, 적어도 나중의 가열 처리에 견딜 수 있을 정도의 내열성을 가질 필요가 있다. 예를 들어 유리 기판, 세라믹 기판, 석영 기판, 및 사파이어 기판 등을 사용하여도 좋다. 또한, 실리콘이나 탄소화 실리콘으로 이루어진 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 저마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수도 있고, 이를 기판 위에 반도체 소자가 제공된 것을 기판으로서 사용하여도 좋다. 또한, 기판으로서 유리 기판을 사용하는 경우, 제 6 세대($1500\text{mm} \times 1850\text{mm}$), 제 7 세대($1870\text{mm} \times 2200\text{mm}$), 제 8 세대($2200\text{mm} \times 2400\text{mm}$), 제 9 세대($2400\text{mm} \times 2800\text{mm}$), 제 10 세대($2950\text{mm} \times 3400\text{mm}$) 등의 대면적 기판을 사용함으로써, 대형 표시 장치를 제작할 수 있다. 또한, 기판(211)으로서 가요성 기판을 사용하고, 가요성 기판 위에 직접 트랜지스터, 용량 소자 등을 형성하여도 좋다.

[0141] 두께가 얇은 기판을 사용함으로써 입출력 장치의 경량화, 박형화를 도모할 수 있다. 또한, 가요성을 가질 정도의 두께를 갖는 기판을 사용함으로써 가요성을 갖는 입출력 장치를 실현할 수 있다.

[0142] 이들 외에도, 기판(211) 및 기판(261)으로서 다양한 기판을 사용하여 트랜지스터를 형성할 수 있다. 기판의 종류는, 특정한 것에 한정되지 않는다. 그 기판의 일례로서는 플라스틱 기판, 금속 기판, 스테인리스·스틸 기판, 스테인리스·스틸·포일을 갖는 기판, 텅스텐 기판, 텅스텐·포일을 갖는 기판, 가요성 기판, 접합 필름, 섬유상의 재료를 포함하는 종이, 또는 기재 필름 등이 있다. 유리 기판의 일례로서는 바륨보로실리케이트 유리, 알루미노보로실리케이트 유리, 또는 소다라임 유리 등이 있다. 가요성 기판의 일례로서는, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르설휘(PES)으로 대표되는 플라스틱, 또는 아크릴 등의 가요성을 갖는 합성 수지 등이 있다. 접합 필름의 일례로서는, 폴리프로필렌, 폴리에스터, 폴리불화바이닐, 또는 폴리염화바이닐 등이 있다. 기재 필름의 일례로서는, 폴리에스터, 폴리아마이드, 폴리아미드, 무기증착 필름, 또는 종이류 등이 있다. 특히, 반도체 기판, 단결정 기판, 또는 SOI 기판 등을 사용하여 트랜지스터를 제작함으로써 특성, 사이즈, 또는 형상 등의 불균일이 적고, 전류 능력이 높고, 사이즈가 작은 트랜지스터를 제작할 수 있다. 이와 같은 트랜지스터에 의하여 회로를 구성하면, 회로의 저소비 전력화 또는 회로의 고집적화를 도모할 수 있다.

[0143] 또한, 어떤 기판을 사용하여 트랜지스터를 형성한 후에, 트랜지스터를 다른 기판에 전치(轉置)함으로써 다른 기판 위에 트랜지스터를 배치하여도 좋다. 트랜지스터가 전치되는 기판의 일례로서는, 상술한 트랜지스터를 형성할 수 있는 기판에 더하여, 종이 기판, 셀로판 기판, 석재 기판, 목재 기판, 천 기판(천연 섬유(견, 면, 마),

합성 섬유(나일론, 폴리우레탄, 폴리에스터), 또는 재생 섬유(아세테이트, 큐프라, 레이온, 재생 폴리에스터) 등을 포함함), 괴혁 기판, 또는 고무 기판 등이 있다. 이들 기판을 사용함으로써, 특성이 좋은 트랜지스터의 형성, 소비 전력이 적은 트랜지스터의 형성, 파괴되기 어려운 장치의 제작, 내열성의 부여, 경량화, 또는 박형화를 도모할 수 있다.

〔0144〕 《트랜지스터》

본 발명의 일 형태에 따른 입출력 장치가 갖는 트랜지스터의 구조는 특별히 한정되지 않는다. 예를 들어, 플레이너(planar)형 트랜지스터로 하여도 좋고, 스태거형 트랜지스터로 하여도 좋고, 역 스태거형 트랜지스터로 하여도 좋다. 또한, 톱 게이트형 및 보텀 게이트형 중 어느 트랜지스터 구조로 하여도 좋다. 또는, 채널의 상하에 게이트 전극이 제공되어도 좋다. 트랜지스터에 사용하는 반도체 재료는 특별히 한정되지 않고, 예를 들어 산화물 반도체, 실리콘, 저마늄 등을 들 수 있다.

트랜지스터에 사용하는 반도체 재료의 결정성에 대해서도 특별히 한정되지 않고, 비정질 반도체, 결정성을 갖는 반도체(미결정 반도체, 다결정 반도체, 단결정 반도체, 또는 일부에 결정 영역을 갖는 반도체) 중 어느 것을 사용하여도 좋다. 결정성을 갖는 반도체를 사용하면 트랜지스터 특성의 열화를 억제할 수 있어 바람직하다.

또한, 트랜지스터에 사용하는 반도체 재료로서는 예를 들어, 제 14족의 원소, 화합물 반도체 또는 산화물 반도체를 반도체층에 사용할 수 있다. 대표적으로는, 실리콘을 포함하는 반도체, 갈륨 비소를 포함하는 반도체 또는 인듐을 포함하는 산화물 반도체 등을 적용할 수 있다.

특히, 트랜지스터의 채널이 형성되는 반도체에, 산화물 반도체를 적용하는 것이 바람직하다. 특히 실리콘보다 밴드 갭이 큰 산화물 반도체를 적용하는 것이 바람직하다. 실리콘보다 밴드 갭이 크고, 또한 캐리어 밀도가 작은 반도체 재료를 사용하면 트랜지스터의 오프 상태에서의 전류를 저감할 수 있어 바람직하다.

예를 들어, 상기 산화물 반도체로서 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 더 바람직하게는, In-M-Zn 산화물(M은 Al, Ti, Ga, Ge, Y, Zr, La, Ce, Sn, Mg, Nd, 또는 Hf 등의 금속)로 표기되는 산화물을 포함한다.

특히, 반도체층으로서 복수의 결정부를 갖고, 상기 결정부는 c축이 반도체층의 피형성면, 또는 반도체층의 상면에 대하여 실질적으로 수직으로 배향하고, 또한 인접되는 결정부들 사이에는 입계를 갖지 않는 산화물 반도체막을 사용하는 것이 바람직하다.

이와 같은 산화물 반도체는 결정 입계를 갖지 않기 때문에 표시 패널을 만곡시켰을 때의 응력에 의하여 산화물 반도체막에 크랙이 생기는 것이 억제된다. 따라서, 가요성을 갖고 만곡시켜 사용하는 입출력 장치 등에, 이와 같은 산화물 반도체를 바람직하게 사용할 수 있다.

또한, 반도체층으로서 이와 같은 산화물 반도체를 사용함으로써, 전기 특성의 변동이 억제되어, 신뢰성이 높은 트랜지스터를 실현할 수 있다.

또한, 그 낮은 오프 전류에 의하여 트랜지스터를 개재하여 용량 소자에 축적한 전하를 오랫동안 유지할 수 있다. 이와 같은 트랜지스터를 화소에 적용함으로써, 각 표시 영역에 표시한 화상의 계조를 유지하며, 구동 회로를 정지할 수도 있다. 그 결과, 극히 소비 전력이 저감된 표시 장치를 실현할 수 있다.

〔0154〕 《산화물 반도체막》

산화물 반도체막(223)은, 적어도 인듐(In), 아연(Zn) 및 M(Al, Ti, Ga, Ge, Y, Zr, La, Ce, Sn, Mg, Nd, 또는 Hf 등의 금속)을 포함하는 In-M-Zn 산화물로 표기되는 막을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기 특성의 불균일을 저감하기 위하여, 이들과 함께 스태빌라이저를 포함하는 것이 바람직하다.

스테빌라이저로서는, 상기 M으로서 기재된 금속에 더하여, 예를 들어, 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 또는 지르코늄(Zr) 등을 들 수 있다. 또한, 스태빌라이저의 다른 예로서는, 란타노이드인 란타넘(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 터븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 어븀(Er), 텐븀(Tm), 이터븀(Yb), 및 루테튬(Lu) 등이 있다.

산화물 반도체막(223)을 구성하는 산화물 반도체로서 예를 들어, In-Ga-Zn계 산화물, In-Al-Zn계 산화물, In-Sn-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물,

In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.

- [0158] 또한, 여기서 In-Ga-Zn계 산화물이란, In, Ga 및 Zn을 주성분으로서 갖는 산화물을 가리키며, In, Ga, 및 Zn의 비율은 불문한다. 또한, In, Ga 및 Zn 이외의 금속 원소가 들어가 있어도 좋다.
- [0159] 또한, 산화물 반도체막(223)이 In-M-Zn 산화물인 경우, In 및 M의 합을 100atomic%로 하였을 때 바람직하게는 In이 25atomic%보다 높고, M이 75atomic% 미만, 더 바람직하게는 In이 34atomic%보다 높고, M이 66atomic% 미만으로 한다.
- [0160] 산화물 반도체막(223)은 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 이와 같이, 에너지 갭이 큰 산화물 반도체를 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.
- [0161] 산화물 반도체막(223)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하로 한다.
- [0162] 산화물 반도체막(223)이 In-M-Zn 산화물(M은 Al, Ti, Ga, Ge, Y, Zr, La, Ce, Sn, Mg, Nd, 또는 Hf)인 경우, In-M-Zn 산화물을 성막하기 위하여 사용하는 스퍼터링 타깃의 금속 원소가 $In \geq M$, $Zn \geq M$ [원자수비]을 만족시키는 것이 바람직하다. 이와 같은 스퍼터링 타깃의 금속 원소의 원자수비로서, In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=3:1:2, In:M:Zn=1:3:4, In:M:Zn=1:3:6 등을 들 수 있다. 또한, 형성되는 산화물 반도체막(223)의 원자수비는 각각 상기 스퍼터링 타깃에 포함되는 금속 원소의 원자수비 $\pm 40\%$ 의 오차 변동을 포함한다.
- [0163] 산화물 반도체막(223)으로서는, 캐리어 밀도가 낮은 산화물 반도체막을 사용한다. 예를 들어, 산화물 반도체막(223)은 캐리어 밀도가 1×10^{17} 개/cm³ 이하, 바람직하게는 1×10^{15} 개/cm³ 이하, 더 바람직하게는 1×10^{13} 개/cm³ 이하, 더욱 바람직하게는 1×10^{11} 개/cm³ 이하의 산화물 반도체막을 사용한다.
- [0164] 또한, 이들에 한정되지 않고, 필요한 트랜지스터의 반도체 특성 및 전기 특성 (전계 효과 이동도, 문턱 전압 등)에 따라 적절한 조성을 갖는 것을 사용할 수 있다. 또한, 필요한 트랜지스터의 반도체 특성을 얻기 위하여 산화물 반도체막(223)의 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0165] 산화물 반도체막(223)에 있어서, 제 14족 원소 중 하나인 실리콘이나 탄소가 포함되면 산화물 반도체막(223)에 있어서 산소 결손이 증가되어 n형화될 수 있다. 그래서, 산화물 반도체막(223)에서의 실리콘이나 탄소의 농도 (이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 농도)를 2×10^{18} atoms/cm³ 이하, 바람직하게는 2×10^{17} atoms/cm³ 이하로 한다.
- [0166] 또한, 산화물 반도체막(223)에 있어서, SIMS에 의하여 얻어지는 알칼리 금속 또는 알칼리 토금속의 농도를 1×10^{18} atoms/cm³ 이하, 바람직하게는 2×10^{16} atoms/cm³ 이하로 한다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합하면 캐리어를 생성하는 경우가 있고, 트랜지스터의 오프 전류가 증대되는 경우가 있다. 그래서, 산화물 반도체막(223)의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다.
- [0167] 또한, 산화물 반도체막(223)에 질소가 포함되면 캐리어인 전자가 생겨, 캐리어 밀도가 증가되므로 n형화되기 쉽다. 이 결과, 질소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 따라서, 상기 산화물 반도체막에 있어서, 질소는 가능한 한 저감되는 것이 바람직하다. 예를 들어, SIMS에 의하여 얻어지는 질소 농도는 5×10^{18} atoms/cm³ 이하로 하는 것이 바람직하다.
- [0168] 또한, 산화물 반도체막(223)은 예를 들어 비단결정 구조를 가져도 좋다. 비단결정 구조는 예를 들어 후술하는 CAAC-OS(C Axis Aligned-Crystalline Oxide Semiconductor), 다결정 구조, 후술하는 미결정 구조, 또는 비정질 구조를 포함한다. 비단결정 구조에 있어서, 비정질 구조는 결함 준위 밀도가 가장 높고, CAAC-OS는 결함 준위 밀도가 가장 낮다.
- [0169] 산화물 반도체막(223)은 예를 들어 비정질 구조를 가져도 좋다. 비정질 구조의 산화물 반도체막은, 예를 들어, 원자 배열이 무질서하며 결정 성분을 갖지 않는다. 또는, 비정질 구조의 산화물막은 예를 들어 완전한 비정질 구조이며 결정부를 갖지 않는다.

- [0170] 또한, 산화물 반도체막(223)이 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중 2가지 이상을 갖는 혼합막이라도 좋다. 혼합막은 예를 들어, 비정질 구조의 영역, 미결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중 어느 2가지 이상의 영역의 단층 구조를 갖는 경우가 있다. 또한, 혼합막은 예를 들어 비정질 구조의 영역, 미결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중 어느 2가지 이상의 영역의 적층 구조를 갖는 경우가 있다.
- [0171] 또는, 트랜지스터의 채널이 형성되는 반도체에 실리콘을 사용하는 것이 바람직하다. 실리콘으로서 비정질 실리콘을 사용하여도 좋지만, 특히 결정성을 갖는 실리콘을 사용하는 것이 바람직하다. 예를 들어, 미결정 실리콘, 다결정 실리콘, 단결정 실리콘 등을 사용하는 것이 바람직하다. 특히, 다결정 실리콘은 단결정 실리콘에 비하여 저온으로 형성할 수 있고, 또한 비정질 실리콘에 비하여 높은 전계 효과 이동도와 높은 신뢰성을 구비한다. 이와 같은 다결정 반도체를 화소에 적용함으로써 화소의 개구율을 향상시킬 수 있다. 극히 고정세 입출력 장치를 제작하는 경우에도, 게이트 구동 회로와 소스 구동 회로를 화소와 동일 기판 위에 형성할 수 있게 되어, 전자 기기를 구성하는 부품 점수를 저감할 수 있다.
- [0172] 《산화물 반도체의 저항률의 제어 방법》
- [0173] 산화물 반도체는, 막 내의 산소 결손 또는/및 막 내의 수소, 물 등의 불순물 농도에 의하여 저항을 제어할 수 있는 반도체 재료이다. 그래서 산화물 반도체막에 대하여 산소 결손 또는/및 불순물 농도가 증가되는 처리, 또는 산소 결손 또는/및 불순물 농도가 저감되는 처리를 선택함으로써, 산화물 도전막이 갖는 저항률을 제어할 수 있다.
- [0174] 또한, 이와 같이 산화물 반도체막을 사용하여 형성된 산화물 도전막은, 캐리어 밀도가 높고, 저저항의 산화물 반도체막, 도전성을 갖는 산화물 반도체막, 또는 도전성이 높은 산화물 반도체막이라고 할 수도 있다.
- [0175] 구체적으로는 게이트로서 기능하는 산화물 도전막(227)이 되는 산화물 반도체막에 플라스마 처리를 실시하고, 산화물 반도체막 내의 산소 결손을 증가시키거나, 또는/및 산화물 반도체막 내의 수소, 물 등의 불순물을 증가시킴으로써 캐리어 밀도가 높고, 저저항의 산화물 반도체막으로 할 수 있다. 또한, 산화물 반도체막에 수소를 포함하는 절연막(217)이 접하도록 형성하고, 상기 수소를 포함하는 절연막(217)으로부터 산화물 반도체막에 수소를 확산시킴으로써 캐리어 밀도가 높고, 저저항의 산화물 반도체막으로 할 수 있다.
- [0176] 한편, 산화물 반도체막(223) 위에는, 산화물 반도체막(223)이 상기 플라스마 처리에 노출되지 않도록 절연막(215)을 제공한다. 또한, 절연막(215)을 제공함으로써 산화물 반도체막(223)이 수소를 포함하는 절연막(217)과 접하지 않는 구성으로 한다. 절연막(215)으로서, 산소를 방출할 수 있는 절연막을 사용함으로써 산화물 반도체막(223)에 산소를 공급할 수 있다. 산소가 공급된 산화물 반도체막(223)은 막 내 또는 계면의 산소 결손이 저감되어 고저항의 산화물 반도체이 된다. 또한, 산소를 방출할 수 있는 절연막으로서 예를 들어, 산화 실리콘막 또는 산화질화 실리콘막을 사용할 수 있다.
- [0177] 또한, 저항률이 낮은 산화물 반도체막을 얻기 위하여 이온 주입법, 이온 도핑법, 플라스마 잠입 이온 주입법 등을 사용하여, 수소, 붕소, 인, 또는 질소를 산화물 반도체막에 주입하여도 좋다.
- [0178] 또한, 산화물 도전막(227)에 실시하는 플라스마 처리로서는, 대표적으로는, 희가스(He, Ne, Ar, Kr, Xe), 인, 붕소, 수소, 및 질소 중에서 선택된 1가지를 포함하는 가스를 사용한 플라스마 처리를 들 수 있다. 더 구체적으로는, Ar 분위기하에서의 플라스마 처리, Ar과 수소의 혼합 가스 분위기하에서의 플라스마 처리, 암모니아 분위기하에서의 플라스마 처리, Ar과 암모니아의 혼합 가스 분위기하에서의 플라스마 처리, 또는 질소 분위기하에서의 플라스마 처리 등을 들 수 있다.
- [0179] 상기 플라스마 처리에 의하여, 산화물 도전막(227)은 산소가 이탈된 격자(또는 산소가 이탈된 부분)에 산소 결손이 형성된다. 상기 산소 결손은, 캐리어를 발생하는 요인이 될 경우가 있다. 또한, 산화물 도전막(227)의 근방, 더 구체적으로는 산화물 도전막(227)의 아래측 또는 위측에 접하는 절연막으로부터 수소가 공급되고, 상기 산소 결손에 수소가 들어가면 캐리어인 전자를 생성하는 경우가 있다. 따라서, 플라스마 처리에 의하여 산소 결손이 증가된 산화물 도전막(227)은 산화물 반도체막(223)보다 캐리어 밀도가 높다.
- [0180] 한편, 산소 결손이 저감되고, 수소 농도가 저감된 산화물 반도체막(223)은 고순도 진성화, 또는 실질적으로 고순도 진성화된 산화물 반도체막이라고 할 수 있다. 여기서, 실질적으로 진성이란 산화물 반도체의 캐리어 밀도가 $1 \times 10^{17} / \text{cm}^3$ 미만인 것, 바람직하게는 $1 \times 10^{15} / \text{cm}^3$ 미만인 것, 더 바람직하게는 $1 \times 10^{13} / \text{cm}^3$ 미만인 것을 가리킨다. 또는, 불순물 농도가 낮고, 결함 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으

로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 발생원이 적기 때문에 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 문턱 전압이 플러스가 되는 전기 특성(노멀리-오프 특성이라고도 함)이 되기 쉽다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막(223)은 결함 준위 밀도가 낮기 때문에 트랩 준위 밀도를 저감할 수 있다.

[0181] 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막(223)은 오프 전류가 현저하게 작고, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고, 채널 길이가 $10 \mu\text{m}$ 의 소자이어도 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 $1V \sim 10V$ 의 범위에 있어서, 오프 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{ A}$ 이하라는 특성을 얻을 수 있다. 따라서, 산화물 반도체막(223)에 채널 영역이 형성되는 트랜지스터는 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 된다.

[0182] 절연막(217)으로서 예를 들어, 수소를 포함하는 절연막, 바꿔 말하면 수소를 방출할 수 있는 절연막, 대표적으로는 질화 실리콘막을 사용함으로써, 산화물 도전막(227)에 수소를 공급할 수 있다. 수소를 방출할 수 있는 절연막은 막 내의 함유 수소 농도가 $1 \times 10^{22} \text{ atoms/cm}^3$ 이상이면 바람직하다. 이와 같은 절연막을 산화물 도전막(227)에 접하여 형성함으로써, 산화물 도전막(227)에 효과적으로 수소를 함유시킬 수 있다. 이와 같이, 상술한 플라스마 처리와 함께, 산화물 반도체막(또는 산화물 도전막)에 접하는 절연막의 구성을 조정함으로써 산화물 반도체막(또는 산화물 도전막)의 저항을 임의로 조정할 수 있다.

[0183] 산화물 도전막(227)에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되는 것과 함께 산소가 이탈된 격자(또는 산소가 이탈된 부분)에 산소 결손을 형성한다. 상기 산소 결손에 수소가 들어감으로써 캐리어인 전자가 생성되는 경우가 있다. 또한, 수소의 일부가 금속 원자와 결합하는 산소와 결합함으로써, 캐리어인 전자를 생성하는 경우가 있다. 따라서, 수소가 포함되는 산화물 도전막(227)은 산화물 반도체막(223)보다 캐리어 밀도가 높다.

[0184] 트랜지스터의 채널 영역이 형성되는 산화물 반도체막(223)은 수소가 가능한 한 저감되는 것이 바람직하다. 구체적으로는, 산화물 반도체막(223)에 있어서, SIMS에 의하여 얻어지는 수소 농도를, $2 \times 10^{20} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다.

[0185] 한편, 게이트로서 기능하는 산화물 도전막(227)은 산화물 반도체막(223)보다 수소 농도 또는/및 산소 결손량이 많아, 저저항화된다.

[0186] 산화물 도전막(227)에는, 산화물 반도체막(223)에 사용할 수 있는 재료 및 산화물 반도체막(223)의 형성 방법을 적용할 수 있다. 또한, 산화물 반도체막(223) 및 산화물 도전막(227)은 투광성을 갖는다.

[0187] 또한, 산화물 도전막(227)에 사용할 수 있는 재료 및 산화물 도전막(227)의 형성 방법은 도전막(251) 및 도전막(252)에도 각각 적용할 수 있다.

【0188】 <절연막>

입출력 장치가 갖는 각 절연막, 오버 코트, 스페이서 등에 사용할 수 있는 절연 재료로서는 유기 절연 재료 또는 무기 절연 재료를 사용할 수 있다. 수지로서는, 예를 들어, 아크릴 수지, 에폭시 수지, 폴리이미드 수지, 폴리아마이드 수지, 폴리아마이드이미드 수지, 실록산 수지, 벤조사이클로부텐계 수지, 폐놀 수지 등을 들 수 있다. 무기 절연막으로서는 산화 실리콘막, 산화질화 실리콘막, 질화 산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 이트륨막, 산화 지르코늄막, 산화 갈륨막, 산화 탄탈럼막, 산화 마그네슘막, 산화 란타넘막, 산화 세륨막, 및 산화 네오디뮴막 등을 들 수 있다.

【0189】 <도전막>

트랜지스터의 게이트, 소스, 및 드레인에 더하여, 입출력 장치가 갖는 각종 배선 및 전극 등의 도전막에는 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데늄, 은, 탄탈럼, 또는 텉스텐 등의 금속, 또는 이것을 주성분으로 하는 합금을 단층 구조 또는 적층 구조로서 사용할 수 있다. 예를 들어, 알루미늄막 위에 타이타늄막을 적층하는 2층 구조, 텉스텐막 위에 타이타늄막을 적층하는 2층 구조, 몰리브데늄막 위에 구리

막을 적층한 2층 구조, 몰리브데넘과 텅스텐을 포함하는 합금막 위에 구리막을 적층한 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 타이타늄막 또는 질화 타이타늄막과, 그 타이타늄막 또는 질화 타이타늄막 위에 중첩되어 알루미늄막 또는 구리막이 적층되고, 또한 그 위에 타이타늄막 또는 질화 타이타늄막을 형성하는 3층 구조, 몰리브데넘막 또는 질화 몰리브데넘막과, 그 몰리브데넘막 또는 질화 몰리브데넘막 위에 중첩되어 알루미늄막 또는 구리막이 적층되고, 또한 그 위에 몰리브데넘막 또는 질화 몰리브데넘막을 형성하는 3층 구조 등이 있다. 예를 들어, 소스 전극(225a) 및 드레인 전극(225b)을 3층 구조로 하는 경우, 첫 번째 층 및 세 번째 층으로서는 타이타늄, 질화 타이타늄, 몰리브데넘, 텅스텐, 몰리브데넘과 텅스텐을 포함하는 합금, 몰리브데넘과 지르코늄을 포함하는 합금, 또는 질화 몰리브데넘으로 이루어지는 막을 형성하고, 두 번째 층에는 구리, 알루미늄, 금 또는 은, 또는 구리와 망가니즈의 합금 등의 저저항 재료로 이루어지는 막을 형성하는 것이 바람직하다. 또한, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용하여도 좋다.

[0192] 또한, 상술한 산화물 반도체의 저항률의 제어 방법을 사용하여, 도전막을 형성하여도 좋다.

«접착층»

[0194] 접착층(265)으로서는, 열 경화 수지, 광 경화 수지, 2액 혼합형의 경화성 수지 등의 경화성 수지를 사용할 수 있다. 예를 들어, 아크릴 수지, 우레탄 수지, 에폭시 수지, 또는 실록산 결합을 갖는 수지 등을 사용할 수 있다.

«접속체»

[0196] 접속체로서는 예를 들어, 이방성 도전 필름(ACF: Anisotropic Conductive Film) 또는 이방성 도전 페이스트(ACP: Anisotropic Conductive Paste) 등을 사용할 수 있다.

«착색막»

[0198] 착색막은 특정의 과장 대역의 광을 투과하는 유색층이다. 착색막에 사용할 수 있는 재료로서는 금속 재료, 수지 재료, 안료 또는 염료가 포함되는 수지 재료 등을 들 수 있다.

«차광막»

[0200] 차광막은, 인접된 착색막들 사이에 제공된다. 차광막으로서는 예를 들어, 금속 재료, 안료 또는 염료를 포함하는 수지 재료를 사용하여 블랙 매트릭스를 형성할 수 있다. 또한, 차광막은 구동 회로부 등, 표시부 이외의 영역에도 제공하면 도파광 등에 의한 의도하지치 않는 광 누설을 억제할 수 있어 바람직하다.

[입출력 장치의 동작 방법의 예]

[0202] 다음에, 본 발명의 일 형태에 따른 입출력 장치의 동작 방법의 예 등을 나타낸다.

[0203] 도 7의 (A)는 본 발명의 일 형태에 따른 입출력 장치의 표시부에 제공되는 화소 회로의 일부에서의 등가 회로도이다.

[0204] 하나의 화소는 적어도 트랜지스터(3503)와 액정 소자(3504)를 갖는다. 트랜지스터(3503)의 게이트에는, 배선(3501)이 전기적으로 접속된다. 또한, 트랜지스터(3503)의 소스 및 드레인 중 한쪽에는 배선(3502)이 전기적으로 접속된다.

[0205] 화소 회로는 X 방향으로 연장되는 복수의 배선(예를 들어, 배선(3510_1), 배선(3510_2)) 및 Y 방향으로 연장되는 복수의 배선(예를 들어, 배선(3511_1))을 갖고, 이들은 서로 교차하여 제공되고, 그 사이에 용량이 형성된다.

[0206] 또한, 화소 회로에 제공되는 화소 중, 일부의 인접되는 복수의 화소는 각각에 제공되는 액정 소자의 한쪽의 전극이 전기적으로 접속되고, 하나의 블록을 형성한다. 상기 블록은 섬 형상의 블록(예를 들어, 블록(3515_1), 블록(3515_2))과 X 방향 또는 Y 방향으로 연장되는 라인형 블록(예를 들어, Y 방향으로 연장되는 블록(3516))의 2가지로 분류된다. 또한, 도 7의 (A)에는 화소 회로의 일부만이 도시되었지만, 실제로는 이들 2가지의 블록이 X 방향 및 Y 방향으로 반복적으로 배치된다. 여기서, 액정 소자의 한쪽의 전극으로서는, 예를 들어 공통 전극 등을 들 수 있다. 한편, 액정 소자의 다른 쪽의 전극으로서는, 예를 들어 화소 전극 등을 들 수 있다.

[0207] X 방향으로 연장되는 배선(3510_1)(또는 배선(3510_2))은, 섬 형상의 블록(3515_1)(또는 블록(3515_2))과 전기

적으로 접속된다. 또한, 도시되지 않았지만, X 방향으로 연장되는 배선(3510_1)은 라인형 블록을 개재하여 X 방향을 따라 불연속적으로 배치되는 복수의 섬 형상의 블록(3515_1)을 전기적으로 접속한다. 또한, Y 방향으로 연장되는 배선(3511_1)은 라인형 블록(3516)과 전기적으로 접속된다.

[0208] 도 7의 (B)는, X 방향으로 연장되는 복수의 배선(배선(3510_1)~배선(3510_6), 합쳐서 배선(3510)이라도 기재 함)과 Y 방향으로 연장되는 복수의 배선(배선(3511_1)~배선(3511_6), 합쳐서 배선(3511)이라고도 기재함)의 접속 구성이 도시된 등가 회로도이다. X 방향으로 연장되는 배선(3510)의 각각, 및 Y 방향으로 연장되는 배선(3511)의 각각에는 공통 전위를 입력할 수 있다. 또한, X 방향으로 연장되는 배선(3510)의 각각에는, 펄스 전압 출력 회로로부터 펄스 전압을 입력할 수 있다. 또한, Y 방향으로 연장되는 배선(3511)의 각각은 검출 회로와 전기적으로 접속할 수 있다. 또한, 배선(3510)과 배선(3511)은 바꿀 수 있다.

[0209] 도 8의 (A) 및 (B)를 사용하여, 본 발명의 일 형태에 따른 입출력 장치의 동작 방법의 일례에 대하여 설명한다.

[0210] 여기서는, 1 프레임 기간을 기록 기간과 검지 기간으로 나눈다. 기록 기간은 화소에 화상 데이터를 기록하는 기간이고, 배선(3501)(케이트선, 또는 주사선이라고도 함)이 순차적으로 선택된다. 한편, 검지 기간은 검지 소자에 의하여 생성하는 기간이다.

[0211] 도 8의 (A)는 기록 기간에서의 등가 회로도이다. 기록 기간에서는 X 방향으로 연장되는 배선(3510) 및 Y 방향으로 연장되는 배선(3511) 양쪽에 공통 전위가 입력된다.

[0212] 도 8의 (B)는 검지 기간에서의 등가 회로도이다. 검지 기간에서 Y 방향으로 연장되는 배선(3511) 각각은 검출 회로와 전기적으로 접속한다. 또한, X 방향으로 연장되는 배선(3510)에는, 펄스 전압 출력 회로로부터 펄스 전압이 입력된다.

[0213] 도 8의 (C)는 상호 용량 방식의 검지 소자에 있어서의 입출력 과정의 타이밍 차트의 일례이다.

[0214] 도 8의 (C)에서는 1 프레임 기간 동안에 각 행렬에서의 피검지체를 검지하는 것으로 한다. 또한, 도 8의 (C)에는 검지 기간에서의 피검지체를 검지하지 않는 경우(비터치)와, 피검지체를 검지하는 경우(터치)의 2가지 경우에 대하여 도시되었다.

[0215] 배선(3510_1)~배선(3510_6)은 펄스 전압 출력 회로로부터 펄스 전압이 공급되는 배선이다. 배선(3510_1)~배선(3510_6)에 펄스 전압이 인가됨으로써 용량 소자를 형성하는 한 쌍의 전극 간에는 전계가 생겨, 용량 소자에 전류가 흐른다. 이 전극 간에 생기는 전계가 손가락이나 팬 등의 터치에 의한 차폐 등에 의하여 변화한다. 즉, 터치 등에 의하여 용량 소자의 용량값에 변화가 생긴다. 이것을 이용하여 피검지체의 근접 또는 접촉을 검지할 수 있다.

[0216] 배선(3511_1)~배선(3511_6)은 용량 소자의 용량값의 변화에 의한 배선(3511_1)~배선(3511_6)에서의 전류의 변화를 검출하기 위한 검출 회로와 접속된다. 배선(3511_1)~배선(3511_6)에서는 피검지체의 근접 또는 접촉이 없으면 검출되는 전류값에 변화는 없지만, 검출하는 피검지체의 근접 또는 접촉에 의하여 용량값이 감소하는 경우에는 전류값이 감소한다. 또한, 전류의 검출은 전류량의 총합을 검출하여도 좋다. 그 경우에는, 적분 회로 등을 사용하여 검출하면 좋다. 또는, 전류의 피크값을 검출하여도 좋다. 그 경우에는, 전류를 전압으로 변환하여 전압값의 피크값을 검출하여도 좋다.

[0217] 또한, 도 8의 (C)에서, 배선(3511_1)~배선(3511_6)에 대해서는 검출되는 전류값에 대응하는 전압값으로 한 과정이 도시되었다. 또한, 도 8의 (C)에 도시된 바와 같이 표시 동작의 타이밍과, 검지 동작의 타이밍은 동기시켜 동작하는 것이 바람직하다.

[0218] 배선(3510_1)~배선(3510_6)에 공급된 펄스 전압에 따라 배선(3511_1)~배선(3511_6)에서의 과정이 변화된다. 피검지체의 근접 또는 접촉이 없는 경우에는, 배선(3510_1)~배선(3510_6)의 전압의 변화에 따라 배선(3511_1)~배선(3511_6)의 과정이 한결같이 변화된다. 한쪽, 피검지체가 근접 또는 접촉하는 부분에서는, 전류값이 감소하기 때문에 이에 대응하는 전압값의 과정도 변화된다.

[0219] 이와 같이, 용량값의 변화를 검출함으로써, 피검지체의 근접 또는 접촉을 검지할 수 있다. 또한, 손가락이나 팬 등의 피검지체는 입출력 장치에 접촉되지 않고, 근접된 경우에도 신호가 검출되는 경우가 있다.

[0220] 또한, 도 8의 (C)에는 배선(3510)에 있어서 기록 기간에 공급되는 공통 전위와 검지 기간에 공급되는 저전위가 같은 예가 도시되었지만, 본 발명의 일 형태는 이에 한정되지 않고, 공통 전위와 저전위는 전위가 상이하여도 좋다.

- [0221] 또한, 펄스 전압 출력 회로 및 검출 회로는 예를 들어 하나의 IC 내 형성되는 것이 바람직하다. 상기 IC는, 예를 들어 입출력 장치에 실장되거나, 또는 전자 기기의 하우징 내의 기판에 실장되는 것이 바람직하다. 또한, 가요성을 갖는 입출력 장치로 하는 경우에는, 만곡한 부분에서는 기생 용량이 증대하고, 노이즈의 영향이 커질 우려가 있기 때문에, 노이즈의 영향을 쉽게 받지 않는 구동 방법이 적용된 IC를 사용하는 것이 바람직하다. 예를 들어, 시그널-노이즈비(S/N비)를 높이는 구동 방법이 적용된 IC를 사용하는 것이 바람직하다.
- [0222] 이와 같이, 화상의 기록 기간과 검지 소자에 의하여 센싱하는 기간을, 독립적으로 제공하는 것이 바람직하다. 따라서, 화소의 기록 시의 노이즈에 기인한 검지 소자의 감도의 저하를 억제할 수 있다.
- [0223] 본 발명의 일 형태에서는, 도 8의 (D)에 도시된 바와 같이 1 프레임 기간에 기록 기간과 검지 기간을 하나씩 갖는다. 또는, 도 8의 (E)에 도시된 바와 같이 1 프레임 기간에 검지 기간을 2개 가져도 좋다. 1 프레임 기간에 검지 기간을 복수 제공함으로써, 검출 감도를 더 높일 수 있다. 예를 들어, 1 프레임 기간에 검지 기간을 2개 이상 4개 이하로 가져도 좋다.
- [0224] [검지 소자의 상면 구성예]
- [0225] 다음에, 본 발명의 일 형태에 따른 입출력 장치가 갖는 검지 소자의 상면 구성예에 대하여, 도 9~도 11을 사용하여 설명한다.
- [0226] 도 9의 (A)에는 검지 소자의 상면도가 도시되었다. 검지 소자는 도전막(56a) 및 도전막(56b)을 갖는다. 도전막(56a)은 검지 소자의 한쪽의 전극으로서 기능하고, 도전막(56b)은 검지 소자의 다른 쪽의 전극으로서 기능한다. 검지 소자는 도전막(56a)과 도전막(56b) 사이에 형성되는 용량을 이용하여, 피검지체의 근접 또는 접촉 등을 검지할 수 있다. 또한, 도전막(56a) 및 도전막(56b)은 빗살 형상의 상면 형상, 또는 슬릿이 제공된 상면 형상을 갖는 경우가 있지만, 여기서는 생략한다.
- [0227] 본 발명의 일 형태에 있어서, 도전막(56a) 및 도전막(56b)은 액정 소자의 공통 전극으로서의 기능도 갖는다.
- [0228] Y 방향으로 복수 배치된 도전막(56a)은 각각 X 방향으로 연장되어 제공된다. 또한, Y 방향으로 복수 배치된 도전막(56b)은 Y 방향으로 연장되어 제공된 도전막(58)에 의하여 전기적으로 접속된다. 도 9의 (A)에는, m개의 도전막(56a)과 n개의 도전막(58)을 갖는 예가 도시되었다.
- [0229] 또한, 도전막(56a)은 X 방향으로 복수 배치되어도 좋고, 이 경우, Y 방향으로 연장되어 제공되어도 좋다. 또한, X 방향으로 연장되어 제공된 도전막(58)에 의하여, X 방향으로 복수 배치된 도전막(56b)이 전기적으로 접속되어도 좋다.
- [0230] 도 9의 (B)에 도시된 바와 같이, 검지 소자의 전극으로서 기능하는 도전막(56)은 복수의 화소(60)에 걸쳐 제공된다. 도전막(56)은 도 9의 (A)에 도시된 도전막(56a) 및 도전막(56b) 각각에 상당한다. 화소(60)는 서로 상이한 색깔을 나타내는 복수의 부화소로 이루어진다. 도 9의 (B)에는 3개의 부화소(60a), 부화소(60b), 및 부화소(60c)에 의하여 화소(60)가 구성되는 예가 도시되었다.
- [0231] 또한, 검지 소자가 갖는 한 쌍의 전극은 각각 보조 배선과 전기적으로 접속되는 것이 바람직하다. 도 10에는 도전막(56a)이 보조 배선(57a)과 전기적으로 접속되고, 또한 도전막(56b)이 보조 배선(57b)과 전기적으로 접속되는 예가 도시되었다. 또한, 도 10에는 도전막 위에 보조 배선이 중첩되어 제공되는 예가 도시되었지만, 보조 배선 위에 도전막이 중첩되어 제공되어도 좋다.
- [0232] 가시광을 투과하는 도전막의 저항값은 비교적 높은 경우가 있다. 그래서, 보조 배선과 전기적으로 접속시킴으로써 검지 소자가 갖는 한 쌍의 전극의 저항을 각각 저감시키는 것이 바람직하다.
- [0233] 검지 소자가 갖는 한 쌍의 전극의 저항을 저감함으로써, 한 쌍의 전극의 시정수를 각각 작게 할 수 있다. 따라서, 검지 소자의 검출 감도를 향상시키고, 또한 검지 소자의 검출 정밀도를 향상시킬 수 있다.
- [0234] 기록 기간에서는 도 11의 (A)에 도시된 바와 같이 X 방향으로 연장되는 도전막(56a)과 Y 방향으로 연장되는 도전막(58)(및 도전막(58)과 전기적으로 접속되는 도전막(56b)) 양쪽에 공통 전위 VCOM이 입력된다. 한편, 검지 기간에서는 도 11의 (B)에 도시된 바와 같이 Y 방향으로 연장되는 도전막(58)(및 도전막(58)과 전기적으로 접속되는 도전막(56b)) 각각은 검출 회로와 전기적으로 접속된다. 또한, X 방향으로 연장되는 도전막(56a)은 펄스 전압 출력 회로와 전기적으로 접속되고, 펄스 전압이 입력된다.
- [0235] [화소의 상면 구성예]

- [0236] 다음에, 본 발명의 일 형태에 따른 입출력 장치가 갖는 화소의 상면 구성예에 대하여, 도 12~도 14를 사용하여 설명한다.
- [0237] 도 12는 화소의 상면도이고, 도 13은 도 12에서의 도전막(252)이 접선으로 도시된 경우의 도면이다. 또한, 각 층의 적층 순서는 단면 구성예 1(도 1의 (A) 및 도 2의 (A))도 참조할 수 있다.
- [0238] 복수의 도전막(251)은 각각 섬 형상의 상면 형상을 갖고, 매트릭스상으로 배치된다. 도전막(251)은, 트랜지스터(203a)가 갖는 소스 또는 드레인과 전기적으로 접속된다.
- [0239] 도전막(252)은 복수의 도전막(251)과 중첩되도록 배치된다. 도전막(252)에는 슬릿이 제공된다. 또한, 도전막(252)은 트랜지스터(203a)와 중첩되는 위치에 개구를 갖는다.
- [0240] 여기서, 도전막(251)은 액정 소자의 화소 전극으로서 기능하고, 도전막(252)은 액정 소자의 공통 전극으로서 기능한다. 또한, 도 12 및 도 13에는 위측의 도전막(252)이 공통 전극이고, 아래측의 도전막(251)이 화소 전극인 예가 도시되었지만, 위측의 도전막이 화소 전극이고, 아래측의 도전막이 공통 전극이어도 좋다.
- [0241] 도전막(252)은 겹지 소자의 전극으로서 기능한다.
- [0242] 과선으로 나타내는 영역(277)에서는 도전막(275)과 도전막(255)이 전기적으로 접속된다. 도전막(255)은, 도전막(252)의 보조 배선으로서의 기능을 갖고, 도전막(252)과 전기적으로 접속된다. 도전막(275)은 트랜지스터(203a)의 소스 및 드레인과 동일 재료, 동일 공정으로 형성할 수 있다.
- [0243] Y 방향으로 복수 배치된 도전막(252)은 도 9의 (A) 등에서의 도전막(56b)에 상당한다. 또한, Y 방향으로 연장하여 제공된 도전막(275)은 도 9의 (A) 등에서의 도전막(58)에 상당한다. Y 방향으로 복수 배치된 도전막(252)은 Y 방향으로 연장하여 제공된 도전막(255)을 통하여, 도전막(275)과 전기적으로 접속된다. 이때, 도전막(252)에 산화물 도전막을 사용하는 경우는 도전막(252)과 도전막(275)을 직접 접속시키는 것보다 금속이나 합금 등으로 형성된 도전막(255)과 도전막(275)을 접속하고, 도전막(255)을 통하여 도전막(252)과 도전막(275)을 전기적으로 접속시키는 것이 접촉 저항을 저감할 수 있어 바람직하다.
- [0244] 도 12 및 도 13에는 화소(273)가 3개의 부화소를 갖는 예가 도시되었지만, 본 발명의 일 형태는 이에 한정되지 않는다.
- [0245] 또한, 도 14의 (A) 및 (B)에는 액정 소자의 전극의 상면 형상의 예가 도시되었다.
- [0246] 액정 소자(207)가 갖는 화소 전극과 공통 전극은 각각 평판 형상에 한정되지 않고, 다양한 개구 패턴(슬릿이라고도 함)을 가져도 좋고, 굴곡부 또는 분기된 빗살 형상을 포함하는 형상이어도 좋다.
- [0247] 도 14의 (A) 및 (B)에 도시된 액정 소자(207)는 화소 전극으로서 기능할 수 있는 도전막(251)과 공통 전극으로서 기능할 수 있는 도전막(252)을 갖는다.
- [0248] 도 14의 (A) 및 (B)에 도시된 트랜지스터(203)는 게이트 전극(221), 산화물 반도체막(223), 소스 전극(225a), 및 드레인 전극(225b)을 갖는다. 도전막(251)은 드레인 전극(225b)과 전기적으로 접속된다.
- [0249] 도 14의 (A)에는 도전막(251)이 슬릿을 갖는 예가 도시되었고, 도 14의 (B)에는 도전막(251)이 빗살 형상을 포함하는 형상인 예가 도시되었다. 또한, 도 14의 (A) 및 (B)에는 도전막(251)이 도전막(252)보다 위측에 위치하는 예가 도시되었지만, 도전막(252)이 도전막(251)보다 위측에 위치하여도 좋다.
- [0250] [터치 패널 모듈]
- [0251] 다음에, 본 발명의 일 형태에 따른 입출력 장치와 IC를 갖는 터치 패널 모듈에 대하여, 도 15 및 도 16을 사용하여 설명한다.
- [0252] 도 15에는 터치 패널 모듈(6500)의 블록도가 도시되었다. 터치 패널 모듈(6500)은 터치 패널(6510)과 IC(6520)를 갖는다. 터치 패널(6510)에는, 본 발명의 일 형태에 따른 입출력 장치를 적용할 수 있다.
- [0253] 터치 패널(6510)은 표시부(6511), 입력부(6512), 및 주사선 구동 회로(6513)를 갖는다. 표시부(6511)는 복수의 화소, 복수의 신호선, 및 복수의 주사선을 갖고, 화상을 표시하는 기능을 갖는다. 입력부(6512)는 피검지체의 터치 패널(6510)로의 접촉 또는 근접을 검지하는 복수의 겹지 소자를 갖고, 터치 센서로서의 기능을 갖는다. 주사선 구동 회로(6513)는 표시부(6511)가 갖는 주사선에 주사 신호를 출력하는 기능을 갖는다.
- [0254] 여기서는 쉽게 설명하기 위하여, 터치 패널(6510)의 구성으로서 표시부(6511)와 입력부(6512)를 따로 명시하였

지만, 화상을 표시하는 기능과, 터치 센서로서의 기능 양쪽의 기능을 갖는, 소위 인셀형의 터치 패널로 하는 것이 바람직하다. 본 발명의 일 형태에 따른 입출력 장치는 인셀형의 터치 패널이기 때문에 바람직하다.

[0255] 표시부(6511)는 HD(화소수 1280×720), FHD(화소수 1920×1080), WQHD(화소수 2560×1440), WQXGA(화소수 2560×1600), 4K(화소수 3840×2160), 8K(화소수 7680×4320)와 같은 극히 높은 해상도를 갖는 것이 바람직하다. 특히 4K, 8K, 또는 그 이상의 해상도로 하는 것이 바람직하다. 또한, 표시부(6511)에 제공되는 화소의 화소 밀도(정밀도)가, 300ppi 이상, 바람직하게는 500ppi 이상, 더 바람직하게는 800ppi 이상, 더 바람직하게는 1000ppi 이상, 더욱 바람직하게는 1200ppi 이상인 것이 바람직하다. 이와 같이 높은 해상도 및 높은 정밀도를 갖는 표시부(6511)에 의하여, 휴대형이나 가정용 등의 개인용도(personal use)에 있어서는 임장감이나 깊이 있는 감각(sense of depth) 등을 더 높일 수 있다.

[0256] IC(6520)는 회로 유닛(6501), 신호선 구동 회로(6502), 센서 구동 회로(6503), 및 검출 회로(6504)를 갖는다. 회로 유닛(6501)은 타이밍 컨트롤러(6505)와 화상 처리 회로(6506) 등을 갖는다.

[0257] 신호선 구동 회로(6502)는, 표시부(6511)가 갖는 신호선에 아날로그 신호인 영상 신호(비디오 신호라고도 함)를 출력하는 기능을 갖는다. 예를 들어 신호선 구동 회로(6502)로서, 시프트 레지스터 회로와 버퍼 회로를 조합한 구성을 가질 수 있다. 또한, 터치 패널(6510)은 신호선에 접속하는 디멀티플렉서 회로를 가져도 좋다.

[0258] 센서 구동 회로(6503)는, 입력부(6512)가 갖는 검지 소자를 구동하는 신호를 출력하는 기능을 갖는다. 센서 구동 회로(6503)로서는, 예를 들어 시프트 레지스터 회로와 버퍼 회로를 조합한 구성을 사용할 수 있다.

[0259] 검출 회로(6504)는 입력부(6512)가 갖는 검지 소자로부터의 출력 신호를 회로 유닛(6501)에 출력하는 기능을 갖는다. 예를 들어 검출 회로(6504)로서 증폭 회로와, 아날로그 디지털 변환 회로(ADC: Analog-Digital Convertor)를 갖는 구성을 사용할 수 있다. 이때 검출 회로(6504)는 입력부(6512)로부터 출력되는 아날로그 신호를, 디지털 신호로 변환하여 회로 유닛(6501)에 출력한다.

[0260] 회로 유닛(6501)이 갖는 화상 처리 회로(6506)는 터치 패널(6510)의 표시부(6511)를 구동하는 신호를 생성하여 출력하는 기능과, 입력부(6512)를 구동하는 신호를 생성하여 출력하는 기능과, 입력부(6512)로부터 출력된 신호를 해석하여 CPU(6540)에 출력하는 기능을 갖는다.

[0261] 더 구체적인 예로서는, 화상 처리 회로(6506)는 CPU(6540)로부터의 명령에 따라 영상 신호를 생성하는 기능을 갖는다. 또한, 화상 처리 회로(6506)는 표시부(6511)의 사양에 맞추어 영상 신호에 신호 처리를 실시하고, 아날로그 영상 신호로 변환하여 신호선 구동 회로(6502)에 공급하는 기능을 갖는다. 또한, 화상 처리 회로(6506)는 CPU(6540)로부터의 명령에 따라 센서 구동 회로(6503)에 출력하는 구동 신호를 생성하는 기능을 갖는다. 또한, 화상 처리 회로(6506)는 검출 회로(6504)로부터 입력된 신호를 해석하고, 위치 정보로서 CPU(6540)에 출력하는 기능을 갖는다.

[0262] 또한, 타이밍 컨트롤러(6505)는 화상 처리 회로(6506)가 처리를 실시한 영상 신호 등에 포함되는 동기 신호에 기초하여 클록 신호, 스타트 펄스 신호 등의 신호를 생성하여 주사선 구동 회로(6513) 및 센서 구동 회로(6503)에 출력하는 신호를 출력하는 기능을 갖는다. 또한, 타이밍 컨트롤러(6505)는 검출 회로(6504)가 신호를 출력하는 타이밍을 규정하는 신호를 생성하고, 출력하는 기능을 가져도 좋다. 여기서, 타이밍 컨트롤러(6505)는 주사선 구동 회로(6513)에 출력하는 신호와, 센서 구동 회로(6503)에 출력하는 신호에 각각 동기시킨 신호를 출력하는 것이 바람직하다. 특히, 표시부(6511)의 화소의 데이터를 재기록하는 기간과, 입력부(6512)에서 센싱하는 기간을 각각 구분하는 것이 바람직하다. 예를 들어, 1 프레임 기간을, 화소의 데이터를 재기록하는 기간과, 센싱하는 기간으로 구분하여 터치 패널(6510)을 구동할 수 있다. 또한, 예를 들어 1 프레임 기간 중에 2 이상의 센싱의 기간을 제공함으로써, 검출 감도 및 검출 정밀도를 높일 수 있다.

[0263] 화상 처리 회로(6506)로서는, 예를 들어 프로세서를 갖는 구성으로 할 수 있다. 예를 들어 DSP(Digital Signal Processor), GPU(Graphics Processing Unit) 등의 마이크로프로세서를 사용할 수 있다. 또한, 이를 마이크로프로세서를 FPGA(Field Programmable Gate Array)나 FPAA(Field Programmable Analog Array)와 같은 PLD(Programmable Logic Device)에 의하여 실현한 구성을 하여도 좋다. 프로세서에 의하여 각종 프로그램으로부터의 명령을 해석하여 실행함으로써, 각종 데이터 처리나 프로그램 제어를 행한다. 프로세서에 의하여 실행될 수 있는 프로그램은 프로세서가 갖는 메모리 영역에 저장되어도 좋고, 별도 제공되는 기억 장치에 저장되어도 좋다.

[0264] 또한, 터치 패널(6510)이 갖는 표시부(6511) 또는 주사선 구동 회로(6513), IC(6520)가 갖는 회로 유닛(6501), 신호선 구동 회로(6502), 센서 구동 회로(6503), 또는 검출 회로(6504), 또는 외부에 제공되는 CPU(6540) 등에,

채널 형성 영역에 산화물 반도체를 사용하고, 극히 낮은 오프 전류가 실현된 트랜지스터를 이용할 수도 있다. 상기 트랜지스터는, 오프 전류가 극히 낮으므로, 상기 트랜지스터를 기억 소자로서 기능하는 용량 소자에 유입한 전하(데이터)를 유지하기 위한 스위치로서 사용함으로써, 데이터의 유지 기간을 장기간에 걸쳐 확보할 수 있다. 예를 들어, 이 특성을 화상 처리 회로(6506)의 레지스터 및 캐시 메모리의 적어도 한쪽에 사용함으로써, 필요할 때만 화상 처리 회로(6506)를 동작시켜, 다른 경우에는 직전의 처리의 정보를 상기 기억 소자에 대피시킴으로써, 노멀리 오프 컴퓨팅이 가능하게 되고, 터치 패널 모듈(6500) 및 이것이 실장되는 전자 기기의 저 소비 전력화를 도모할 수 있다.

[0265] 또한, 여기서는 회로 유닛(6501)이 타이밍 컨트롤러(6505)와 화상 처리 회로(6506)를 갖는 구성으로 하였지만, 화상 처리 회로(6506) 자체, 또는 화상 처리 회로(6506)의 일부의 기능을 갖는 회로를 외부에 제공하여도 좋다. 또는, CPU(6540)가 화상 처리 회로(6506)의 기능 또는 일부 기능의 역할을 하여도 좋다. 예를 들어 회로 유닛(6501)이 신호선 구동 회로(6502), 센서 구동 회로(6503), 검출 회로(6504), 및 타이밍 컨트롤러(6505)를 갖는 구성으로 할 수도 있다.

[0266] 또한, 여기서는 IC(6520)가 회로 유닛(6501)을 포함하는 예를 설명하였지만, 회로 유닛(6501)은 IC(6520)에 포함되지 않는 구성으로 할 수도 있다. 이때, IC(6520)는 신호선 구동 회로(6502), 센서 구동 회로(6503), 및 검출 회로(6504)를 갖는 구성으로 할 수 있다. 예를 들어, 터치 패널 모듈(6500)에 IC를 복수 실장하는 경우에는, 회로 유닛(6501)을 터치 패널 모듈(6500)의 외부에 제공하고, 회로 유닛(6501)을 갖지 않는 IC(6520)를 복수 배치할 수도 있고, IC(6520)와, 신호선 구동 회로(6502)만을 갖는 IC를 조합하여 배치할 수도 있다.

[0267] 이와 같이, 터치 패널(6510)의 표시부(6511)를 구동하는 기능과 입력부(6512)를 구동하는 기능을 하나의 IC에 제공한 구성으로 함으로써, 터치 패널 모듈(6500)에 실장하는 IC의 수를 줄일 수 있기 때문에, 비용을 절감할 수 있다.

[0268] 도 16의 (A), (B) 및 (C)는 IC(6520)를 실장한 터치 패널(6500)의 개략도이다.

[0269] 도 16의 (A)에서는 터치 패널 모듈(6500)은 기판(6531), 대향 기판(6532), 복수의 FPC(6533), IC(6520), IC(6530) 등을 갖는다. 또한, 기판(6531)과 대향 기판(6532) 사이에 표시부(6511), 입력부(6512), 및 주사선 구동 회로(6513)를 갖는다. IC(6520) 및 IC(6530)는 COG 방식 등의 실장 방식에 의하여 기판(6531)에 실장된다.

[0270] IC(6530)는 상술한 IC(6520)에 있어서, 신호선 구동 회로(6502)만, 또는 신호선 구동 회로(6502) 및 회로 유닛(6501)을 갖는 IC이다. IC(6520) 및 IC(6530)에는, FPC(6533)를 개재하여 외부로부터 신호가 공급된다. 또한, FPC(6533)를 개재하여 IC(6520) 및 IC(6530)의 적어도 한쪽으로부터 외부에 신호를 출력할 수 있다.

[0271] 도 16의 (A)에는 표시부(6511)를 개재하도록 주사선 구동 회로(6513)를 2개 제공하는 구성의 예가 도시되었다. 또한, IC(6520)에 더하여 IC(6530)를 갖는 구성을 나타내었다. 이와 같은 구성을, 표시부(6511)로서 극히 고해상도의 경우에 바람직하게 사용할 수 있다.

[0272] 도 16의 (B)에는 하나의 IC(6520)와 하나의 FPC(6533)를 실장한 예가 도시되었다. 이와 같이, 기능을 하나의 IC(6520)에 집약시킴으로써 부품 점수를 줄일 수 있어 바람직하다. 또한, 도 16의 (B)에는 주사선 구동 회로(6513)를 표시부(6511)의 2개의 짧은 변 중, FPC(6533)에 가까운 측의 변을 따라 배치한 예가 도시되었다.

[0273] 도 16의 (C)에는 화상 처리 회로(6506) 등이 실장된 PCB(Printed Circuit Board)(6534)를 갖는 구성의 예가 도시되었다. 기판(6531) 위의 IC(6520) 및 IC(6530)와, PCB(6534)는 FPC(6533)에 의하여 전기적으로 접속된다. 여기서, IC(6520)에는, 상술한 화상 처리 회로(6506)를 갖지 않는 구성을 적용할 수 있다.

[0274] 또한, 도 16의 각 도면에 있어서, IC(6520) 및 IC(6530)는 각각 기판(6531)이 아니라 FPC(6533)에 실장되어도 좋다. 예를 들어 IC(6520) 및 IC(6530)를 COF 방식 또는 TAB 방식 등의 실장 방식에 의하여 FPC(6533)에 실장할 수 있다.

[0275] 도 16의 (A) 및 (B)에 도시된 바와 같이, 표시부(6511)의 짧은 변 측에 FPC(6533) 및 IC(6520)(및 IC(6530)) 등을 배치하는 구성은 프레임을 좁게 하는 것이 가능하기 때문에 예를 들어 스마트폰, 휴대 전화, 또는 태블릿 단말 등의 전자 기기에 바람직하게 사용할 수 있다. 또한, 도 16의 (C)에 도시된 바와 같은 PCB(6534)를 사용하는 구성은 예를 들어 텔레비전 장치, 모니터 장치, 태블릿 단말, 또는 노트북형 퍼스널 컴퓨터 등에 바람직하게 사용할 수 있다.

- [0276] 본 실시형태는, 다른 실시형태와 적절히 조합할 수 있다.
- [0277] (실시형태 2)
- [0278] 본 실시형태에서는, 본 발명의 일 형태에 따른 입출력 장치의 제작 방법에 대하여 도 17~도 21을 사용하여 설명한다. 본 실시형태에서는, 주로 트랜지스터의 제작 방법을 설명한다. 또한, 각종 재료에 대해서는 실시형태 1의 기재를 참조할 수 있다.
- [0279] 우선 기판(211) 위에 게이트 전극(221)을 형성한다. 그 후, 기판(211) 및 게이트 전극(221) 위에, 절연막(106)과 절연막(107)을 포함하는 절연막(213)을 형성한다(도 17의 (A) 참조).
- [0280] 본 실시형태에서는, 기판(211)으로서 유리 기판을 사용하고, 게이트 전극(221)으로서 텅스텐막을 사용하고, 절연막(106)으로서 수소를 방출할 수 있는 질화 실리콘막을 사용하고, 절연막(107)으로서 산소를 방출할 수 있는 산화 실리콘막을 사용한다.
- [0281] 절연막(106)은 산소의 투과를 억제하는 블로킹막으로서의 기능을 갖는다. 예를 들어, 절연막(107), 절연막(215), 절연막(217), 및 산화물 반도체막(223) 중 적어도 어느 하나에 과잉의 산소를 공급하는 경우에 있어서, 절연막(106)은 산소의 투과를 억제할 수 있다.
- [0282] 또한, 트랜지스터의 채널 영역으로서 기능하는 산화물 반도체막(223)과 접하는 절연막(107)은 산화물 절연막인 것이 바람직하고, 화학량론적 조성보다 과잉 산소를 함유하는 영역(산소 과잉 영역)을 갖는 것이 더 바람직하다. 바꿔 말하면, 절연막(107)은 산소를 방출할 수 있는 절연막이다. 또한, 절연막(107)에 산소 과잉 영역을 제공하기에는, 예를 들어, 산소 분위기 하에서 절연막(107)을 형성할 수 있다. 또는, 성막 후의 절연막(107)에 산소를 도입하여 산소 과잉 영역을 형성하여도 좋다. 산소의 도입 방법으로서는, 이온 주입법, 이온 도핑법, 플라스마 잠입 이온 주입법, 플라스마 처리 등을 사용할 수 있다.
- [0283] 또한, 절연막(106) 및 절연막(107)의 한쪽 또는 양쪽에 산화 하프늄을 사용하는 경우, 이하의 효과를 나타낸다. 산화 하프늄은 산화 실리콘이나 산화질화 실리콘과 비교하여 비유전율이 높다. 따라서, 산화 실리콘을 사용한 경우와 비교하여 절연막(106) 및 절연막(107)의 한쪽 또는 양쪽의 막 두께를 크게 할 수 있어, 터널 전류에 의한 누설 전류를 작게 할 수 있다. 즉, 오프 전류가 작은 트랜지스터를 실현할 수 있다. 또한, 결정 구조를 갖는 산화 하프늄은 비정질 구조를 갖는 산화 하프늄과 비교하여 높은 비유전율을 갖는다. 따라서, 오프 전류의 작은 트랜지스터로 하기 위해서는, 결정 구조를 갖는 산화 하프늄을 사용하는 것이 바람직하다. 결정 구조의 예로서는, 단사정계나 입방정계 등을 들 수 있다. 다만, 본 발명의 일 형태는 이들에 한정되지 않는다.
- [0284] 또한, 본 실시형태에서는 절연막(106)으로서 질화 실리콘막을 형성하고, 절연막(107)으로서 산화 실리콘막을 형성한다. 질화 실리콘막은 산화 실리콘막과 비교하여 비유전율이 높고, 산화 실리콘막과 같은 정도의 정전 용량을 얻기 위하여 필요한 막 두께가 크다. 트랜지스터의 게이트 절연막으로서 기능하는 절연막(213)으로서 질화 실리콘막을 포함함으로써 절연막을 물리적으로 두껍게 할 수 있다. 따라서, 트랜지스터의 절연 내압의 저하를 억제, 또한 절연 내압을 향상시켜, 트랜지스터의 정전 과괴를 억제할 수 있다.
- [0285] 게이트 전극(221)은 기판(211) 위에 도전막을 형성한 후, 상기 도전막의 원하는 영역이 남도록 패터닝하여, 그 후 불필요한 영역을 에칭함으로써 형성할 수 있다.
- [0286] 다음에, 절연막(213) 위의 게이트 전극(221)과 중첩되는 위치에 산화물 반도체막(223)을 형성한다(도 17의 (B) 참조).
- [0287] 본 실시형태에서는, 산화물 반도체막(223)으로서 In-Ga-Zn 산화물막($In:Ga:Zn=1:1:1.2$)[원자수비]의 금속 산화물 타깃을 사용한다.
- [0288] 또한, 산화물 반도체막(223)은 절연막(213) 위에 산화물 반도체막을 형성한 후, 상기 산화물 반도체막의 원하는 영역이 남도록 패터닝하여, 그 후 불필요한 영역을 에칭함으로써 형성할 수 있다.
- [0289] 산화물 반도체막(223)을 형성한 후, 가열 처리를 실시하면 바람직하다. 상기 가열 처리는, 250°C 이상 650°C 이하, 바람직하게는 300°C 이상 500°C 이하, 더 바람직하게는 350°C 이상 450°C 이하의 온도로 불활성 가스 분위기, 산화성 가스를 10ppm 이상 포함하는 분위기, 또는 감압 분위기에서 실시하면 좋다. 또한, 가열 처리의 분위기는 불활성 가스 분위기에서 가열 처리를 실시한 후에 산화물 반도체막(223)으로부터 이탈된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상 포함하는 분위기에서 실시하여야도 좋다. 이 가열 처리에 의하여, 절연막(106), 절연막(107), 및 산화물 반도체막(223) 중 적어도 하나로부터 수소나 물 등의 불순물을 제거할 수 있다.

또한, 상기 가열 처리는 산화물 반도체막(223)을 섬 형상으로 가공하기 전에 실시하여도 좋다.

[0290] 또한, 산화물 반도체막(223)을 채널 영역으로 하는 트랜지스터에 안정된 전기 특성을 부여하기 위해서는 산화물 반도체막(223) 내의 불순물을 저감하고, 산화물 반도체막(223)을 진성 또는 실질적으로 진성으로 하는 것이 유효하다.

[0291] 다음에, 절연막(213) 및 산화물 반도체막(223) 위에 도전막을 형성하고, 상기 도전막의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 절연막(213) 및 산화물 반도체막(223) 위에 소스 전극(225a) 및 드레인 전극(225b)을 형성한다(도 17의 (C) 참조).

[0292] 본 실시형태에서는, 소스 전극(225a) 및 드레인 전극(225b)으로서 텅스텐막과 알루미늄막과 타이타늄막의 3층의 적층 구조를 사용한다.

[0293] 또한, 소스 전극(225a) 및 드레인 전극(225b)을 형성한 후에 산화물 반도체막(223)의 표면을 세정하여도 좋다. 이 세정 방법으로서는, 예를 들어, 인산 등의 약액을 사용한 세정을 들 수 있다. 인산 등의 약액을 사용하여 세정함으로써 산화물 반도체막(223)의 표면에 부착된 불순물(예를 들어, 소스 전극(225a) 및 드레인 전극(225b)에 포함되는 원소 등)을 제거할 수 있다. 또한, 상기 세정을 반드시 실시할 필요는 없고, 경우에 따라서는 세정을 실시하지 않아도 된다.

[0294] 또한, 소스 전극(225a) 및 드레인 전극(225b)을 형성하는 공정 및 상기 세정 공정 중 어느 한쪽 또는 양쪽에 있어서, 산화물 반도체막(223)의 소스 전극(225a) 및 드레인 전극(225b)으로부터 노출된 영역이, 얇아지는 경우가 있다.

[0295] 다음에 절연막(213), 산화물 반도체막(223), 소스 전극(225a), 및 드레인 전극(225b) 위에, 절연막(114)과 절연막(116)을 포함하는 절연막(215)을 형성한다. 그리고, 절연막(215)의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 개구(141)를 형성한다(도 17의 (D) 참조).

[0296] 또한, 절연막(114)을 형성한 후, 대기에 노출시키지 않고 연속적으로 절연막(116)을 형성하는 것이 바람직하다. 절연막(114)을 형성한 후, 대기 개방하지 않고, 원료 가스의 유량, 압력, 고주파 전력, 및 기관 온도 중 하나 이상을 조정하여, 절연막(116)을 연속적으로 형성함으로써, 절연막(114)과 절연막(116)의 계면에서 대기 성분 유래의 불순물 농도를 저감시킬 수 있는 동시에, 절연막(114) 및 절연막(116)에 포함되는 산소를 산화물 반도체막(223)으로 이동시키는 것이 가능해지고, 산화물 반도체막(223)의 산소 결손량을 저감시킬 수 있다.

[0297] 또한, 절연막(116)의 형성 공정에 있어서, 절연막(114)이 산화물 반도체막(223)의 보호막이 된다. 따라서, 산화물 반도체막(223)에 대한 대미지를 저감시키면서, 과워 밀도가 높은 고주파 전력을 사용하여 절연막(116)을 형성할 수 있다.

[0298] 본 실시형태에서는 절연막(114), 절연막(116)으로서 산소를 방출할 수 있는 산화질화 실리콘막을 사용한다.

[0299] 트랜지스터의 채널 영역으로서 기능하는 산화물 반도체막(223)과 접하는 절연막(114)은 산화물 절연막인 것이 바람직하고, 산소를 방출할 수 있는 절연막을 사용한다. 산소를 방출할 수 있는 절연막을 바꿔 말하면, 화학량론적 조성보다 과잉으로 산소를 함유하는 영역(산소 과잉 영역)을 갖는 절연막이다. 또한, 절연막(114)에 산소 과잉 영역을 제공하기에는, 예를 들어, 산소 분위기 하에서 절연막(114)을 형성할 수 있다. 또는, 성막 후의 절연막(114)에 산소를 도입하여 산소 과잉 영역을 형성하여도 좋다. 산소의 도입 방법으로서는, 이온 주입법, 이온 도핑법, 플라스마 잠입 이온 주입법, 플라스마 처리 등을 사용할 수 있다.

[0300] 절연막(114)으로서 산소를 방출할 수 있는 절연막을 사용함으로써, 트랜지스터의 채널 영역으로서 기능하는 산화물 반도체막(223)에 산소를 이동시켜, 산화물 반도체막(223)의 산소 결손량을 저감하는 것이 가능해진다. 예를 들어, 승온 이탈 가스 분석(이하, TDS(Thermal Desorption Spectroscopy) 분석이라고 함)으로 측정되는, 막의 표면 온도가 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하의 범위에서의 산소 분자의 방출량이 1.0×10^{18} 분자/ cm^3 이상인 절연막을 사용함으로써, 산화물 반도체막(223)에 포함되는 산소 결손량을 저감할 수 있다.

[0301] 또한, 절연막(114)은 결함량이 적은 것이 바람직하고, 대표적으로는 ESR 측정에 의하여 실리콘의 댱글링 본드에서 유래하는 $g=2.001$ 에 나타나는 신호의 스판 밀도가, 3×10^{17} spins/ cm^3 이하인 것이 바람직하다. 이것은, 절연막(114)에 포함되는 결함 밀도가 높으면, 상기 결함에 산소가 결합되어 절연막(114)에서의 산소의 투과량이 감소되기 때문이다. 또한, 절연막(114)과 산화물 반도체막(223)의 계면에서의 결함량이 적은 것이 바람직하고, 대표적으로는 ESR 측정에 의하여 산화물 반도체막(223)의 결함에서 유래하는 g 값이 1.89 이상 1.96 이하로 나타

나는 신호의 스픈 밀도가 1×10^{17} spins/cm³ 이하, 또한, 검출 하한 이하인 것이 바람직하다.

[0302] 또한, 절연막(114)에서는, 외부로부터 절연막(114)에 들어간 산소가 모두 절연막(114)의 외부로 이동하는 경우가 있다. 또는, 외부로부터 절연막(114)에 들어간 산소의 일부가, 절연막(114)에 머무르는 경우도 있다. 또한, 외부로부터 절연막(114)에 산소가 들어감과 함께 절연막(114)에 포함되는 산소가 절연막(114)의 외부로 이동함으로써, 절연막(114)에서 산소의 이동이 생기는 경우도 있다. 절연막(114)으로서 산소를 투과할 수 있는 산화물 절연막을 형성하면, 절연막(114) 위에 제공되는, 절연막(116)으로부터 이탈되는 산소를 절연막(114)을 개재하여 산화물 반도체막(223)으로 이동시킬 수 있다.

[0303] 또한, 절연막(114)은 질소 산화물에 기인하는 준위 밀도가 낮은 산화물 절연막을 사용하여 형성할 수 있다. 또한, 상기 질소 산화물에 기인하는 준위 밀도는 산화물 반도체막의 원자기대 상단의 에너지(E_{v_os})와 산화물 반도체막의 전도대 하단의 에너지(E_{c_os}) 사이에 형성될 수 있는 경우가 있다. 상기 산화물 절연막으로서, 질소 산화물의 방출량이 적은 산화질화 실리콘막, 또는 질소 산화물의 방출량이 적은 산화질화 알루미늄막 등을 사용할 수 있다.

[0304] 또한, 질소 산화물의 방출량이 적은 산화질화 실리콘막은 TDS 분석에 있어서, 질소 산화물의 방출량보다 암모니아의 방출량이 많은 막이고, 대표적으로는 암모니아 분자의 방출량은 1×10^{18} 분자/cm³ 이상 5×10^{19} 분자/cm³ 이하이다. 또한, 암모니아의 방출량은, 막의 표면 온도가 50°C 이상 650°C 이하, 바람직하게는 50°C 이상 550°C 이하의 가열 처리에 의한 방출량으로 한다.

[0305] 질소 산화물(NO_x , x는 0보다 크고 2 이하, 바람직하게는 1 이상 2 이하), 대표적으로는 NO_2 또는 NO 는, 절연막(114) 등에 준위를 형성한다. 상기 준위는 산화물 반도체막(223)의 에너지 캡 내에 위치한다. 그래서, 질소 산화물이 절연막(114) 및 산화물 반도체막(223)의 계면으로 확산되면 상기 준위가 절연막(114) 층에 있어서 전자를 트랩하는 경우가 있다. 이 결과, 트랩된 전자가 절연막(114) 및 산화물 반도체막(223)의 계면 근방에 머물기 때문에, 트랜지스터의 문턱 전압이 플러스 방향으로 시프트된다.

[0306] 또한, 질소 산화물은 가열 처리에서 암모니아 및 산소와 반응한다. 절연막(114)에 포함되는 질소 산화물은 가열 처리에서, 절연막(116)에 포함되는 암모니아와 반응하기 때문에 절연막(114)에 포함되는 질소 산화물이 저감된다. 그래서, 절연막(114) 및 산화물 반도체막(223)의 계면에 있어서, 전자가 트랩되기 어렵다.

[0307] 절연막(114)으로서, 상기 산화물 절연막을 사용함으로써, 트랜지스터의 문턱 전압의 시프트를 저감할 수 있고, 트랜지스터의 전기 특성의 변동을 저감할 수 있다.

[0308] 또한, 트랜지스터의 제작 공정의 가열 처리, 대표적으로는 400°C 미만 또는 375°C 미만(바람직하게는, 340°C 이상 360°C 이하)의 가열 처리에 의하여, 절연막(114)은 100K 이하의 ESR로 측정하여 얻어진 스펙트럼에 있어서 g값이 2.037 이상 2.039 이하의 제 1 시그널, g값이 2.001 이상 2.003 이하의 제 2 시그널, 및 g값이 1.964 이상 1.966 이하의 제 3 시그널이 관측된다. 또한, 제 1 시그널 및 제 2 시그널의 스플릿 폭, 그리고 제 2 시그널 및 제 3 시그널의 스플릿 폭은 X 밴드의 ESR 측정에 있어서 약 5mT이다. 또한, g값이 2.037 이상 2.039 이하의 제 1 시그널, g값이 2.001 이상 2.003 이하의 제 2 시그널, 및 g값이 1.964 이상 1.966 이하의 제 3 시그널의 스픈의 밀도가 합계로 1×10^{18} spins/cm³ 미만이고, 대표적으로는 1×10^{17} spins/cm³ 이상 1×10^{18} spins/cm³ 미만이다.

[0309] 또한, 100K 이하의 ESR 스펙트럼에 있어서 g값이 2.037 이상 2.039 이하의 제 1 시그널, g값이 2.001 이상 2.003 이하의 제 2 시그널, 및 g값이 1.964 이상 1.966 이하의 제 3 시그널은 질소 산화물(NO_x , x는 0보다 크고 2 이하, 바람직하게는 1 이상 2 이하)에 기인하는 시그널에 상당한다. 질소 산화물의 대표적인 예로서는, 일산화질소, 이산화질소 등이 있다. 즉, g값이 2.037 이상 2.039 이하의 제 1 시그널, g값이 2.001 이상 2.003 이하의 제 2 시그널, 및 g값이 1.964 이상 1.966 이하의 제 3 시그널의 스픈의 밀도가 합계로 적을수록 산화물 절연막에 포함되는 질소 산화물의 함유량이 적다고 할 수 있다.

[0310] 또한, 상기 산화물 절연막은 SIMS로 측정되는 질소 농도가 6×10^{20} atoms/cm³ 이하이다.

[0311] 기판 온도가 220°C 이상 350°C 이하이고, 실레인 및 일산화이질소를 사용한 PECVD법을 사용하여 상기 산화물 절연막을 형성함으로써 치밀하고, 또한 경도가 높은 막을 형성할 수 있다.

[0312] 절연막(114)에 접하도록 형성되는 절연막(116)은 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는

산화물 절연막을 사용하여 형성한다. 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막은, 가열에 의하여 산소의 일부가 이탈된다. 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막은, TDS 분석으로 산소 원자로 환산한 산소의 방출량이 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 이상, 바람직하게는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 산화물 절연막이다. 또한, 상기 TDS 분석에서의 막의 표면 온도로서는 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하의 범위가 바람직하다.

[0313] 또한, 절연막(116)은 결함량이 적은 것이 바람직하고, 대표적으로는 ESR 측정으로 실리콘의 땅글링 본드에서 유래하는 $g=2.001$ 에 나타나는 신호의 스펜 밀도가 $1.5 \times 10^{18} \text{ spins/cm}^3$ 미만, 또한, $1 \times 10^{18} \text{ spins/cm}^3$ 이하인 것이 바람직하다. 또한, 절연막(116)은 절연막(114)과 비교하여 산화물 반도체막(223)으로부터 떨어져 있기 때문에 절연막(114)보다 결함 밀도가 높아도 좋다.

[0314] 절연막(114)의 두께는 5nm 이상 150nm 이하, 바람직하게는 5nm 이상 50nm 이하, 바람직하게는 10nm 이상 30nm 이하로 할 수 있다. 절연막(116)의 두께는 30nm 이상 500nm 이하, 바람직하게는 150nm 이상 400nm 이하로 할 수 있다.

[0315] 또한, 절연막(114) 및 절연막(116)에는 같은 종류의 재료의 절연막을 사용할 수 있기 때문에 절연막(114)과 절연막(116)의 계면을 명확하게 확인할 수 없는 경우가 있다. 따라서, 본 실시형태에 있어서, 절연막(114)과 절연막(116)의 계면은 파선으로 나타내었다. 또한, 본 실시형태에 있어서는, 절연막(114)과 절연막(116)의 2층 구조에 대하여 설명하였지만, 이에 한정되지 않고, 예를 들어 절연막(114)의 단층 구조, 절연막(116)의 단층 구조, 또는 3층 이상의 적층 구조로 하여도 좋다.

[0316] 또한, 절연막(114) 및 절연막(116)을 형성한 후에 가열 처리(이하, 제 1 가열 처리라고 함)를 실시하는 것이 바람직하다. 제 1 가열 처리에 의하여, 절연막(114) 및 절연막(116)에 포함되는 질소 산화물을 저감할 수 있다. 또는, 제 1 가열 처리에 의하여, 절연막(114) 및 절연막(116)에 포함되는 산소의 일부를 산화물 반도체막(223)으로 이동시켜, 산화물 반도체막(223)에 포함되는 산소 결손량을 저감할 수 있다.

[0317] 제 1 가열 처리의 온도는 대표적으로 400°C 미만, 바람직하게는 375°C 미만, 더 바람직하게는 150°C 이상 350°C 이하로 한다. 제 1 가열 처리는 질소, 산소, 초건조 공기(물의 합류량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하의 공기), 또는 희가스(아르곤, 헬륨 등)의 분위기 하에서 실시하면 좋다. 또한, 상기 질소, 산소, 초건조 공기, 또는 희가스에 수소, 물 등이 포함되지 않는 것이 바람직하다. 상기 가열 처리에는 전기로, RTA(Rapid Thermal Anneal) 등을 사용할 수 있다.

[0318] 개구(141)로서는, 드레인 전극(225b)이 노출되도록 형성한다. 개구(141)의 형성 방법으로서는, 예를 들어, 드라이 에칭법을 사용할 수 있다. 다만, 개구(141)의 형성 방법으로서는 이에 한정되지 않고, 웨트 에칭법, 또는 드라이 에칭법과 웨트 에칭법을 조합한 형성 방법으로 하여도 좋다. 또한, 개구(141)를 형성하기 위한 에칭 공정에 의하여, 드레인 전극(225b)의 막 두께가 감소되는 경우가 있다.

[0319] 다음에, 개구(141)를 덮도록 절연막(116) 위에 후에 산화물 도전막(227)이 되는 산화물 반도체막을 형성한다(도 18의 (A) 및 (B) 참조).

[0320] 또한, 도 18의 (A)는, 절연막(116) 위에 산화물 반도체막을 형성할 때의 성막 장치 내부의 단면 모식도이다. 도 18의 (A)에서는, 성막 장치로서 스퍼터링 장치를 사용하고, 상기 스퍼터링 장치 내부에 설치된 타깃(193), 및 타깃(193)의 아래 쪽으로 형성된 플라스마(194)가 모식적으로 도시되었다.

[0321] 우선, 산화물 반도체막을 형성할 때 제 3 산소 가스를 포함하는 분위기에서 플라스마를 방전시킨다. 그 때 산화물 반도체막의 피형성면이 되는 절연막(116) 내에 산소가 첨가된다. 또한, 산화물 반도체막을 형성할 때 제 3 산소 가스 외에 불활성 가스(예를 들어, 헬륨 가스, 아르곤 가스, 제논 가스 등)를 혼합시켜도 좋다. 예를 들어, 아르곤 가스와 제 3 산소 가스를 사용하고, 아르곤 가스의 유량보다 제 3 산소 가스의 유량을 많게 하는 것이 바람직하다. 제 3 산소 가스의 유량을 많게 함으로써, 절연막(116)에 산소를 바람직하게 첨가할 수 있다. 일례로서는, 산화물 반도체막의 형성 조건으로서 성막 가스 전체에 차지하는 제 3 산소 가스의 비율을 50% 이상 100% 이하, 바람직하게는, 80% 이상 100% 이하로 할 수 있다.

[0322] 또한, 도 18의 (A)에는, 절연막(116)에 첨가되는 산소 또는 과잉 산소가 모식적으로 파선의 화살표로 도시되었다.

[0323] 또한, 산화물 반도체막을 형성할 때의 기판 온도로서는 실온 이상 340°C 미만, 바람직하게는 실온 이상 300°C

이하, 더 바람직하게는 100°C 이상 250°C 이하, 더욱 바람직하게는 100°C 이상 200°C 이하이다. 산화물 반도체 막을 가열하여 형성함으로써, 산화물 반도체막의 결정성을 높일 수 있다. 한편으로, 기판(211)으로서 대형 유리 기판(예를 들어, 제 6 세대~제 10 세대)을 사용하는 경우, 산화물 반도체막을 형성할 때의 기판 온도를 150°C 이상 340°C 미만으로 하는 경우, 기판(211)이 변형되는(왜곡되거나 또는 휘어지는) 경우가 있다. 따라서, 대형 유리 기판을 사용하는 경우에는 산화물 반도체막을 형성할 때의 기판 온도를 100°C 이상 150°C 미만으로 함으로써, 유리 기판의 변형을 억제할 수 있다.

- [0324] 본 실시형태에서는 In-Ga-Zn 금속 산화물 타깃(In:Ga:Zn=1:3:6[원자수비])을 사용하여, 스퍼터링법에 의하여 산화물 반도체막을 형성한다.
- [0325] 다음에, 상기 산화물 반도체막을 원하는 형상으로 가공함으로써, 섬 형상의 산화물 반도체막(227a)을 형성한다(도 18의 (C) 참조).
- [0326] 산화물 반도체막(227a)은 절연막(116) 위에 산화물 반도체막을 형성한 후, 상기 산화물 반도체막의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 형성할 수 있다.
- [0327] 다음에, 절연막(116) 및 산화물 반도체막(227a) 위에 절연막(217)을 형성한다(도 19의 (A) 참조).
- [0328] 절연막(217)은 산소, 수소, 물, 알칼리 금속, 알칼리 토금속 등을 블로킹할 수 있는 기능을 갖는다. 절연막(217)을 제공함으로써, 산소의 산화물 반도체막(223)으로부터 외부로의 확산, 절연막(215)에 포함되는 산소의 외부로의 확산, 및 외부로부터 수소, 물, 알칼리 금속, 알칼리 토금속 등이 산화물 반도체막(223)으로 들어가는 것을 방지할 수 있다.
- [0329] 절연막(217)은 수소 및 질소 중 어느 한쪽 또는 양쪽을 갖는 것이 바람직하다. 절연막(217)으로서는, 예를 들어, 질화 실리콘막을 사용하면 바람직하다. 또한, 절연막(217)으로서는, 예를 들어, 스퍼터링법 또는 PECVD법을 사용하여 형성할 수 있다. 예를 들어, 절연막(217)을 PECVD법으로 형성하는 경우, 기판 온도는 400°C 미만, 바람직하게는 375°C 미만, 더 바람직하게는 180°C 이상 350°C 이하이다. 절연막(217)을 형성하는 경우의 기판 온도를, 상술한 범위로 함으로써, 치밀한 막을 형성할 수 있어 바람직하다. 또한, 절연막(217)을 형성하는 경우의 기판 온도를 상술한 범위로 함으로써, 절연막(114) 및 절연막(116) 내의 산소 또는 과잉 산소를, 산화물 반도체막(223)으로 이동시킬 수 있게 된다.
- [0330] 또한, 산소, 수소, 물, 알칼리 금속, 알칼리 토금속 등의 블로킹 효과를 갖는 질화물 절연막 대신에, 산소, 수소, 물 등의 블로킹 효과를 갖는 산화물 절연막을 제공하여도 좋다. 산소, 수소, 물 등의 블로킹 효과를 갖는 산화물 절연막으로서는 산화 알루미늄, 산화 질화 알루미늄, 산화 갈륨, 산화 질화 갈륨, 산화 이트륨, 산화 질화 이트륨, 산화 하프늄, 산화 질화 하프늄 등이 있다.
- [0331] 또한, 절연막(217)을 형성한 후에, 상술한 제 1 가열 처리와 같은 가열 처리(이하, 제 2 가열 처리라고 함)를 실시하여도 좋다. 이와 같이, 산화물 도전막(227)이 되는 산화물 반도체막을 형성할 때 절연막(116)에 산소를 첨가한 후에 400°C 미만, 바람직하게는 375°C 미만, 더 바람직하게는 180°C 이상 350°C 이하의 온도로 가열 처리를 실시함으로써, 절연막(116) 내의 산소 또는 과잉 산소를 산화물 반도체막(223) 내로 이동시켜, 산화물 반도체막(223) 내의 산소 결손을 보전할 수 있다.
- [0332] 여기서, 산화물 반도체막(223) 내로 이동하는 산소에 대하여, 도 20을 사용하여 설명한다. 도 20은, 절연막(217)을 형성할 때의 기판 온도(대표적으로는 375°C 미만), 또는 절연막(217)을 형성한 후의 제 2 가열 처리(대표적으로는 375°C 미만)에 의하여, 산화물 반도체막(223) 내로 이동하는 산소가 도시된 모델도이다. 도 20에는, 산화물 반도체막(223) 내로 이동하는 산소(산소 라디칼, 산소 원자, 또는 산소 분자)가 과선의 화살표로 도시되었다. 또한, 도 20은 절연막(217)을 형성한 후의, 트랜지스터 근방의 단면도이다.
- [0333] 도 20에 도시된 산화물 반도체막(223)은, 산화물 반도체막(223)에 접하는 막(여기서는, 절연막(107) 및 절연막(114))으로부터 산소가 이동함으로써 산소 결손이 보전된다. 특히, 본 발명의 일 형태에 따른 입출력 장치에 있어서, 산화물 반도체막(223)이 되는 산화물 반도체막의 스퍼터링 성막 시에 산소 가스를 사용하고, 절연막(107) 내에 산소를 첨가하는 경우, 절연막(107)은 과잉 산소 영역을 갖는다. 또한, 산화물 도전막(227)이 되는 산화물 반도체막의 스퍼터링 성막 시에 산소 가스를 사용하고, 절연막(116) 내에 산소를 첨가하기 때문에, 절연막(116)은 과잉 산소 영역을 갖는다. 따라서, 상기 과잉 산소 영역을 갖는 절연막 사이에 위치하는 산화물 반도체막(223)은 산소 결손이 바람직하게 보전된다.
- [0334] 또한, 절연막(107)의 아래 쪽에는, 절연막(106)이 제공되고, 절연막(114) 및 절연막(116)의 위쪽에는, 절연막

(217)이 제공된다. 산소 투과성이 낮은 재료, 예를 들어, 질화 실리콘 등에 의하여 절연막(106) 및 절연막(217)을 형성함으로써, 절연막(107), 절연막(114), 및 절연막(116) 내에 포함되는 산소를 산화물 반도체막(223) 층에 가둘 수 있기 때문에, 산화물 반도체막(223)으로 산소를 바람직하게 이동시킬 수 있게 된다.

[0335] 또한, 절연막(217)은 산화물 도전막(227)의 저항률을 저하시키는 기능을 갖는 것이 바람직하다.

[0336] 수소 및 질소 중 어느 한쪽 또는 양쪽을 갖는 절연막(217)을 형성함으로써, 절연막(217)에 접하는 산화물 반도체막(227a)은, 수소 및 질소 중 어느 한쪽 또는 양쪽이 첨가된다. 따라서, 산화물 반도체막(227a)은 캐리어 밀도가 높아져 산화물 도전막으로서 기능할 수 있다.

[0337] 또한, 도 19의 (A) 이후는, 산화물 반도체막(227a)은 저항률의 저하에 따라 산화물 도전막(227)으로서 도시되었다.

[0338] 산화물 도전막(227)의 저항률은 적어도 산화물 반도체막(223)보다 낮고, 바람직하게는 $1 \times 10^{-3} \Omega \text{cm}$ 이상 $1 \times 10^{-4} \Omega \text{cm}$ 미만, 더 바람직하게는, $1 \times 10^{-3} \Omega \text{cm}$ 이상 $1 \times 10^{-1} \Omega \text{cm}$ 미만이면 좋다.

[0339] 다음에, 절연막(217) 위에 절연막(219)을 형성하고, 절연막(217) 및 절연막(219)의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 개구(142)를 형성한다(도 19의 (B) 참조).

[0340] 본 실시형태에서는, 절연막(219)으로서 아크릴 수지를 사용한다.

[0341] 개구(142)로서는, 드레인 전극(225b)이 노출되도록 형성한다. 개구(142)의 형성 방법으로서는 예를 들어, 드라이 에칭법을 사용할 수 있다. 다만, 개구(142)의 형성 방법으로서는 이에 한정되지 않고, 웨트 에칭법 또는 드라이 에칭법과 웨트 에칭법을 조합한 형성 방법으로 하여도 좋다. 또한, 개구(142)를 형성하기 위한 에칭 공정에 의하여 드레인 전극(225b)의 막 두께가 감소되는 경우가 있다.

[0342] 또한, 상술한 개구(141)를 형성하는 공정을 행하지 않고 개구(142)를 형성하는 공정에 있어서 절연막(114), 절연막(116), 절연막(217), 절연막(219)에 개구를 연속적으로 형성하여도 좋다. 이와 같은 공정으로 함으로써, 본 발명의 일 형태에 따른 입출력 장치의 제작 공정을 줄일 수 있어 제작 비용을 억제할 수 있다.

[0343] 다음에, 개구(142)를 덮도록 절연막(219) 위에 도전막을 형성하고, 상기 도전막의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 도전막(251)을 형성한다. 또한 도전막(251) 위에 절연막(253)을 형성한다. 다음에, 절연막(253) 위에 도전막을 형성하고, 상기 도전막의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 도전막(255)을 형성한다. 그리고, 절연막(253) 및 도전막(255) 위에 도전막을 형성하고 상기 도전막의 원하는 영역이 남도록 패터닝하고, 그 후 불필요한 영역을 에칭함으로써 도전막(252)을 형성한다(도 19의 (C) 참조).

[0344] 본 실시형태에서는, 도전막(251) 및 도전막(252)으로서 ITO막을 사용하고, 절연막(253)으로서 질화 실리콘막을 사용하고, 도전막(255)으로서 은과 팔라듐과 구리의 합금(Ag-Pd-Cu, APC라고도 함)막을 사용한다.

[0345] 도전막(252)과 도전막(255)의 형성 순서는 불문하지만, 도전막(255)을 도전막(252)보다 먼저 형성하는 것이 바람직하다. 도전막(255)의 에칭에 의하여 도전막(252)이 대미지를 받는 것 등을 억제할 수 있다.

[0346] 또한, 산화물 도전막(227)과 같은 방법으로 산화물 반도체막을 사용하여 도전막(251)을 형성하여도 좋다. 이때, 도전막(251) 위에 형성하는 절연막(253)으로서는 절연막(217)에 사용할 수 있는 재료를 적용할 수 있다. 또한, 산화물 반도체막을 형성하고, 상기 산화물 반도체막의 저항률을 저하시키는 처리를 실시함으로써 도전막(252)을 형성하여도 좋다.

[0347] 이상의 공정으로 도 4에 도시된 트랜지스터(203b)와 액정 소자의 한 쌍의 전극을 제작할 수 있다.

[0348] 또한, 도 19의 (C)에서는 절연막(219)을 제공하는 구성이 도시되었지만, 절연막(219)을 제공하지 않는 구성으로 하여도 좋다(도 21 참조).

[0349] 본 실시형태는, 다른 실시형태와 적절히 조합할 수 있다.

[0350] (실시형태 3)

[0351] 본 실시형태에서는, 본 발명의 일 형태에 따른 입출력 장치에 사용할 수 있는 트랜지스터에 대하여 도 22~도 25를 사용하여 설명한다. 또한, 각종의 재료에 대해서는 실시형태 1의 기재를 참조할 수 있다.

[0352] <트랜지스터의 구성 예 1>

[0353] 도 22의 (A)는 트랜지스터(270)의 상면도이고, 도 22의 (B)는 도 22의 (A)에 도시된 일점쇄선 A1-A2를 따라 자른 단면도이고, 도 22의 (C)는 일점쇄선 B1-B2를 따라 자른 단면도이다. 또한, 일점쇄선 A1-A2 방향을 채널 길이 방향, 일점쇄선 B1-B2 방향을 채널 폭 방향이라고 부르는 경우가 있다.

[0354] 트랜지스터(270)는 기판(502) 위의 제 1 게이트 전극으로서 기능하는 도전막(504), 기판(502) 및 도전막(504) 위의 절연막(506), 절연막(506) 위의 절연막(507), 절연막(507) 위의 산화물 반도체막(508), 산화물 반도체막(508)에 전기적으로 접속되는 소스 전극으로서 기능하는 도전막(512a), 산화물 반도체막(508)에 전기적으로 접속되는 드레인 전극으로서 기능하는 도전막(512b), 산화물 반도체막(508), 도전막(512a) 및 도전막(512b) 위의 절연막(514) 및 절연막(516), 및 절연막(516) 위의 산화물 도전막(511b)을 갖는다. 또한, 산화물 도전막(511b) 위에 절연막(518)이 제공된다.

[0355] 트랜지스터(270)에 있어서, 절연막(514) 및 절연막(516)은 트랜지스터(270)의 제 2 게이트 절연막으로서의 기능을 갖는다. 또한, 산화물 반도체막(511a)은 절연막(514) 및 절연막(516)에 제공되는 개구부(552c)를 개재하여, 도전막(512b)과 접속된다. 산화물 반도체막(511a)은 예를 들어, 표시 소자의 화소 전극으로서의 기능을 갖는다. 또한, 트랜지스터(270)에서, 산화물 도전막(511b)은 제 2 게이트 전극(백 게이트 전극이라고도 함)으로서 기능한다.

[0356] 또한, 도 22의 (C)에 도시된 바와 같이 산화물 도전막(511b)은 절연막(506), 절연막(507), 절연막(514), 및 절연막(516)에 제공되는 개구부(552a) 및 개구부(552b)에 있어서, 제 1 게이트 전극으로서 기능하는 도전막(504)에 접속된다. 따라서, 도전막(504)과 산화물 도전막(511b)에는 같은 전위가 공급된다.

[0357] 또한, 본 실시형태에서는 개구부(552a) 및 개구부(552b)를 제공하고, 산화물 도전막(511b)과 도전막(504)을 접속하는 구성에 대하여 예시하지만, 이에 한정되지 않는다. 예를 들어, 개구부(552a) 및 개구부(552b) 중 어느 한쪽의 개구부만을 형성하고, 산화물 도전막(511b)과 도전막(504)을 접속하는 구성, 또는 개구부(552a) 및 개구부(552b)를 제공하지 않고 산화물 도전막(511b)과 도전막(504)을 접속하지 않는 구성으로 하여도 좋다. 또한, 산화물 도전막(511b)과 도전막(504)을 접속하지 않는 구성의 경우, 산화물 도전막(511b)과 도전막(504)에는 각각 상이한 전위를 공급할 수 있다.

[0358] 또한, 도 22의 (B)에 도시된 바와 같이 산화물 반도체막(508)은 제 1 게이트 전극으로서 기능하는 도전막(504)과 제 2 게이트 전극으로서 기능하는 산화물 도전막(511b)의 각각과 대향하도록 위치하고, 2개의 게이트 전극으로서 기능하는 도전막에 끼워진다. 제 2 게이트 전극으로서 기능하는 산화물 도전막(511b)의 채널 길이 방향의 길이 및 채널 폭 방향의 길이는 산화물 반도체막(508)의 채널 길이 방향의 길이 및 채널 폭 방향의 길이보다 각각 길고, 산화물 반도체막(508) 전체는, 절연막(514) 및 절연막(516)을 개재하여 산화물 도전막(511b)에 덮인다. 또한, 제 2 게이트 전극으로서 기능하는 산화물 도전막(511b)과 제 1 게이트 전극으로서 기능하는 도전막(504)은 절연막(506), 절연막(507), 절연막(514), 및 절연막(516)에 제공되는 개구부(552a), 개구부(552b)에서 접속되기 때문에, 산화물 반도체막(508)의 채널 폭 방향의 측면은, 절연막(514) 및 절연막(516)을 개재하여 제 2 게이트 전극으로서 기능하는 산화물 도전막(511b)과 대향된다.

[0359] 바꿔 말하면, 트랜지스터(270)의 채널 폭 방향에 있어서, 제 1 게이트 전극으로서 기능하는 도전막(504) 및 제 2 게이트 전극으로서 기능하는 산화물 도전막(511b)은, 게이트 절연막으로서 기능하는 절연막(506), 절연막(507) 및 제 2 게이트 절연막으로서 기능하는 절연막(514) 및 절연막(516)에 제공되는 개구부에 있어서 접속함과 함께 게이트 절연막으로서 기능하는 절연막(506) 및 절연막(507), 그리고 제 2 게이트 절연막으로서 기능하는 절연막(514) 및 절연막(516)을 개재하여 산화물 반도체막(508)을 둘러싸는 구조이다.

[0360] 이와 같은 구성을 가짐으로써, 트랜지스터(270)에 포함되는 산화물 반도체막(508)을 제 1 게이트 전극으로서 기능하는 도전막(504) 및 제 2 게이트 전극으로서 기능하는 산화물 도전막(511b)의 전계에 의하여 전기적으로 둘러쌀 수 있다. 트랜지스터(270)와 같이, 제 1 게이트 전극 및 제 2 게이트 전극의 전계에 의하여, 채널 영역이 형성되는 산화물 반도체막을 전기적으로 둘러싸는 트랜지스터의 디바이스 구조를 surrounded channel(s-channel) 구조라고 부를 수 있다.

[0361] 트랜지스터(270)는 s-channel 구조를 가짐으로써, 제 1 게이트 전극으로서 기능하는 도전막(504)에 의하여 채널을 유발시키기 위한 전계를 효과적으로 산화물 반도체막(508)에 인가할 수 있기 때문에, 트랜지스터(270)의 전류 구동 능력이 향상되어 높은 온 전류 특성을 얻을 수 있게 된다. 또한, 온 전류를 높게 하는 것이 가능하기 때문에, 트랜지스터(270)를 미세화하는 것이 가능해진다. 또한, 트랜지스터(270)는 제 1 게이트 전극으로서 기

능하는 도전막(504) 및 제 2 게이트 전극으로서 기능하는 산화물 도전막(511b)으로 둘러싸인 구조를 갖기 때문에 트랜지스터(270)의 기계적 강도를 높일 수 있다.

[0362] <트랜지스터의 구성 예 2>

도 23의 (A) 및 (B)는 도 22의 (B) 및 (C)에 도시된 트랜지스터(270)의 변형예의 단면도이다. 또한, 도 23의 (C) 및 (D)는 도 22의 (B) 및 (C)에 도시된 트랜지스터(270)의 변형예의 단면도이다.

도 23의 (A) 및 (B)에 도시된 트랜지스터(270A)는 도 22의 (B) 및 (C)에 도시된 트랜지스터(270)가 갖는 산화물 반도체막(508)을 3층의 적층 구조로 한다. 더 구체적으로는 트랜지스터(270A)가 갖는 산화물 반도체막(508)은 산화물 반도체막(508a), 산화물 반도체막(508b), 및 산화물 반도체막(508c)을 갖는다.

도 23의 (C) 및 (D)에 도시된 트랜지스터(270B)는 도 22의 (B) 및 (C)에 도시된 트랜지스터(270)가 갖는 산화물 반도체막(508)을 2층의 적층 구조로 한 것이다. 더 구체적으로는 트랜지스터(270B)가 갖는 산화물 반도체막(508)은 산화물 반도체막(508b) 및 산화물 반도체막(508c)을 갖는다.

[0366] 여기서, 산화물 반도체막(508) 및 산화물 반도체막(508)에 접하는 절연막의 밴드 구조에 대하여, 도 24를 사용하여 설명한다.

[0367] 도 24의 (A)는 절연막(507), 산화물 반도체막(508a), 산화물 반도체막(508b), 산화물 반도체막(508c), 및 절연막(514)을 갖는 적층 구조의 막 두께 방향의 밴드 구조의 일례이다. 또한, 도 24의 (B)는 절연막(507), 산화물 반도체막(508b), 산화물 반도체막(508c), 및 절연막(514)을 갖는 적층 구조의 막 두께 방향의 밴드 구조의 일례이다. 또한, 밴드 구조는 쉽게 이해하기 위하여 절연막(507), 산화물 반도체막(508a), 산화물 반도체막(508b), 산화물 반도체막(508c), 및 절연막(514)의 전도대 하단의 에너지 준위(Ec)를 나타낸다.

[0368] 또한, 도 24의 (A)는 절연막(507) 및 절연막(514)으로서 산화 실리콘막을 사용하고, 산화물 반도체막(508a)으로서 금속 원소가 In:Ga:Zn=1:1:1.2[원자수비]의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하고, 산화물 반도체막(508b)으로서 금속 원소가 In:Ga:Zn=4:2:4.1[원자수비]의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하고, 산화물 반도체막(508c)으로서 금속 원소가 In:Ga:Zn=1:1:1.2[원자수비]의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하는 구성의 밴드도이다.

[0369] 또한, 도 24의 (B)는 절연막(507) 및 절연막(514)으로서 산화 실리콘막을 사용하고, 산화물 반도체막(508b)으로서 금속 원소가 In:Ga:Zn=4:2:4.1[원자수비]의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하고, 산화물 반도체막(508c)으로서 금속 원소가 In:Ga:Zn=1:1:1.2[원자수비]의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하는 구성의 밴드도이다.

[0370] 도 24의 (A) 및 (B)에 도시된 바와 같이 산화물 반도체막(508a), 산화물 반도체막(508b), 및 산화물 반도체막(508c)에서 전도대 하단의 에너지 준위는 완만하게 변화된다. 바꿔 말하면, 연속적으로 변화 또는 연속 접합이라고도 할 수 있다. 이와 같은 밴드 구조를 갖기 위해서는, 산화물 반도체막(508a)과 산화물 반도체막(508b)의 계면, 또는 산화물 반도체막(508b)과 산화물 반도체막(508c)의 계면에서 트랩 중심이나 재결합 중심과 같은 결합 준위를 형성하는 불순물이 존재하지 않는다.

[0371] 산화물 반도체막(508a), 산화물 반도체막(508b), 및 산화물 반도체막(508c)에 연속 접합을 형성하기 위해서는, 로드록실(load lock chamber)을 구비한 멀티 체임버 방식의 성막 장치(스퍼터링 장치)를 사용하여 각 막을 대기 에 노출시키지 않고 연속적으로 적층시킬 필요가 있다.

[0372] 도 24의 (A) 및 (B)에 도시된 구성으로 함으로써, 산화물 반도체막(508b)이 웨(우물)이 되어, 상기 적층 구조를 사용한 트랜지스터에 있어서 채널 영역이 산화물 반도체막(508b)에 형성되는 것을 알 수 있다.

[0373] 또한, 산화물 반도체막(508a) 및 산화물 반도체막(508c)을 제공함으로써, 산화물 반도체막(508b)에 형성될 수 있는 트랩 준위를 산화물 반도체막(508b)으로부터 멀리할 수 있다.

[0374] 또한, 트랩 준위는 채널 영역으로서 기능하는 산화물 반도체막(508b)의 전도대 하단의 에너지 준위(Ec)보다 진공 준위로부터 멀어질 수 있어, 트랩 준위에 전자가 축적되기 쉬워진다. 트랩 준위에 전자가 축적됨으로써, 마이너스의 고정 전하가 되어, 트랜지스터의 문턱 전압은 플러스 방향으로 시프트된다. 따라서, 트랩 준위가 산화물 반도체막(508b)의 전도대 하단의 에너지 준위(Ec)보다 진공 준위에 가까워지는 구성으로 하는 것이 바람직하다. 이와 같이 함으로써, 트랩 준위에 전자가 축적하기 어려워져, 트랜지스터의 온 전류를 증대시키는 것이 가능함과 동시에, 전계 효과 이동도를 높일 수 있다.

- [0375] 또한, 산화물 반도체막(508a) 및 산화물 반도체막(508c)은, 산화물 반도체막(508b)보다 전도대 하단의 에너지 준위가 진공 준위에 가깝고, 대표적으로는 산화물 반도체막(508b)의 전도대 하단의 에너지 준위와, 산화물 반도체막(508a) 및 산화물 반도체막(508c)의 전도대 하단의 에너지 준위와의 차이가 0.15eV 이상, 또는 0.5eV 이상, 또한 2eV 이하, 또는 1eV 이하이다. 즉, 산화물 반도체막(508a) 및 산화물 반도체막(508c)의 전자 친화력과, 산화물 반도체막(508b)의 전자 친화력과의 차이가 0.15eV 이상, 또는 0.5eV 이상, 또한 2eV 이하, 또는 1eV 이하이다.
- [0376] 이와 같은 구성을 가짐으로써, 산화물 반도체막(508b)이 주된 전류 경로가 된다. 즉, 산화물 반도체막(508b)은 채널 영역으로서의 기능을 갖고 산화물 반도체막(508a) 및 산화물 반도체막(508c)은 산화물 절연막으로서의 기능을 갖는다. 또한, 산화물 반도체막(508a) 및 산화물 반도체막(508c)은 채널 영역이 형성되는 산화물 반도체막(508b)을 구성하는 금속 원소의 1가지 이상으로 구성되는 산화물 반도체막이기 때문에 산화물 반도체막(508a)과 산화물 반도체막(508b)과의 계면, 또는 산화물 반도체막(508b)과 산화물 반도체막(508c)과의 계면에 있어서, 계면 산란이 일어나기 어렵다. 따라서, 상기 계면에서는 캐리어의 움직임이 저해되지 않기 때문에 트랜지스터의 전계 효과 이동도가 높아진다.
- [0377] 또한, 산화물 반도체막(508a) 및 산화물 반도체막(508c)은 채널 영역의 일부로서 기능하는 것을 방지하기 위하여, 도전율이 충분히 낮은 재료를 사용하는 것으로 한다. 그래서, 산화물 반도체막(508a) 및 산화물 반도체막(508c)을, 그 물성 및/또는 기능으로부터, 각각 산화물 절연막이라고도 부를 수 있다. 또한, 산화물 반도체막(508a) 및 산화물 반도체막(508c)에는, 전자 친화력(진공 준위와 전도대 하단의 에너지 준위와의 차이)이 산화물 반도체막(508b)보다 작고, 전도대 하단의 에너지 준위가 산화물 반도체막(508b)의 전도대 하단의 에너지 준위와 차분(밴드 오프셋)을 갖는 재료를 사용하는 것으로 한다. 또한, 드레인 전압의 크기에 의존한 문턱 전압의 차이가 생기는 것을 억제하기 위해서는 산화물 반도체막(508a) 및 산화물 반도체막(508c)의 전도대 하단의 에너지 준위가 산화물 반도체막(508b)의 전도대 하단의 에너지 준위보다 진공 준위에 가까운 것이 바람직하다. 예를 들어, 산화물 반도체막(508b)의 전도대 하단의 에너지 준위와, 산화물 반도체막(508a) 및 산화물 반도체막(508c)의 전도대 하단의 에너지 준위와의 차이는 0.2eV 이상, 바람직하게는 0.5eV 이상인 것이 바람직하다.
- [0378] 또한, 산화물 반도체막(508a) 및 산화물 반도체막(508c)은 막 내에 스피넬형의 결정 구조가 포함되지 않는 것이 바람직하다. 산화물 반도체막(508a) 및 산화물 반도체막(508c)의 막 내에 스피넬형의 결정 구조를 포함하는 경우, 상기 스피넬형의 결정 구조와 다른 영역과의 계면에서, 도전막(512a) 및 도전막(512b)의 구성 원소가 산화물 반도체막(508b)으로 확산되는 경우가 있다. 또한, 산화물 반도체막(508a) 및 산화물 반도체막(508c)이 CAAC-OS인 경우, 도전막(512a) 및 도전막(512b)의 구성 원소, 예를 들어, 구리 원소의 블로킹성이 높아져 바람직하다.
- [0379] 산화물 반도체막(508a) 및 산화물 반도체막(508c)의 막 두께는, 도전막(512a) 및 도전막(512b)의 구성 원소가 산화물 반도체막(508b)으로 확산되는 것을 억제할 수 있는 막 두께이며, 절연막(514)으로부터 산화물 반도체막(508b)으로의 산소의 공급을 억제하는 막 두께 미만으로 한다. 예를 들어, 산화물 반도체막(508a) 및 산화물 반도체막(508c)의 막 두께가 10nm 이상이면 도전막(512a) 및 도전막(512b)의 구성 원소가 산화물 반도체막(508b)으로 확산되는 것을 억제할 수 있다. 또한, 산화물 반도체막(508a) 및 산화물 반도체막(508c)의 막 두께를 100nm 이하로 하면 절연막(514)으로부터 산화물 반도체막(508b)에 효과적으로 산소를 공급할 수 있다.
- [0380] 또한, 본 실시형태에 있어서는, 산화물 반도체막(508a) 및 산화물 반도체막(508c)으로서 금속 원소가 In:Ga:Zn=1:1:1.2[원자수비]의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하는 구성에 대하여 예시하였지만, 이에 한정되지 않는다. 예를 들어, 산화물 반도체막(508a) 및 산화물 반도체막(508c)으로서, In:Ga:Zn=1:1:1[원자수비], In:Ga:Zn=1:3:2[원자수비], In:Ga:Zn=1:3:4[원자수비], 또는 In:Ga:Zn=1:3:6[원자수비]의 금속 산화물 타깃을 사용하여 형성되는 산화물 반도체막을 사용하여도 좋다.
- [0381] 또한, 산화물 반도체막(508a) 및 산화물 반도체막(508c)으로서 In:Ga:Zn=1:1:1[원자수비]의 금속 산화물 타깃을 사용하는 경우, 산화물 반도체막(508a) 및 산화물 반도체막(508c)은 In:Ga:Zn=1:β1(0<β1≤2):β2(0<β2≤3)가 되는 경우가 있다. 또한, 산화물 반도체막(508a) 및 산화물 반도체막(508c)으로서, In:Ga:Zn=1:3:4[원자수비]의 금속 산화물 타깃을 사용하는 경우, 산화물 반도체막(508a) 및 산화물 반도체막(508c)은 In:Ga:Zn=1:β3(1≤β3≤5):β4(2≤β4≤6)가 되는 경우가 있다. 또한, 산화물 반도체막(508a) 및 산화물 반도체막(508c)으로서, In:Ga:Zn=1:3:6[원자수비]의 금속 산화물 타깃을 사용하는 경우, 산화물 반도체막(508a) 및 산화물 반도체막(508c)은, In:Ga:Zn=1:β5(1≤β5≤5):β6(4≤β6≤8)이 되는 경우가 있다.
- [0382] 또한, 트랜지스터(270)가 갖는 산화물 반도체막(508)과, 트랜지스터(270A) 및 트랜지스터(270B)가 갖는 산화물

반도체막(508c)은 도면에 있어서, 도전막(512a) 및 도전막(512b)과 중첩되지 않는 영역의 산화물 반도체막이 얇아지는, 바꿔 말하면 산화물 반도체막의 일부가 오목부를 갖는 형상에 대하여 예시하였다. 다만, 본 발명의 일 형태는 이에 한정되지 않고, 도전막(512a) 및 도전막(512b)과 중첩되지 않는 영역의 산화물 반도체막이 오목부를 갖지 않아도 된다. 이 경우의 일례는 도 25의 (A) 및 (B)에 도시되었다. 도 25의 (A) 및 (B)는 트랜지스터의 일례가 도시된 단면도이다. 또한, 도 25의 (A) 및 (B)는 미리 도시된 트랜지스터(270B)의 산화물 반도체막(508)이 오목부를 갖지 않는 구조이다.

[0383] 또한, 도 25의 (C) 및 (D)에 도시된 바와 같이 산화물 반도체막(508c)의 막 두께를, 미리 산화물 반도체막(508b)보다 얕게 형성하고, 또한, 산화물 반도체막(508c) 및 절연막(507) 위에 절연막(519)을 형성하여도 좋다. 이 경우, 절연막(519)에는 산화물 반도체막(508c)과 도전막(512a) 및 도전막(512b)이 접하기 위한 개구를 형성한다. 절연막(519)은, 절연막(514)과 같은 재료 및 형성 방법에 의하여 형성할 수 있다.

[0384] 또한, 본 실시형태에 따른 트랜지스터는 상기 구조 각각을 자유롭게 조합할 수 있다.

[0385] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0386] (실시형태 4)

[0387] 본 실시형태에서는, 산화물 반도체에 대하여 도 26~30을 사용하여 설명한다.

[0388] <산화물 반도체의 구조>

[0389] 이하에서는 산화물 반도체의 구조에 대하여 설명한다.

[0390] 산화물 반도체는 단결정 산화물 반도체와, 그 이외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는, CAAC-OS(c-axis-aligned crystalline oxide semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체 등이 있다.

[0391] 또한, 다른 관점에서는, 산화물 반도체는 비정질 산화물 반도체와, 그 이외의 결정성 산화물 반도체로 나누어진다. 결정성 산화물 반도체로서는, 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 및 nc-OS 등이 있다.

[0392] 비정질 구조는 일반적으로 등방적이며, 불균질 구조를 갖지 않는다. 준안정 상태이며 원자의 배치가 고정화되지 않는다. 결합 각도에 유연성이 있다, 단거리 질서를 갖지만 장거리 질서를 갖지 않는다 등의 견해가 있다.

[0393] 즉, 안정된 산화물 반도체를 완전한 비정질(completely amorphous) 산화물 반도체라고 부를 수는 없다. 또한, 등방적이지 않은(예를 들어, 미소한 영역에서 주기 구조를 갖는) 산화물 반도체를, 완전한 비정질 산화물 반도체라고는 할 수 없다. 한편, a-like OS는 등방적이지 않지만 공동(보이드라고도 부름)을 갖는 불안정한 구조이다. 불안정하다는 점에서는 a-like OS는 물성적으로 비정질 산화물 반도체에 가깝다.

[0394] <CAAC-OS>

[0395] 우선, CAAC-OS에 대하여 설명한다.

[0396] CAAC-OS는 c축 배향된 복수의 결정부(펠릿이라고도 함)를 갖는 산화물 반도체의 한가지이다.

[0397] CAAC-OS를 X선 회절(XRD: X-Ray Diffraction)에 의하여 해석한 경우에 대하여 설명한다. 예를 들어, 공간군 R-3m로 분류되는 InGaZnO₄의 결정을 갖는 CAAC-OS에 대하여 out-of-plane법에 의한 구조 해석을 실시하면, 도 26의 (A)에 도시된 바와 같이 회절각(2θ)이 31° 근방에 피크가 나타난다. 이 피크는 InGaZnO₄의 결정의 (009)면에 기인하는 것으로 CAAC-OS에서는 결정이 c축 배향성을 갖고 c축이 CAAC-OS의 막을 형성하는 면(피형성 면이라고도 함), 또는 상면에 실질적으로 수직의 방향을 향하는 것을 확인할 수 있다. 또한, 2θ가 31° 근방의 피크의 외에 2θ가 36° 근방에도 피크가 나타나는 경우가 있다. 2θ가 36° 근방의 피크는 공간군 Fd-3m로 분류되는 결정 구조에 기인한다. 그래서, CAAC-OS는 상기 피크를 나타내지 않는 것이 바람직하다.

[0398] 한편, CAAC-OS에 대하여 피형성면에 평행한 방향으로부터 X선을 입사시키는 in-plane법에 의한 구조 해석을 실시하면, 2θ가 56° 근방에 피크가 나타난다. 이 피크는, InGaZnO₄의 결정의 (110)면에 기인한다. 그리고, 2θ를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(Φ축)으로 하여 시료를 회전시키면서 분석(Φ 스캔)을 실시하여도 도 26의 (B)에 도시된 바와 같이 명료한 피크는 나타나지 않는다. 한편, 단결정 InGaZnO₄에 대하여 2

Θ 를 56° 근방에 고정하고 ϕ 스캔을 실시한 경우, 도 26의 (C)에 도시된 바와 같이 (110)면과 등가인 결정면에 기인하는 피크가 6개 관찰된다. 따라서, XRD를 사용한 구조 해석으로부터 CAAC-OS는 a축 및 b축의 배향이 불규칙한 것을 확인할 수 있다.

[0399] 다음에, 전자 회절에 의하여 해석한 CAAC-OS에 대하여 설명한다. 예를 들어, $InGaZnO_4$ 의 결정을 갖는 CAAC-OS에 대하여, 프로브 직경이 300nm인 전자빔을 CAAC-OS의 괴형성면에 평행하게 입사시키면, 도 26의 (D)와 같은 회절 패턴(제한 시야 전자 회절 패턴이라고도 함)이 나타나는 경우가 있다. 이 회절 패턴에는, $InGaZnO_4$ 의 결정의 (009)면에 기인하는 스폷이 포함된다. 따라서, 전자 회절에 의해서도, CAAC-OS에 포함되는 펠릿이 c축 배향성을 갖고, c축이 괴형성면 또는 상면에 실질적으로 수직인 방향을 향하고 있는 것을 알 수 있다. 한편, 같은 시료에 대하여 시료면에 수직인 방향으로부터 프로브 직경이 300nm인 전자빔을 입사시킨 경우의 회절 패턴은 도 26의 (E)에 도시되었다. 도 26의 (E)를 보면, 고리 모양의 회절 패턴이 확인된다. 따라서, 프로브 직경이 300nm인 전자빔을 사용한 전자 회절에 의해서도, CAAC-OS에 포함되는 펠릿의 a축 및 b축은 배향성을 갖지 않는 것을 알 수 있다. 또한, 도 26의 (E)에서 제1고리는 $InGaZnO_4$ 의 결정의 (010)면 및 (100)면 등에 기인하는 것으로 생각된다. 또한, 도 26의 (E)에서 제2고리는 (110)면 등에 기인하는 것으로 생각된다.

[0400] 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여, CAAC-OS의 명시야상과 회절 패턴의 복합 해석상(고분해능 TEM상이라고도 함)을 관찰하면, 복수의 펠릿을 확인할 수 있다. 한편, 고분해능 TEM상에서도 펠릿들간의 경계, 즉 결정립계(그레이인 바운더리라고도 함)를 명확하게 확인할 수 없는 경우가 있다. 그래서, CAAC-OS는 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0401] 도 27의 (A)는 시료면에 실질적으로 평행한 방향으로부터 관찰한 CAAC-OS의 단면의 고분해능 TEM상이다. 고분해능 TEM상의 관찰에는, 구면 수차 보정(Spherical Aberration Corrector) 기능을 이용하였다. 구면 수차 보정 기능을 사용한 고분해능 TEM상을 특히 Cs 보정 고분해능 TEM상이라 부른다. Cs 보정 고분해능 TEM상은 예를 들어, 원자 분해능 분석 전자 현미경(일본전자 주식회사 제작, JEM-ARM200F) 등에 의하여 관찰할 수 있다.

[0402] 도 27의 (A)로부터, 금속 원자가 층 형상으로 배열되는 영역인 펠릿을 확인할 수 있다. 펠릿 하나의 크기는 1nm 이상인 것이나, 3nm 이상인 것이 있는 것을 알 수 있다. 따라서, 펠릿을 나노 결정(nc: nanocrystal)이라고 부를 수도 있다. 또한, CAAC-OS를, CANC(C-Axis Aligned nanocrystals)를 갖는 산화물 반도체라고 부를 수도 있다. 펠릿은 CAAC-OS의 괴형성면 또는 상면의 요철을 반영하고, CAAC-OS의 괴형성면 또는 상면과 평행이 된다.

[0403] 또한, 도 27의 (B) 및 (C)에 시료면과 실질적으로 수직인 방향으로부터 관찰한 CAAC-OS의 평면의 Cs 보정 고분해능 TEM상을 나타내었다. 도 27의 (D) 및 (E)는 각각 도 27의 (B) 및 (C)를 화상 처리한 상이다. 이하에서는 화상 처리의 방법에 대하여 설명한다. 도 27의 (B)를 고속 푸리에 변환(FFT: Fast Fourier Transform) 처리함으로써, FFT상을 취득한다. 다음에, 취득한 FFT상에서 원점을 기준으로, 2.8nm^{-1} 에서 5.0nm^{-1} 의 사이의 범위가 남도록 마스크 처리를 한다. 이어서, 마스크 처리한 FFT상을 역고속 푸리에 변환(IFFT: Inverse Fast Fourier Transform) 처리함으로써 화상 처리한 상을 취득한다. 이와 같이 취득한 상을 FFT 필터링상이라고 부른다. FFT 필터링상은 Cs 보정 고분해능 TEM상에서 주기 성분을 추출한 상이고 격자 배열을 나타낸 것이다.

[0404] 도 27의 (D)에는 격자 배열이 흐트러진 부분이 파선으로 도시되었다. 파선으로 둘러싸인 영역이 하나의 펠릿이다. 그리고, 파선으로 나타낸 부분이 펠릿과 펠릿의 연결부이다. 파선은 육각형상이기 때문에 펠릿이 육각형상인 것을 알 수 있다. 또한, 펠릿의 형상은 정육각형상에 한정되지 않고, 비정육각형상인 경우가 많다.

[0405] 도 27의 (E)에는 격자 배열이 정렬된 영역과 다른 격자 배열이 정렬된 영역 사이가 점선으로 도시되었다. 점선 근방에서도 명확한 결정립계를 확인할 수 없다. 점선 근방의 격자점을 중심으로 주위의 격자점을 연결하면, 변형된(distorted) 육각형이나 오각형 또는/및 칠각형 등이 형성된다. 즉, 격자 배열을 변형시킴으로써 결정립계의 형성이 억제되는 것을 알 수 있다. 이것은, CAAC-OS가 a-b면 방향에서 원자 배열이 밀집하지 않은 것이나, 금속 원소가 치환하여 원자 사이의 결합 거리가 변화하는 것 등에 의하여 변형을 허용할 수 있기 때문이라고 생각된다.

[0406] 상술한 바와 같이, CAAC-OS는 c축 배향성을 갖고, 또한, a-b면 방향에서 복수의 펠릿(나노 결정)이 연결되어, 변형을 갖는 결정 구조가 된다. 따라서, CAAC-OS를 CAA crystal(c-axis-aligned a-b-plane-anchored crystal)을 갖는 산화물 반도체라고 할 수도 있다.

[0407] CAAC-OS는 결정성이 높은 산화물 반도체이다. 산화물 반도체의 결정성은 불순물의 혼입이나 결함의 생성 등에

의하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물이나 결함(산소 결손 등)이 적은 산화물 반도체라고도 할 수 있다.

[0408] 또한, 불순물은, 산화물 반도체의 주성분 이외의 원소로, 수소, 탄소, 실리콘, 전이 금속 원소 등이 있다. 예를 들어, 실리콘 등의, 산화물 반도체를 구성하는 금속 원소보다도 산소와의 결합력이 강한 원소는, 산화물 반도체로부터 산소를 빼앗음으로써 산화물 반도체의 원자 배열을 흐트러지게 하여, 결정성을 저하시키는 요인이다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화 탄소 등은, 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체의 원자 배열을 흐트러지게 하여, 결정성을 저하시키는 요인이다.

[0409] 산화물 반도체가 불순물이나 결함을 갖는 경우, 광이나 열 등에 의해 특성이 변동되는 경우가 있다. 예를 들어, 산화물 반도체에 포함되는 불순물은, 캐리어 트랩이 되는 경우나, 캐리어 발생원이 되는 경우가 있다. 예를 들어, 산화물 반도체 중의 산소 결손은 캐리어 트랩이 되거나, 수소를 포함함으로써 캐리어 발생원이 되는 경우가 있다.

[0410] 불순물 및 산소 결손이 적은 CAAC-OS는, 캐리어 밀도가 낮은 산화물 반도체이다. 구체적으로는, 캐리어 밀도가 8×10^{11} 개/cm³ 미만, 바람직하게는 1×10^{11} 개/cm³ 미만, 더 바람직하게는 1×10^{10} 개/cm³ 미만이고, 1×10^{-9} 개/cm³ 이상인 산화물 반도체로 할 수 있다. 그러한 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 부른다. CAAC-OS는, 불순물 농도가 낮고, 결함 준위 밀도가 낮다. 즉, 안정된 특성을 갖는 산화물 반도체라고 할 수 있다.

[0411] <nc-OS>

[0412] 다음에, nc-OS에 대하여 설명한다.

[0413] nc-OS를 XRD에 의하여 해석한 경우에 대하여 설명한다. 예를 들어, nc-OS에 대하여, out-of-plane법에 의한 구조 해석을 행하면 배향성을 나타내는 피크가 나타나지 않는다. 즉, nc-OS의 결정은 배향성을 갖지 않는다.

[0414] 또한, 예를 들어, InGaZnO₄의 결정을 갖는 nc-OS를 박편화하고, 두께가 34nm의 영역에 대하여, 프로브 직경이 50nm인 전자 빔을 괴형성면에 평행하게 입사시키면, 도 28의 (A)에 나타낸 바와 같은 고리 모양의 회절 패턴(나노빔 전자 회절 패턴)이 관측된다. 또한, 같은 시료에 프로브 직경이 1nm인 전자 빔을 입사시켰을 때의 회절 패턴(나노빔 전자 회절 패턴)을 도 28의 (B)에 나타내었다. 도 28의 (B)에서는 고리 모양의 영역 내에 복수의 스포트이 관측된다. 따라서, nc-OS는 프로브 직경이 50nm인 전자 빔을 입사시켜도 질서성이 확인되지 않지만, 프로브 직경이 1nm인 전자 빔을 입사시키면 질서성이 확인된다.

[0415] 또한, 두께 10nm 미만의 영역에 프로브 직경이 1nm인 전자 빔을 입사시키면, 도 28의 (C)와 같이 스포트이 실질적으로 정육각형으로 배치된 전자 회절 패턴이 관측되는 경우가 있다. 따라서, 두께가 10nm 미만인 범위에서, nc-OS가 질서성이 높은 영역, 즉, 결정을 갖는 것을 알 수 있다. 또한, 결정이 다양한 방향을 향하기 때문에 규칙적인 전자 회절 패턴이 관측되지 않는 영역도 있다.

[0416] 도 28의 (D)에 괴형성면과 실질적으로 평행한 방향으로부터 관찰한 nc-OS의 단면의 Cs 보정 고분해능 TEM상을 나타내었다. nc-OS는 고분해능 TEM상에서, 보조선으로 나타낸 부분 등과 같이, 결정부를 확인할 수 있는 영역과 명확한 결정부를 확인할 수 없는 영역을 갖는다. nc-OS에 포함되는 결정부는 1nm 이상 10nm 이하의 크기이며, 특히 1nm 이상 3nm 이하의 크기인 경우가 많다. 또한, 결정부의 크기가 10nm보다 크고 100nm 이하인 산화물 반도체를 미결정 산화물 반도체(microcrystalline oxide semiconductor)라고 부르는 경우가 있다. nc-OS는, 예를 들어 고분해능 TEM상에서는, 결정립계를 명확하게 확인할 수 없는 경우가 있다. 또한, 나노 결정은 CAAC-OS에 있어서의 펠릿과 기원을 같이 할 가능성이 있다. 그로 인해, 이하에서는 nc-OS의 결정부를 펠릿이라고 부르는 경우가 있다.

[0417] 이와 같이, nc-OS는 미소한 영역(예를 들어, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS는 상이한 펠릿 사이에서 결정 방위에 규칙성이 보이지 않는다. 따라서, 막 전체에서 배향성이 확인되지 않는다. 따라서, nc-OS는, 분석 방법에 따라서는 a-like OS나 비정질 산화물 반도체와 구별이 되지 않는 경우가 있다.

[0418] 또한, 펠릿(나노 결정) 사이에서 결정 방위에 규칙성이 보이지 않는 것으로부터, nc-OS를 RANC(Random Aligned nanocrystals)를 포함하는 산화물 반도체 또는 NANC(Non-Aligned nanocrystals)를 포함하는 산화물 반도체라고 부를 수도 있다.

- [0419] nc-OS는, 비정질 산화물 반도체보다도 규칙성이 높은 산화물 반도체이다. 그로 인해, nc-OS는 a-like OS나 비정질 산화물 반도체보다도 결합 준위 밀도가 낮아진다. 다만, nc-OS는, 상이한 펠릿 사이에서 결정 방위에 규칙성이 보이지 않는다. 그로 인해, nc-OS는, CAAC-OS와 비교하여 결합 준위 밀도가 높아진다.
- [0420] <a-like OS>
- [0421] a-like OS는, nc-OS와 비정질 산화물 반도체 사이의 구조를 갖는 산화물 반도체이다.
- [0422] 도 29에 a-like OS의 고분해능 단면 TEM상을 나타내었다. 여기서, 도 29의 (A)는 전자 조사 시작 시에 있어서의 a-like OS의 고분해능 단면 TEM상이다. 도 29의 (B)는 $4.3 \times 10^8 e^-/\text{nm}^2$ 의 전자(e^-) 조사 후에서의 a-like OS의 고분해능 단면 TEM상이다. 도 29의 (A) 및 (B)로부터, a-like OS는 전자 조사 시작 시부터, 세로 방향으로 연신(延伸)하는 줄무늬 형상의 명(明)영역이 확인되는 것을 알 수 있다. 또한, 명영역은 전자 조사 후에 형상이 변화되는 것을 알 수 있다. 또한, 명 영역은 공동이거나 저밀도 영역인 것으로 추측된다.
- [0423] 공동을 갖기 때문에, a-like OS는 불안정한 구조이다. 아래에서는 a-like OS가 CAAC-OS 및 nc-OS에 비하여 불안정한 구조임을 나타내기 위하여 전자 조사로 인한 구조의 변화를 나타내었다.
- [0424] 시료로서 a-like OS, nc-OS, 및 CAAC-OS를 준비한다. 모든 시료는 In-Ga-Zn 산화물이다.
- [0425] 먼저, 각 시료의 고분해능 단면 TEM상을 취득한다. 고분해능 단면 TEM상을 보면, 이들 모든 시료가 결정부를 갖는 것을 알 수 있다.
- [0426] 또한, InGaZnO_4 의 결정의 단위 격자는 $\text{In}-0\text{층 } 3\text{층과 Ga-Zn}-0\text{층 } 6\text{층의 총 } 9\text{층이 } c\text{축 방향으로 층상으로 중첩된 구조를 갖는 것이 알려져 있다}$. 이들 근접하는 층끼리의 간격은 (009)면의 격자면 간격(d값이라고도 함)과 같은 정도이며, 결정 구조 해석에 의하여 그 값이 0.29nm 로 산출된다. 따라서, 아래에서는 격자 줄무늬의 간격이 0.28nm 이상 0.30nm 이하인 부분을 InGaZnO_4 의 결정부라고 간주한다. 또한, 격자 줄무늬는 InGaZnO_4 의 결정의 a-b면에 대응한다.
- [0427] 도 30은 각 시료의 결정부(22개소에서 30개소)의 평균의 크기를 조사한 예이다. 또한, 상술한 격자 줄무늬의 길이를 결정부의 크기로 간주한다. 도 30으로부터, a-like OS는 TEM상의 취득 등에 의한 전자의 누적 조사량이 증가할수록 결정부가 커지는 것을 알 수 있다. 도 30으로부터, TEM에 의한 관찰 초기에는 1.2nm 정도의 크기였던 결정부(초기핵이라고도 함)가 전자(e^-)의 누적 조사량이 $4.2 \times 10^8 e^-/\text{nm}^2$ 에서는 1.9nm 정도의 크기까지 성장하고 있는 것을 알 수 있다. 한편, nc-OS 및 CAAC-OS는 전자 조사 시작 시로부터 누적 전자 조사량이 $4.2 \times 10^8 e^-/\text{nm}^2$ 가 될 때까지의 범위에서 결정부의 크기가 변화되지 않는 것을 알 수 있다. 도 30으로부터, 누적 전자 조사량과 상관없이 nc-OS 및 CAAC-OS의 결정부의 크기는 각각 1.3nm 정도 및 1.8nm 정도인 것을 알 수 있다. 또한, 전자 빔 조사 및 TEM의 관찰은 히타치 투파 전자 현미경 H-9000NAR을 사용하였다. 전자 빔 조사 조건은 가속 전압을 300kV , 전류 밀도를 $6.7 \times 10^5 e^-/(\text{nm}^2 \cdot \text{s})$, 조사 영역의 직경을 230nm 로 하였다.
- [0428] 이와 같이, a-like OS는, 전자 조사에 의해 결정부의 성장이 보이는 경우가 있다. 한편, nc-OS 및 CAAC-OS는 전자 조사에 의한 결정부의 성장이 거의 관찰되지 않는다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비하여 불안정한 구조임을 알 수 있다.
- [0429] 또한, a-like OS는 공동을 갖기 때문에 nc-OS 및 CAAC-OS에 비하여 밀도가 낮은 구조를 갖는다. 구체적으로는, a-like OS의 밀도는 같은 조성의 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. 또한, nc-OS의 밀도 및 CAAC-OS의 밀도는, 동일의 조성의 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만이다. 밀도가 단결정 산화물 반도체의 밀도의 78% 미만인 산화물 반도체는 성막 자체가 어렵다.
- [0430] 예를 들어, $\text{In}: \text{Ga}: \text{Zn} = 1: 1: 1$ [원자수비]을 만족시키는 산화물 반도체에 있어서, 능면체정(rhombohedral crystal) 구조를 갖는 단결정 InGaZnO_4 의 밀도는 6.357g/cm^3 이다. 따라서, 예를 들어, $\text{In}: \text{Ga}: \text{Zn} = 1: 1: 1$ [원자수비]을 만족시키는 산화물 반도체에 있어서, a-like OS의 밀도는 5.0g/cm^3 이상 5.9g/cm^3 미만이다. 또한, 예를 들어 $\text{In}: \text{Ga}: \text{Zn} = 1: 1: 1$ [원자수비]을 만족시키는 산화물 반도체에서 nc-OS의 밀도 및 CAAC-OS의 밀도는 5.9g/cm^3 이상 6.3g/cm^3 미만이다.
- [0431] 또한, 같은 조성의 단결정이 존재하지 않는 경우, 임의의 비율로 조성이 상이한 단결정을 조합함으로써, 원하는

조성을 갖는 단결정의 밀도에 상당하는 밀도를 어림잡을 수 있다. 원하는 조성을 갖는 단결정의 밀도에 상당하는 밀도는, 조성이 상이한 단결정을 조합하는 비율에 대하여 가중 평균을 사용하여 어림잡으면 좋다. 다만, 밀도는 가능한 한 적은 종류의 단결정을 조합하여 어림잡는 것이 바람직하다.

[0432] 이상과 같이 산화물 반도체는 다양한 구조를 가질 수 있고, 각각이 다양한 특성을 갖는다. 또한, 산화물 반도체는 예를 들어, 비정질 산화물 반도체, a-like OS, nc-OS, 및 CAAC-OS 중 2가지 이상을 갖는 적층막이어도 좋다.

[0433] 본 실시형태는, 다른 실시형태와 적절히 조합할 수 있다.

[0434] (실시형태 5)

[0435] 본 실시형태에서는, 본 발명의 일 형태에 따른 입출력 장치를 갖는 터치 패널 모듈 및 전자 기기에 대하여, 도 31~도 33을 사용하여 설명한다.

[0436] 도 31에 도시된 터치 패널 모듈(8000)은 상부 커버(8001)와 하부 커버(8002) 사이에, FPC(8003)에 접속된 터치 패널(8004), 프레임(8009), 프린트 기판(8010), 및 배터리(8011)를 갖는다.

[0437] 본 발명의 일 형태에 따른 입출력 장치는 예를 들어, 터치 패널(8004)에 사용할 수 있다.

[0438] 상부 커버(8001) 및 하부 커버(8002)의 형상이나 치수는 터치 패널(8004)의 사이즈에 따라 적절히 변경할 수 있다.

[0439] 또한, 투과형의 액정 소자를 사용한 경우에는, 도 31에 도시된 바와 같이 백 라이트(8007)를 제공하여도 좋다. 백 라이트(8007)는, 광원(8008)을 갖는다. 또한, 도 31에 있어서, 백 라이트(8007) 위에 광원(8008)을 배치하는 구성에 대하여 예시하지만, 이에 한정되지 않는다. 예를 들어, 백 라이트(8007)의 단부에 광원(8008)을 배치하고, 또한, 광 확산판을 사용하는 구성으로 하여도 좋다. 또한, 유기 EL 소자 등의 자발광형의 발광 소자를 사용하는 경우, 또는 반사형 패널 등의 경우에 있어서는 백 라이트(8007)를 제공하지 않는 구성으로 하여도 좋다.

[0440] 프레임(8009)은, 터치 패널(8004)의 보호 기능 외에, 프린트 기판(8010)의 동작에 의하여 발생하는 전자파를 차단하기 위한 전자 실드로서의 기능을 갖는다. 또한 프레임(8009)은 방열판으로서의 기능을 가져도 좋다.

[0441] 프린트 기판(8010)은 전원 회로, 비디오 신호 및 클록 신호를 출력하기 위한 신호 처리 회로를 갖는다. 전원 회로에 전력을 공급하는 전원으로서는, 외부의 상용 전원이어도 좋고, 별도 형성한 배터리(8011)에 의한 전원이 어도 좋다. 상용 전원을 사용하는 경우, 배터리(8011)는 생략할 수 있다.

[0442] 또한, 터치 패널(8004)은, 편광판, 위상차판, 프리즘 시트 등의 부재를 추가하여 제공하여도 좋다.

[0443] 도 32의 (A)~(H) 및 도 33은, 전자 기기가 도시된 도면이다. 이들의 전자 기기는, 하우징(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005)(전원 스위치, 또는 조작 스위치를 포함함), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 빛, 액, 자기, 온도, 화학물질, 음성, 시간, 경도, 전장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(5008) 등을 가질 수 있다.

[0444] 도 32의 (A)는 모바일 컴퓨터이며, 상술한 것 이외에, 스위치(5009), 적외선 포트(5010) 등을 가질 수 있다. 도 32의 (B)는 기록 매체를 갖춘 휴대형의 화상 재생 장치(예를 들어, DVD 재생 장치)를 나타내며, 상술한 것 외에도 제 2 표시부(5002), 기록 매체 판독부(5011) 등을 포함할 수 있다. 도 32의 (C)는 텔레비전 장치이며, 상술한 것에 더하여, 스탠드(5012) 등을 가질 수 있다. 또한, 텔레비전 장치는 하우징(5000)이 구비한 조작 스위치나, 별도 제공된 리모트 컨트롤러(5013)에 의하여 조작할 수 있다. 리모트 컨트롤러(5013)가 구비한 조작 키에 의하여, 채널이나 음량을 조작할 수 있고, 표시부(5001)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(5013)에 이 리모트 컨트롤러(5013)로부터 출력되는 정보를 표시하는 표시부를 제공하는 구성으로 하여도 좋다. 도 32의 (D)는 휴대형 게임기이며, 상술한 것 이외에, 기록 매체 판독부(5011) 등을 가질 수 있다. 도 32의 (E)는 텔레비전 수상 기능 부착 디지털 카메라이며, 상술한 것 이외에, 안테나(5014), 셔터 버튼(5015), 수상부(5016) 등을 가질 수 있다. 도 32의 (F)는 휴대형 게임기며, 상기 설명한 것 외에, 제 2 표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 32의 (G)는 포터블 텔레비전 수상기이며, 상술한 것 이외에, 신호의 송수신이 가능한 충전기(5017) 등을 가질 수 있다. 도 32의 (H)는 손목 시계형 정보 단말이며, 상술한 것 이외에 밴드(5018), 버클(5019) 등을 가질 수 있다. 베젤 부분을 겹치는 하우징(5000)에 탑재된 표

시부(5001)는, 비직사각 형상의 표시 영역을 갖고 있다. 표시부(5001)는, 시각을 나타내는 아이콘(5020), 그 밖의 아이콘(5021) 등을 표시할 수 있다. 도 33의 (A)는 디지털 사이니지(Digital Signage: 전자 간판)이다. 도 33의 (B)는 원기둥 형상의 기둥에 장착된 디지털 사이니지이다.

[0445] 도 32의 (A)~(H) 및 도 33에 도시된 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어, 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 캘린더, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능을 이용하여 다양한 컴퓨터 네트워크에 접속하는 기능, 무선 통신 기능을 이용하여 다양한 데이터의 송신 또는 수신을 행하는 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 복수의 표시부를 가지는 전자 기기에 있어서는, 하나의 표시부를 주로 하여 화상 정보를 표시하고, 다른 하나의 표시부를 주로 하여 문자 정보를 표시하는 기능, 또는, 복수의 표시부에 시차를 고려한 화상을 표시함으로써 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 또한, 수상부를 가지는 전자 기기에 있어서는, 정지 화상을 촬영하는 기능, 동영상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기록 매체(외부 또는 카메라에 내장)에 보존하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 도 32의 (A)~(H) 및 도 33에 도시된 전자 기기가 가질 수 있는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0446] 본 실시형태에서 설명한 전자 기기는, 어떤 정보를 표시하기 위한 표시부를 갖는 것을 특징으로 한다. 상기 표시부에 본 발명의 일 형태에 따른 입출력 장치를 적용할 수 있다.

[0447] 본 실시형태는, 다른 실시형태와 적절히 조합할 수 있다.

[0448] [실시예]

[0449] 본 실시예에서는 본 발명의 일 형태에 따른 입출력 장치에 대하여 설명한다.

[0450] 우선, 본 실시예의 입출력 장치의 사양을 설명한다. 사이즈는 대각선 4.3인치로 한다. 유효 화소수는 1080(H)×1920(V)의 FHD(Full High Definition)로 하였다. 또한, 화소 사이즈는 49.5 μm(H)×49.5 μm(V)로 하였다. 패널의 외형 치수는 69.76mm(H)×141.4mm(V)로 하였다. 표시 영역 및 센서 영역은 각각 53.46mm(H)×95.04mm(V)로 하였다. 해상도는 513ppi로 하였다. 트랜지스터에는, 채널 형성 영역에 산화물 반도체를 갖는, CE(channel-etched)형의 트랜지스터를 사용하였다.

[0451] 본 실시예의 입출력 장치는, 투과형의 액정 표시 장치로서 기능시킬 수 있다. 표시 소자로서는, FFS 모드의 액정 소자를 사용한다. 컬러화 방식으로서는 CF(컬러 필터) 방식을 사용하였다. 또한, 개구율은 48.0%로 하였다. 또한, 구동 주파수는 60Hz로 하였다. 또한, 영상 신호 형식으로서는 아날로그선순차를 이용하였다.

[0452] 또한, 게이트 드라이버를 내장하였다. 또한, 소스 드라이버는 COF를 사용하였다.

[0453] 또한, 검지 소자는 투영형 정전 용량 방식(상호 용량 방식)으로 하였다. 액정 소자의 공통 전극은 검지 소자의 전극을 겹친 구조으로 하였다. 센서 유닛 수는 18(H)×32(V)로 하였다. 구체적으로는, 도 9의 (A)에 도시된 도전막(56a)을 32개 갖고, 도전막(58)을 18개 갖는다. 하나의 센서 유닛의 사이즈는 2.970mm×2.970mm로 하였다. 도 9의 (A)에서의 하나의 도전막(56b)은 30×60개의 화소분의 크기이고, 하나의 도전막(56a)은 30×1080개의 화소분의 크기이다.

[0454] 도 8의 (E)에 도시된 1 프레임 기간은, 16.667ms이고, 기록 기간은 8.333ms, 2개의 검지 기간은 각각 4.167ms이다.

[0455] 본 실시예의 입출력 장치의 단면 모식도는, 도 1의 (B)에 상당하고, 자세한 것을 실시형태 1을 참조할 수 있다.

[0456] 기판(211)에는, 두께 약 0.7mm의 유리 기판을 사용하였다. 기판(261)에는, 두께 약 0.1mm, 약 0.2mm, 또는 약 0.3mm의 유리 기판을 사용하였다. 게이트 전극(221)은, 질화 텅스텐막과 구리막의 적층 구조로 하였다. 절연막(213)은, 질화 실리콘막과 산화질화 실리콘막의 적층 구조로 하였다. 산화물 반도체막(223)에는, CAAC-OS의 하나인, CAAC-IGZO를 사용하였다. 산화물 반도체막(223)은, 금속 원소의 원자수비가 상이한 스팍터링 타깃을 각각 사용하여 형성된 2층 구조로 하고, 2층을 합친 두께는, 약 25nm로 하였다. 산화물 반도체막(223) 및 산화물 도전막(227)은 In-Ga-Zn 산화물을 사용하여 형성하였다. 산화물 도전막(227)은 단층 구조로 하고, 그 두께는 약 100nm로 하였다. 소스 전극(225a) 및 드레인 전극(225b)은 텅스텐막, 알루미늄막, 및 타이타늄막의 적층 구조로 하였다. 절연막(215)에는 산화질화 실리콘막을 사용하였다. 절연막(217)에는, 질화 실리콘막을 사용하였다. 절연막(219)에는, 아크릴막을 사용하였다. 도전막(251) 및 도전막(252)에는, 각각 두께 약 100nm의 실

리콘을 포함하는 인듐 주석 산화물막을 사용하였다. 절연막(253)에는 질화 실리콘막을 사용하였다. 액정(249)에는 네거티브형 액정을 사용하였다. 또한, 기판(261)의 표면에는 두께 약 $200\text{ }\mu\text{m}$ 의 편광 필름을 접합하였다. 본 실시예에서는 도전막(255)에 두께 약 100nm 의 APC를 사용한 입출력 장치와, 두께 약 200nm 의 Ti을 사용한 입출력 장치의 2가지를 제작하였다.

[0457] 도 35는 본 실시예의 입출력 장치의 표시 상태를 나타낸 사진이다. 도 35에서 표시 영역의 오른쪽 및 위측(미도시)에는 각각 FPC가 접속되었다. 도 35에 도시된 입출력 장치에서는 기판(261)에 두께 약 0.3mm 의 유리 기판을 사용한다. 또한, 도전막(255)에는, 두께 약 100nm 의 APC를 사용하였다. 도 35에 도시된 바와 같이 본 발명의 일 형태를 적용함으로써, 양호한 표시가 가능한 입출력 장치를 제작할 수 있었다. 또한, 도 35에 도시된 입출력 장치는 터치 센서의 검출 감도도 양호하고, 여러 지점을 동시에 검출 할 수 있었다.

[0458] 도전막(56a)의 폭(도 9의 (A)에 도시된 y방향의 길이)과 거의 같은 간격으로, 줄무늬 형상의 표시 불균일이 확인되는 일이 있었다. 그래서, 도전막(56a)과 도전막(56b)의 기생 용량이 일치되도록 도전막(56a)과 도전막(56b)의 폭을 변경하였다. 변경한 후, 하나의 도전막(56b)은 21×60 개의 화소분의 크기이고, 하나의 도전막(56a)은 39×1080 개의 화소분의 크기이다. 따라서, 도전막(56b)의 저항값은 $1.66\text{k}\Omega$ 로부터 $1.19\text{k}\Omega$ 가 되고, 도전막(56b)의 용량은 534pF 로부터 674pF 가 되었다. 도전막(56a)의 저항값은 $0.86\text{k}\Omega$ 로부터 $1.35\text{k}\Omega$ 가 되고, 도전막(56a)의 용량은 930pF 로부터 684pF 가 되었다. 도전막(56a)과 도전막(56b)의 기생 용량이 일치됨으로써, 표시 불균일이 저감되어 더 양호하게 표시할 수 있었다. 또한, 터치 센싱의 신호를 도전막(56b)에 입력하는 경우와 비교하여 도전막(56a)과 도전막(56b)에 교대로 입력하는 경우가, 표시 불균일이 저감되어 더 양호하게 표시 할 수 있었다.

부호의 설명

56: 도전막

56a: 도전막

56b: 도전막

57a: 보조 배선

57b: 보조 배선

58: 도전막

60: 화소

60a: 부화소

60b: 부화소

60c: 부화소

106: 절연막

107: 절연막

114: 절연막

116: 절연막

141: 개구

142: 개구

193: 타깃

194: 플라스마

201a: 트랜지스터

201b: 트랜지스터

201c: 트랜지스터

203: 트랜지스터

203a: 트랜지스터

203b: 트랜지스터

205a: 접속부

205b: 접속부

207: 액정 소자

207a: 액정 소자

207b: 액정 소자

211: 기판

213: 절연막

215: 절연막

217: 절연막

218: 절연막

219: 절연막

221: 게이트 전극

223: 산화물 반도체막

225a: 소스 전극

225b: 드레인 전극

226: 도전막

227: 산화물도전막

227a: 산화물 반도체막

231: 도전막

233: 도전막

235: 도전막

241: 착색막

243: 차광막

245: 절연막

247: 스페이서

249: 액정

251: 도전막

252: 도전막

253: 절연막

254: 도전막

255: 도전막

257: 접속체

259: FPC

- 261: 기판
265: 접착층
267: 접속체
268: IC
269: FPC
270: 트랜지스터
270A: 트랜지스터
270B: 트랜지스터
273: 화소
275: 도전막
277: 영역
300: 입출력 장치
301: 표시부
302: 주사선 구동 회로
303: 화소
502: 기판
504: 도전막
506: 절연막
507: 절연막
508: 산화물 반도체막
508a: 산화물 반도체막
508b: 산화물 반도체막
508c: 산화물 반도체막
511a: 산화물 반도체막
511b: 산화물도전막
512a: 도전막
512b: 도전막
514: 절연막
516: 절연막
518: 절연막
519: 절연막
552a: 개구부
552b: 개구부
552c: 개구부
3501: 배선
3502: 배선

3503: 트랜지스터

3504: 액정 소자

3510: 배선

3510_1: 배선

3510_2: 배선

3511: 배선

3515_1: 블록

3515_2: 블록

3516: 블록

5000: 하우징

5001: 표시부

5002: 표시부

5003: 스피커

5004: LED 램프

5005: 조작 키

5006: 접속 단자

5007: 센서

5008: 마이크로폰

5009: 스위치

5010: 적외선 포트

5011: 기록 매체 판독부

5012: 스탠드

5013: 리모트 컨트롤러

5014: 안테나

5015: 셔터 버튼

5016: 수상부

5017: 충전기

5018: 밴드

5019: 버클

5020: 아이콘

5021: 아이콘

6500: 터치 패널모듈

6501: 회로유닛

6502: 신호선 구동 회로

6503: 센서구동 회로

6504: 검출회로

6505: 타이밍 컨트롤러

6506: 화상처리회로

6510: 터치 패널

6511: 표시부

6512: 입력부

6513: 주사선 구동 회로

6520: IC

6530: IC

6531: 기판

6532: 대향 기판

6533: FPC

6534: PCB

6540: CPU

8000: 터치 패널모듈

8001: 상부커버

8002: 하부커버

8003: FPC

8004: 터치 패널

8007: 백 라이트

8008: 광원

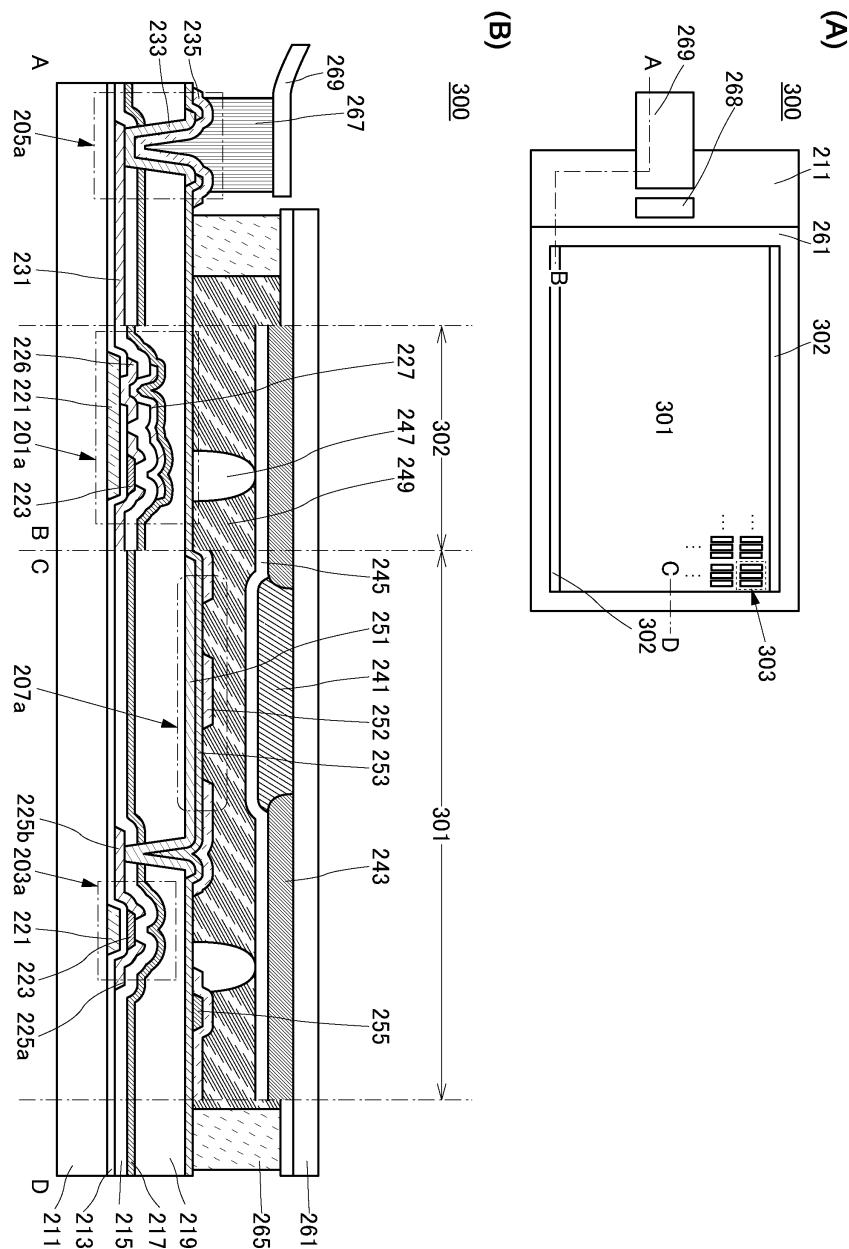
8009: 프레임

8010: 프린트 기판

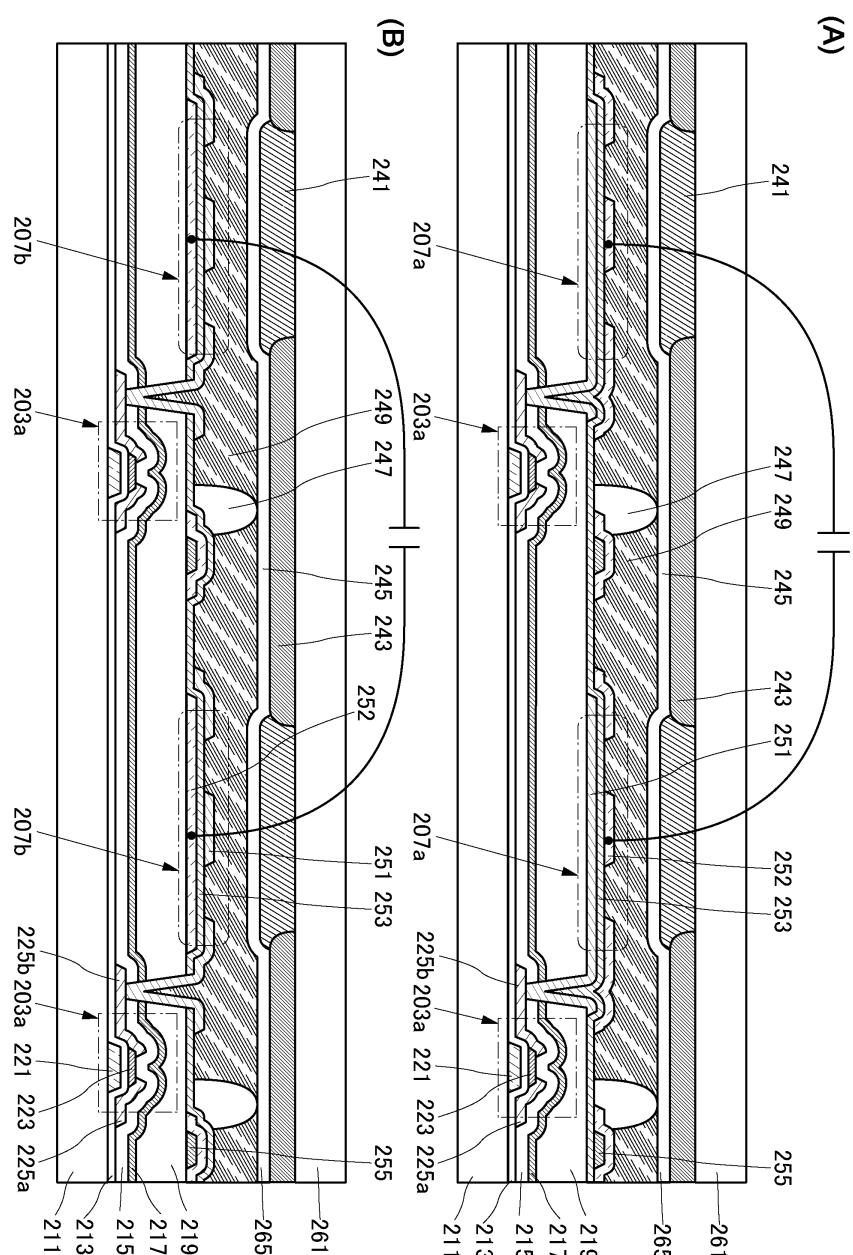
8011: 배터리

도면

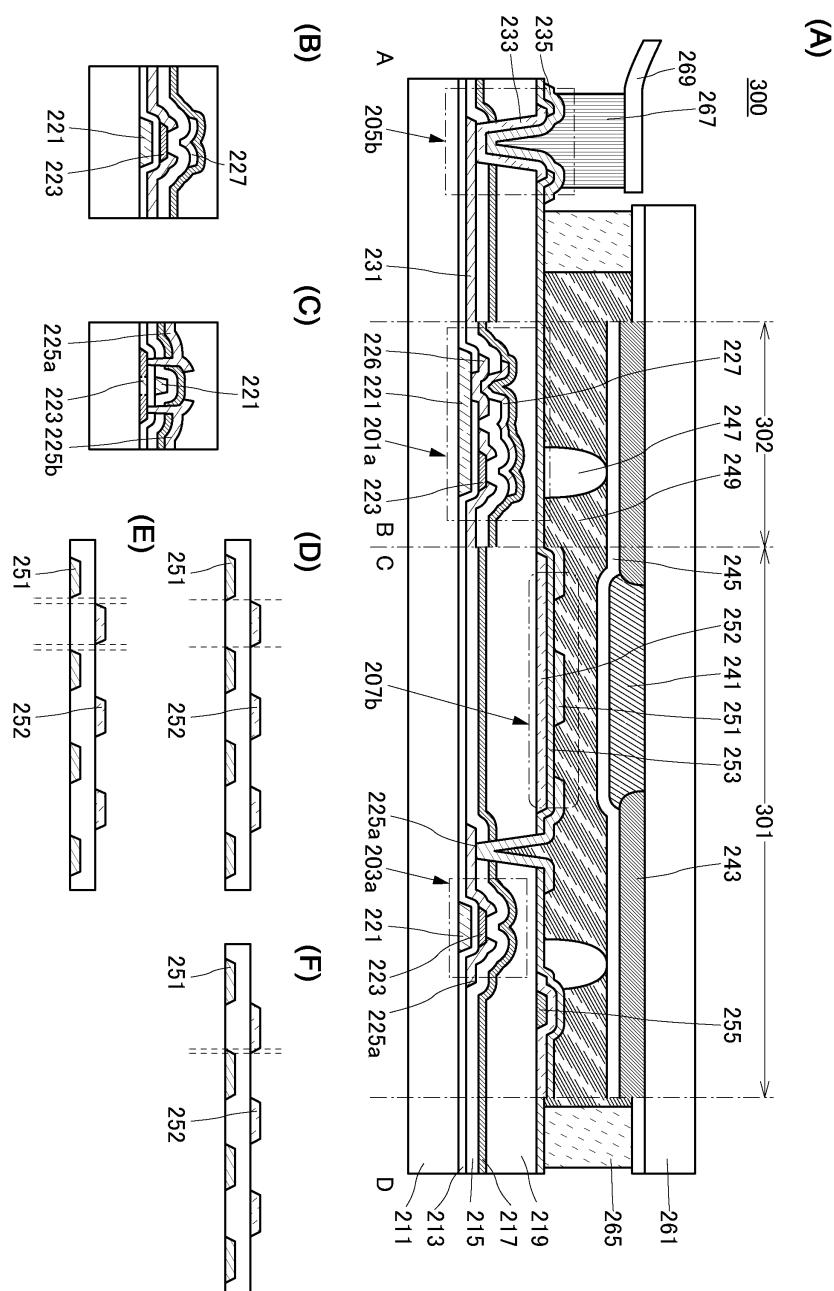
도면1



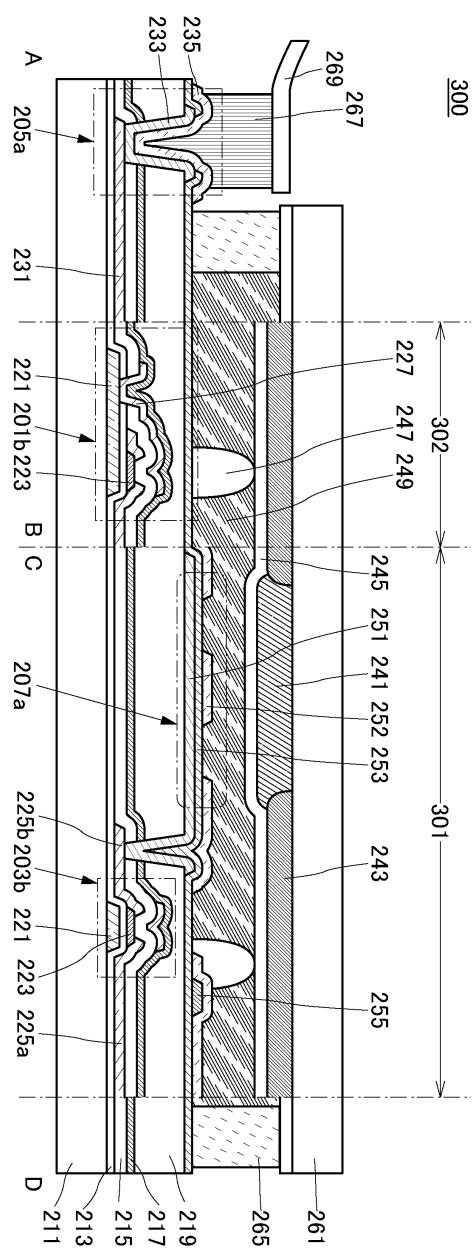
도면2



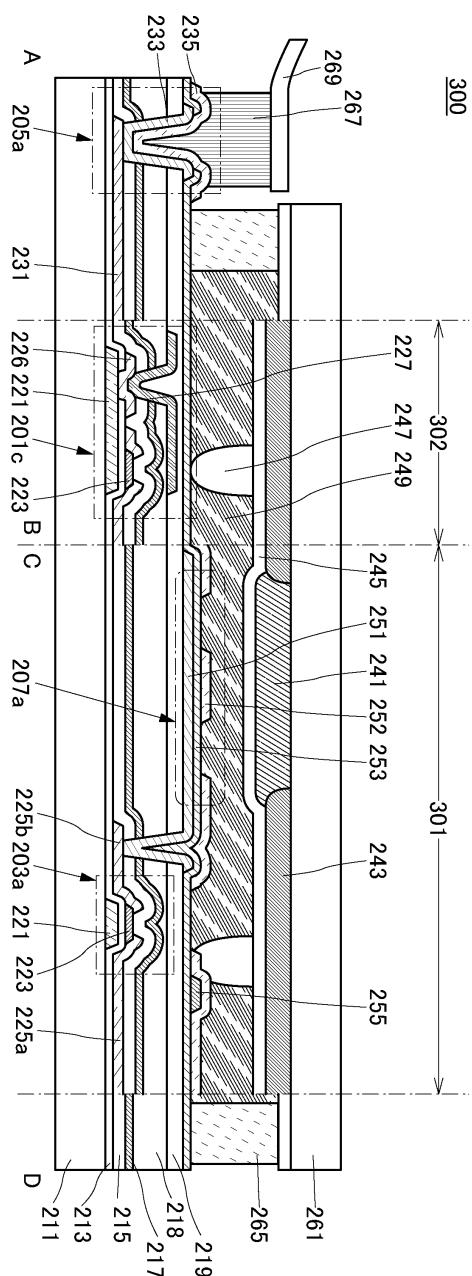
도면3



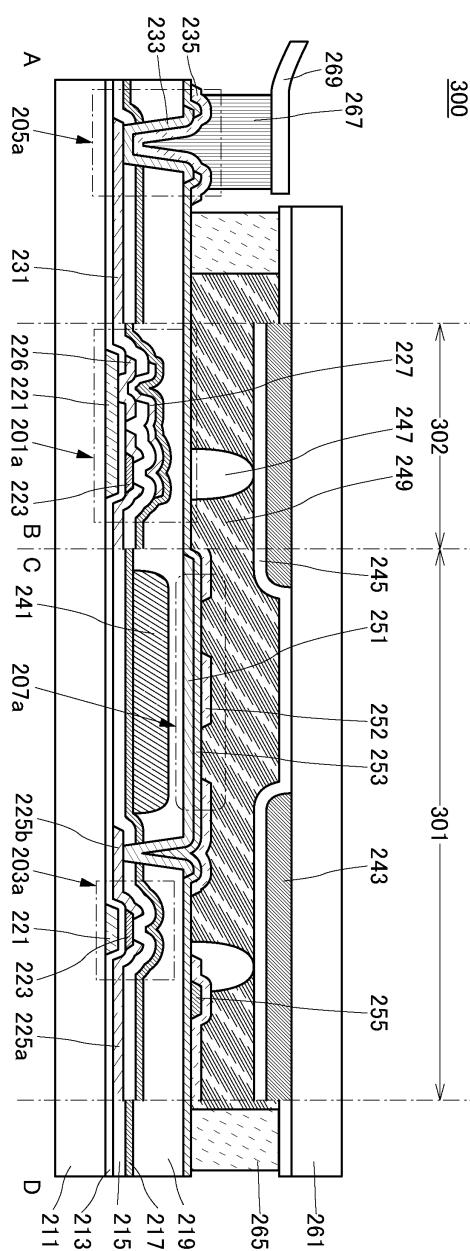
도면4



도면5

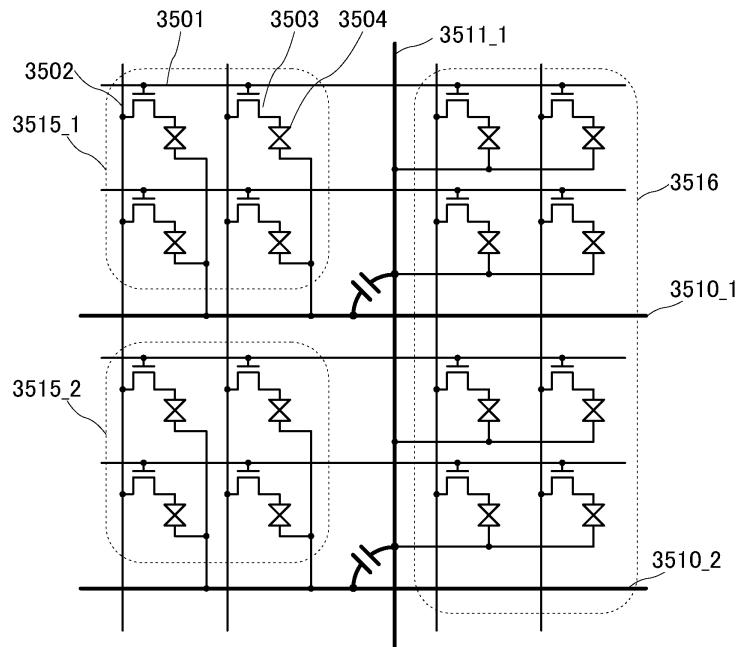


도면6

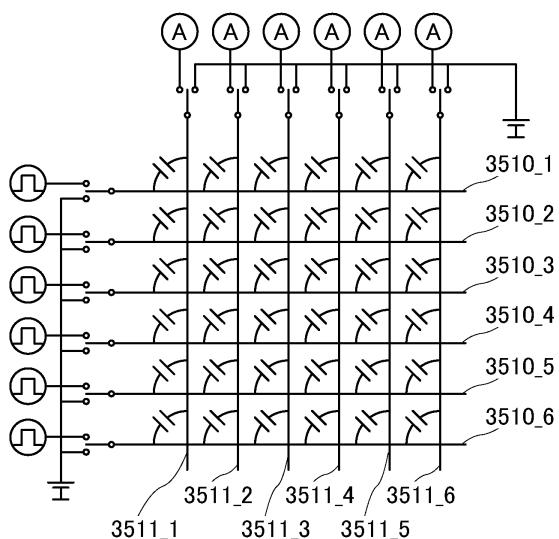


도면7

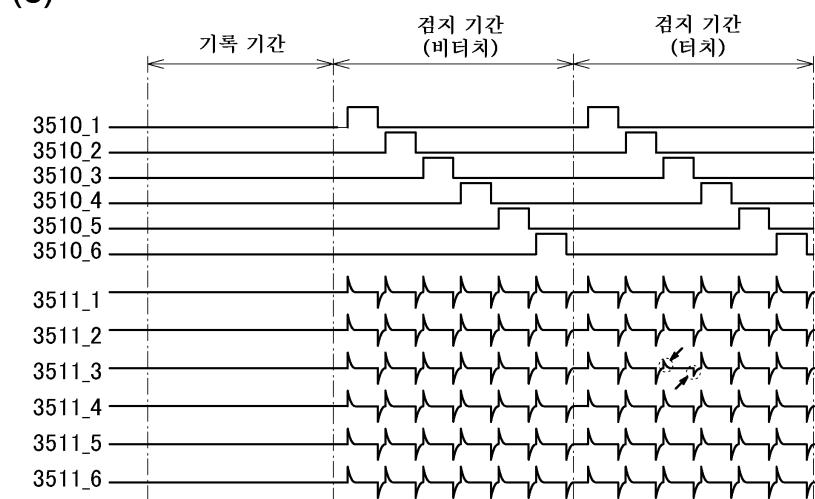
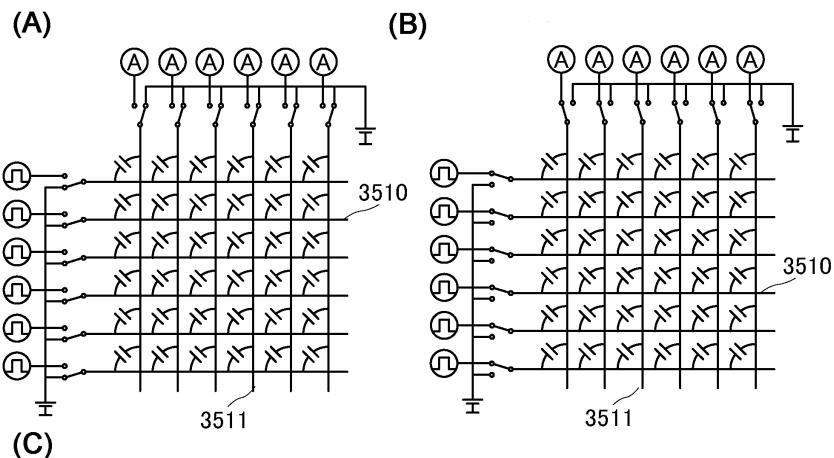
(A)



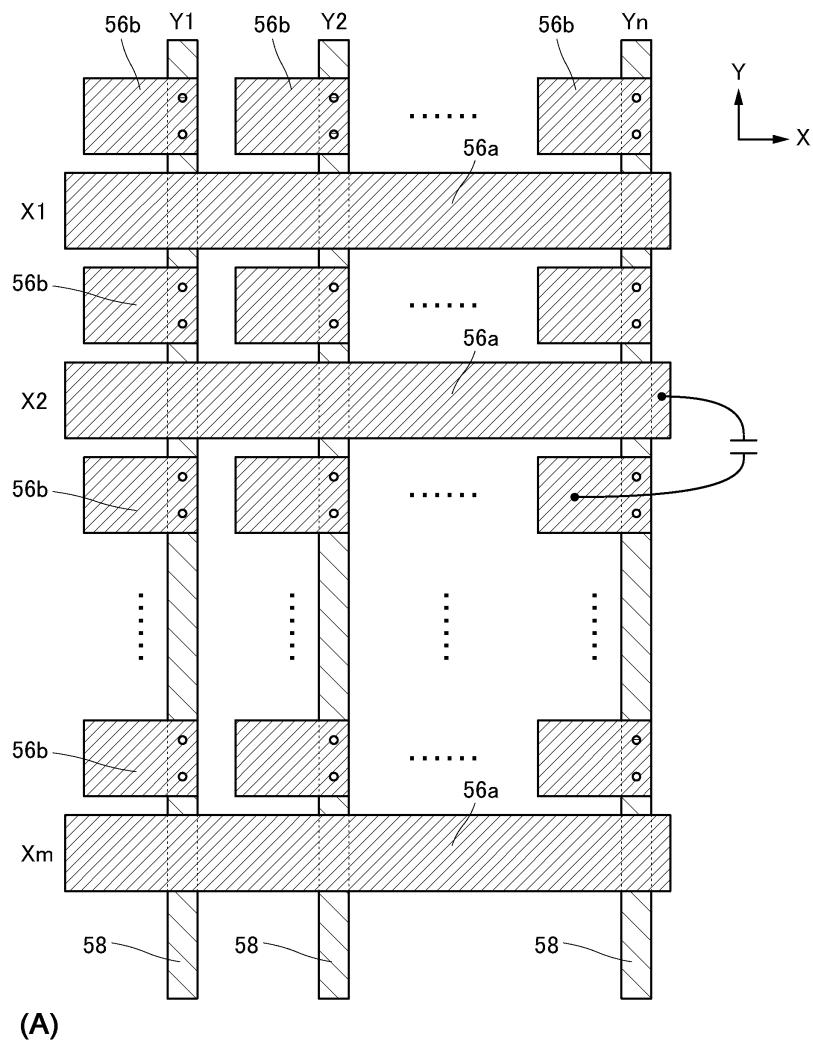
(B)



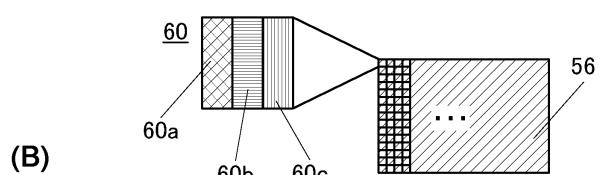
도면8



도면9

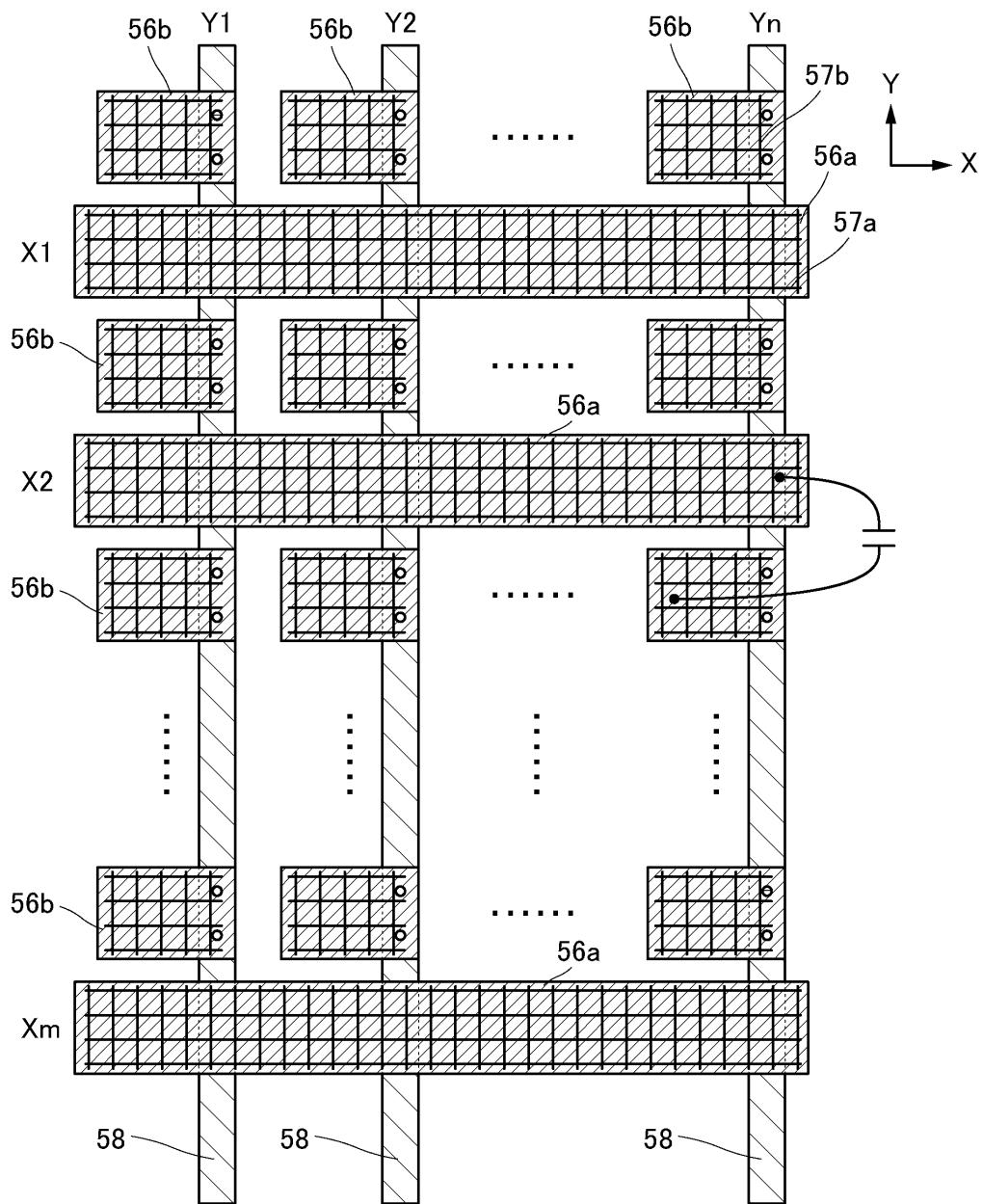


(A)



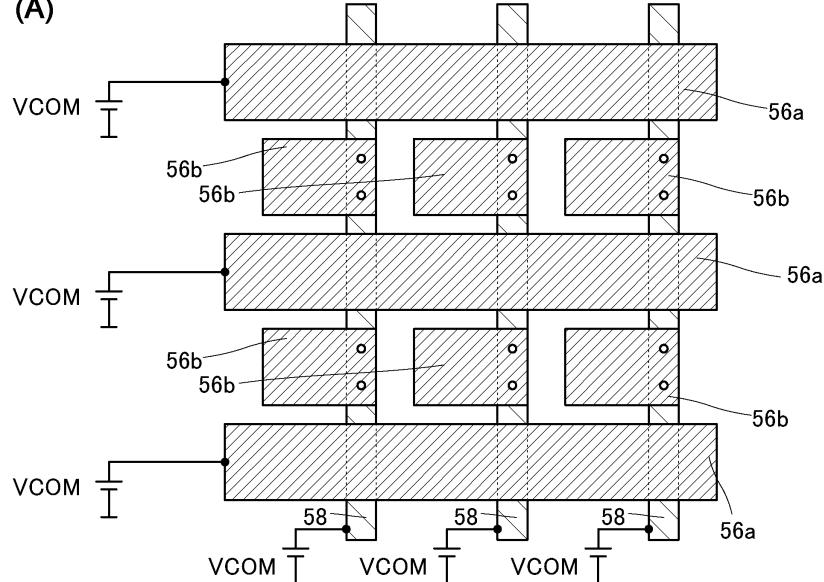
(B)

도면10

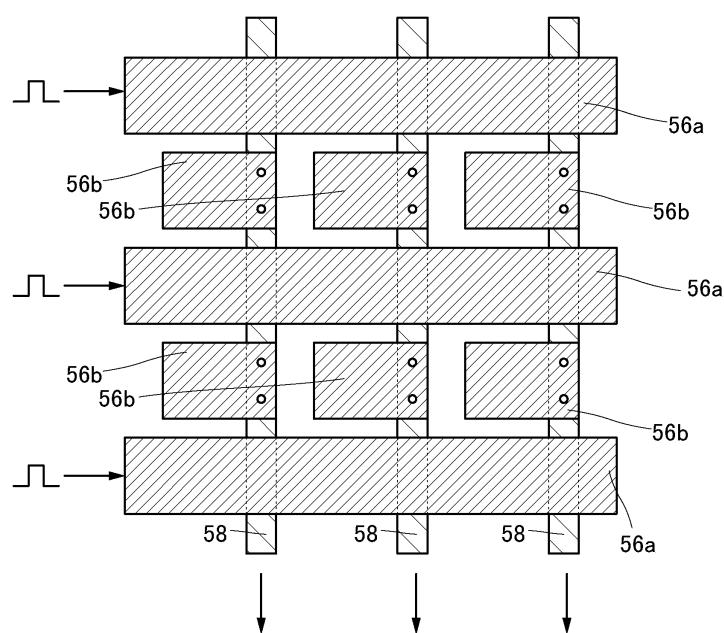


도면11

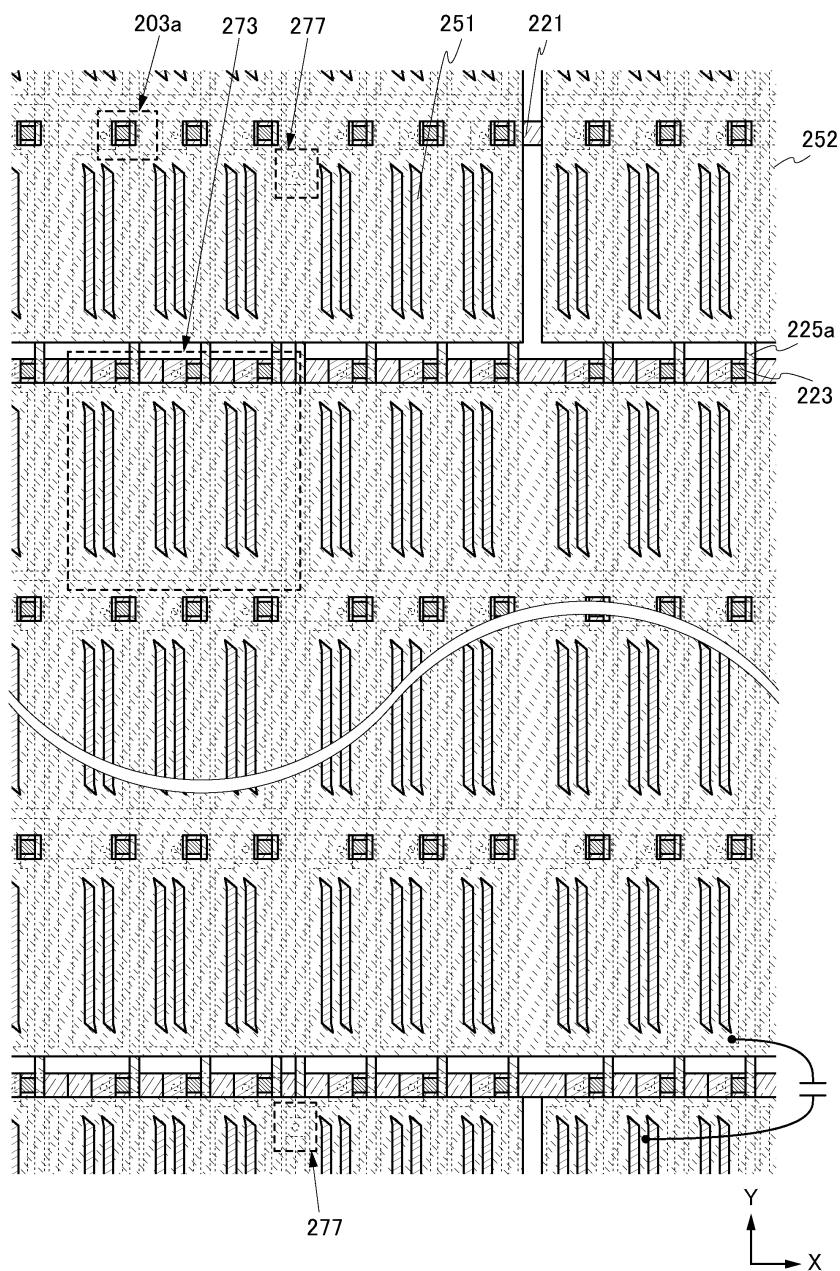
(A)



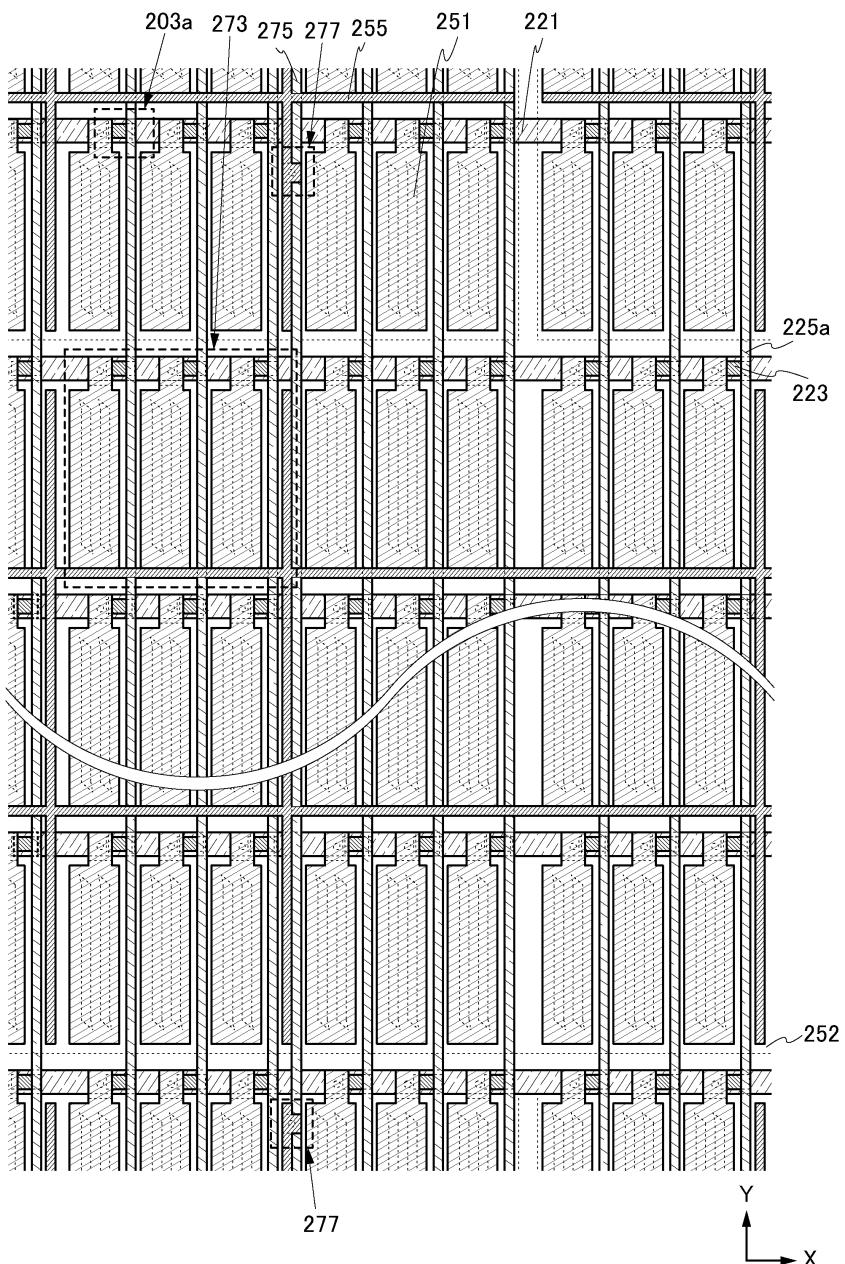
(B)



도면12

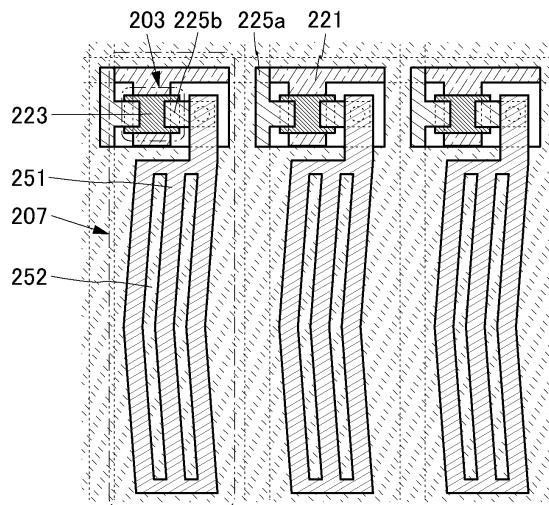


도면13

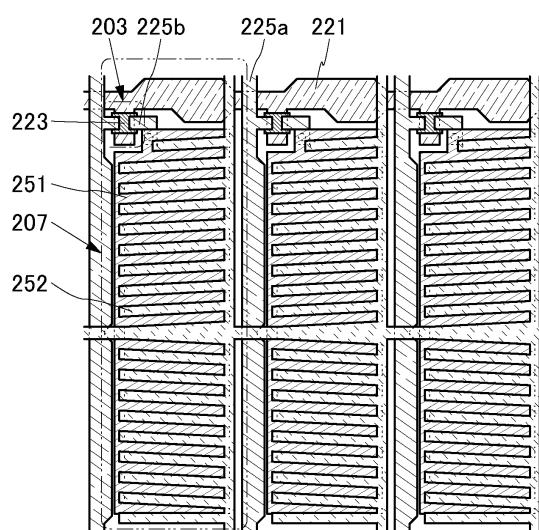


도면14

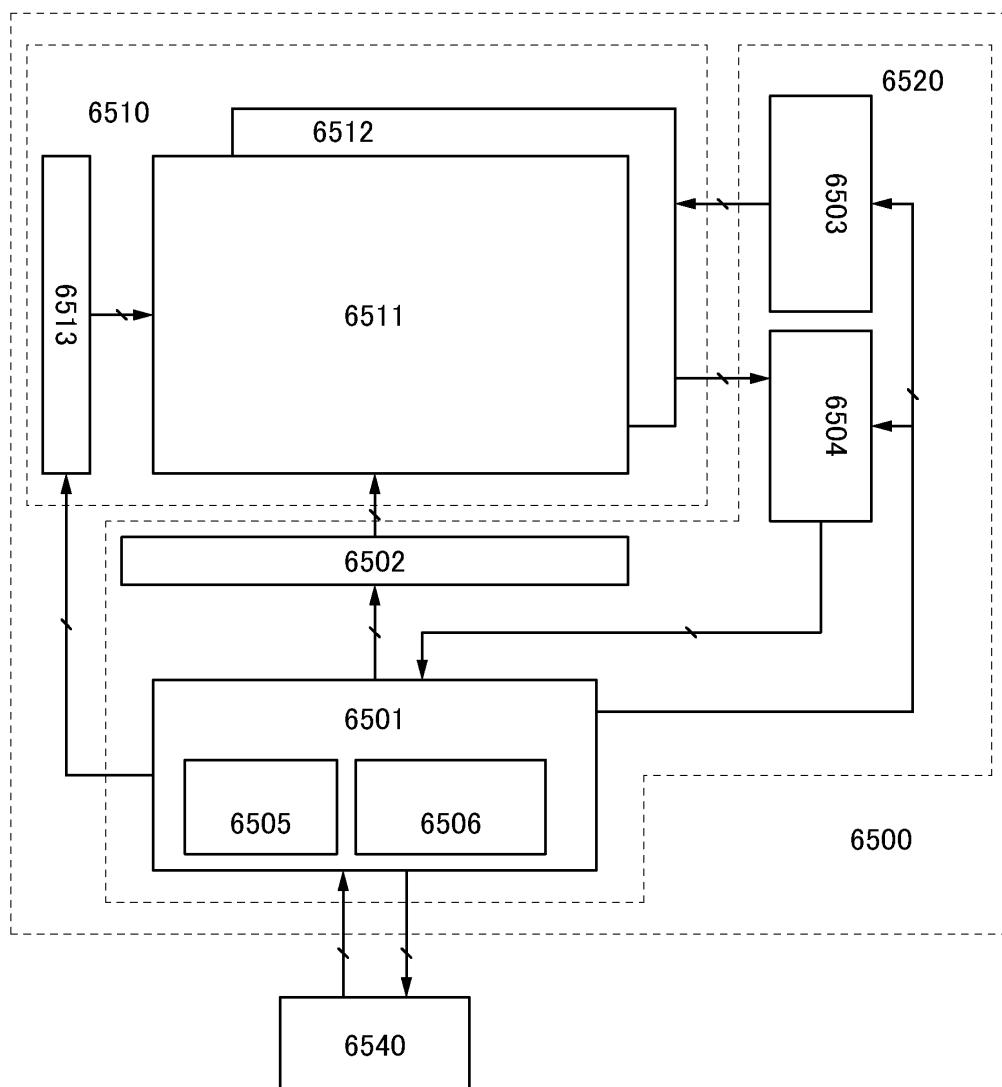
(A)



(B)

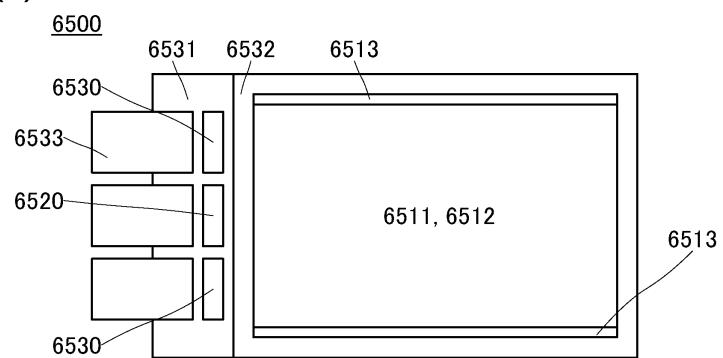


도면15

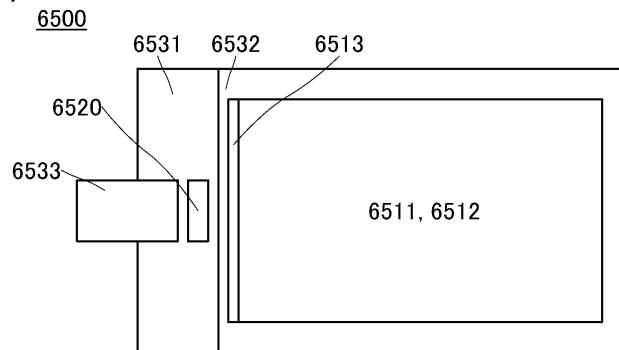


도면16

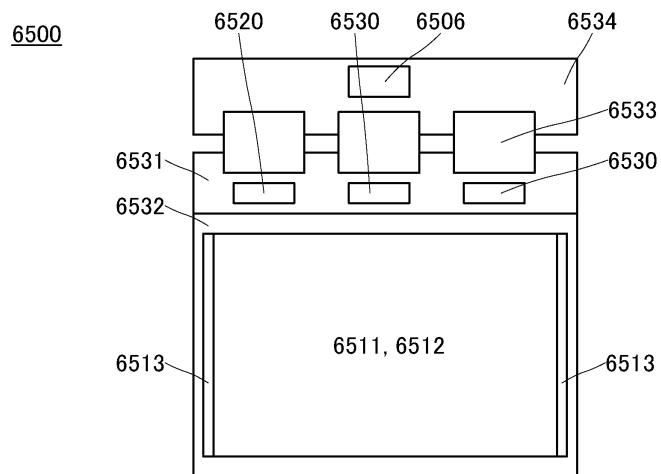
(A)



(B)

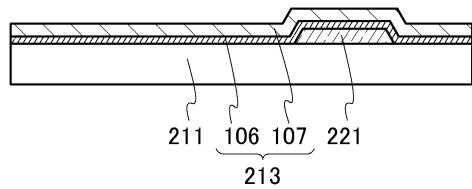


(C)

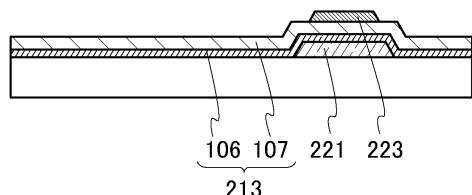


도면17

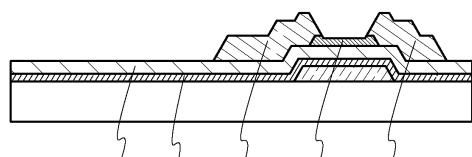
(A)



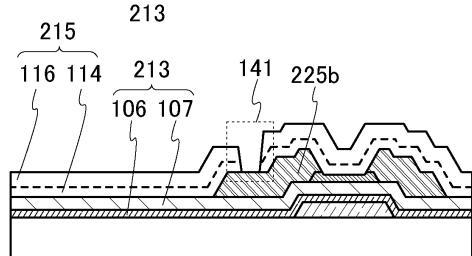
(B)



(C)

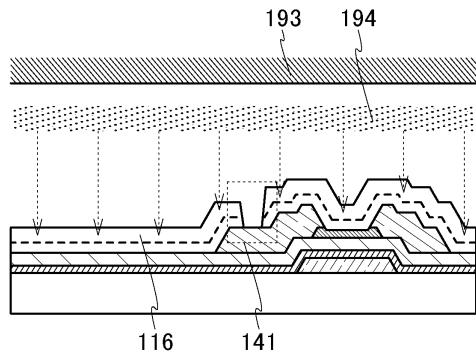


(D)

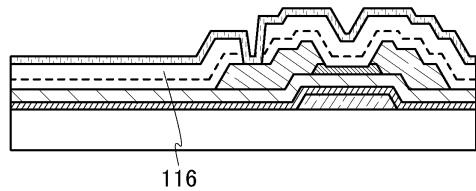


도면18

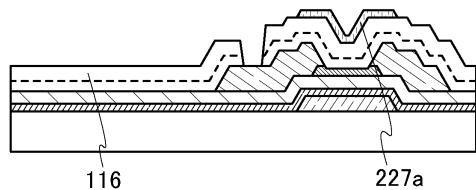
(A)



(B)

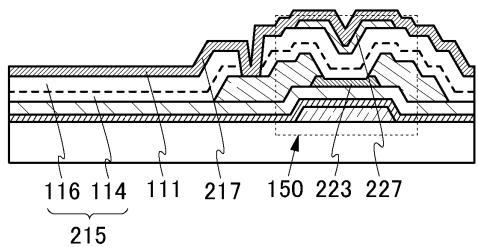


(C)

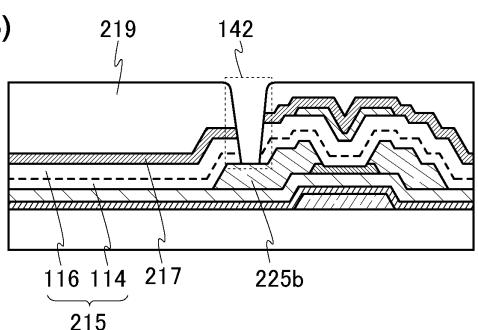


도면19

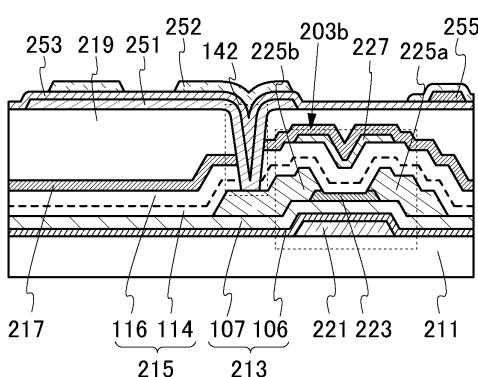
(A)



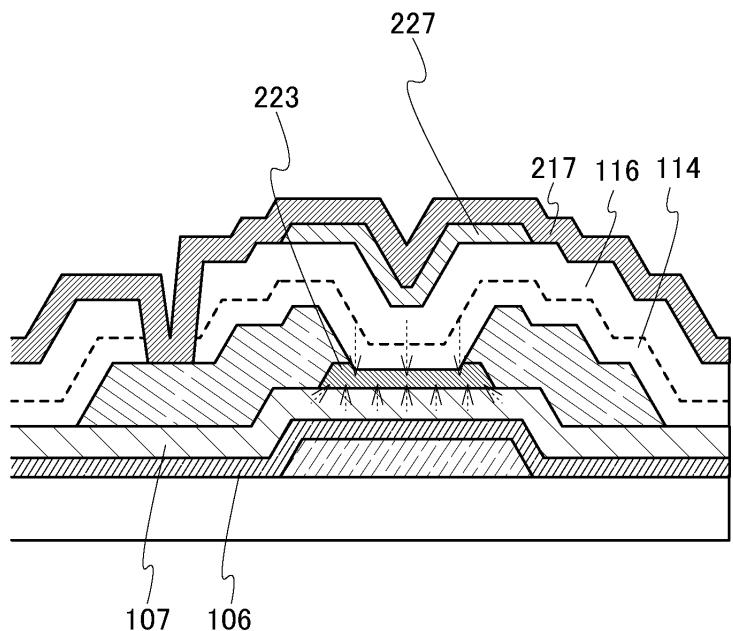
(B)



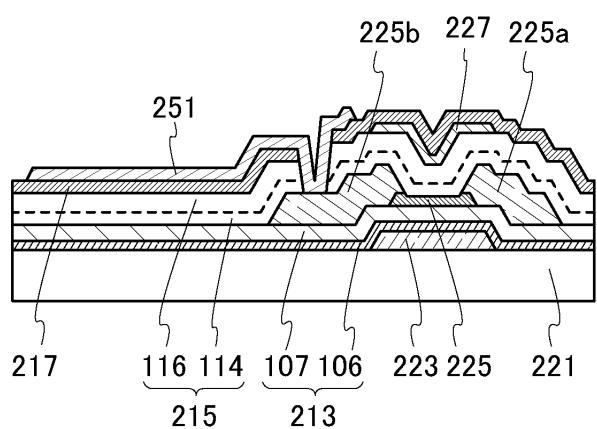
(C)



도면20

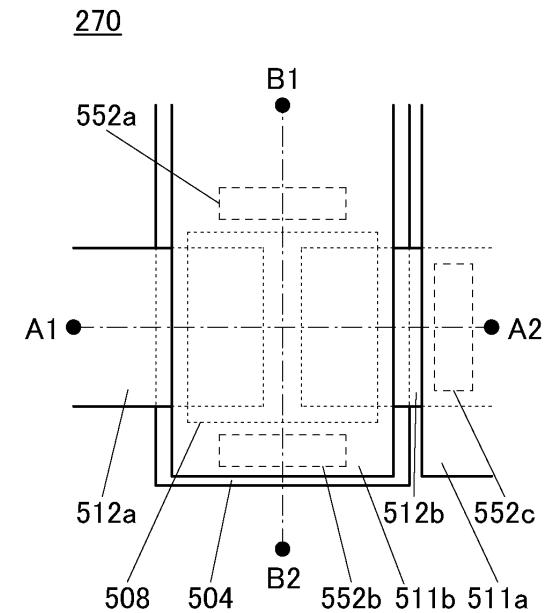


도면21

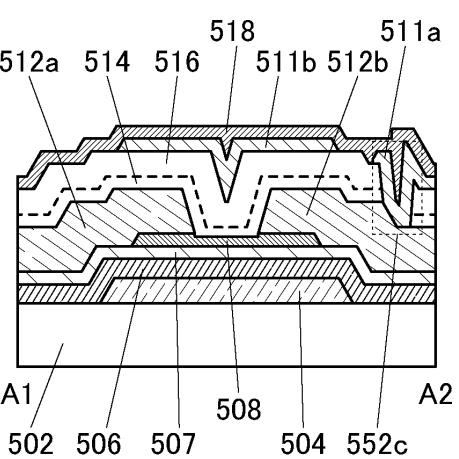


도면22

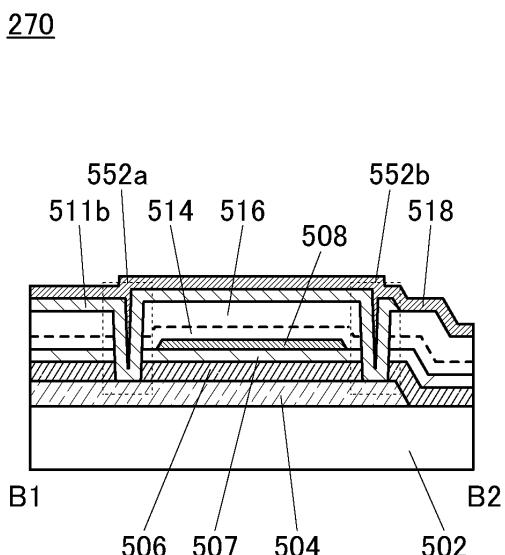
(A)



(B)

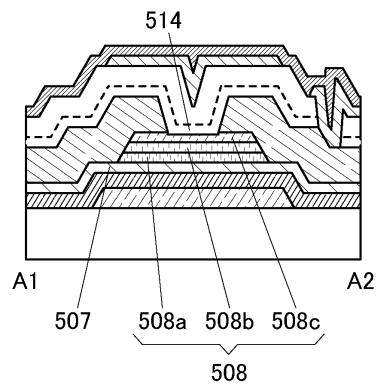


(C)

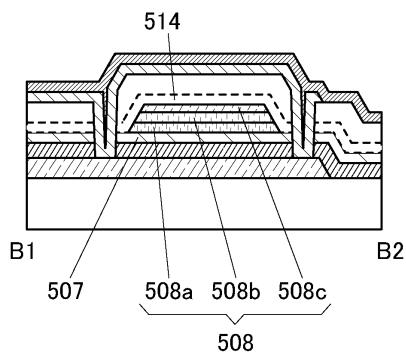


도면23

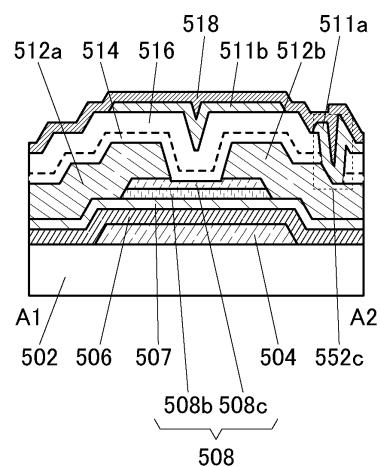
(A)

270A

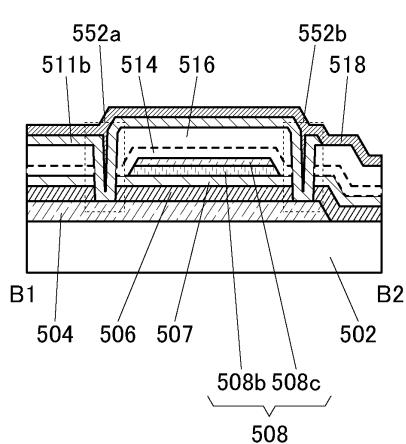
(B)

270A

(C)

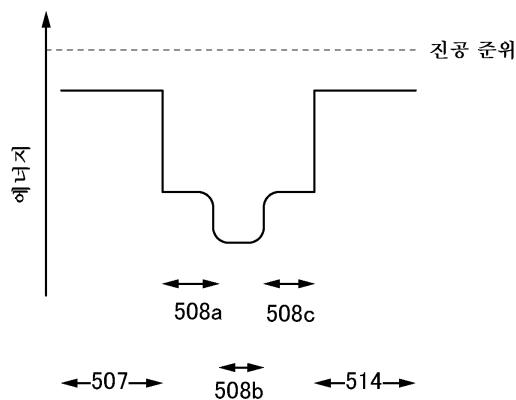
270B

(D)

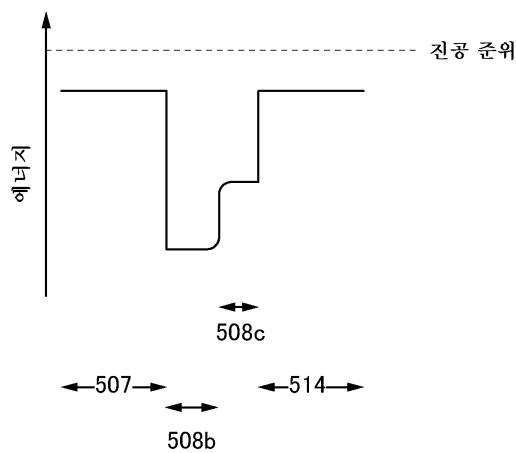
270B

도면24

(A)

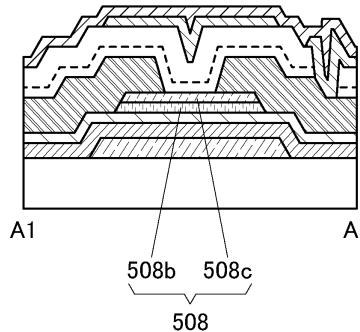


(B)

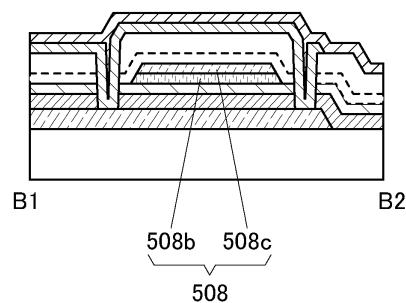


도면25

(A)

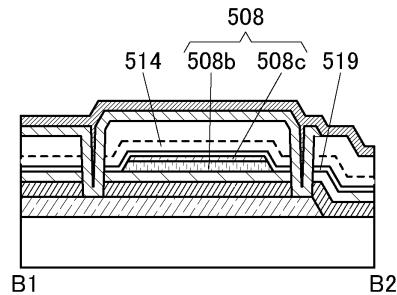
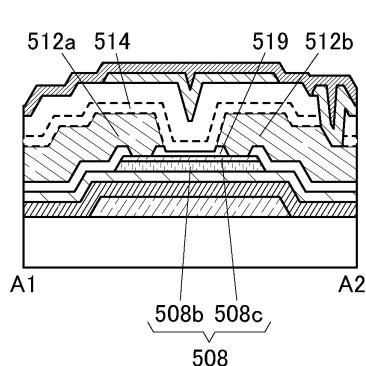
270B

(B)

270B

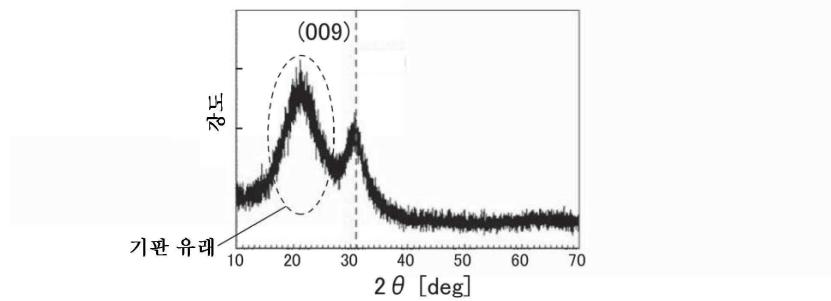
(C)

(D)

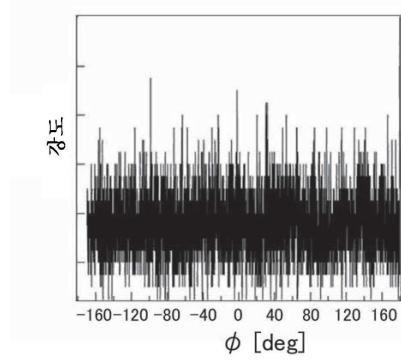


도면26

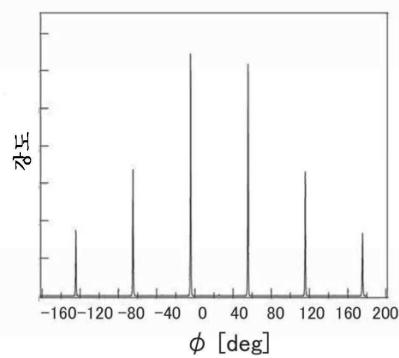
(A)



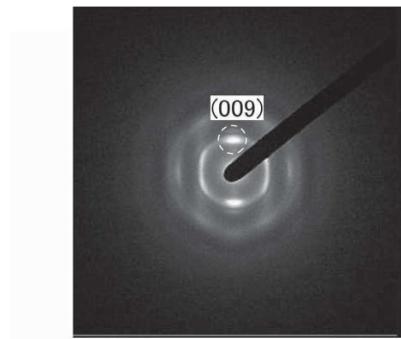
(B)



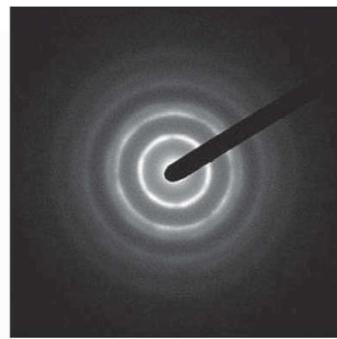
(C)



(D)

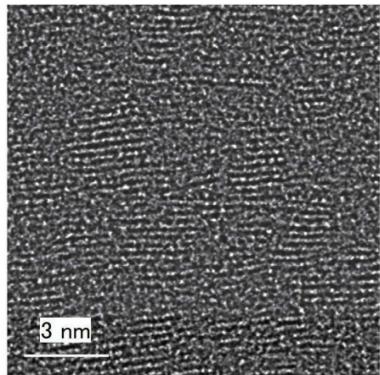


(E)

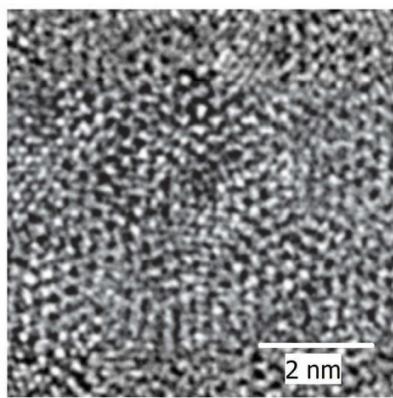


도면27

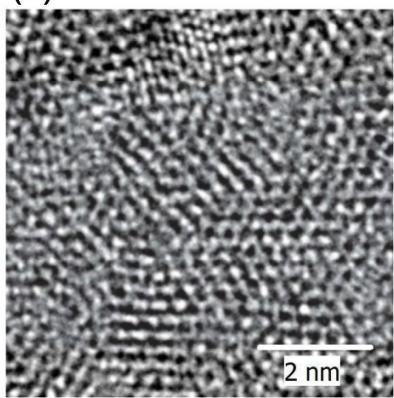
(A)



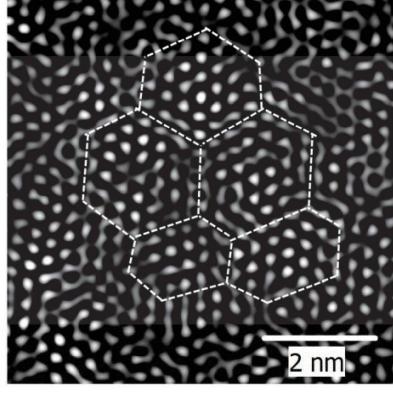
(B)



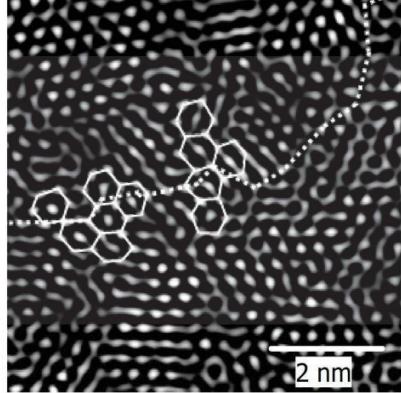
(C)



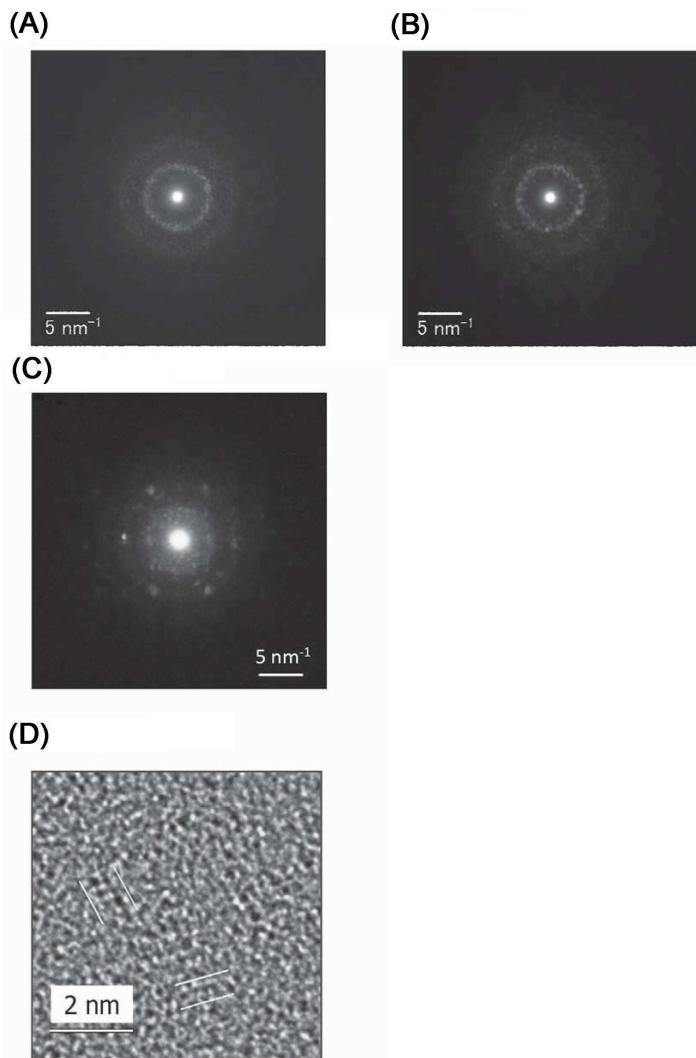
(D)



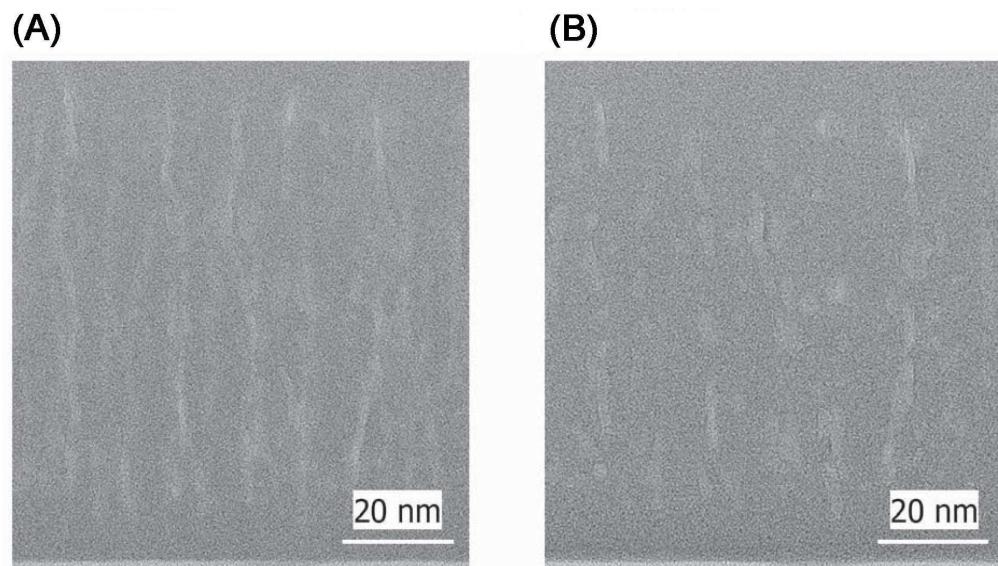
(E)



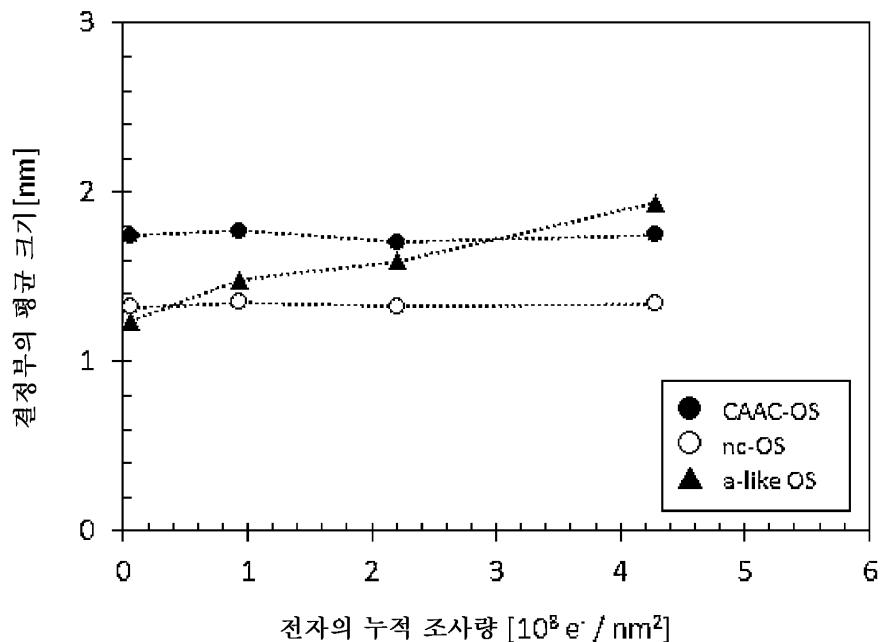
도면28



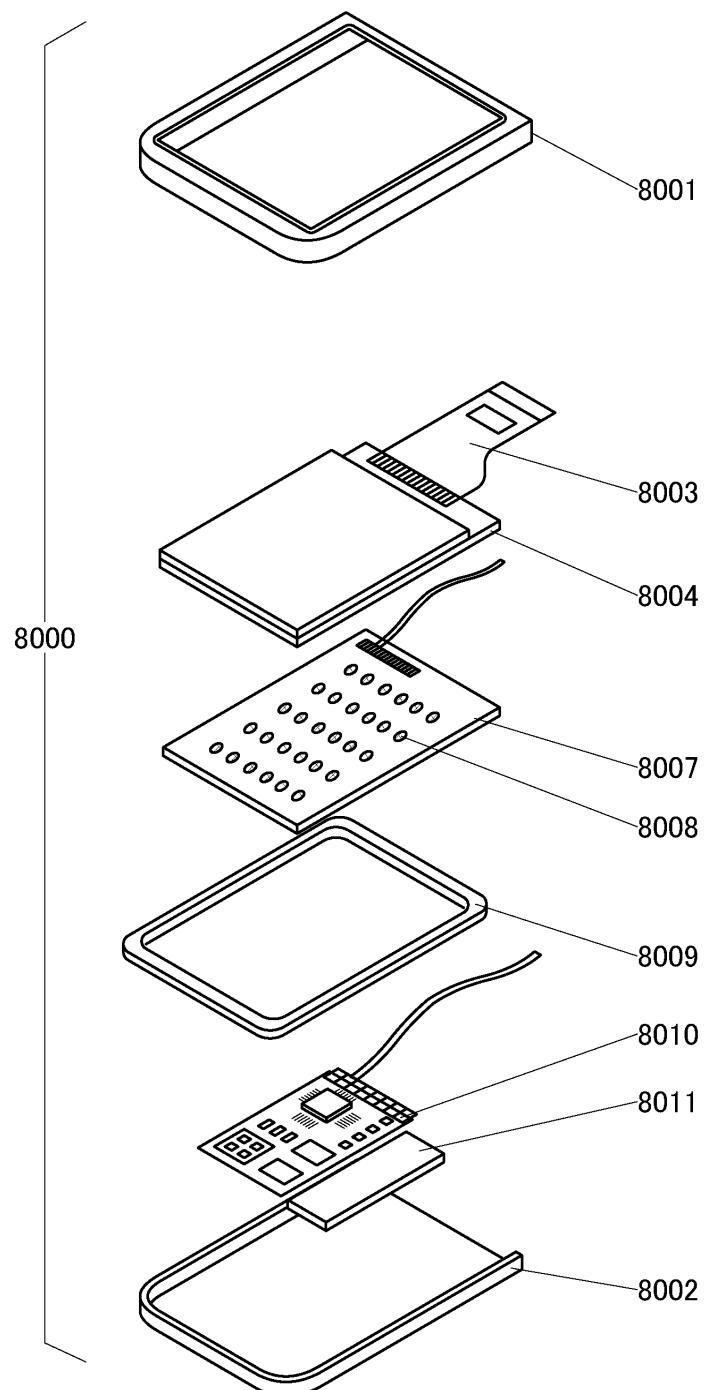
도면29



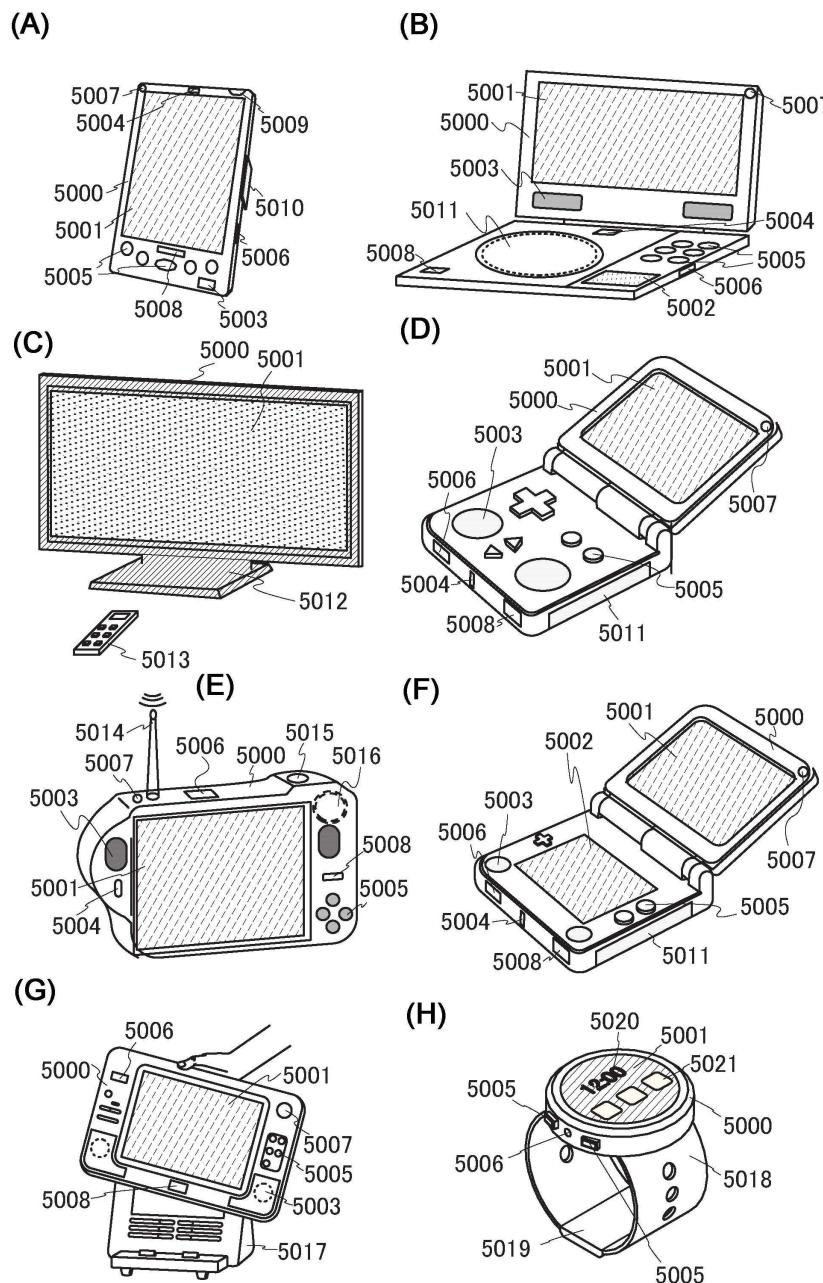
도면30



도면31

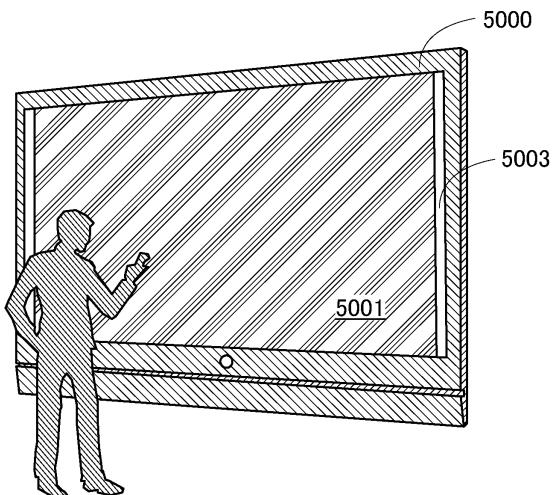


도면32

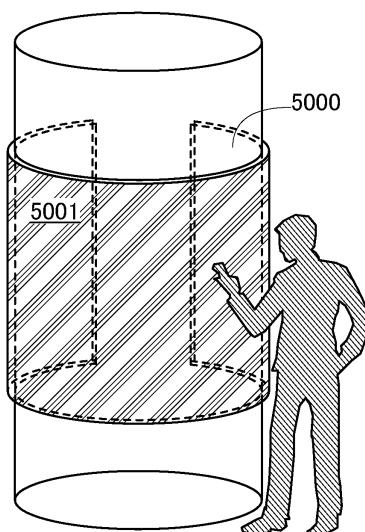


도면33

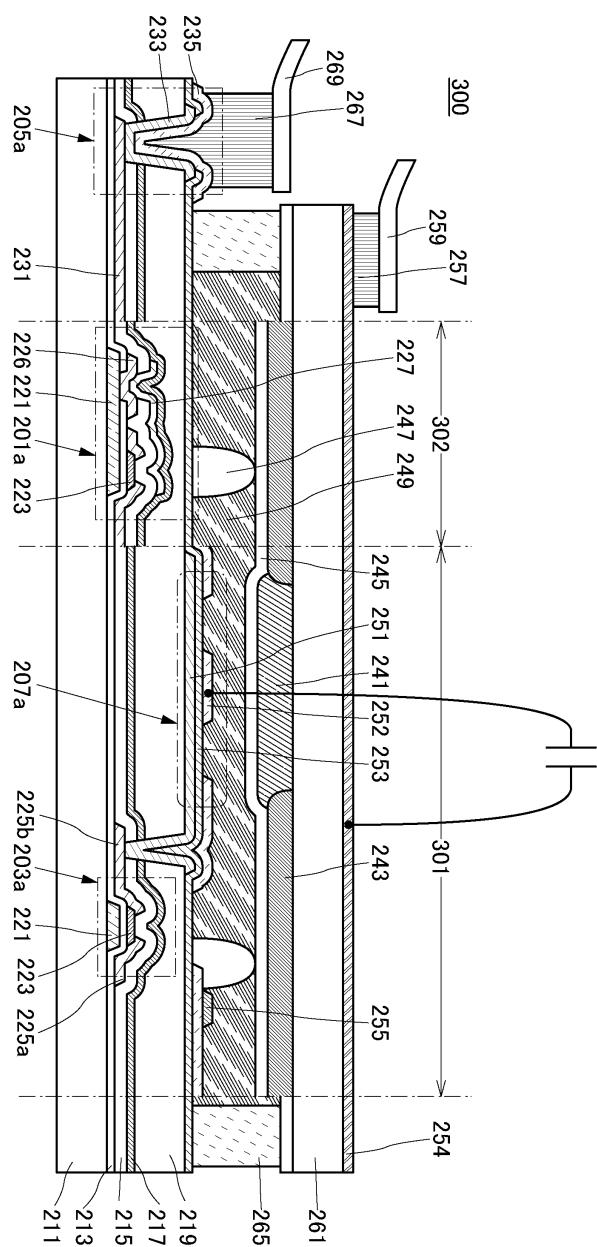
(A)



(B)



도면34



도면35

